

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-19821

(P2007-19821A)

(43) 公開日 平成19年1月25日(2007.1.25)

(51) Int. Cl.	F I			テーマコード (参考)
H03G 3/12 (2006.01)	H03G 3/12	A	5 J 1 0 0	
H03F 3/70 (2006.01)	H03F 3/70		5 J 5 0 0	

審査請求 未請求 請求項の数 2 O L (全 12 頁)

(21) 出願番号	特願2005-198848 (P2005-198848)	(71) 出願人	000005201 富士フイルムホールディングス株式会社 東京都港区西麻布2丁目26番30号
(22) 出願日	平成17年7月7日(2005.7.7)	(74) 代理人	100105647 弁理士 小栗 昌平
		(74) 代理人	100105474 弁理士 本多 弘徳
		(74) 代理人	100108589 弁理士 市川 利光
		(74) 代理人	100115107 弁理士 高松 猛
		(72) 発明者	豆崎 裕一 宮城県黒川郡大和町松坂平1丁目6番地 富士フイルムマイクロデバイス株式会社内

最終頁に続く

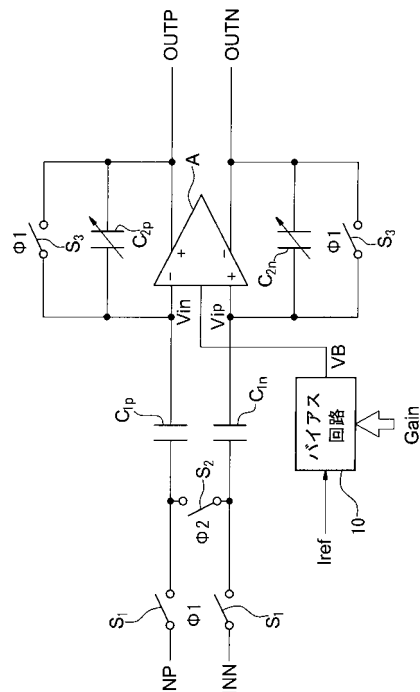
(54) 【発明の名称】 スイッチトキャパシタ型可変利得増幅回路

(57) 【要約】

【課題】消費電流を抑制することのできるスイッチトキャパシタ型可変利得増幅回路を提供する。

【解決手段】オペアンプA、オペアンプAの差動入力ノードVinp、Vinnに接続されるサンプリングコンデンサC1p及びC1n、利得に応じて容量が切り替わる増幅用の可変容量コンデンサC2p及びC2n、サンプリング期間の差動入力電圧INP、INNをサンプリングコンデンサC1pに接続するためのスイッチS1、アンプ期間にサンプリングコンデンサC1p、C1nを短絡するためのスイッチS2、サンプリング期間に増幅用可変容量コンデンサC2p、C2nをリセットし、オペアンプAの差動入力ノードVinp、Vinnを出力ノードOUTP、OUTNに短絡して基準電圧VCMLとなるように制御するためのスイッチS3、オペアンプAのバイアス電流をPGA回路の利得に応じて制御するバイアス回路10から構成される。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

容量可変のコンデンサと、前記コンデンサに接続される増幅器とを含み、前記コンデンサの容量に応じて利得が決定されるスイッチトキャパシタ型可変利得増幅回路であって、前記利得に応じて、前記増幅器に供給するバイアス電流を制御するバイアス電流制御手段を備えるスイッチトキャパシタ型可変利得増幅回路。

【請求項 2】

請求項 1 記載のスイッチトキャパシタ型可変利得増幅回路であって、前記バイアス電流制御手段から供給される入力電流に基づいて前記増幅器のバイアス電圧を生成するバイアス電圧生成回路を備え、

10

前記バイアス電流制御手段は、基準電流を入力とする第一のトランジスタと、前記第一のトランジスタと共にそれぞれカレントミラー回路を構成し、ソースが接地され、ドレインが前記バイアス電圧生成回路の入力に接続可能な複数の第二のトランジスタと、前記バイアス電圧生成回路の入力に前記ドレインが接続される前記第二のトランジスタの数を、前記利得に応じて切り替えるためのスイッチとを備えるスイッチトキャパシタ型可変利得増幅回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、デジタルカメラやビデオカメラ等に搭載される撮像素子から出力される画像信号を前処理するアナログフロントエンド装置に好適なスイッチトキャパシタ型可変利得増幅回路に関する。

20

【背景技術】

【0002】

デジタルカメラやビデオカメラ等のアナログフロントエンド回路には、従来からスイッチトキャパシタ増幅器を用いたアナログPGA (Programmable Gain Amplifier) 回路が用いられている。

【0003】

図 7 は、従来のスイッチトキャパシタ型アナログPGA回路 (以下、単にPGA回路という) の構成を示す図である。同図において、A はオペアンプ、C1p 及び C1n はオペアンプ A の差動入力ノード Vin、Vip に接続されるサンプリングコンデンサ、C2p 及び C2n は増幅用の容量可変のコンデンサで、このコンデンサの容量に応じてPGA回路の利得が決定される。また、S1 はサンプリング期間の差動入力電圧 INP, INN をサンプリングコンデンサ C1p, C1n に接続するためのスイッチ、S2 はアンプ期間にサンプリングコンデンサ C1p, C1n を短絡するためのスイッチ、S3 はサンプリング期間に増幅用可変容量コンデンサ C2p, C2n をリセットし、オペアンプ A の差動入力ノード Vin, Vip を出力ノード OUTP, OUTN に短絡して基準電圧 VCM L となるように制御するためのスイッチである。さらに、1 はスイッチ S1, S3 を切り替えるための信号、2 はスイッチ S2 を切り替えるための信号、20 はオペアンプ A のバイアス電圧を生成するバイアス回路、Iref は基準電流、VB はオペアンプ A のバイアス電圧である。

30

40

【0004】

図 7 に示すPGA回路において、図 8 に示すように、1 がハイレベルのサンプリング期間と、2 がハイレベルのアンプ期間で電荷が保存されることから、サンプリングコンデンサ C1p, C1n の容量を等しく C1 とし、増幅用可変容量コンデンサ C2p, C2n の容量を等しく C2 としたとき、差動出力電圧 OUTP - OUTN は次式によって求められ、増幅用可変容量コンデンサ C2 の容量を切り替えることにより、PGA回路の増幅率 (利得) $G = C1 / C2$ を変えることができる。

【0005】

【数 1】

$$OUTP - OUTN = \frac{C_1}{C_2}(INN - INP)$$

【0006】

また、この時のフィードバック係数 β_F は、次式のようになる。

【0007】

【数 2】

$$\beta_F = \frac{C_2}{C_1 + C_2} = \frac{1}{1 + G}$$

10

【0008】

図 9 は、上記 P G A 回路に使用されるオペアンプ A の具体構成例を示す図である。オペアンプ A は、一般的なフォールデッドカスコード型オペアンプであり、差動入力ノード V_{ip} にゲートが接続されるトランジスタ Q_{21} と、差動入力ノード V_{in} にゲートが接続されるトランジスタ Q_{23} と、バイアス電圧 V_{B1} がゲートに入力されるトランジスタ Q_{22} , Q_{24} , Q_{28} と、バイアス電圧 V_{B2} がゲートに入力されるトランジスタ Q_{25} , Q_{29} と、バイアス電圧 V_{B3} がゲートに入力されるトランジスタ Q_{26} , Q_{30} と、バイアス電圧 V_{CMFB} がゲートに入力されるトランジスタ Q_{27} , Q_{31} とが図示したように接続されている。

20

【0009】

図 10 及び図 11 は、図 9 に示すバイアス電圧 V_{B1} , V_{B2} , V_{B3} と、バイアス電圧 V_{CMFB} を生成するためのバイアス電圧 V_{B4} とを生成する、オペアンプ A のバイアス回路である。

図 10 は、フォールデッドカスコード型オペアンプのバイアス回路の一般的な構成例を示す図である。このバイアス回路は、図示したように接続された定電流源 I_{ref} 及びトランジスタ $Q_{32} \sim Q_{41}$ によって構成されている。

【0010】

図 11 は、バイアス電圧 V_{CMFB} を生成するための一般的なスイッチトキャパシタ型コモンフィードバックの回路構成を示す図である。この回路は、図示したように接続されたコンデンサ C_{sp} , C_{fp} , C_{sn} , C_{fn} と、スイッチ S_1 , S_2 とから構成されている。スイッチ S_1 は上述した信号 1 で駆動され、スイッチ S_2 は上述した信号 2 で駆動される。

30

【0011】

次に、上記 P G A 回路に使用されるオペアンプ A と、このオペアンプ A を使用した P G A 回路の周波数特性を図 12 に示す。

【0012】

図 12 において、オペアンプ A のユニティゲイン周波数 ω_{0P} は以下の式で表される。

40

【0013】

【数 3】

$$\omega_{0P} = \frac{gm}{C_L}$$

【0014】

ここで、 gm はオペアンプ A の入力段トランジスタの相互コンダクタンス、 C_L はオペアンプ A の出力負荷を示す。また、入力段トランジスタの相互コンダクタンス gm は、

【0015】

50

【数 4】

$$gm = \frac{I}{V_{GS} - V_{TH}}$$

【0016】

となり、バイアス電流 I に比例する。

【0017】

以上のことから、上述した P G A 回路の消費電流 I_{diss} は、

【0018】

【数 5】

$$I_{diss} \propto 2\pi(1+G) \cdot C_L \cdot f_{PGA}$$

【0019】

となり、 $(1+G)$ に比例することがわかる。ここで、 f_{PGA} はクロック周波数である。従来、オペアンプ A のバイアス電流 I は、P G A 回路の最大利得 G_{MAX} のときに、P G A 回路の必要帯域を満足するような値に設定されている。つまり、P G A 回路の消費電流 I_{diss} は、

【0020】

【数 6】

$$I_{diss} \propto 2\pi(1+G_{MAX}) \cdot C_L \cdot f_{PGA}$$

【0021】

となっている。

【0022】

アナログ P G A で全ての利得を制御する方法は、デジタル P G A と組み合わせて使用する方法に比べて、A / D 変換回路を低コストに、且つ低消費電力にすることができるとともに、高利得時のノイズも小さくできるという利点がある。しかしながら、要求される全ての利得範囲をアナログ P G A で制御すると、このアナログ P G A での消費電力が増大するという問題点がある。スイッチトキャパシタ増幅器を用いたアナログ P G A においては、消費電流はオペアンプのバイアス電流に比例する。このバイアス電流は、P G A 回路の利得が小さい場合、それに合わせて小さくしても問題はない。しかし、従来では、P G A 回路の利得に関わらず、利得が最大のときに必要な値のバイアス電流をオペアンプに供給していたため、利得が最大以下になったときの消費電流が無駄になっていた。

【0023】

P G A 回路については例えば特許文献 1, 2 に記載されたものが知られている。

【特許文献 1】特開 2002 - 158585 号公報

【特許文献 2】特開 2003 - 243949 号公報

【発明の開示】

【発明が解決しようとする課題】

【0024】

本発明は、上記の事情に鑑みてなされたものであって、消費電流を抑制することのできるスイッチトキャパシタ型可変利得増幅回路を提供することを目的とする。

【課題を解決するための手段】

【0025】

本発明に係るスイッチトキャパシタ型可変利得増幅回路は、容量可変のコンデンサと、前記コンデンサに接続される増幅器とを含み、前記コンデンサの容量に応じて利得が決定されるスイッチトキャパシタ型可変利得増幅回路であって、前記利得に応じて、前記増幅

10

20

30

40

50

器に供給するバイアス電流を制御するバイアス電流制御手段を備える。

【0026】

この構成により、周波数帯域を最適に制御して消費電流を抑制することのできるスイッチトキャパシタ型可変利得増幅回路を提供することができる。

【0027】

また、本発明の一態様のスイッチトキャパシタ型可変利得増幅回路は、前記バイアス電流制御手段から供給される入力電流に基づいて前記増幅器のバイアス電圧を生成するバイアス電圧生成回路を備え、前記バイアス電流制御手段は、基準電流を入力とする第一のトランジスタと、前記第一のトランジスタと共にそれぞれカレントミラー回路を構成し、ソースが接地され、ドレインが前記バイアス電圧生成回路の入力に接続可能な複数の第二のトランジスタと、前記バイアス電圧生成回路の入力に前記ドレインが接続される前記第二のトランジスタの数を、前記利得に応じて切り替えるためのスイッチとを備える。

10

【発明の効果】

【0028】

本発明によれば、消費電流を抑制したスイッチトキャパシタ型可変利得増幅回路を提供できる。

【発明を実施するための最良の形態】

【0029】

以下、本発明に係るスイッチトキャパシタ型可変利得増幅回路（以下、PGA回路という）の実施形態について、図面を用いて説明する。図1は、本実施形態を説明するためのPGA回路の概略構成を示す図である。

20

【0030】

図1に示すPGA回路は、図7に示すPGA回路において、バイアス回路10をバイアス回路20に変更した以外は、図7と同様の構成である。図1に示す記号GainはPGA回路の利得制御信号である。バイアス回路20は、PGA回路の利得に応じて、オペアンプA（特許請求の範囲の増幅器に該当）のバイアス電流を制御する機能を有する。以下の説明では、コンデンサC1p、C1nの容量をそれぞれC1とし、コンデンサC2p、C2nの容量をそれぞれC2とする。

【0031】

図2は、図1に示すコンデンサC2p（C2n）の回路構成例を示す図である。

30

図2において、容量可変のコンデンサC2p（C2n）は、一端がオペアンプAの出力端子OUTPUT（OUTN）に接続された、容量がC1/2、C1/4、C1/8、C1/16、C1/32、C1/64、C1/64からなる7個の重み付けされたコンデンサC11～C17と、コモン端子がコンデンサC11～C17の他端に接続されるとともに、メーク接点がオペアンプAの入力端子Vin（Vip）に接続され、ブレーク接点がオペアンプAの出力端子OUTPUT（OUTN）に接続された6個のトランスファスイッチS11～S16から構成される。そして、このトランスファスイッチS11～S16は、制御信号Gain[X]が0のとき、メーク接点が閉じてコンデンサC11～C17の他端をオペアンプAの入力端子Vin（Vip）に接続し、制御信号Gain[X]が1のとき、ブレーク接点が閉じてオペアンプAの出力端子OUTPUT（OUTN）に接続する。

40

【0032】

スイッチS11は、制御信号Gain[5]に応じて切り替わる。スイッチS12は、制御信号Gain[4]に応じて切り替わる。スイッチS13は、制御信号Gain[3]に応じて切り替わる。スイッチS14は、制御信号Gain[2]に応じて切り替わる。スイッチS15は、制御信号Gain[1]に応じて切り替わる。スイッチS16は、制御信号Gain[0]に応じて切り替わる。

【0033】

制御信号Gain[X]と可変容量コンデンサC2の容量の関係は図3の表に示す通りである。但し、この例では表にない制御信号の組み合わせは、入力されないものとする。図3に示すように制御信号を変えることで、コンデンサC2p（C2n）の容量を変更す

50

ることができ、その結果、PGA回路の利得 $G (= C_1 / C_2)$ を変更することができる。

【0034】

通常、オペアンプAの入力段トランジスタの相互コンダクタンス g_m は、PGA回路の利得が最大である G_{MAX} のときに、PGA回路の必要帯域を満足できるような値に設定される。つまり、オペアンプAの入力段トランジスタの相互コンダクタンス g_m は、次の関係を満足するように設計される。

【0035】

【数7】

$$gm = (1 + G_{MAX}) \cdot C_L \cdot \omega_{PGA}$$

10

但し、 C_L はオペアンプAの出力負荷、 ω_{PGA} はPGA回路の必要帯域

【0036】

そのため、PGA回路の利得が G_{MAX} よりも小さい場合には、オペアンプAの入力段トランジスタの相互コンダクタンス g_m は不必要に大きくなっている。PGA回路の利得が最大でない値 G の場合に必要なオペアンプAの入力段トランジスタの相互コンダクタンス $g_m(G)$ は、

【0037】

【数8】

$$gm(G) = (1 + G) \cdot C_L \cdot \omega_{PGA}$$

20

【0038】

であるので、PGA回路の利得が G_{MAX} のときの相互コンダクタンス g_m との比は、次のようになる。

【0039】

【数9】

$$\frac{gm(G)}{gm} = \frac{1 + G}{1 + G_{MAX}}$$

30

【0040】

オペアンプAの入力段トランジスタの相互コンダクタンス g_m は、トランジスタが弱反転領域にある場合には、

【0041】

【数10】

$$gm \propto \frac{I}{V_T}$$

40

但し、 I はオペアンプAのバイアス電流、 $V_T = kT/q$ 、 k はボルツマン定数 (1.38×10^{-23} J/K)、 T は絶対温度、 q は電子の電荷 (1.6×10^{-19} C)

【0042】

の関係があるので、バイアス電流 I を制限してもPGA回路の利得 G に必要最低限の相互コンダクタンス $g_m(G)$ を得ることができる。よって、

【0043】

【数 1 1】

$$\frac{gm(G)}{gm} = \frac{1+G}{1+G_{MAX}} = \frac{I(G)}{I_{MAX}}$$

$$\therefore I(G) = \frac{1+G}{1+G_{MAX}} \cdot I_{MAX}$$

ここで、 I_{MAX} は利得 G_{MAX} のときに最低限必要なバイアス電流、 $I(G)$ は利得 G のときに最低限必要なバイアス電流

10

【0044】

以上より、最大利得 G_{MAX} よりも利得が小さいほどバイアス電流 I を小さくしてもよいことがわかる。本実施形態の P G A 回路では、その利得を最大値の 64 から最小値の 1 まで変えることができるため、数 1 1 の式に基づくと、図 3 に示すように、バイアス電流 I を、その最大値を 1 とした場合に、最大値の $1/32$ まで低減して良いことがわかる。

【0045】

次に、P G A 回路の利得に応じてオペアンプ A のバイアス電流を制御するためのバイアス回路 20 の具体例を図 4 に示す。

図 4 に示すバイアス回路 20 は、オペアンプ A のバイアス電圧 V_{B1} , V_{B2} , V_{B3} と、バイアス電圧 V_{CMFB} を生成するためのバイアス電圧 V_{B4} とを生成するバイアス電圧生成回路 100 と、バイアス電圧生成回路 100 に供給する入力電流を制御して、オペアンプ A に供給されるバイアス電流を制御するバイアス電流制御回路 200 とを備える。又、図示していないが、バイアス回路 20 には、バイアス電圧 V_{B4} からバイアス電圧 V_{CMFB} を生成するための図 1 1 に示したような一般的なスイッチトキャパシタ型コモンフィードバック回路も含まれる。

20

【0046】

バイアス電圧生成回路 100 は、バイアス電流制御回路 200 から供給される入力電流に基づいて、バイアス電圧 V_{B1} , V_{B2} , V_{B3} , V_{B4} を生成する回路であり、図示したように接続されたトランジスタ $Q8 \sim Q20$ によって構成される。トランジスタ $Q8$ のドレインにはバイアス電流制御回路 200 の出力電流が上記入力電流として入力される。

30

【0047】

バイアス電流制御回路 200 は、基準電流 I_{ref} がドレイン及びゲートに供給されるトランジスタ $Q1$ (特許請求の範囲の第一のトランジスタに該当) と、トランジスタ $Q1$ とゲートが共通化され、トランジスタ $Q1$ と共にそれぞれカレントミラー回路を構成するソース接地された複数のトランジスタ $Q2 \sim Q7$ (特許請求の範囲の第二のトランジスタに該当) と、トランジスタ $Q2 \sim Q6$ の各々のドレインとバイアス電圧生成回路 100 の入力であるトランジスタ $Q8$ のドレインとの間に接続され、上述した制御信号 $Gain[X]$ に応じて開閉するスイッチ $S21 \sim S25$ とから構成される。

【0048】

スイッチ $S21$ は、制御信号 $Gain[0]$ に応じて開閉する。スイッチ $S22$ は、制御信号 $Gain[2]$ に応じて開閉する。スイッチ $S23$ は、制御信号 $Gain[3]$ に応じて開閉する。スイッチ $S24$ は、制御信号 $Gain[4]$ に応じて開閉する。スイッチ $S25$ は、制御信号 $Gain[5]$ に応じて開閉する。なお、スイッチ $S21 \sim S25$ は、制御信号が 0 の期間にオン、1 の期間にオフするものとする。

40

【0049】

基準電流 I_{ref} の値を 1 とすると、スイッチ $S21 \sim S25$ を各々閉じた状態で、トランジスタ $Q2$ のドレインには $1/2$ の電流が流れ、トランジスタ $Q3$ のドレインには $1/4$ の電流が流れ、トランジスタ $Q4$ のドレインには $1/8$ の電流が流れ、トランジスタ $Q5$ のドレインには $1/16$ の電流が流れ、トランジスタ $Q6$ のドレインには $1/32$ の

50

電流が流れ、トランジスタQ7のドレインには1/32の電流が流れるように、トランジスタQ2～Q7は各々設計されている。

【0050】

このような回路構成により、トランジスタQ8に入力する入力電流の値をPGA回路の利得に応じて1～1/32までの間で変更することができる。この入力電流が変化すると、バイアス電圧生成回路100で生成されるバイアス電圧VB1～VB4も変化するため、オペアンプAのバイアス電流も変化することになる。このため、バイアス回路20によれば、PGA回路の利得に応じて、オペアンプAのバイアス電流を制御することが可能である。

【0051】

図5は、PGA回路の利得とバイアス電流の関係を示す表である。但し、この例では表にない制御信号の組み合わせは入力されないものとする。図5に示したような制御信号を切り替えて入力することで、PGA回路の利得Gが最大値から小さくなるほど、オペアンプAのバイアス電流を最大値から小さくしていくことができる。従来では、PGA回路の利得Gの値によらずバイアス電流を常に1に設定していたため、消費電流が無駄に多くなっていたが、本実施形態によれば、無駄な消費電流を抑制することができる。

10

【0052】

又、利得に応じてバイアス電流を制御することで、PGA回路の帯域 f_{PGA} を利得によらず一定に制限することができるという利点もある。図6は、利得に応じてバイアス電流を制御した本実施形態のPGA回路の周波数特性を示す図である。図6に示したように、利得が変化しても、その帯域 f_{PGA} は一定であり、これにより、不必要な高周波ノイズを低減することができる。

20

【0053】

次に、以上のように構成されたPGA回路の動作について説明する。

【0054】

信号1がハイレベルとなるサンプリング期間において、スイッチS1がオンしてサンプリングコンデンサC1p、C1nに電荷が蓄積され、同時にスイッチS3がオンして増幅用可変容量コンデンサC2p、C2nに蓄積されていた電荷が放電される。

【0055】

次いで、信号2がハイレベルとなるアンプ期間において、スイッチS1、S3がオフするとともに、スイッチS2がオンしてサンプリングコンデンサC1p、C1nの入力端が短絡し、蓄積されていた差分電荷がオペアンプAの出力端子へ転送されて、サンプリングコンデンサC1p、C1nの容量と、増幅用可変容量コンデンサC2p、C2nの容量比に応じて増幅された信号が出力される。

30

【0056】

以上説明したように、本実施形態のPGA回路によれば、その利得に応じてオペアンプAのバイアス電流を制御することができるため、周波数帯域を最適に制御して消費電流の増大を抑制することができるとともに、高周波ノイズを低減することが可能となる。

【図面の簡単な説明】

【0057】

【図1】本実施形態を説明するためのPGA回路の概略構成を示す図

【図2】図1に示す可変容量コンデンサの回路構成例を示す図

【図3】Gain制御信号と可変容量コンデンサの容量の関係を示す図

【図4】図1に示すバイアス回路の回路構成例を示す図

【図5】図1に示すPGA回路の利得と、オペアンプのバイアス電流との関係を示す図

【図6】本発明の実施形態に係るスイッチトキャパシタ型可変利得増幅回路の周波数特性を示す図

【図7】従来のスイッチトキャパシタ型アナログPGA回路の概略構成を示す図

【図8】従来のPGA回路におけるクロック信号の波形を示す図

【図9】従来のPGA回路に使用されるオペアンプの回路構成を示す図

40

50

【図10】図9に示すオペアンプのバイアス回路の回路構成を示す図

【図11】スイッチトキャパシタ型コモンモードフィードバックの回路構成を示す図

【図12】従来のPGA回路の周波数特性を示す図

【符号の説明】

【0058】

10, 20 バイアス回路

A オペアンプ

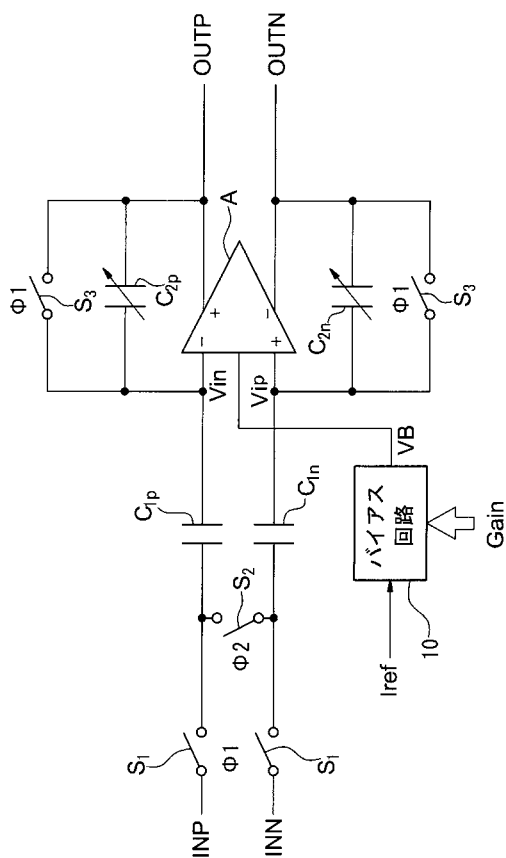
C1p, C1n サンプルングコンデンサ

C2p, C2n 増幅用可変容量コンデンサ

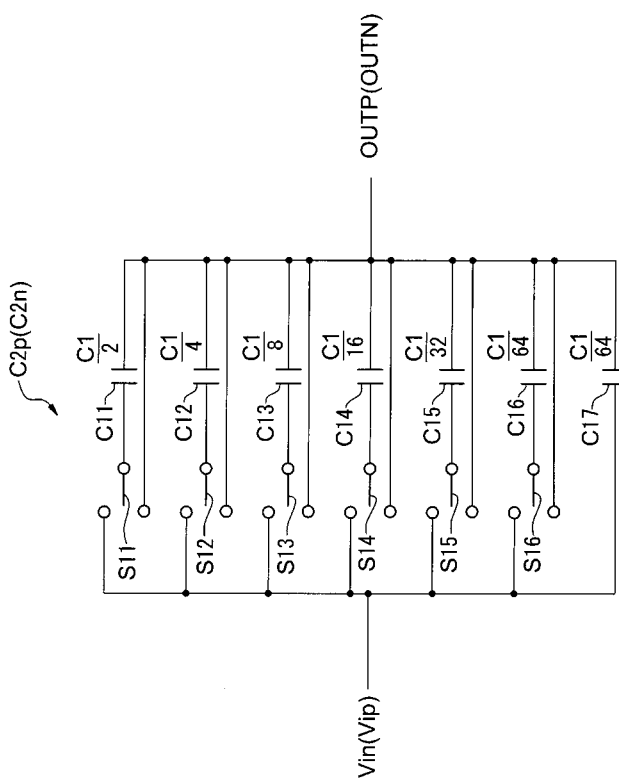
Q1 ~ Q11 トランジスタ

S1 ~ S3 スイッチ

【図1】



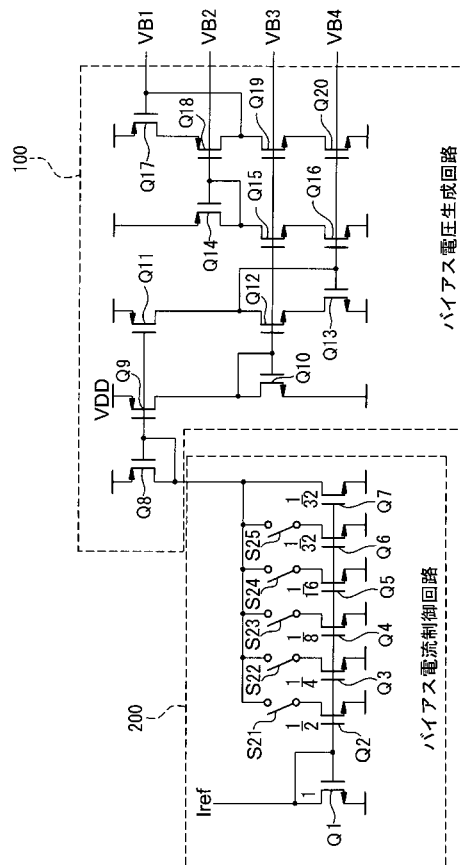
【図2】



【 図 3 】

Gain						利得 (C1/C2)	バイアス電流 (I(G)/I _{MAX})
[5]	[4]	[3]	[2]	[1]	[0]		
1	1	1	1	1	1	1	1/32
0	1	1	1	1	1	2	1/21
0	0	1	1	1	1	4	1/13
0	0	0	1	1	1	8	1/7
0	0	0	0	1	1	16	1/3.8
0	0	0	0	0	1	32	1/2
0	0	0	0	0	0	64	1

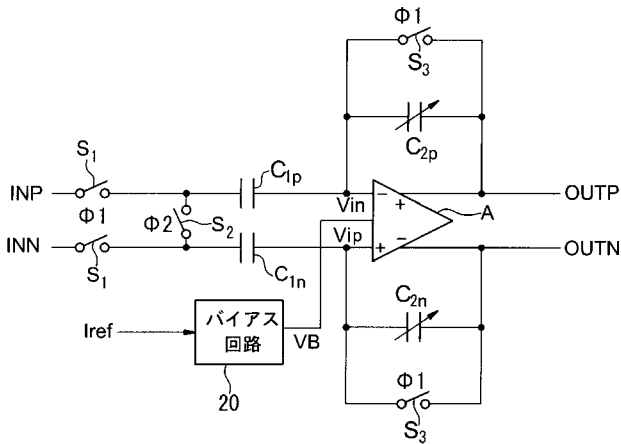
【 図 4 】



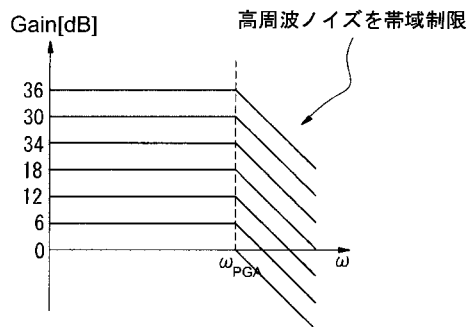
【 図 5 】

Gain						利得 (C1/C2)	バイアス電流 (I(G)/I _{MAX})
[5]	[4]	[3]	[2]	[1]	[0]		
1	1	1	1	1	1	1	1/32
0	1	1	1	1	1	2	1/16
0	0	1	1	1	1	4	1/8
0	0	0	1	1	1	8	1/4
0	0	0	0	1	1	16	1/2
0	0	0	0	0	1	32	1/2
0	0	0	0	0	0	64	1

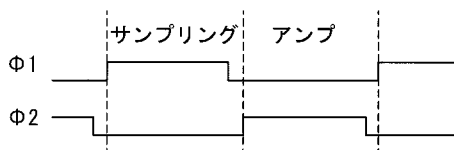
【 図 7 】



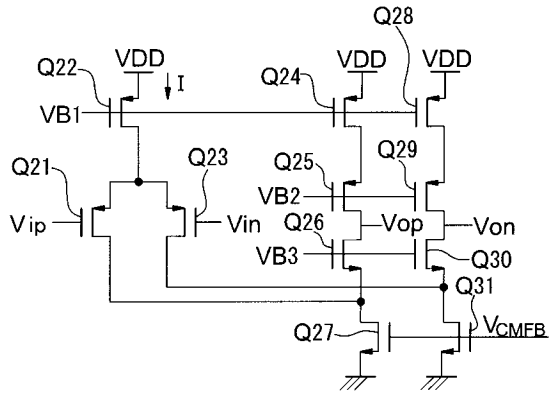
【 図 6 】



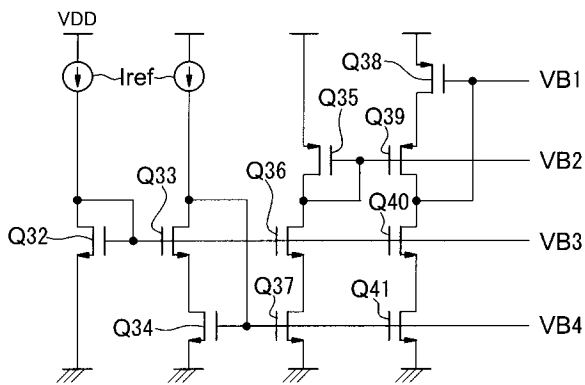
【 図 8 】



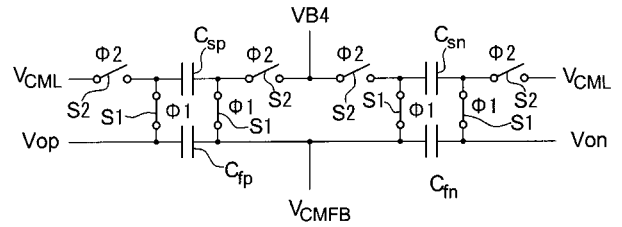
【 図 9 】



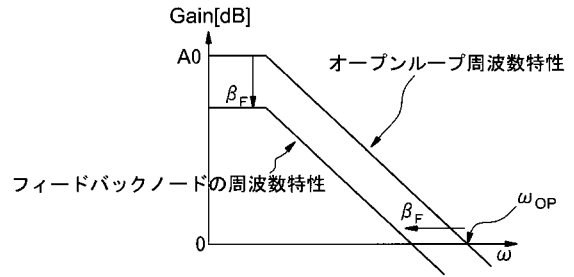
【 図 1 0 】



【 図 1 1 】



【 図 1 2 】



フロントページの続き

(72)発明者 鈴木 晃

宮城県黒川郡大和町松坂平1丁目6番地 富士フイルムマイクロデバイス株式会社内

Fターム(参考) 5J100 AA26 BA07 BB12 BB15 BB22 BC00 BC05 CA11 DA06 EA02

FA00

5J500 AA01 AA25 AC36 AF10 AF18 AH09 AH17 AH29 AH30 AH38

AK01 AK05 AK09 AK12 AK47 AM11 AM21 AS00 AT01 AT03

AT06