

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-55843
(P2004-55843A)

(43) 公開日 平成16年2月19日(2004.2.19)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
HO 1 L 29/786	HO 1 L 29/78 6 2 3 A	5 C 0 9 4
GO 9 F 9/30	GO 9 F 9/30 3 3 8	5 F 1 1 0
HO 1 L 21/336	HO 1 L 29/78 6 1 2 C	
	HO 1 L 29/78 6 1 8 C	
	HO 1 L 29/78 6 1 7 N	

審査請求 未請求 請求項の数 16 O L (全 20 頁) 最終頁に続く

(21) 出願番号	特願2002-211602 (P2002-211602)	(71) 出願人	000153878 株式会社半導体エネルギー研究所 神奈川県厚木市長谷398番地
(22) 出願日	平成14年7月19日 (2002.7.19)	(72) 発明者	早川 昌彦 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内
		F ターム (参考)	5C094 AA42 AA43 BA03 CA19 DA13 DB01 EA04 EB02 FA01 FB12 FB14 FB15 JA07

最終頁に続く

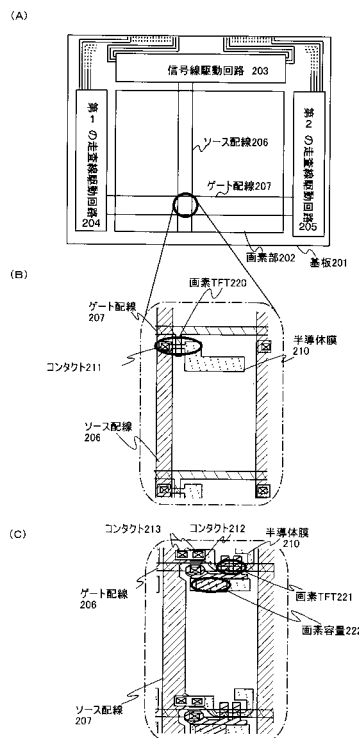
(54) 【発明の名称】 薄膜トランジスタ又は半導体装置及びそれらの設計方法

(57) 【要約】

【課題】ゲート絶縁膜への損傷問題は、ガラス基板等の絶縁性の高い基板上に形成された薄膜トランジスタを使用した表示装置で生じてしまう。特に、ガラス基板上に形成されたTFTにプラズマCVD等で絶縁膜を成膜する工程において、ゲート電極やゲート配線に電界が集中し、ゲート電極やゲート配線に接続されているTFT素子が損傷すること(チャージングダメージ)が問題であった。

【解決手段】そこで本発明者は、ガラス基板上に形成されたTFTにおいては、アンテナ比が一定を満たすのではなく、アンテナサイズ(1000 μm^2 以下)とTFTサイズ(50 μm^2 以上、好ましくは80 μm^2 以上)のどちらかが基準値を満たしている場合は、チャージングダメージの影響が低減されることを見出した。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

絶縁表面上に設けられたソース領域、ドレイン領域及びチャンネル形成領域を有する半導体膜と、前記半導体膜上に設けられたゲート電極とを有する薄膜トランジスタにおいて、前記ゲート電極の表面積は $1000 \mu\text{m}^2$ 以下かつ前記チャンネル形成領域の面積は $50 \mu\text{m}^2$ 以上である第 1 の構造、前記ゲート電極の表面積が $1000 \mu\text{m}^2$ 以上かつ前記チャンネル形成領域の面積が $50 \mu\text{m}^2$ 以上である第 2 の構造、又は前記ゲート電極の表面積が $1000 \mu\text{m}^2$ 以下かつ前記チャンネル形成領域の面積が $50 \mu\text{m}^2$ 以下である第 3 の構造、から選ばれたいずれかの構造を有することを特徴とする薄膜トランジスタ。

【請求項 2】

絶縁表面上に設けられたソース領域、ドレイン領域及びチャンネル形成領域を有する半導体膜と、前記半導体膜上に設けられた複数のゲート電極とを有する薄膜トランジスタにおいて、前記ゲート電極の表面積の和は $1000 \mu\text{m}^2$ 以下かつ前記チャンネル形成領域の面積の和は $50 \mu\text{m}^2$ 以上である第 1 の構造、前記ゲート電極の表面積の和が $1000 \mu\text{m}^2$ 以上かつ前記チャンネル形成領域の面積の和が $50 \mu\text{m}^2$ 以上である第 2 の構造、又は前記ゲート電極の表面積の和が $1000 \mu\text{m}^2$ 以下かつ前記チャンネル形成領域の面積の和が $50 \mu\text{m}^2$ 以下である第 3 の構造、から選ばれたいずれかの構造を有することを特徴とする薄膜トランジスタ。

【請求項 3】

請求項 1 又は 2 において、前記絶縁表面はガラス基板の表面であることを特徴とする薄膜トランジスタ。

【請求項 4】

絶縁表面上にソース領域、ドレイン領域及びチャンネル形成領域を有する半導体膜を形成し、前記半導体膜上にゲート電極とを形成する薄膜トランジスタの設計方法において、前記ゲート電極の表面積が $1000 \mu\text{m}^2$ 以下かつ前記チャンネル形成領域の面積が $50 \mu\text{m}^2$ 以上となる第 1 の条件、前記ゲート電極の表面積が $1000 \mu\text{m}^2$ 以上かつ前記チャンネル形成領域の面積が $50 \mu\text{m}^2$ 以上となる第 2 の条件、又は前記ゲート電極の表面積が $1000 \mu\text{m}^2$ 以下かつ前記チャンネル形成領域の面積が $50 \mu\text{m}^2$ 以下となる第 3 の条件、のうち少なくとも 1 つの条件を満たすように設計することを特徴とする薄膜トランジスタの設計方法。

【請求項 5】

請求項 4 において、前記チャンネル形成領域の面積は $80 \mu\text{m}^2$ であることを特徴とする薄膜トランジスタの設計方法。

【請求項 6】

請求項 4 において、前記チャンネル形成領域面積はチャンネル長が $10 \mu\text{m}$ 又はチャンネル幅が $10 \mu\text{m}$ 以上であることを特徴とする薄膜トランジスタの設計方法。

【請求項 7】

請求項 4 において、前記ソース領域及び前記ドレイン領域と前記チャンネル形成領域との間に、前記ゲート電極と重なって設けられた低濃度不純物領域を有し、前記チャンネル形成領域の面積は前記低濃度不純物領域を合わせた面積であることを特徴とする薄膜トランジスタの設計方法。

【請求項 8】

絶縁表面上にソース領域、ドレイン領域及びチャンネル形成領域を有する半導体膜を形成し、前記半導体膜上に複数のゲート電極とを形成する薄膜トランジスタの設計方法において、前記ゲート電極の表面積の和が $1000 \mu\text{m}^2$ 以下かつ前記チャンネル形成領域の面積の和が $50 \mu\text{m}^2$ 以上となる第 1 の条件、前記ゲート電極の表面積の和が $1000 \mu\text{m}^2$ 以上かつ前記チャンネル形成領域の面積の和が $50 \mu\text{m}^2$ 以上となる第 2 の条件、又は前記ゲート電極の表面積の和が $1000 \mu\text{m}^2$ 以下かつ前記チャンネル形成領域の面積の和が 50μ

10

20

30

40

50

m^2 以下となる第3の条件、のうち少なくとも1つの条件を満たすように設計することを特徴とする薄膜トランジスタの設計方法。

【請求項9】

絶縁表面上に形成されたソース領域、ドレイン領域及びチャンネル形成領域を有する複数の半導体膜と、前記複数の半導体膜上に形成された各々ゲート電極と、前記ゲート電極を覆って形成された絶縁膜と、前記絶縁膜において前記ソース領域及び前記ドレイン領域上方に形成された開口部と、前記開口部に形成された配線と、前記配線により複数のゲート電極が電氣的に接続される複数の薄膜トランジスタの設計方法において、前記各々のゲート電極の表面積の面積が $1000 \mu m^2$ 以上であるとき前記チャンネル形成領域の面積が $50 \mu m^2$ 以上となるように設計することを特徴とする薄膜トランジスタの設計方法。

10

【請求項10】

請求項4乃至9のいずれか一において、前記絶縁表面はガラス基板の表面であることを特徴とする薄膜トランジスタの設計方法。

【請求項11】

絶縁表面上に設けられたソース領域、ドレイン領域及びチャンネル形成領域を有する半導体膜と、前記半導体膜上に設けられたゲート電極とを有する薄膜トランジスタを複数備えた半導体装置において、前記ゲート電極の表面積は $1000 \mu m^2$ 以下かつ前記チャンネル形成領域の面積は $50 \mu m^2$ 以上である第1の構造、前記ゲート電極の表面積が $1000 \mu m^2$ 以上かつ前記チャンネル形成領域の面積が $50 \mu m^2$ 以上である第2の構造、又は前記ゲート電極の表面積が $1000 \mu m^2$ 以下かつ前記チャンネル形成領域の面積が $50 \mu m^2$ 以下である第3の構造、から選ばれたいずれか一つ又は複数の構造を有する複数の薄膜トランジスタを備えた半導体装置。

20

【請求項12】

請求項11において、前記絶縁表面はガラス基板の表面であることを特徴とする半導体装置。

【請求項13】

絶縁表面上に形成されたソース領域、ドレイン領域及びチャンネル形成領域を有する半導体膜と、前記半導体膜上に形成されたゲート電極とを有する複数の薄膜トランジスタを備えた半導体装置の設計方法において、前記ゲート電極の表面積が $1000 \mu m^2$ 以下かつ前記チャンネル形成領域の面積が $50 \mu m^2$ 以上となる第1の条件、前記ゲート電極の表面積が $1000 \mu m^2$ 以上かつ前記チャンネル形成領域の面積が $50 \mu m^2$ 以上となる第2の条件、又は前記ゲート電極の表面積が $1000 \mu m^2$ 以下かつ前記チャンネル形成領域の面積が $50 \mu m^2$ 以下となる第3の条件、から選ばれたいずれか一つ又は複数の条件を満たすように設計する複数の薄膜トランジスタを備えた半導体装置の設計方法。

30

【請求項14】

請求項13において、前記チャンネル形成領域の面積は $80 \mu m^2$ であることを特徴とする半導体装置の設計方法。

40

【請求項15】

請求項13において、前記チャンネル形成領域面積はチャンネル長が $10 \mu m$ 又はチャンネル幅が $10 \mu m$ 以上であることを特徴とする半導体装置の設計方法。

【請求項16】

請求項13において、前記ソース領域及び前記ドレイン領域と前記チャンネル形成領域との間に、前記ゲート電極と重なって設けられた低濃度不純物領域を有し、前記チャンネル形成領域の面積は前記低濃度不純物領域を合わせた面積であることを特徴とする半導体装置の設計方法。

【発明の詳細な説明】

【0001】

50

【発明の属する技術分野】

本発明は、半導体装置及びその作製方法に関する。特に、ガラス基板上に形成された薄膜トランジスタ、当該薄膜トランジスタを備えた表示装置及びその作製方法に関する。

【0002】**【従来の技術】**

近年、Siウェハ－上に形成される半導体集積回路の高集積化に伴い、トランジスタの微細化への研究開発が行われている。このようなトランジスタの作製工程では、微細なマスクパターンを忠実に導電膜や絶縁膜に転写するため、反応性イオンエッチング(RIE)、エレクトロンサイクロトロンレゾナンス(ECR)プラズマエッチング等のプラズマを利用したドライエッチングが用いられている。しかし、このようにプラズマを利用した導電膜等のドライエッチング時には、ゲート絶縁膜上の導電膜、又はゲート電極に接続される導電膜にチャージアップが生じ、その結果ゲート絶縁膜に損傷を与えてしまった。

10

【0003】

そこで、Siウェハ－上に形成される半導体集積回路において、ゲート絶縁膜の損傷を防止するために、アンテナ比(アンテナ表面積又は側面積をチャンネル表面積にて割った値)を考慮する設計が行われていた(例えば、特開平09-92645、特開平11-354642、特開2001-284461参照)。

【0004】**【発明が解決しようとする課題】**

このようなゲート絶縁膜への損傷問題は、ガラス基板等の絶縁性の高い基板上(以下、単にガラス基板と表記する)に形成された薄膜トランジスタ(以下、TFTと表記する)を使用した表示装置でも生じてしまった。特に、ガラス基板上に形成されたTFTにプラズマCVD等で絶縁膜を成膜する工程において、ゲート電極やゲート配線に電界が集中し、ゲート電極やゲート配線に接続されているTFT素子が損傷すること(チャージングダメージ)があった。

20

【0005】

また、表示装置は大型化への研究が進められており、アンテナ表面積がより大きくなる方向にある。更に、ゲート電極やゲート配線の抵抗が問題となっており、ゲート電極やゲート配線を低抵抗材料で形成する必要がある。そして特に、画素部と駆動回路部とを同一基板上に一体形成する表示装置では、画素部と駆動回路部のTFTを同一工程で形成するため、周辺回路の配線も同じ低抵抗材料で形成されることになる。このため、駆動回路部の素子の静電破壊が生じ易くなってしまった。

30

【0006】

そこで、本発明は上記問題に鑑み、画素部や駆動回路部におけるゲート絶縁膜の損傷を防止できるTFT及びその設計方法、並びにその作製方法を提供することを課題とする。そして、本発明はこのTFTを備えた半導体装置、具体的には液晶表示装置、EL発光装置、その他の表示装置を提供することを課題とする。

【0007】**【課題を解決するための手段】**

本発明者は上記問題を鑑み、ガラス基板上のTFTにおいてチャージングダメージの影響が低減される条件は、Siウェハ－と異なった条件、すなわちアンテナ比を満たすか否かとは違った条件があるのではないかと考えた。それは、以下に示す実験結果(図13~図16)に基づいて、ガラス基板上のTFTとSiウェハ－に形成されたトランジスタとでは、起こっている現象が異なっていると考えられるためである。

40

【0008】

そこでまず、実験結果(図13~図16)について説明する。なおいずれの測定においても、測定試料のTFTのチャンネル形成領域のサイズは、 $L = 7 [\mu m]$ 、 $W = 8 [\mu m]$ であり、測定条件は $V_D = 0.1 [V]$ 、 $3 [V]$ である。

【0009】

図15(A)(B)には、ガラス基板上に形成されたシングルゲート構造のTFTに対し

50

て、ソース電極及びドレイン電極は電氣的に浮遊状態 (floating) とし、ゲート電極にはそれぞれ $V_G = 0.2 [kV]$ 、 $-0.2 [kV]$ の電圧を $1 [sec]$ 間隔で 5 回印加を行い、電圧印加前 (-) と電圧印加後 (x) の $I_D - V_G$ 特性の比較を行った結果を示す。

【0010】

図 15 の測定結果より、ガラス基板上に形成された TFT では、 $V_G = \pm 0.2 [V]$ のどちらにおいても電圧印加後の TFT の特性の変化はほとんど無いことが確認できる。

【0011】

次に図 16 (A) (B) には、ガラス基板上に形成されたシングルゲート構造の TFT に対して、ソース電極及びドレイン電極を固定状態 (common、アース) とし、ゲート電極にはそれぞれ $V_G = 0.2 [kV]$ 、 $-0.2 [kV]$ の電圧を $1 [sec]$ 間隔で 5 回印加を行い、電圧印加前 (-) と電圧印加後 (x) の $I_D - V_G$ 特性の比較を行った結果を示す。

10

【0012】

図 16 の測定結果より、ソース電極及びドレイン電極を固定されたガラス基板上に形成された TFT では、 $V_G = \pm 0.2 [V]$ のどちらにおいても電圧印加後には TFT は破壊してしまうことがわかる。

【0013】

ここで、ソース電極及びドレイン電極を浮遊状態と固定状態とした理由を説明する。ガラス基板上に形成された TFT は、ガラス基板が絶縁材料であるため、TFT の半導体層 (チャンネル形成領域等を有する層) の電位は、ゲート電極の電位に引き寄せられてしまう。それに対して、Siウエハは導電性材料であり、ある電位 (アース) に固定された状態で形成される。従って、ガラス基板上的 TFT は、ソース電極及びドレイン電極が浮遊状態となっているのに対し、Siウエハのトランジスタはソース電極及びドレイン電極が固定状態となっているとみなすことができる。

20

【0014】

更に図 13 (A)、(B) には、ガラス基板上に形成されたデュアルゲート構造の TFT の下部ゲート電極を、それぞれ浮遊状態 (floating) と固定状態 (common) とし、上部ゲート電極に $V_G = 0.2 [V]$ の電圧を $1 [sec]$ 間隔で 5 回印加を行い、電圧印加前 (-) と電圧印加後 (x) の $I_D - V_G$ 特性の比較を行った結果を示す。

30

【0015】

また、図 14 (A)、(B) には、ガラス基板上に形成されたデュアルゲート構造の TFT の下部ゲート電極を、それぞれ浮遊状態 (floating) と固定状態 (common) とし、上部ゲート電極に $V_G = -0.2 [V]$ の電圧を $1 [sec]$ 間隔で 5 回印加を行い、電圧印加前 (-) と電圧印加後 (x) の $I_D - V_G$ 特性の比較を行った結果を示す。

【0016】

図 13、図 14 の実験結果より、下部ゲート電極を固定状態とした (B) は、ソース電極及びドレイン電極を固定状態とした場合と同様に、 $V_G = \pm 0.2 [V]$ のどちらにおいても電圧印加後には TFT は破壊してしまうことがわかる。それに対して、下部ゲート電極を浮遊状態とした (A) は、 $V_G = \pm 0.2 [V]$ のどちらにおいても電圧印加後で TFT の特性の変化はほとんど無いことがわかる。

40

【0017】

以上の結果により、ガラス基板上に形成された TFT と Siウエハとでは、チャージングダメージ等の起こりうる現象が異なることが予測され、ガラス基板上に形成された TFT を対象としたチャージングダメージを低減する条件が別途必要となる。

【0018】

そこで本発明者は、ガラス基板上的 TFT では、TFT のゲート端子に繋がるゲート配線の表面積 (以下、アンテナサイズと表記する) を一定以下、又は TFT のチャンネル形成領域の面積 (以下、TFT サイズと表記する) を一定以上とすることで、ゲート配線をアン

50

テナとして加速されるチャージングダメージの影響が低減されることを見出した。

【0019】

すなわちガラス基板上に形成されたTFTにおいては、アンテナ比が一定であっても、アンテナサイズとTFTサイズのどちらも基準値を満たしていない場合は、チャージングダメージの影響が低減されないが、アンテナサイズとTFTサイズのどちらかが基準値を満たしている場合は、チャージングダメージの影響が低減されるのである。

【0020】

つまり、本発明は、アンテナ比を一定以下にするのではなく、アンテナサイズ又はTFTサイズのいずれか一方が一定の基準値を満たすTFT及びその設計方法並びにその作製方法を特徴とする。

10

【0021】

なお「アンテナサイズを一定以下とする」とは、TFTのゲート電極及びそれに接続されるゲート配線の表面積をある値以下（好ましくは $1 \times 10^3 \mu\text{m}^2$ 以下）とすることである。また、「TFTサイズを一定以上とする」とは、チャンネル形成領域の面積（S）、すなわちチャンネル長（L） \times チャンネル幅（W）をある値以上（好ましくは $S = 50 \mu\text{m}^2$ 以上、更に好ましくは $L = 10 \mu\text{m}$ 以上又は $W = 10 \mu\text{m}$ 以上）とすることである。なおチャンネル形成領域は、TFTの構成により、ソース領域及びドレイン領域とチャンネル形成領域との間に、ゲート電極と重なって設けられた低濃度不純物領域、いわゆるGOLD（Gate-drain Overlapped LDD）を含む場合もある。

【0022】

20

【発明の実施の形態】

以下に、本発明の実施の形態を図面に基づいて説明する。

【0023】

（実施の形態1）

本実施の形態では画素部と駆動回路部とを有する半導体装置における設計例を図1を用いて説明する。

【0024】

図1には、半導体装置の作製工程のフローチャートを示す。半導体装置の作製工程は、まず半導体装置の仕様が決定され、その仕様に基づいて回路等が設計される。このとき、画素部や駆動回路部のどこに、どのようなサイズのTFTを配置するのか（TFTのレイアウト）が決定され、レイアウトに基づいてTFTのゲート電極に接続される配線の接続（配線の引き回し）が決定される。その後、回路設計（TFTのレイアウトや配線の引き回し）に基づいて、マスクが形成され、そのマスクを用いて形成されるTFTが設けられた基板（以下、アクティブマトリクス基板と記載する）が形成される。次いで、アクティブマトリクス基板上に液晶素子やEL素子を代表とする素子を形成し、液晶表示装置やEL表示装置といった半導体装置が完成する。

30

【0025】

そして上記の半導体装置の作製工程である回路設計において、アンテナサイズを一定以下となるように設計する。また、回路設計においてアンテナサイズを一定以下となるように設計できない場合は、TFTサイズを一定以上となるように設計する。

40

【0026】

なお一般に、高精細パネルの画素部や高集積化された駆動回路部でのTFTサイズはそれほど大きく設計できる訳ではないため、アンテナサイズを小さくすることが好ましい。

【0027】

一方、半導体装置が完成に近づくとつれ、TFTのゲート配線とその他のゲート配線とがコンタクトを介して第2の配線で接続され、アンテナサイズが大きくなってしまふ。このような場合は、TFTサイズを一定以上となるように設計するのが好ましい。

【0028】

また、配線を介して接続された複数のTFTでは、ダメージが均一に分散せず、最も弱い画素TFTへ局所的に入ってしまうことが考えられる。この場合、最も弱いTFTに対し

50

て、アンテナサイズ又はTFTサイズを求め、基準値を満たすように設計する必要がある。

【0029】

このように本発明は、ガラス基板上に形成されたTFTを使用した半導体装置においてチャージングダメージの影響を低減させるために、アンテナ比を一定とするのではなく、アンテナサイズ又はTFTサイズのいずれか一方が一定の基準値を満たすことを特徴とする。このようにアンテナサイズ又はTFTサイズのいずれか一方が一定の基準値を満たす本発明の半導体装置は、チャージングダメージを低減することが可能となる。

【0030】

またアンテナサイズ又はTFTサイズのいずれか一方の制御を行う本発明により、半導体装置の設計の自由度を広げることができうる。更に本発明は、TFTの半導体膜が非晶質状態でも結晶状態でも実施することができ、幅広く実施することが可能である。

【0031】

(実施の形態2)

本実施の形態では、本発明の条件を満たす半導体装置の画素部のTFTの例を、図2を用いて説明する。

【0032】

図2(A)に示すように、半導体装置はガラス基板201上に画素部202と、信号線駆動回路203、第1の走査線駆動回路204及び第2の走査線駆動回路205を有する駆動回路部とを備えている。そして、信号線駆動回路203から延びているソース配線206、第1又は第2の走査線駆動回路204、205から延びているゲート配線207とを有し、ソース配線206とゲート配線207との交点には画素が設けられている。

【0033】

また、図2(B)及び(C)には、ソース配線206とゲート配線207との交点に設けられる画素の拡大図を示し、画素のTFT(画素TFT)の構成例を示す。

【0034】

図2(B)に示す画素TFT220は、半導体膜210上に設けられたゲート配線の一部がゲート電極として機能し、半導体膜の一部はチャンネル形成領域として機能する。そして、チャンネル形成領域のチャンネル長はL、チャンネル幅はWである。また半導体膜210のソース領域はコンタクト211を介してソース電極(ソース配線)と接続している。

【0035】

このような、画素TFT220は設計上、TFTサイズをそれほど大きく形成できるわけではないため、アンテナサイズを一定以下(好ましくは $1 \times 10^3 \mu\text{m}^2$ 以下)となるように設計するのが好ましい。また、図2(B)に示す画素構成では、一つのゲート配線207(ゲート配線1ライン)に複数の画素TFTが繋がっているが、仮に画素TFTへ均等にダメージが分散すると考えると、画素TFT当たりのアンテナサイズはゲート配線の表面積と、繋がっているゲート電極の数とから求めることができる。

【0036】

しかし、複数の画素TFTへのダメージが均一に分散せず、最も弱い画素TFTへ局所的に入ってしまうことがある。このような場合、最も弱い画素TFTに対してアンテナサイズやTFTサイズを求め、基準値を満たすように設計する必要がある。

【0037】

またその後の作製工程において、第2の配線により、層間絶縁膜に形成されたコンタクトを介し、ゲート配線が駆動回路部(バッファ回路等)のTFTと繋がるため、アンテナサイズが大きくなってしまふ。このような場合は、TFTサイズ(チャンネル形成領域の面積:S)を一定以上(好ましくは $S = 50 \mu\text{m}^2$ 以上)を満たすことが望ましい。

【0038】

なお、図2(B)に示す画素構成を有する実際の表示装置において、画素TFTのアンテナサイズを求めると、4インチ液晶表示装置では $1.4 \times 10^6 \mu\text{m}^2$ 程度、1.94インチEL表示装置では $2.5 \times 10^5 \mu\text{m}^2$ 程度となってしまう。しかし、ゲート配線1

ラインに複数の画素 T F T が繋がっているため、仮に絶縁破壊等のダメージが均等に分散するとした場合での画素 T F T 当たりのアンテナサイズは、4 インチ液晶表示装置で $7.3 \times 10^2 \mu\text{m}^2$ 程度、1.94 インチ E L 表示装置で $4.7 \times 10^2 \mu\text{m}^2$ 程度となり、上記アンテナサイズの基準値 ($1 \times 10^3 \mu\text{m}^2$ 以下) を満たしていると考えることができる。

【0039】

また図 2 (C) には (B) と異なる画素 T F T を示す。図 2 (C) に示す画素 T F T 2 2 1 と画素容量 2 2 2 とは、画素 T F T 2 2 0 と異なり、ゲート電極とソース配線 2 0 7 とを同一プロセス (成膜及びパターニング) で形成し、その後、ゲート電極とゲート配線 2 0 6 とはコンタクトを介して接続することを特徴とする。そして、画素 T F T 2 2 1 は半導体膜 2 1 0 に対してゲート電極が 2 つ設けられた、いわゆるダブルゲート構造である。また、コンタクト 2 1 2 を介してゲート配線 2 0 6 と接続され、コンタクト 2 1 3 を介してソース配線 2 0 7 と接続されている。また、画素容量 2 2 2 はコンタクト 2 1 2 を介してゲート配線 2 0 6 と接続されている。そして、後に形成される画素電極とコンタクトを介して接続され、画素電極の容量として機能する。

10

【0040】

設計上、画素 T F T サイズはそれほど大きく形成できるわけではないため、アンテナサイズを一定以下 (好ましくは $1 \times 10^3 \mu\text{m}^2$ 以下) となるように設計することが望ましい。そこで図 2 (C) の構成を用いれば、少なくともその後形成される第 2 の配線 (2 n d 配線) を形成するまでの間、アンテナサイズは画素容量 2 2 2 をいれても $5 \times 10^2 \mu\text{m}^2$ 程度となり、アンテナサイズの基準値を満たすことができる。また、各画素が電氣的に独立しているため、最も弱い画素にダメージが集中することもない。

20

【0041】

なお画素 T F T 2 2 1 のようなダブルゲート構造の場合、アンテナサイズは各ゲート電極面積の和で考えればよい。もちろん本発明は、ダブルゲート以上のマルチゲート構造 (例えばトリプルゲート構造) を有する T F T においても実施することは可能である。

【0042】

以上の本発明の設計条件を、図 1 7 に示す。図 1 7 は、アンテナサイズと T F T サイズの関係からみた本発明の設計条件を示すグラフである。一方ではアンテナサイズが $1000 \mu\text{m}^2$ 以下、つまり領域 (1) 及び (3) の範囲内になるよう設計すればよい。他方では、T F T サイズが $50 \mu\text{m}^2$ 以上、つまり領域 (1) 及び (2) の範囲となるよう設計すればよい。

30

【0043】

また本発明の設計条件は、アンテナサイズが $1000 \mu\text{m}^2$ 以下とできない場合であっても、T F T サイズが $50 \mu\text{m}^2$ 以上、つまり領域 (2) の範囲内になるよう設計すればよく、T F T サイズが $50 \mu\text{m}^2$ 以上とできない場合であっても、アンテナサイズが $1000 \mu\text{m}^2$ 以下、つまり領域 (3) の範囲内になるよう設計すればよい。すなわち、本発明はアンテナサイズが $1000 \mu\text{m}^2$ 以上であり、かつ T F T サイズが $50 \mu\text{m}^2$ 以下である領域 (4) 以外となるよう設計すればよい。

【0044】

従って、本発明のガラス基板上の T F T の設計条件は、領域 (1) ~ (3) を満たす範囲であればよく、幅広い設計範囲を得ることができる。

40

【0045】

このように、少なくともアンテナサイズ又は T F T サイズのいずれか一方が一定の基準値を満たす本発明の半導体装置は、チャージングダメージを低減することが可能となる。また本発明は、各構成の T F T において、アンテナサイズ又は T F T サイズのいずれか一方の制御を行えばよいため、半導体装置の設計の自由度を広げることができる。

【0046】

(実施の形態 3)

本実施の形態では、本発明の設計方法を用いて作製する画素部と駆動回路部を有するアク

50

ティブマトリクス基板を、図3から図7を用いて説明する。なお図3から図7では、画素部のnチャネル型TFT及びpチャネル型TFTと、駆動回路部のnチャネル型TFT及びpチャネル型TFTのみを示す。

【0047】

まず、図3(A)に示すように、ガラス基板301上に酸化シリコン膜、窒化シリコン膜又は酸化窒化シリコン膜などの絶縁膜の積層からなる下地絶縁膜302を形成する。ここでは下地絶縁膜302として酸化シリコン膜302aと酸化窒化シリコン膜302bとを積層した構造を用いるが、絶縁膜の単層膜又は2層以上積層させた構造を用いてもよい。

【0048】

次いで、下地膜302上に半導体膜を形成する。半導体膜は、非晶質構造を有する半導体膜を公知の手段(スパッタ法、LPCVD法、又はプラズマCVD法等)により成膜した後、結晶化処理(レーザー結晶化法、熱結晶化法、又はニッケルなどの触媒を用いた熱結晶化法等)を行う。また、ニッケルなどの触媒を用いた熱結晶化の後、レーザーを照射し、結晶化を促進するとよい。

10

【0049】

そして、結晶化した第1の半導体膜にボロンを添加する(チャネルドーピング)。その後、この半導体膜の厚さは25~80[nm](好ましくは30~60[nm])の厚さとなるようにし、所望の形状にパターンニングし、島状の半導体膜303を形成する。なお、結晶質半導体膜の材料に限定はないが、好ましくはシリコン又はシリコンゲルマニウム合金などで形成するとよい。

20

【0050】

次いで、図3(B)に示すように、フッ酸を含むエッチャントで半導体層の表面を洗浄し、半導体層を覆うゲート絶縁膜304を形成する。ゲート絶縁膜304はプラズマCVD法又はスパッタ法を用い、厚さを40~150[nm]としてシリコンを含む絶縁膜で形成する勿論、ゲート絶縁膜は酸化窒化シリコン膜に限定されるものでなく、他のシリコンを含む絶縁膜を単層又は積層構造として用いてもよい。

【0051】

次いで、ゲート絶縁膜304上に膜厚20~100[nm]の第1の導電膜と、膜厚100~400[nm]の第2の導電膜とを積層して形成する。本実施の形態では、ゲート絶縁膜304上に膜厚50[nm]の窒化タンタル膜305、膜厚370[nm]のタンゲステン膜306を順次積層して形成した。

30

また、第1の導電膜及び第2の導電膜はTa、W、Ti、Mo、Al、Cuから選ばれた元素、又は前記元素を主成分とする合金材料もしくは化合物材料で形成すればよい。その後、パターンニング及びエッチングを行って、図3(C)に示すように各ゲート電極(305、306)及び各配線(図示せず)を形成する。

【0052】

このとき本発明を実施し、画素部及び駆動回路部となるTFTにおける第1の導電膜と第2の導電膜との表面積が、一定以下(好ましくは $1 \times 10^3 \mu\text{m}^2$ 以下)となるように形成する。

【0053】

次いで、図3(D)に示すように、ゲート電極(305、306)をマスクとして半導体膜に導電型を付与する不純物元素を添加する第1のドーピング処理を行い、自己整合的に第1の不純物領域(n^+ 領域)307aが形成される。第1のドーピング処理はイオンドーピング法又はイオン注入法で行えばよい。n型を付与する不純物元素として、典型的にはリン(P)又は砒素(As)を用いる。第1の不純物領域307aには $1 \times 10^{20} \sim 1 \times 10^{21} / \text{cm}^3$ の濃度範囲でn型を付与する不純物元素が添加される。

40

【0054】

その後、ゲート電極をエッチングし、図3(E)に示すように更にテーパを付けた状態に形成する。このテーパが付いたゲート電極(第2のゲート電極)をマスクとして半導体膜に導電型を付与する不純物元素を添加する第2のドーピング処理を行い、ゲート電極と重

50

ならない第2の不純物領域 (n^- 領域) 308aと、第2のゲート電極の一部と重なる第3の不純物領域 (n^- 領域) 309aを形成する。第2のドーピング処理はイオンドーピング法、又はイオン注入法で行えばよい。第2の不純物領域308aには $1 \times 10^{16} \sim 1 \times 10^{17} / \text{cm}^3$ の濃度範囲でn型を付与する不純物元素が添加される。

【0055】

次いで、図3(F)に示すように、レジストからなるマスク310を形成して第3のドーピング処理を行う。第3のドーピング処理により、pチャネル型TFTを形成する半導体層を形成する半導体層にp型の導電性を付与する不純物元素(ボロンなど)が添加された第3の不純物領域307b、第4の不純物領域308b、第5の不純物領域309bを形成する。また、第3の不純物領域307bには $1 \times 10^{20} \sim 1 \times 10^{21} / \text{cm}^3$ の濃度範囲でp型を付与する不純物元素が添加されるようにする。なお、第3の不純物領域307bには先の工程でリン(P)が添加された領域 (n^+ 領域)であるが、p型を付与する不純物元素の濃度がその1.5~3倍添加されているため導電性はp型となっている。ここでは、第3の不純物領域と同じ濃度範囲の領域を p^+ 領域とも呼ぶ。以上までの工程で、それぞれの半導体層にn型又はp型の導電性を有する不純物領域が形成される。

10

【0056】

不純物領域を形成した後、不純物元素を活性化するために加熱処理、強光の照射、又はレーザー光の照射を行う。また、活性化と同時にゲート絶縁膜へのプラズマダメージやゲート絶縁膜と半導体層との界面へのプラズマダメージを回復することができる。特に、室温~300の雰囲気中において、表面又は裏面からエキシマレーザーを用いて不純物元素を活性化させるとよい。またYAGレーザーの第2高調波を照射して活性化させてもよく、YAGレーザーはメンテナンスが少ないため好ましい活性化手段である。

20

【0057】

次いで、図3(G)に示すように、酸化窒化シリコン膜、酸化シリコンなどの絶縁膜からなる第1のパッシベーション膜311を形成する。本実施の形態ではプラズマCVD法を用いて、酸化窒化シリコン膜を100[nm]の厚さに形成する。その後、クリーンオープンを用いて、300~550で1~12時間加熱し、半導体膜の水素化を行う。本実施の形態では、窒素雰囲気中で410、1時間加熱した。この工程は、第1のパッシベーション膜311に含まれる水素により、半導体層のダングリングボンドを終端することができる。また、水素化と共に上述の不純物領域の活性化処理を同時に行うこともできる。

30

【0058】

その後、図4(H)に示すように、第1のパッシベーション膜311上に有機材料からなる第1の層間絶縁膜320を形成する。有機材料として、ポジ型感光性有機樹脂又はネガ型感光性有機樹脂を用いることができる。なお、第1の層間絶縁膜320に感光性有機樹脂を用いた場合、フォトリソグラフィ工程による露光処理により感光性有機樹脂をエッチングすると図4(H)に示すように曲率を有する開口部を形成することができる。なお、第1の層間絶縁膜にポジ型の感光性有機樹脂を用いる場合、ポジ型の感光性樹脂は茶色に着色しているため、エッチング後に感光性有機樹脂の脱色処理を行う必要がある。本実施の形態では、第1の層間絶縁膜として1.05 μm の感光性アクリル樹脂膜を形成する。

40

この後、第1の層間絶縁膜のパターニング及びエッチングを行い、曲率(なだらかな内壁)を有する第1の開口部を形成する。このように曲率を有する第1の開口部を形成することは、後に形成する電極の被覆率(カバレッジ)がよくなるという効果がある。

【0059】

次いで、第1の開口部及び第1の層間絶縁膜320を覆うように窒化絶縁膜(代表的には、窒化珪素膜又は窒化酸化珪素膜)からなる第2のパッシベーション膜321を形成する。本実施の形態では第2のパッシベーション膜321に窒化珪素膜を用いる。窒化絶縁膜からなる第2のパッシベーション膜321を形成することにより、第1の層間絶縁膜から発生する脱ガスを抑制することができる。

【0060】

50

そして、第2のパッシベーション膜321、第1のパッシベーション膜311、ゲート絶縁膜304を順次エッチングし、第2の開口部を形成する。このときの、エッチング処理は、ドライエッチング処理でもウエットエッチング処理でもよい。本実施の形態では、ドライエッチングにより第2の開口部を形成する。次いで、第2の開口部を形成した後、図4(I)に示すように、第2のパッシベーション膜上321及び第2の開口部に金属膜を形成し、金属膜をエッチングしてソース電極及びドレイン電極322、配線(図示しない)を形成する。また、金属膜は、アルミニウム(Al)、チタン(Ti)、モリブデン(Mo)、タングステン(W)もしくはシリコン(Si)の元素からなる膜又はこれらの元素を用いた合金膜を用いればよい。本実施の形態では、チタン膜/チタン-アルミニウム合金膜/チタン膜(Ti/Al-Si/Ti)をそれぞれ100/350/100[nm]に積層した。

【0061】

この配線(2nd配線)により、複数のTF T及びアンテナが繋がってしまう。そのため、アンテナサイズが大きくなり、基準値を満たさない場合がある。2nd配線形成以降にチャージングダメージが加わるプロセスを行う場合は、予めTF Tサイズを大きく設計することが望ましい。

【0062】

その後、画素電極(発光素子の陽極又は陰極となる電極)323を形成する。電極323には、ITO、SnO₂等の透明導電膜を用いることができる。本実施の形態では、ITOを110[nm]成膜し、所望の形状にエッチングすることで電極323を形成する。

【0063】

以上のように、nチャネル型TF T及びpチャネル型TF Tを有する駆動回路部と、ダブルゲート構造のnチャネル型TF T及びpチャネル型TF Tを有する画素部と、を備えたアクティブマトリクス基板を完成させる。

【0064】

このように、アンテナサイズ又はTF Tサイズのいずれか一方が一定の基準値を満たすTF Tの作製方法により、チャージングダメージを低減されるTF Tを提供することができる。また本発明により、アンテナサイズ又はTF Tサイズのいずれか一方の制御を行えばよいため、半導体装置の設計の自由度を広げることができる。

【0065】

(実施の形態4)

本実施の形態では、実施の形態2で作製したアクティブマトリクス基板を備えたEL表示装置(EL表示モジュール)を完成させる工程を、図5を用いて説明する。なお、図5(A)は、アクティブマトリクス基板の一部を拡大した図であり、図5(B)は、EL表示装置の全体を示す図である。

【0066】

図5(A)に示すように、アクティブマトリクス基板上に珪素を含む絶縁膜を形成し、画素電極323に対応する位置に開口部を形成して、バンクとして機能する第2の層間絶縁膜324を形成する。本実施の形態では500[nm]の酸化珪素膜を成膜して、バンクを形成した。また、開口部を形成する際、第2の層間絶縁膜324の側壁をテーパ形状とする。開口部の側壁が十分になだらかでない場合と段差に起因する有機発光層の劣化が顕著な問題となってしまうため、注意が必要である。

【0067】

次いで、発光層325及び陰極326を、蒸着法を用いて大気解放しないで連続形成する。陰極326はMgAg、Al又はAl-Liのいずれかからなる金属膜を用い、厚さは200~250[nm]とすればよい。本実施の形態では、陰極を200[nm]のAl膜で形成した。なお、発光層325としては公知の材料を用いることができる。公知の材料としては、駆動電圧を考慮すると有機材料を用いるのが好ましい。例えば正孔注入層、正孔輸送層、発光層及び電子注入層でなる4層構造を発光層とすればよい。

【0068】

10

20

30

40

50

この工程では、赤色に対応する画素、緑色に対応する画素及び青色に対応する画素に対して順次、発光層及び陰極を形成する。但し、発光層は溶液に対する耐性に乏しいためフォトリソグラフィ技術を用いずに各色個別に形成しなくてはならない。そこでメタルマスクを用いて所望の画素以外を隠し、必要箇所だけ選択的に発光層及び陰極を形成するのが好ましい。

【0069】

ここではRGBに対応した3種類のOLEDを形成する方式を用いたが、白色発光のOLEDとカラーフィルタを組み合わせた方式、青色又は青緑発光のOLEDと蛍光体（蛍光性の色変換層：CCM）とを組み合わせた方式、陰極（対向電極）に透明電極を利用してRGBに対応したOLEDを重ねる方式などを用いてもよい。

10

【0070】

そして、図5(B)に示すように、陰極326上に窒化珪素からなる第1の保護膜504を設け、更に紫外線硬化樹脂、エポキシ樹脂その他の樹脂膜からなる第2の保護膜505を設け、その上にプラスチックフィルムからなるカバー材506とが設けられている。なお、プラスチックフィルムは、窒化シリコン膜等の無機絶縁膜で表面を覆い、水分や酸素を透過しないようにしておくことが望ましい。更に、異方性導電膜511を用いてFPC（フレキシブルプリントサーキット）512を接着して外部端子とすればよい。勿論、ここで説明した具体例はあくまで一例であり、本発明を実施しうるEL表示装置の構成を限定するものではない。

【0071】

以上のようなEL表示装置は、チャージングダメージを受けにくい本発明の作製方法を用いて完成されるため、不良品の発生を低減することができる。また本発明により、アンテナサイズ又はTFTサイズのいずれか一方の制御を行えばよいため、EL表示装置の設計の自由度を広げることができる。

20

【0072】**（実施の形態5）**

本実施の形態では、実施の形態2で作製したアクティブマトリクス基板を備えた液晶表示装置（液晶表示モジュール）を完成させる工程を、図6を用いて説明する。なお、図6(A)は、アクティブマトリクス基板の一部を拡大した図であり、図6(B)は、液晶表示装置の全体を示す図である。

30

【0073】

図6(A)に示すように、アクティブマトリクス基板上に珪素を含む第2の層間絶縁膜622を形成し、その上に配向膜623を形成し、ラビング処理を行う。また、アクリル樹脂膜等の有機樹脂膜をパターンングすることによって基板間隔を保持するための柱状のスペーサを所望の位置に形成してもよい。また、柱状のスペーサに代えて、球状のスペーサを基板全面に散布しても構わない。次いで、対向基板625上に着色層及び平坦化膜を形成する（図示せず）。また、各色の着色層を一部重ねて、遮光部を形成してもよい。そして、対向電極を画素部701上に形成し、対向基板625の全面に配向膜624を形成し、ラビング処理を行う。

【0074】

そして図6(B)に示すように、画素部701と駆動回路部702、703が形成されたアクティブマトリクス基板と対向基板625とをシール剤708で貼り合わせる。シール剤708にはフィラーが混入されていて、このフィラーや柱状スペーサによって均一な間隔を持って2枚の基板が貼り合わせられる。その後、両基板の間707に液晶材料を注入し、封止剤（図示せず）によって完全に封止する。液晶材料には公知の液晶材料を用いればよい。更に、異方性導電膜711を用いてFPC（フレキシブルプリントサーキット）712を接着して外部端子とすればよい。このようにして液晶表示装置が完成する。勿論、ここで説明した具体例はあくまで一例であり、本発明を実施しうる液晶表示装置の構成を限定するものではない。

40

【0075】

50

以上のような液晶表示装置は、チャージングダメージを受けにくい本発明の作製方法を用いて完成されるため、不良品の発生を低減することができる。また本発明により、アンテナサイズ又はTFTサイズのいずれか一方の制御を行えばよいため、液晶表示装置の設計の自由度を広げることができる。

【0076】

【実施例】

(実施例1)

本実施例では、nチャンネル型TFTにおいて、 V_{th} 及び $Shift-1(\log I_D - V_G)$ 特性グラフにおける立ち上がり点での電圧値)に関する測定する実験を行った。

【0077】

まず、図7及び図8を用いて測定試料であるアンテナTFTを説明する。図7には、実際のアンテナTFTの写真(左側)と、アンテナTFT部分を拡大したアンテナTFTの模式図(右側)を示す。模式図には、チャンネル形成領域のチャンネル長: L とチャンネル幅: W を示してある。

【0078】

また、アンテナの形状は、図7(A)に示すアンテナTFT710のゲート電極につながった板型のアンテナ(以下、板型のアンテナと表記する)と、(B)に示すアンテナTFT720のゲート電極につながったくし型のアンテナ(以下、くし型のアンテナと表記する)の2種類がある。

【0079】

図8には、図7(A)又は(B)に示すアンテナTFT710、720をA-A'で切断した断面図を示す。アンテナTFTは、ガラス基板701上に設けられたソース領域及びドレイン領域702とチャンネル形成領域704との間に低濃度不純物領域703を有する半導体膜と、ゲート絶縁膜705を介して半導体膜上に設けられたゲート電極706と、ゲート電極を覆って設けられた層間絶縁膜707を有するトップゲート型の構造を有することがわかる。

【0080】

また、ゲート絶縁膜705は110[nm]の $SiON$ からなり、ゲート電極706は TaN/W の積層膜からなり、層間絶縁膜707は100[nm]の SiN と1.6[μm]のアクリル樹脂との積層膜である。

【0081】

そして、以下の(表1)に示す条件のアンテナTFTを用いて、アンテナサイズ(図7(A)又は(B)の斜線部の面積)に対する V_{th} の値(中央値)及び V_{th} のばらつき(3 σ)測定した。測定点は20pointである。

【0082】

【表1】

測定試料名	アンテナTFTのTFTサイズ $S[\mu m^2]$ (L/W)(設計時)	アンテナ形状
TFT(10/8)/(a)	$S=80(L/W=10/8)$	板型
TFT(10/8)/(b)	$S=80(L/W=10/8)$	くし型
TFT(6/4)/(b)	$S=24(L/W=6/4)$	くし型

【0083】

なお、 V_{th} のばらつきは3 σ として測定している。ここで、3 σ について説明する。測定結果から得られたデータを昇順に並べて16%、84%にくるデータの差を算出し、データのばらつきが正規分布に従う場合、16%、84%のデータの差は \pm と同等の値となる。すなわち、 σ (16%分位) = $0.5 \times$ (16%と84%との差)、3 σ = $3 \times$ σ (16%分位)である。

10

20

30

40

50

【0084】

図9(A)は、nチャンネル型のアンテナTFTを有する各試料においてアンテナサイズに対するV_{th}の値(中央値)を示し、図9(B)は、nチャンネル型のアンテナTFTを有する各試料においてアンテナサイズに対するV_{th}のばらつき(3σ)を示す。また、図10(A)は、nチャンネル型のアンテナTFTを有する各試料においてアンテナサイズに対するShift-1の値(中央値)を示し、図10(B)は、nチャンネル型のアンテナTFTを有する各試料においてアンテナサイズに対するShift-1のばらつき(3σ)を示す。なお、図9及び図10では、「TFT(10/8)/(a)」を(○)、「TFT(10/8)/(b)」を(△)、「TFT(6/4)/(b)」を(☆)で記載している。

10

【0085】

図9(A)、図10(A)から、各測定試料においてアンテナサイズが増すにつれ、V_{th}、Shift-1がプラス側又はマイナス側へシフトしていることがわかる。また図9(B)、図10(B)から、各測定試料においてアンテナサイズが増すにつれ、V_{th}やShift-1のばらつきも大きくなることがわかる。特に、アンテナTFTのTFTサイズが小さい「TFT(6/4)/(b)」では、アンテナサイズが 4×10^5 [μm²]のとき、V_{th}のばらつきは1.76 [V]となってしまった。

【0086】

ここで、アンテナ比について検討する。以下の(表2)にあるように、TFTサイズがS = 80 [μm²]、アンテナサイズが 2.0×10^6 [μm²]の場合は、アンテナ比が 2.5×10^4 であるのに対し、TFTサイズがS = 24 [μm²]、アンテナサイズが 4.0×10^5 [μm²]の場合はアンテナ比が 1.7×10^4 と小さくなる。Siウエハの基準で考えると、アンテナ比の小さい後者の方のTFT特性及びばらつきはよくなるはずだが、実際には後者の方のV_{th}、Shift-1の値のシフトやばらつきは明らかに大きくなっている。すなわち、ガラス基板上のTFTはSiウエハで考えられているアンテナ比のルールには従わないことが本実施例からもわかる。

20

【0087】

【表2】

アンテナ比一覧		TFTサイズ[μm ²]	
		24	80
アンテナサイズ[μm ²]	9.1×10^2	3.8×10^4	1.1×10^4
	4.0×10^5	1.7×10^4	5.0×10^3
	2.0×10^6	—	2.5×10^4

30

【0088】

以上の結果により、nチャンネル型TFTV_{th}やShift-1のプラス側又はマイナス側へシフトやばらつきを低減するためには、アンテナサイズが 1×10^3 [μm²]以下、又はTFTサイズがS = 50 μm²以上(好ましくはL = 10 μm又はW = 10 μmを満たし、更に好ましくはS = 80 μm²以上)を満たせばよいことがわかる。

40

【0089】

(実施例2)

本実施例では、pチャンネル型TFTにおいて、V_{th}及びShift-1の値(中央値)及びV_{th}ばらつき及びShift-1ばらつき(3σ)を測定する実験を、(表1)と同様な測定試料を用いて行った。なお、測定点は20 pointである。

【0090】

図11(A)は、pチャンネル型のアンテナTFTを有する各試料においてアンテナサイズに対するV_{th}の値を示し、図11(B)は、pチャンネル型のアンテナTFTを有する各試料においてアンテナサイズに対するV_{th}のばらつきを示す。また図12(A)は、p

50

チャンネル型のアンテナTFTを有する各試料においてアンテナサイズに対するShift-1の値を示し、図12(B)は、pチャンネル型のアンテナTFTを有する各試料においてアンテナサイズに対するShift-1のばらつきを示す。なお、図11及び図12では、「TFT(10/8)/(a)」を()、「TFT(10/8)/(b)」を()、「TFT(6/4)/(b)」を(*)で記載している。

【0091】

図11(A)、図12(A)から、各測定試料において、アンテナサイズが増すにつれ、V_{th}、Shift-1はプラス側又はマイナス側へシフトしていることがわかる。また図11(B)、図12(B)から、各測定試料において、TFTサイズが小さいものでは、V_{th}、Shift-1のばらつきが大きいことがわかる。特に、「TFT(6/4)/(b)」では、アンテナサイズが 9×10^2 [μm^2]から 4×10^5 [μm^2]へ増すと、V_{th}のばらつきが1.25[V]程度となってしまった。特に、アンテナTFTのTFTサイズが小さいTFT(6/4)では、アンテナサイズ比から見積もった予想以上にばらつきが増加してしまった。

10

【0092】

以上の結果により、pチャンネル型TFTにおいてもV_{th}やShift-1のプラス側又はマイナス側へシフトやばらつきを低減するためには、アンテナサイズが 1×10^3 [μm^2]以下、又はTFTサイズが $S = 50 \mu\text{m}^2$ 以上(好ましくは $L = 10 \mu\text{m}$ 又は $W = 10 \mu\text{m}$ を満たし、更に好ましくは $S = 80 \mu\text{m}^2$ 以上)を満たせばよいことがわかる。

20

【0093】

【発明の効果】

本発明のように、ガラス基板上に形成されたTFTを使用した半導体装置においてチャージングダメージの影響を低減させるためには、アンテナ比を一定とするのではなく、少なくともアンテナサイズ又はTFTサイズのいずれか一方が一定の基準値を満たせばよい。そしてアンテナサイズ又はTFTサイズのいずれか一方が一定の基準値を満たす本発明の半導体装置は、チャージングダメージを低減することが可能となる。またアンテナサイズ又はTFTサイズのいずれか一方の制御を行う本発明により、半導体装置の設計の自由度を広げることができる。

【図面の簡単な説明】

【図1】半導体装置の作製工程を示す図。

30

【図2】本発明の半導体装置及び画素を示す図。

【図3】本発明の半導体装置の作製工程を示す図。

【図4】本発明の半導体装置の作製工程を示す図。

【図5】本発明のEL表示装置の作製工程を示す図。

【図6】本発明の液晶表示装置の作製工程を示す図。

【図7】本発明の実験結果の測定試料を示す図。

【図8】本発明の実験結果の測定試料を示す図。

【図9】本発明の実験結果を示す図。

【図10】本発明の実験結果を示す図。

【図11】本発明の実験結果を示す図。

40

【図12】本発明の実験結果を示す図。

【図13】本発明の実験結果を示す図。

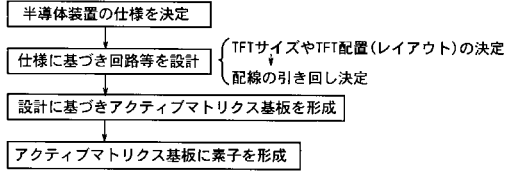
【図14】本発明の実験結果を示す図。

【図15】本発明の実験結果を示す図。

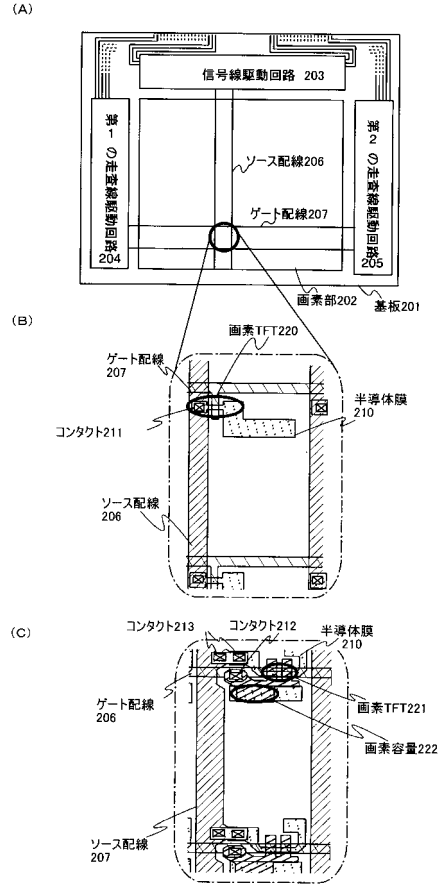
【図16】本発明の実験結果を示す図。

【図17】本発明の設計条件を示す図。

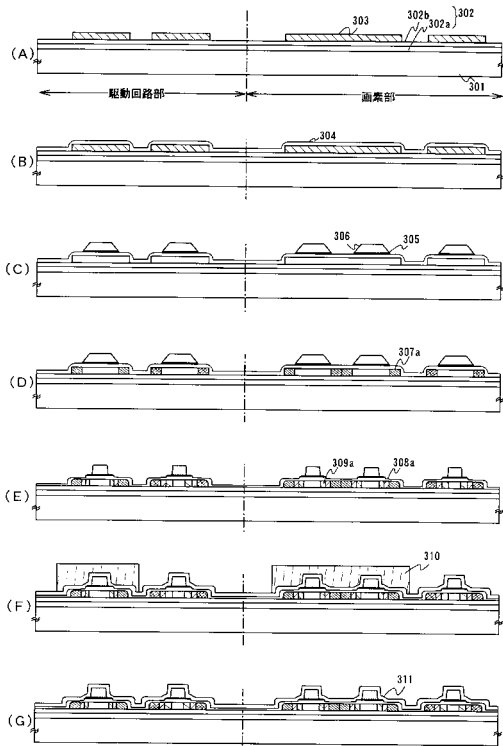
【 図 1 】



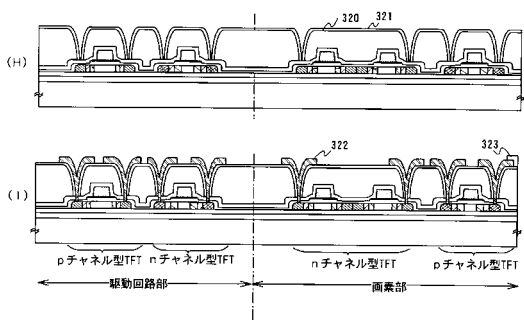
【 図 2 】



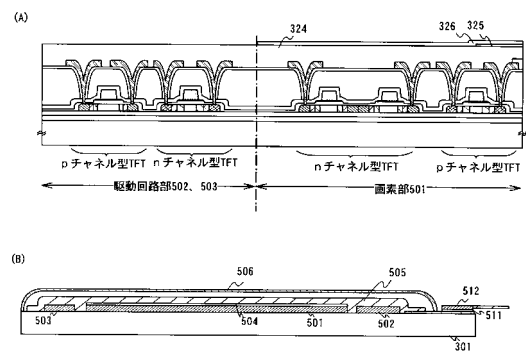
【 図 3 】



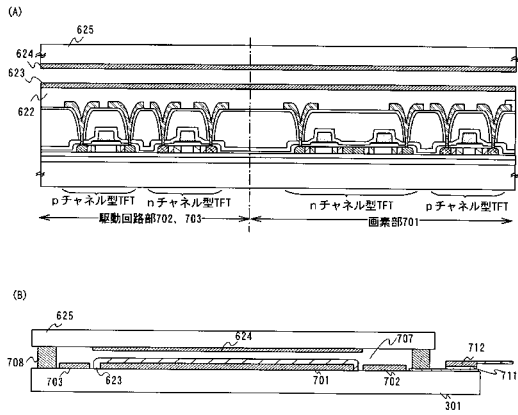
【 図 4 】



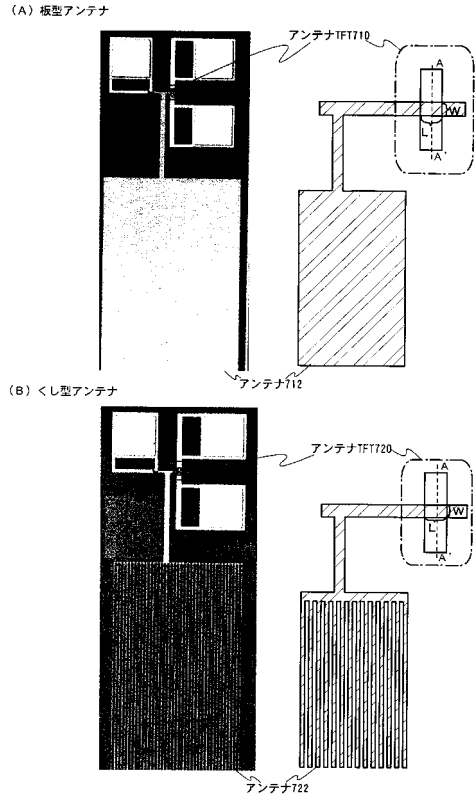
【 図 5 】



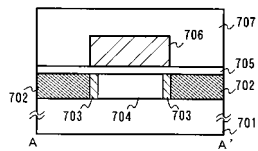
【図6】



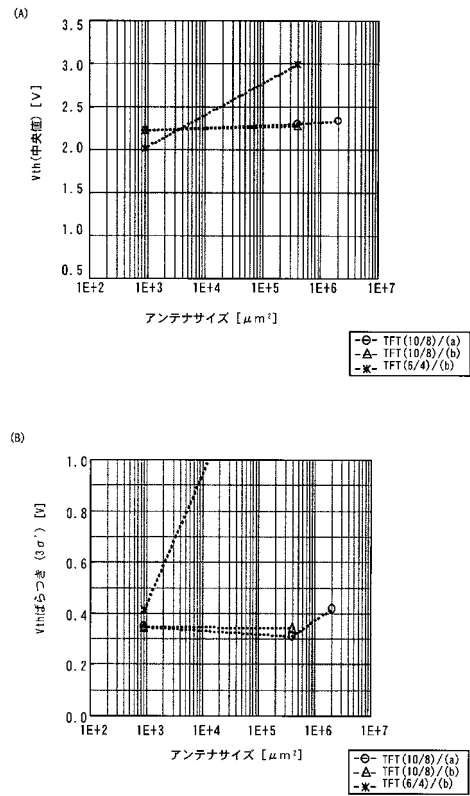
【図7】



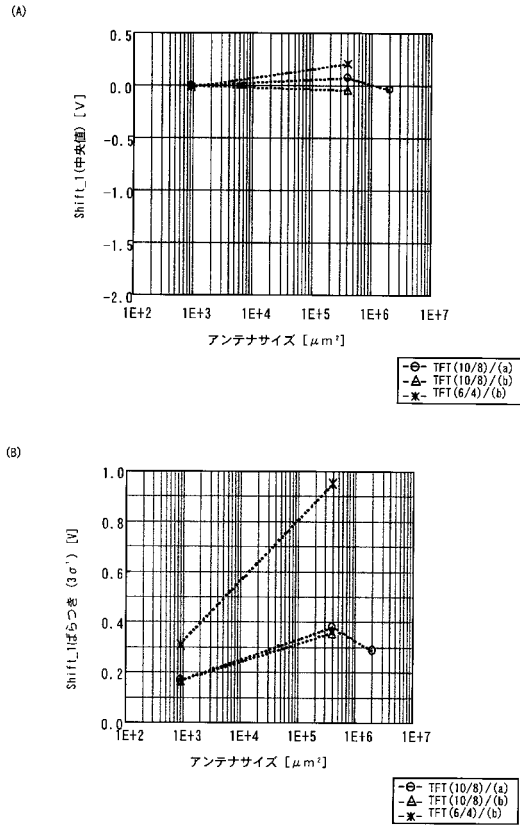
【図8】



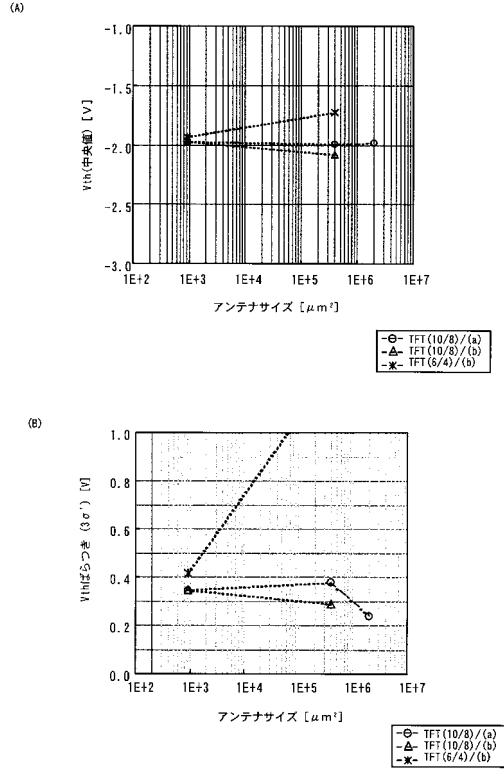
【図9】



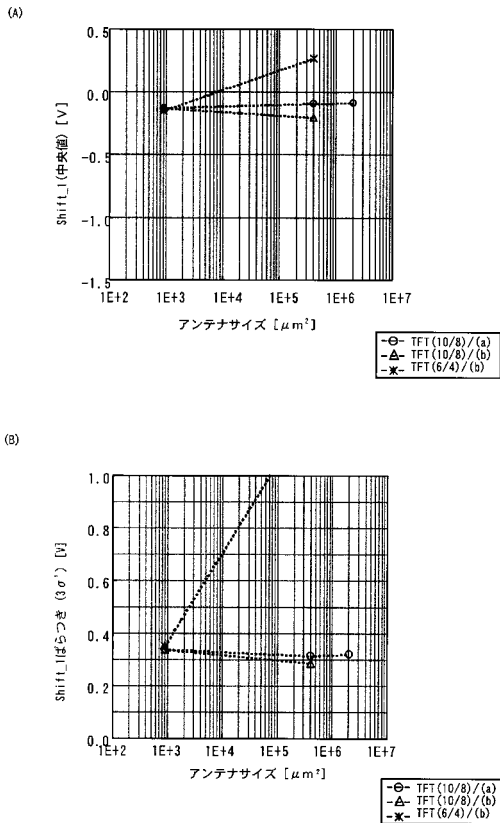
【 図 1 0 】



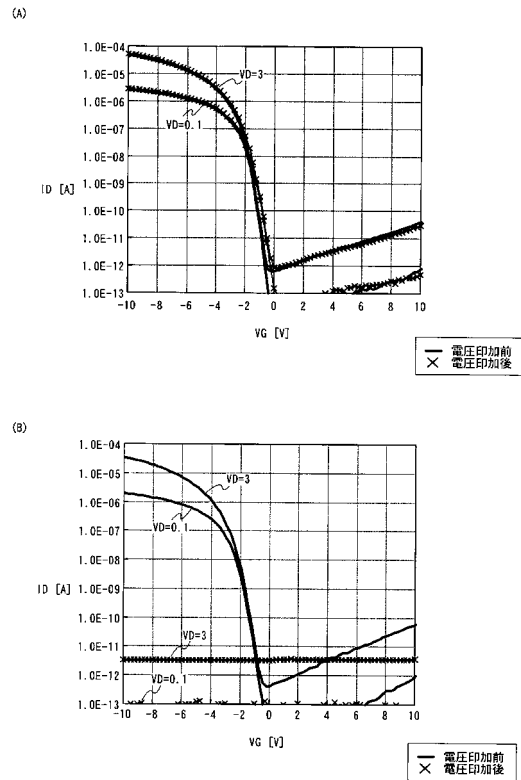
【 図 1 1 】



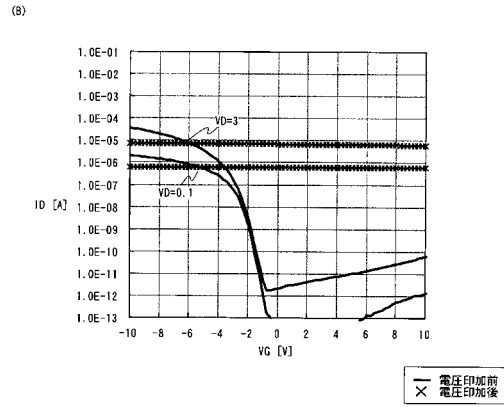
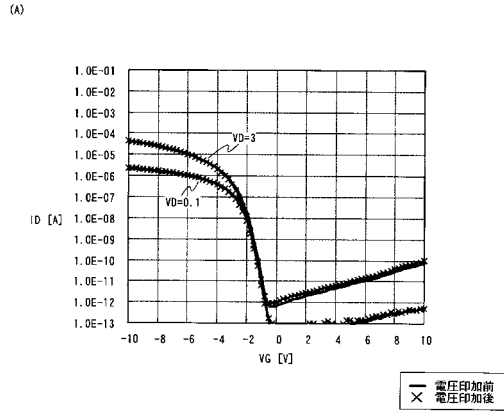
【 図 1 2 】



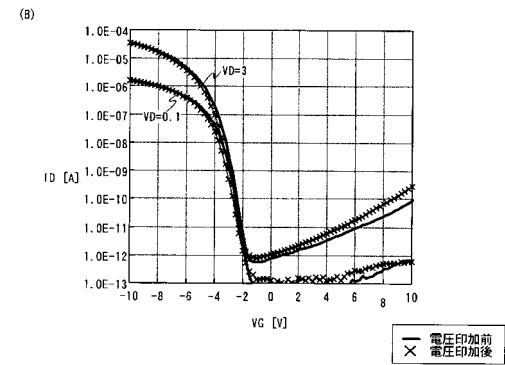
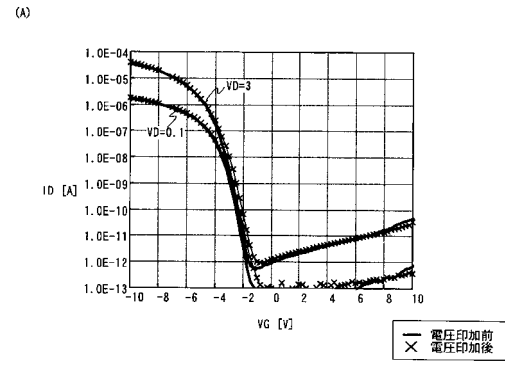
【 図 1 3 】



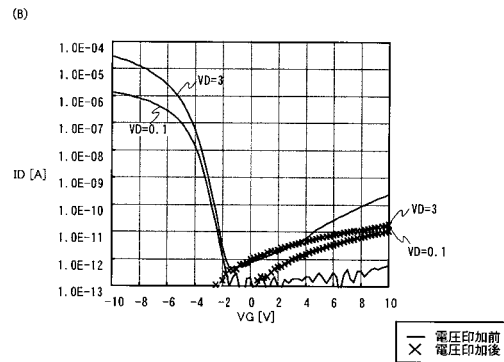
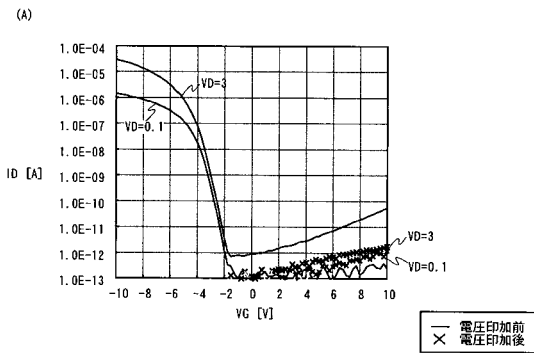
【図 14】



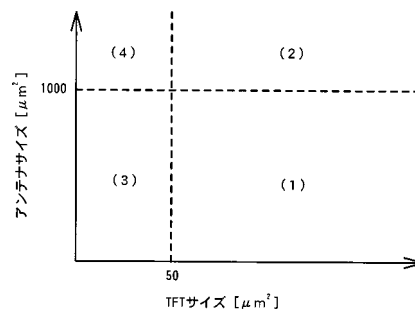
【図 15】



【図 16】



【図 17】



フロントページの続き

(51) Int.Cl.⁷

F I

テーマコード(参考)

H 0 1 L 29/78 6 1 6 A

Fターム(参考) 5F110 AA04 AA22 AA28 BB02 CC02 DD02 DD13 DD14 DD15 DD17
EE01 EE02 EE03 EE04 EE06 EE14 EE23 EE28 EE50 FF04
FF28 FF30 GG01 GG02 GG13 GG25 GG28 GG29 GG32 GG43
GG45 GG47 GG51 HJ01 HJ04 HJ12 HJ13 HJ23 HL03 HL04
HL06 HL08 HL12 HM13 HM15 NN03 NN04 NN22 NN23 NN24
NN27 NN35 NN72 PP01 PP03 PP29 PP34 QQ11 QQ23