

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2018年12月13日(13.12.2018)



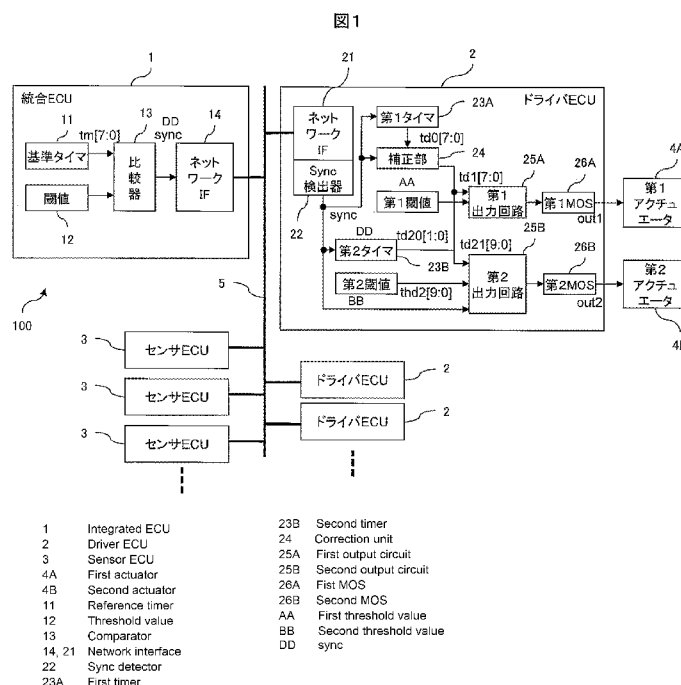
(10) 国際公開番号

WO 2018/225366 A1

- (51) 国際特許分類:
G06F 1/12 (2006.01) *G06F 1/14* (2006.01)
F02D 45/00 (2006.01)
- (21) 国際出願番号: PCT/JP2018/014678
- (22) 国際出願日: 2018年4月6日(06.04.2018)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2017-113224 2017年6月8日(08.06.2017) JP
- (71) 出願人: 日立オートモティブシステムズ株式会社(HITACHI AUTOMOTIVE SYSTEMS, LTD.) [JP/JP]; 〒3128503 茨城県ひたちなか市高場 2 5 2 0 番地 Ibaraki (JP).
- (72) 発明者: 広 津 鉄 平 (HIROTSU Teppei); 〒1008280 東京都千代田区丸の内一丁目 6 番 6 号 株式会社日立製作所内 Tokyo (JP). 岩澤 寛(IWASAWA Hiroshi); 〒1008280 東京都千代田区丸の内一丁目 6 番 6 号 株式会社日立製作所内 Tokyo (JP). 荒田 純之(ARATA Atsushi); 〒3128503 茨城県ひたちなか市高場 2 5 2 0 番地 日立オートモティブシステムズ株式会社内 Ibaraki (JP).
- (74) 代理人: 戸田 裕二(TODA Yuji); 〒1008220 東京都千代田区丸の内一丁目 6 番 1 号 株式会社日立製作所内 Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH,

(54) Title: ELECTRONIC CONTROL DEVICE

(54) 発明の名称: 電子制御装置



(57) Abstract: Provided is a technology for an electronic control device for controlling a vehicle, the technology being capable of synchronizing a plurality of timers by means of a simple circuit configuration. An electronic control device according to the present invention makes connection with a second timer value so as to be used as the most significant bit of a first timer value which is to be reset by a synchronous signal, and counts up the second timer value by using the synchronous signal.



CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO,
DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT,
HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH,
KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,
MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告 (条約第21条(3))

(57) 要約: 車両を制御する電子制御装置において、複数のタイマを簡素な回路構成によって同期させることができる技術を提供する。本発明に係る電子制御装置は、同期信号によってリセットする第1タイマ値の最上位ビットとして第2タイマ値を連結し、前記第2タイマ値を前記同期信号によってカウントアップする。

明 細 書

発明の名称：電子制御装置

技術分野

[0001] 本発明は、車両の動作を制御する電子制御装置に関するものである。

背景技術

[0002] 近年、車両制御は複雑化が進展し、ECU (Electronic Control Unit) の機能やI/O (Input/Output) の個数が増大している。ECUの複雑さを解消するため、従来単独のECUが実施していたセンサデータ取得やドライバ機能を、センサECUやドライバECUとして分散配置し、各ECUをネットワーク接続することにより、同等の機能を実現する構成が提案されている。

[0003] このような分散アーキテクチャにおいて高精度な制御を実現するためには、各ECUを高精度に同期させることが重要である。下記特許文献1においては、内部クロックによりカウントアップする第1タイマを備え、外部から入力される同期信号に基づき第1タイマ値を記憶し、前記記憶値を用いて前記第1タイマ値を補正することにより、簡素な回路で各ECUを高精度に同期させることを図っている。

[0004] 下記特許文献2は、『ネットワーク接続されたドライバECU、センサECU、統合ECUから構成された電子制御装置において、各ECUの間のタイミング同期を簡素な回路で実現する。』という技術を開示している。具体的には、『電子制御装置は、車両制御のための各種負荷を駆動するドライバECUと、各種センサ信号をサンプリングするセンサECUと、前記ドライバECU及び前記センサECUとネットワーク接続され、各種センサデータより、各種負荷への指令値を演算する統合ECUを備える電子制御装置において、前記ドライバECUは、内部のタイミング生成のためのタイマDを備え、前記センサECUは、内部のタイミング生成のためのタイマSを備え、前記統合ECUは、前記タイマD、前記タイマSの基準となるタイマMを備

えることを特徴とする。』という技術を開示している（要約参照）。

- [0005] 下記特許文献3は、『マイコンからの配線数を低減でき、しかも、マイクロコンピュータを内蔵することなく、アクチュエータを駆動できるドライバICを備えた自動車用電子制御装置およびそれに用いるドライバICを提供することを目的とする。』という課題を解決する手段として、『マイコン1は、センサからの入力信号に基づいて自動車の状態を制御する制御信号を演算する。出力ドライバIC2A, 2Bは、複数チャネル分のパワートランジスタを備える出力ドライバ22と、マイコンとシリアル通信を行うシリアル通信インターフェース23と、パルス幅変調信号やパルス信号を生成するタイマ回路20A, 20Bを備え、これらが集積化された半導体回路として構成される。タイマ回路20A, 20Bは、シリアル通信インターフェース23によりマイコン1から受け取った制御データ信号に基づいて、パルス幅変調信号やパルス信号を生成する。』という技術を開示している（要約参照）。

先行技術文献

特許文献

- [0006] 特許文献1：特開2017-033055号公報
特許文献2：WO2016/093055
特許文献3：特開2004-339977号公報

発明の概要

発明が解決しようとする課題

- [0007] 上記特許文献1記載の技術は、ECU内の1つのタイマについて、ECU間で高精度に同期することができる。他方でECU内に複数のタイマが備えられており、各タイマについて同様に同期させようとする、タイマの個数分だけ補正回路が必要になるので、回路規模が増える。
- [0008] 上記特許文献2記載の技術は、基準となるタイマMに対して同期するための補正を実施することにより、同期精度を向上させている。他方でECUが

複数のタイマを備えている場合、同様の補正をタイマごとに実施する必要があるため、そのための回路規模が増えることになる。

[0009] 上記特許文献3において、同文献の0029が記載しているように、出力ドライバ22はパワートランジスタを複数チャネル分集積したものである。すなわち出力ドライバ22は、複数チャネルに対して駆動信号を出力することができる。他方で同文献の図2や0034が記載しているように、タイマ回路20Aはチャネル毎にコントロールレジスタ32などを備えている。したがって、チャネルごとにコントロールレジスタ32などの回路が必要になるので、回路規模が増大することになる。

[0010] 本発明は、上記課題に鑑みてなされたものであり、車両を制御する電子制御装置において、複数のタイマを簡素な回路構成によって同期させることができる技術を提供するものである。

課題を解決するための手段

[0011] 本発明に係る電子制御装置は、同期信号によってリセットする第1タイマ値の最上位ビットとして第2タイマ値を連結し、前記第2タイマ値を前記同期信号によってカウントアップする。

発明の効果

[0012] 本発明に係る電子制御装置によれば、同期信号によって高精度に同期したタイマ値を複数生成することができる。また同期精度を高めるための回路をタイマごとに構成する必要がないので、回路構成を簡素化することができる。

図面の簡単な説明

[0013] [図1]実施形態1に係る車載ネットワークシステム100の構成図である。
[図2]ドライバECU2が処理する各信号の経時変化を示すタイムチャートである。
[図3]第2出力回路25Bの詳細を説明するブロック図である。
[図4]第1連結タイマ値($t_{d21}[9:0]$)と第2閾値が一致するときの各信号の経時変化を示すタイムチャートである。

[図5]第1連結タイマ値の不連続点において第2閾値がセットされている場合の動作例を示すタイムチャートである。

[図6]実施形態2に係るドライバECU2の構成を説明するブロック図である。

発明を実施するための形態

[0014] <実施の形態1>

図1は、本発明の実施形態1に係る車載ネットワークシステム100の構成図である。車載ネットワークシステム100は、車両に搭載されるECUを接続するネットワークシステムである。車載ネットワークシステム100は、統合ECU1、ドライバECU2、センサECU3を有する。各ECUはネットワーク5を介して接続され、互いに制御データを送受信することにより、車両の動作を制御する。

[0015] 統合ECU1は、他のECUに対する命令を発信するECUである。統合ECU1は、基準タイマ11、閾値12（閾値12を記憶する記憶回路）、比較器13、ネットワークIF14を備える。基準タイマ11は、統合ECU1が内部的に備える基準クロックによって基準タイマ値（ $t_m[7:0]$ ）をカウントアップする。比較器13は、基準タイマ11のカウント値が閾値12と一致したとき、同期信号（sync）を出力する。ネットワークIF14は同期信号をネットワーク5に対して出力し、各ECUはネットワーク5を介してその同期信号を受信する。同期信号は、各ECUが備えるタイマのカウント値を同期させるための基準として用いられる。

[0016] 統合ECU1は、ネットワークIF14とネットワーク5を介して、後述する第1および第2閾値をドライバECU2に対して指示する。ドライバECU2はその閾値を適当な記憶装置に格納する。統合ECU1は、センサECU3に対しても同様に閾値を指示し、センサECU3はその閾値を適当な記憶装置に格納する。

[0017] ドライバECU2は、第1アクチュエータ4Aと第2アクチュエータ4Bを駆動することにより車両の動作を制御する電子制御装置である。図1にお

いては記載の簡易のため、ドライバECU2が3台存在する構成例を示しているが、それぞれ異なる装置を駆動するドライバECUが混在していてもよい。さらに統合ECU1は、駆動対象に応じてそれぞれ異なる閾値を各ドライバECUに対して指示してもよい。

[0018] センサECU3は、センサから検出値を取得する電子制御装置である。図1においては記載の簡易のため、センサECU3が3台存在する構成例を示しているが、それぞれ異なるセンサから検出値を取得するセンサECUが混在していてもよい。さらに統合ECU1は、検出対象に応じてそれぞれ異なる閾値を各センサECUに対して指示してもよい。

[0019] ドライバECU2は、ネットワークIF21、Sync検出器22、第1タイマ23Aおよび第2タイマ23B、補正部24、第1出力回路25Aおよび第2出力回路25B、第1MOS(Metal Oxide Semiconductor)スイッチ26Aおよび第2MOSスイッチ26Bを備える。

[0020] ネットワークIF21は、ネットワーク5を介して他のECUとの間で信号(第1閾値と第2閾値を指示する信号を含む)を送受信する。Sync検出器22は、ネットワークIF21を介して統合ECU1から同期信号(Sync)を受信する。Sync検出器22は、Syncを第1タイマ23A、第2タイマ23B、補正部24、第2出力回路25Bに対して出力する。

[0021] 第1タイマ23Aは、8ビットの第1タイマ値($t_{d0}[7:0]$)をカウントするカウンタである。第1タイマ23Aは、ドライバECU2が備える内部クロック(図示せず)にともなって第1タイマ値をカウントアップし、Syncを受け取ると第1タイマ値をリセットする。

[0022] 補正部24は、第1タイマ値が基準タイマ11のカウント値と一致するように第1タイマ値を補正する。補正部24は、補正後の第1タイマ値($t_{d1}[7:0]$)を第1出力回路25Aと第2出力回路25Bに対して出力する。補正部24が第1タイマ値を補正する手法としては、例えば特許文献1記載の方法を用いることができるが、その他適当な方法を用いてもよい。

- [0023] 第1出力回路25Aは、補正後の第1タイマ値と第1閾値（統合ECU1から指定されたもの）を比較し、両者が一致したときパルス信号を出力する。第1MOSスイッチ26Aは、そのパルス信号によって駆動制御される。第1MOSスイッチ26Aの出力out1により第1アクチュエータ4Aが駆動制御される。
- [0024] 第2タイマ23Bは、2ビットの第2タイマ値（td20[1:0]）をカウントするカウンタである。第2タイマ23Bは、Syncを受け取ると第2タイマ値をカウントアップし、第2タイマ値がオーバーフローするとき第2タイマ値をリセットする。
- [0025] 第2出力回路25Bは、補正後の第1タイマ値のビット列と第2タイマ値のビット列を連結することにより、10ビットの第1連結タイマ値（td21[9:0]）を生成する。このとき、第2タイマ値のビット列が最上位ビットとなるようにする。すなわち、 $td21[9:0] = \{td20[1:0], td1[7:0]\}$ である。これにより第1連結タイマ値は、第1タイマ値の4倍（＝2ビット）のタイマ値をカウントすることができるビット数を有することになる。
- [0026] 第2出力回路25Bは、第1連結タイマ値と第2閾値（thd2[9:0]）（統合ECU1から指定されたもの）とSyncを受け取り、第1連結タイマ値と第2閾値が一致したときパルス信号を出力する。第2MOSスイッチ26Bは、そのパルス信号によって駆動制御される。第2MOSスイッチ26Bの出力out2により第2アクチュエータ4Bが駆動制御される。
- [0027] 図2は、ドライバECU2が処理する各信号の経時変化を示すタイムチャートである。図2上段は第1出力回路25Aに関連する各信号を示し、図2下段は第2出力回路25Bに関連する各信号を示す。以下図2を用いてドライバECU2の動作を説明する。
- [0028] 第1タイマ23Aが出力する第1タイマ値（td0[7:0]）は、基準タイマ値（tm[7:0]）から大きくずれている場合がある。この値をそのまま用いると、第1タイマ値と第1閾値が一致する時刻cは、基準タイマ

値と第2閾値が一致する時刻aから大きくずれてしまう。補正部24による補正後の第1タイマ値($t_{d1}[7:0]$)を用いることにより、第1タイマ値と第1閾値が一致するのは時刻bとなるので、ずれを低減することができる(図2上段内の矢印)。第1タイマ値のずれの大きさによらず、第1タイマ23AはSyncによって第1タイマ値をリセットするので、少なくともその時点において両者のずれをリセットすることができる。

[0029] 第1連結タイマ値($t_{d21}[9:0]$)は、下位8ビットについては第1タイマ値と一致する。第1タイマ値がSyncによってリセットされるとき、第1連結タイマ値の上位2ビットが1カウントアップされる。すなわち第1連結タイマ値は、第1タイマ値と同じタイマ値を4回(=2ビット分)カウントすることになるので、第2タイマ値がオーバーフローするまでカウントアップし続ける。基準タイマに基づく理想値と実際の第1連結タイマ値との間のずれは、Syncによって強制的にリセットされ、そのタイミングで両者は一致することになる。

[0030] 補正前の第1タイマ値と第2タイマ値を連結した場合、第1連結タイマ値が第2閾値と一致するのは時刻fである。理想値が第2閾値と一致するのは時刻dであるので、両者のずれが大きい。補正後の第1タイマ値と第2タイマ値を連結することにより、第1連結タイマ値と第2閾値が一致するのは時刻eとなるので、理想値との間のずれを抑制することができる(図2下段内の矢印)。

[0031] 図3は、第2出力回路25Bの詳細を説明するブロック図である。第1比較器251は第1連結タイマ値($t_{d21}[9:0]$)と第2閾値($t_{hd2}[9:0]$)を比較し、両者が一致している間は第1合致信号(match1)に1をセットする。論理和演算器255は、第1合致信号と後述する論理積andの論理和を信号setとして出力する。立ち下がりタイミング発生器256は、信号setから所定サイクル遅れたタイミングで信号rstを1にセットする。記憶回路SR-FF257は、信号setが1のとき1を記憶し、信号rstが1にセットされると0を記憶する。記憶回路SR

ー F F 2 5 7 が記憶している信号が第 2 出力回路 2 5 B の出力となる。これにより、第 1 連結タイマ値と第 2 閾値が一致した時点でパルス信号を出力することができる。

[0032] 第 2 比較器 2 5 2 は、第 1 連結タイマ値の上位 2 ビット (t d 2 1 [9 : 8]) と、第 2 閾値の上位 2 ビット (t h d 2 [9 : 8]) に対して 1 加算した値を比較し、両者が一致している間は第 2 合致信号 (m a t c h 2) に 1 をセットする。論理積演算器 2 5 4 は、 m a t c h 2 と S y n c の論理積 a n d を出力する。第 2 比較器 2 5 2 と論理積演算器 2 5 4 の役割については後述の図 5 を用いて改めて説明する。

[0033] 図 4 は、第 1 連結タイマ値 (t d 2 1 [9 : 0]) と第 2 閾値が一致するときの各信号の経時変化を示すタイムチャートである。時刻 a において第 1 連結タイマ値と第 2 閾値が一致し、第 1 合致信号 m a t c h 1 が 1 となる。このとき信号 s e t も 1 となるので、 o u t 2 も 1 となる。所定サイクル遅れて信号 r s t が 1 になり、これにより o u t 2 がリセットされる。これにより所定サイクル分のパルス幅を有する 1 ショットパルスが生成される。

[0034] 図 5 は、第 1 連結タイマ値の不連続点において第 2 閾値がセットされている場合の動作例を示すタイムチャートである。第 1 連結タイマ値の下位 8 ビットは S y n c によってリセットされ、上位 2 ビットは S y n c によってカウントアップされる。これに起因して、第 1 連結タイマ値の下位 8 ビット (= 第 1 タイマ値) が理想値からずれている場合、図 5 に示すように S y n c のタイミングで第 1 連結タイマ値が不連続的にカウントアップする。第 2 閾値がこの不連続点にセットされている場合、第 1 連結タイマ値と第 2 閾値が一致するタイミングが存在しないので、第 1 合致信号 (m a t c h 1) は 1 にならない。このような場合であっても o u t 2 を出力できるようにするため、第 2 合致信号 (m a t c h 2) を用いる。

[0035] 図 5 のような状況は、第 1 連結タイマ値が第 2 閾値をまたいでスキップするときに生じる。このスキップは S y n c と同時に発生するので、図 5 のような状況を捕捉するため、論理積演算器 2 5 4 は S y n c と m a t c h 2 の

論理積をとることとした。図5の不連続点は第1連結タイマ値の上位2ビットがカウントアップされるタイミングにおいて生じるので、カウントアップ後の第1連結タイマ値の上位2ビットと第2閾値の上位2ビットとの間の差分は必ず1となる。換言すると、第2閾値の上位2ビットに対して1加算した値は、Syncによりカウントアップした第1連結タイマ値の上位2ビットと一致する。第2比較器252はこの状況を捕捉するためのものである。したがって図3下段の構成により、図5のような不連続変化を捕捉し、少なくともSyncの時点でout2を出力することができる。

[0036] <実施の形態1：まとめ>

本実施形態1に係るドライバECU2は、補正部24が第1タイマ値を補正することにより、第1タイマ値を基準タイマ値と高精度に同期することができる。さらに第1タイマ値の最上位ビットとして第2タイマ値を連結することにより、第1タイマ値と同程度の精度で基準タイマ値と同期した別のタイマ値（第1連結タイマ値）を生成することができる。第1連結タイマ値を生成するために別途補正処理などを実施する必要はないので、簡素な回路構成により、高精度に同期された複数のタイマ値を生成することができる。

[0037] <実施の形態2>

図6は、本発明の実施形態2に係るドライバECU2の構成を説明するブロック図である。本実施形態2に係るドライバECU2は、実施形態1で説明した構成に加えて、新たに第3タイマ23C、第3出力回路25C、第3MOSスイッチ26Cを備える。その他の構成は実施形態1と概ね同様であるので、以下では差異点について主に説明する。

[0038] 統合ECU1は、第3閾値をドライバECU2に対して送信し、ネットワークIF21はその値を受け取る。Sync検出器22は、Syncを第3出力回路25Cに対して出力する。第3タイマ23Cは、2ビットの第3タイマ値（td30[1:0]）をカウントするカウンタである。第3タイマ23Cは、第2タイマ値がオーバーフローしたことを示す信号ovfを受け取ると第3タイマ値をカウントアップし、第3タイマ値がオーバーフローす

るとき第3タイマ値をリセットする。

[0039] 第3出力回路25Cは、第1連結タイマ値のビット列と第3タイマ値のビット列を連結することにより、12ビットの第2連結タイマ値 ($t_{d31} [11:0]$) を生成する。

このとき、第3タイマ値のビット列が最上位ビットとなるようにする。すなわち、 $t_{d31} [11:0] = \{t_{d30} [1:0], t_{d21} [9:0]\}$ である。これにより第2連結タイマ値は、第1連結タイマ値の4倍 (= 2ビット) のタイマ値をカウントすることができるビット数を有することになる。

[0040] 第3出力回路25Cは、第2出力回路25Bと同様の構成を備える。すなわち第3出力回路25Cは、第2連結タイマ値と第3閾値 (統合ECU1から指定されたもの) とSyncを受け取り、第2連結タイマ値と第3閾値が一致したときパルス信号を出力する。第3MOSスイッチ26Cは、そのパルス信号によって駆動制御される。第3MOSスイッチ26Cの出力out3により図示しない第2アクチュエータが駆動制御される。

[0041] <実施の形態2：まとめ>

本実施形態2に係るドライバECU2は、実施形態1と同様に補正部24が第1タイマ値を補正することにより、高精度に同期された第1および第2連結タイマ値を得ることができる。第3タイマ23C、第3閾値、および第3出力回路25C以降についても同様の構成を追加することにより、4つ以上の連結タイマ値を得ることができる。

[0042] <本発明の変形例について>

本発明は上記実施形態に限定されるものではなく、様々な変形例が含まれる。例えば、上記した実施形態は本発明を分かりやすく説明するために詳細に説明したものであり、必ずしも説明した全ての構成を備えるものに限定されるものではない。

[0043] 以上の実施形態において、第1タイマ値は8ビットであり、第2および第3タイマ値は2ビットであることを説明したが、これらタイマ値のビット数

はこれに限るものではなく任意のビット数を用いることができる。

[0044] 図3において、所定サイクルのワンショットパルスを発生させるために立ち下がりタイミング発生器256を用いることを説明したが、その他適当な構成により同様の機能を実現してもよい。例えば制御の目的に応じて、タイマと閾値を比較することによりSRFF257をリセットするタイミングを定めてもよい。

[0045] 以上の実施形態において、ドライバECU2がパルス信号を出力するタイミングをタイマ値によって制御することを説明した。同様の制御はその他ECUにおいても実施することができる。例えばセンサECU3においては、センサから検出値をサンプリングするタイミングをタイマ値によって制御することができる。この場合は各出力回路がタイマ値と閾値を比較することにより、サンプリングタイミングを指示する信号outを出力することになる。

[0046] 以上の実施形態において、統合ECU1が備える基準タイマ11とドライバECU2が備える第1タイマ23Aを同期させることを説明したが、同様の構成はECU間でタイマを同期させるネットワークシステム一般において適用することができる。

符号の説明

- [0047] 1 : 統合ECU
2 : ドライバECU
21 : ネットワークIF
22 : Sync検出器
23A : 第1タイマ
23B : 第2タイマ
24 : 補正部
25A : 第1出力回路
25B : 第2出力回路
26A : 第1MOSスイッチ

26B : 第2MOSスイッチ

3 : センサECU

4A : 第1アクチュエータ

4B : 第2アクチュエータ

5 : ネットワーク

100 : 車載ネットワークシステム

請求の範囲

[請求項1] 車両の動作を制御するための出力信号を出力する電子制御装置であって、

第1 タイマ値をカウントアップする第1 タイマ、

第2 タイマ値をカウントアップする第2 タイマ、

前記第1 タイマ値を第1 閾値と比較する第1 出力回路、

前記第2 タイマ値のビット列を前記第1 タイマ値のビット列の最上位側に対して連結することにより得られる第1 連結値を第2 閾値と比較する第2 出力回路、

を備え、

前記第1 タイマは、前記第1 タイマ値を基準タイマ値と同期させるよう指示する同期信号を受け取ると前記第1 タイマ値をリセットし、

前記第2 タイマは、前記同期信号を受け取ると前記第2 タイマ値をカウントアップし、

前記第1 出力回路は、前記第1 タイマ値と前記第1 閾値が一致したとき第1 出力信号を出力し、

前記第2 出力回路は、前記第1 連結値と前記第2 閾値が一致したとき第2 出力信号を出力する

ことを特徴とする電子制御装置。

[請求項2] 前記第2 出力回路は、

前記第1 連結値と前記第2 閾値が一致したとき第1 合致信号を出力する第1 比較器、

前記第1 合致信号を前記第2 出力信号として記憶する記憶回路、

前記第1 比較器が前記第1 合致信号を出力した時刻よりも後の時刻において、前記記憶回路が記憶している前記第2 出力信号をリセットするためのリセット信号を出力するリセット信号発生器、

を備え、

前記記憶回路は、前記第1 比較器が前記第1 合致信号を出力したと

き前記第 1 合致信号を前記第 2 出力信号として出力することを特徴とする請求項 1 記載の電子制御装置。

[請求項3]

前記第 2 出力回路はさらに、

前記第 1 連結値の最上位ビットから順に所定個数のビット値を抽出することにより得られる第 1 ビット列と、前記第 2 閾値の最上位ビットから順に前記所定個数のビット値を抽出することにより得られるビット列に対してさらに 1 加算した第 2 ビット列とが一致したとき、第 2 合致信号を出力する第 2 比較器、

前記第 2 合致信号と前記同期信号の論理積が真であるときその旨の信号を出力する論理積演算器、

を備え、

前記所定個数は、前記第 2 タイマのビット値の個数であり、

前記記憶回路は、前記論理積演算器が真値を示す信号を出力したときその信号を前記第 2 出力信号として記憶する

ことを特徴とする請求項 2 記載の電子制御装置。

[請求項4]

前記第 2 出力回路はさらに、前記第 1 合致信号と前記論理積演算器の出力の論理和を出力する論理和演算器を備え、

前記記憶回路は、前記論理和演算器の出力を前記第 2 出力信号として記憶する

ことを特徴とする請求項 3 記載の電子制御装置。

[請求項5]

前記第 2 タイマは、前記第 2 タイマ値がオーバーフローしたとき前記第 2 タイマ値をリセットする

ことを特徴とする請求項 1 記載の電子制御装置。

[請求項6]

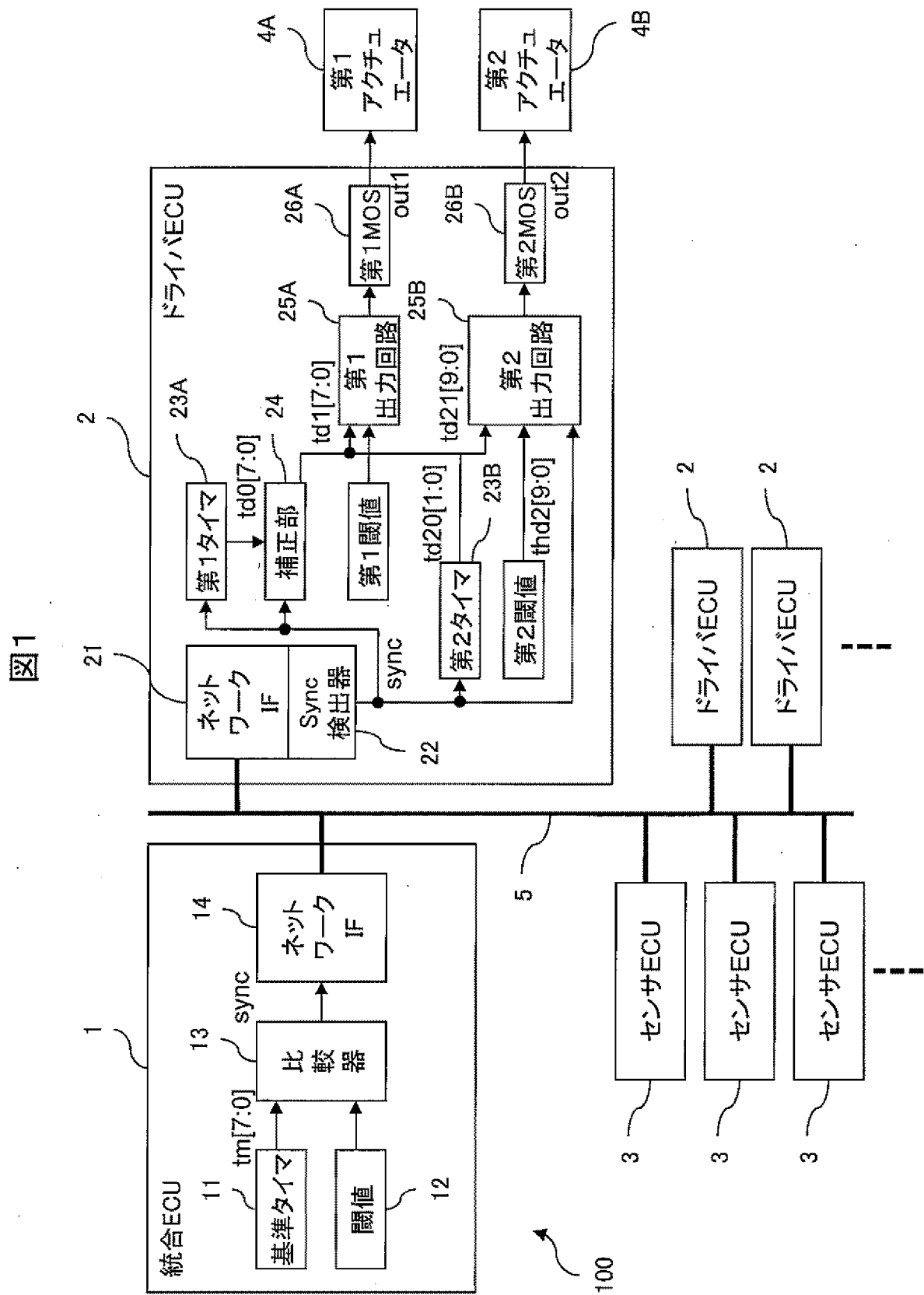
前記電子制御装置はさらに、

前記同期信号を出力する装置が備えるタイマのカウント値と前記第 1 タイマ値が一致するように前記第 1 タイマ値を補正する補正部を備える

ことを特徴とする請求項 1 記載の電子制御装置。

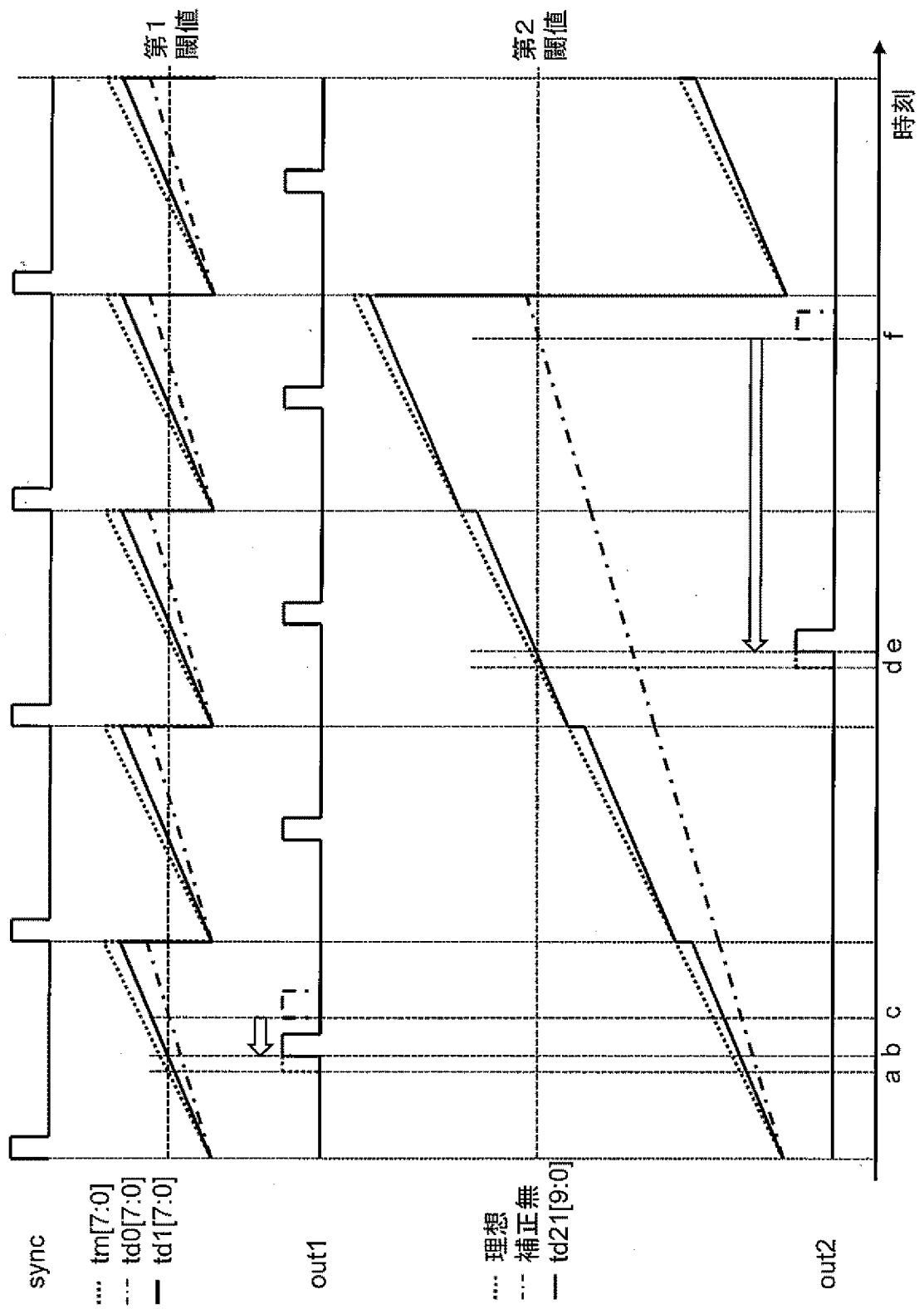
- [請求項7] 前記電子制御装置はさらに、
 第3 タイマ値をカウントアップする第3 タイマ、
 前記第3 タイマ値のビット列を前記第1 連結値のビット列の最上位
 側に対して連結することにより得られる第2 連結値を第3 閾値と比較
 する第3 出力回路、
 を備え、
 前記第3 出力回路は、前記第2 連結値と前記第3 閾値が一致したと
 き第3 出力信号を出力する
 ことを特徴とする請求項1 記載の電子制御装置。
- [請求項8] 前記第3 タイマは、前記第2 タイマ値がオーバーフローしたとき前
 記第3 タイマ値をカウントアップし、
 前記第3 タイマは、前記第3 タイマ値がオーバーフローしたとき前
 記第3 タイマ値をリセットする
 ことを特徴とする請求項7 記載の電子制御装置。

[図1]

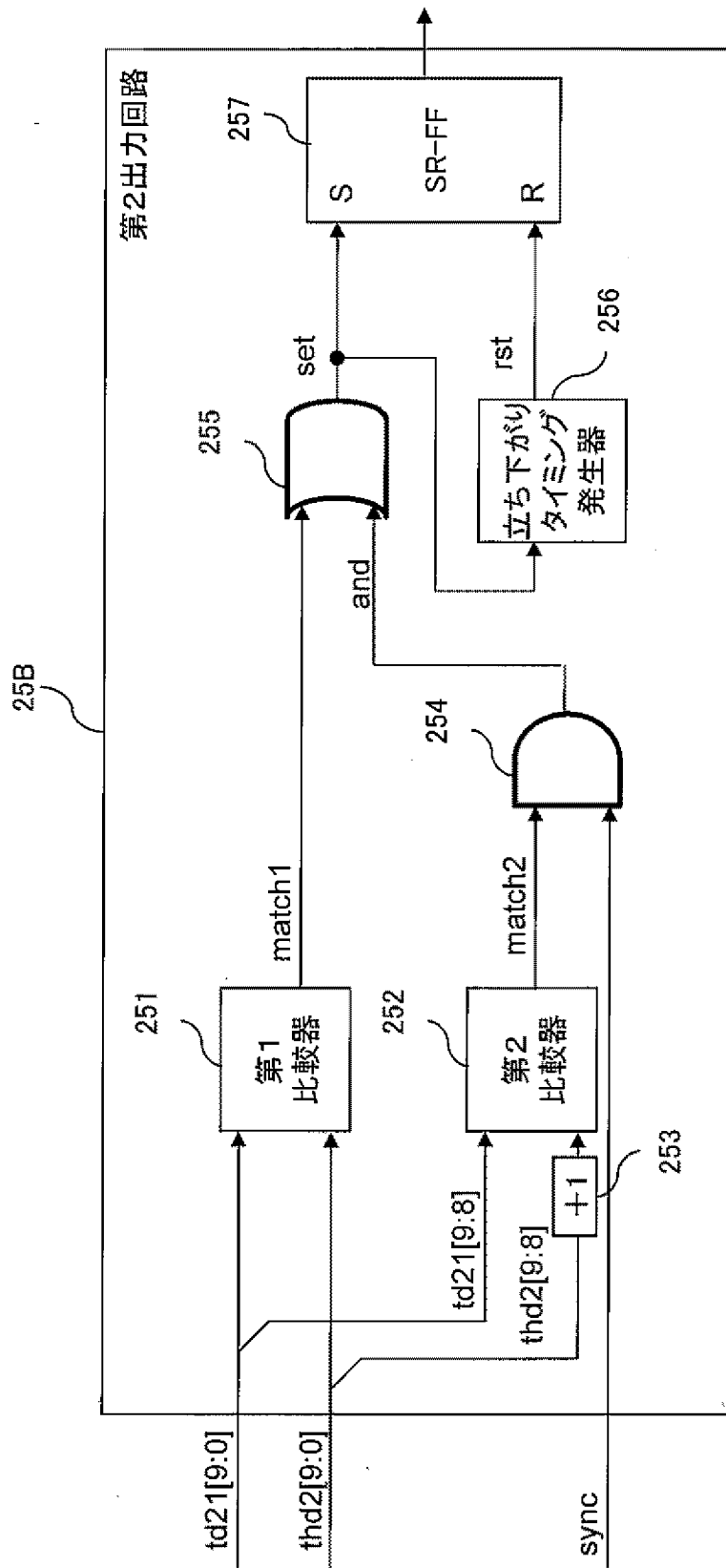


[図2]

図2

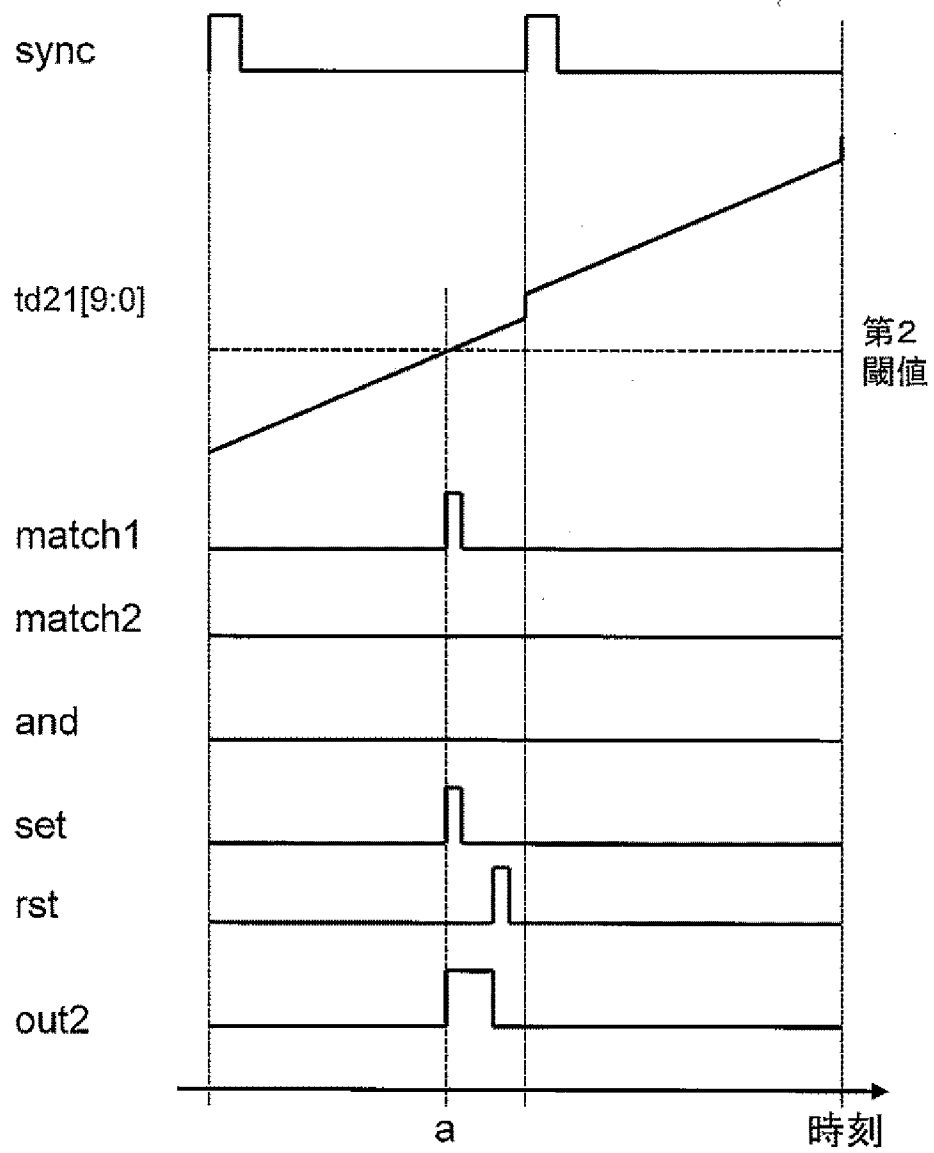


[図3]



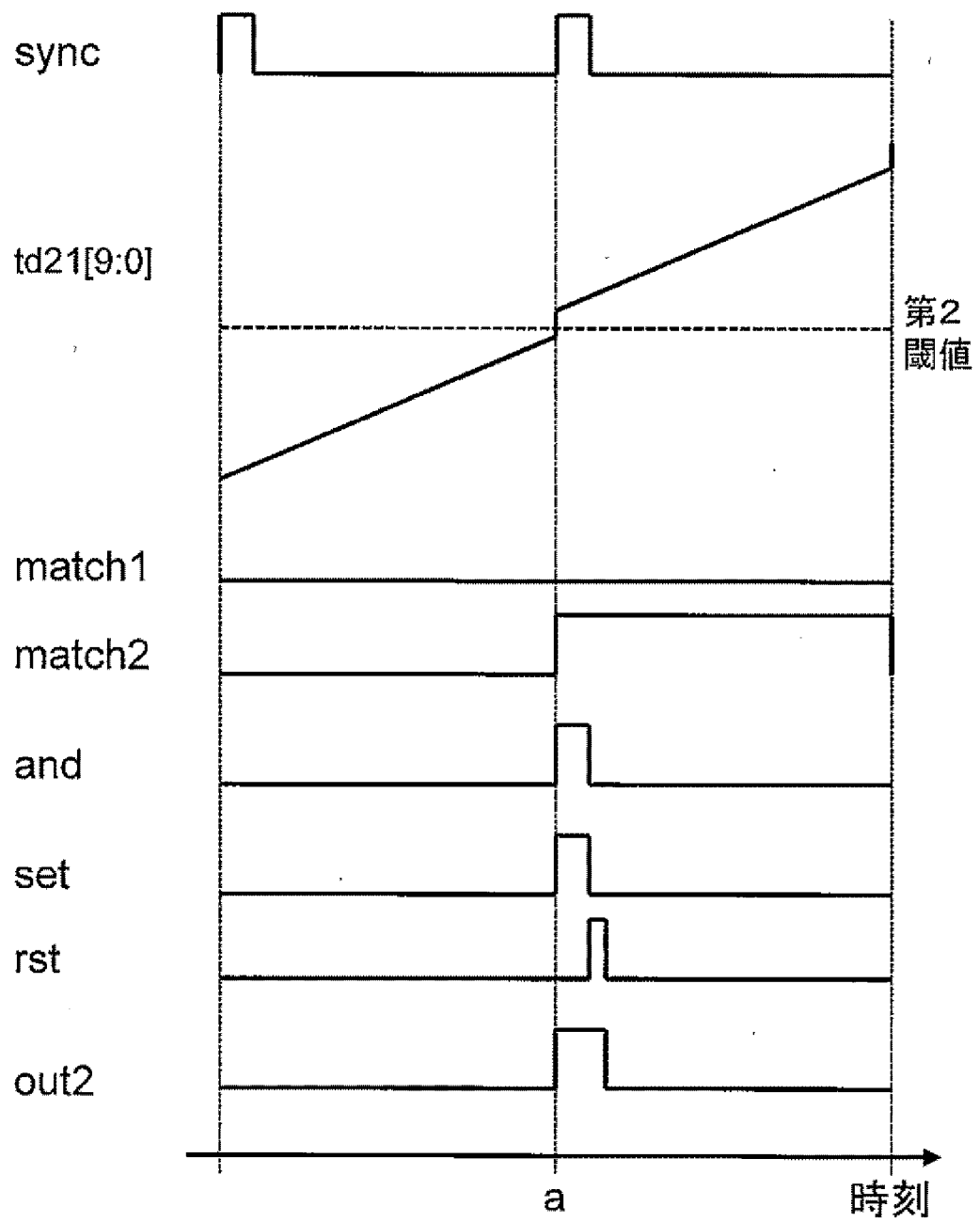
[図4]

図4

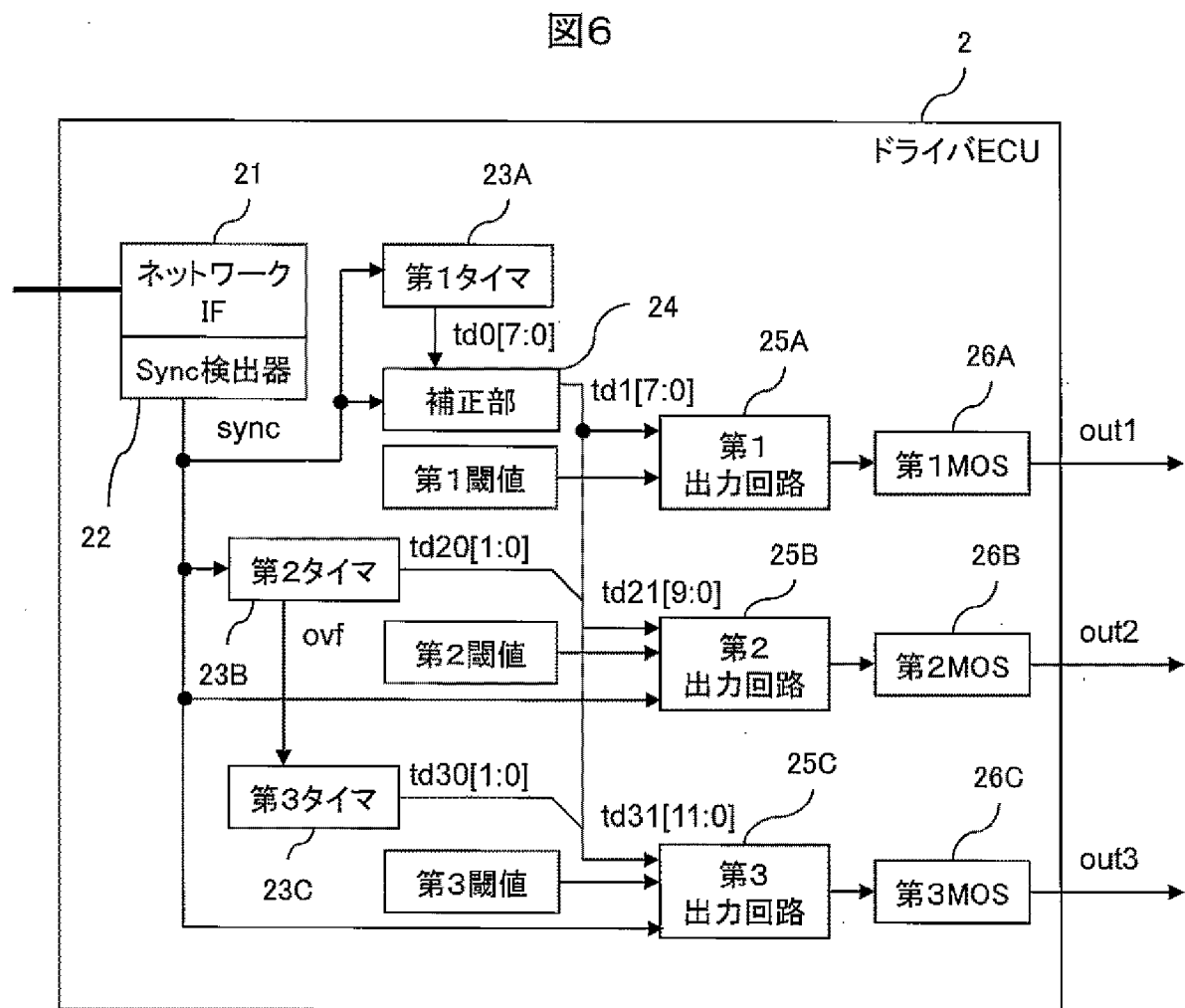


[図5]

図5



[図6]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/014678

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. G06F1/12 (2006.01) i, F02D45/00 (2006.01) i, G06F1/14 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. G06F1/12, F02D45/00, G06F1/14

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2018
Registered utility model specifications of Japan	1996-2018
Published registered utility model applications of Japan	1994-2018

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2017-38365 A (DENSO CORPORATION) 16 February 2017, paragraphs [0017]-[0079], fig. 1-7 & WO 2017/026361 A1	1-8
A	JP 2014-66950 A (KYOCERA DOCUMENT SOLUTIONS INC.) 17 April 2014, paragraphs [0028]-[0135], fig. 1-8 & US 2014/0085673 A1, paragraphs [0019]-[0126], fig. 1-8 & CN 103702010 A	1-8
A	JP 2002-303201 A (DENSO CORPORATION) 18 October 2002, paragraphs [0011]-[0036], fig. 1-7 (Family: none)	1-8

☐ Further documents are listed in the continuation of Box C.	☐ See patent family annex.
---	---

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 10.07.2018	Date of mailing of the international search report 17.07.2018
Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Authorized officer Telephone No.

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. G06F1/12(2006.01)i, F02D45/00(2006.01)i, G06F1/14(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. G06F1/12, F02D45/00, G06F1/14

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2018年
日本国実用新案登録公報	1996-2018年
日本国登録実用新案公報	1994-2018年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2017-38365 A（株式会社デンソー）2017.02.16, 段落[0017]-[0079], 図1-7 & WO 2017/026361 A1	1-8
A	JP 2014-66950 A（京セラドキュメントソリューションズ株式会社） 2014.04.17, 段落[0028]-[0135], 図1-8 & US 2014/0085673 A1, 段落[0019]-[0126], 図1-8 & CN 103702010 A	1-8
A	JP 2002-303201 A（株式会社デンソー）2002.10.18, 段落[0011]-[0036], 図1-7（ファミリーなし）	1-8

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

10.07.2018

国際調査報告の発送日

17.07.2018

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

佐賀野 秀一

5E

5878

電話番号 03-3581-1101 内線 3521