

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-15478

(P2010-15478A)

(43) 公開日 平成22年1月21日(2010.1.21)

(51) Int.Cl.	F I	テーマコード (参考)
G06T 3/40 (2006.01)	G06T 3/40 B	5B057
H04N 1/387 (2006.01)	H04N 1/387 I O I	5C063
H04N 7/01 (2006.01)	H04N 7/01 G	5C076

審査請求 有 請求項の数 5 O L (全 11 頁)

(21) 出願番号	特願2008-176514 (P2008-176514)	(71) 出願人	000002185
(22) 出願日	平成20年7月7日 (2008.7.7)		ソニー株式会社
			東京都港区港南1丁目7番1号
		(74) 代理人	100082131
			弁理士 稲本 義雄
		(74) 代理人	100121131
			弁理士 西川 孝
		(72) 発明者	神尾 和憲
			東京都港区港南1丁目7番1号 ソニー株 式会社内
		Fターム(参考)	5B057 BA02 CA08 CA12 CA16 CB08 CB12 CB16 CD10 5C063 BA03 BA08 5C076 AA21 BA08 BB03 CB01

(54) 【発明の名称】 画像処理装置および方法

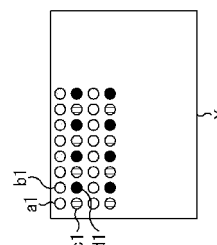
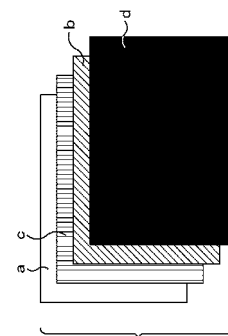
(57) 【要約】

【課題】安価で簡単な構成で、高解像度の画像処理を行うことができるようにする。

【解決手段】4K画像Xは、4K画像Xの最左上の画素a1、画素a1から左に0.5画素ずれて位置する画素b1、画素a1から下に0.5画素ずれて位置する画素c1、および画素a1から左に0.5画素、下に0.5画素ずれて位置する画素d1で構成される。すなわち、4K画像Xは、複数の画素a1からなるサブピクセル画像(HD画像)a、複数の画素b1からなるサブピクセル画像(HD画像)b、複数の画素c1からなるサブピクセル画像(HD画像)c、および複数の画素d1からなるサブピクセル画像(HD画像)dで構成されているとも言える。本発明は、画像表示システムに適用することができる。

【選択図】図2

図2



【特許請求の範囲】**【請求項 1】**

入力された第 1 の画像を、前記第 1 の画像より高解像度の第 2 の画像の第 1 のサブピクセルとして画像処理する入力画像処理手段と、

前記第 1 の画像から位相をずらして、前記第 2 の画像の前記第 1 のサブピクセルとは異なる他のサブピクセルを生成するサブピクセル生成手段と、

前記サブピクセル生成手段により生成された前記他のサブピクセルを画像処理するサブピクセル画像処理手段と、

前記入力画像処理手段により画像処理された前記第 1 のサブピクセルおよび前記サブピクセル画像処理手段により画像処理された前記他のサブピクセルを、前記第 2 の画像として後段に出力する出力手段と

10

を備える画像処理装置。

【請求項 2】

前記サブピクセル生成手段および前記サブピクセル画像処理手段を複数備える

請求項 1 に記載の画像処理装置。

【請求項 3】

前記出力手段は、前記入力画像処理手段により画像処理された前記第 1 サブピクセルおよび前記サブピクセル画像処理手段により画像処理された前記他のサブピクセルを蓄積するラインメモリを備え、

前記ラインメモリに蓄積された前記第 1 のサブピクセルおよび前記他のサブピクセルを選択して所定の順番に前記後段に出力する

20

請求項 2 に記載の画像処理装置。

【請求項 4】

前記サブピクセル生成手段として、

前記第 1 の画像から左に 0.5 画素位相をずらして、前記第 2 の画像の第 2 のサブピクセルを生成する第 1 のサブピクセル生成手段と、

前記第 1 の画像から下に 0.5 画素位相をずらして、前記第 2 の画像の第 3 のサブピクセルを生成する第 2 のサブピクセル生成手段と、

前記第 1 の画像から左に 0.5 画素および下に 0.5 画素位相をずらして、前記第 2 の画像の第 4 のサブピクセルを生成する第 3 のサブピクセル生成手段とを備え、

30

前記サブピクセル画像処理手段として、

前記第 1 のサブピクセル生成手段により生成された前記第 2 のサブピクセルを画像処理する第 1 のサブピクセル画像処理手段と、

前記第 2 のサブピクセル生成手段により生成された前記第 3 のサブピクセルを画像処理する第 2 のサブピクセル画像処理手段と、

前記第 3 のサブピクセル生成手段により生成された前記第 4 のサブピクセルを画像処理する第 3 のサブピクセル画像処理手段とを備える

請求項 2 に記載の画像処理装置。

【請求項 5】

画像処理装置が、

40

入力された第 1 の画像を、前記第 1 の画像より高解像度の第 2 の画像のサブピクセルとして画像処理し、

前記第 1 の画像から位相をずらして、前記第 2 の画像の前記サブピクセルとは異なる他のサブピクセルを生成し、

生成された前記他のサブピクセルを画像処理し、

画像処理された前記サブピクセルおよび画像処理された前記他のサブピクセルを、前記第 2 の画像として後段に出力する

ステップを含む画像処理方法。

【発明の詳細な説明】**【技術分野】**

50

【 0 0 0 1 】

本発明は、画像処理装置および方法に関し、特に、安価で簡単な構成で、高解像度の画像処理を行うことができるようにした画像処理装置および方法に関する。

【 背景技術 】

【 0 0 0 2 】

HD(1920×1080/60Hz)を超える高解像度の画像処理を実現するためには、処理速度の面から並列に処理を行うことが必要である。

【 0 0 0 3 】

例えば、特許文献 1 および特許文献 2 には、領域分割により並列で画像処理を行う技術が開示されている。

【 0 0 0 4 】

しかしながら、この技術においては、空間画像処理において境界部に誤差を発生する恐れがある。また、オーバーラップ領域を設けて処理を行う場合には、重なっている範囲において冗長なメモリや処理が必要となってしまう。

【 0 0 0 5 】

これらの境界部の誤差やオーバーラップ領域への対応を考慮した技術として、特許文献 3 および特許文献 4 には、1 フレームを複数のサブフレームに分割して、座標を割り当て、割り当てた座標を保持したまま画像処理を行い、その座標に基づいて結合を行う技術が開示されている。

【 0 0 0 6 】

【特許文献 1】特開 2 0 0 5 - 3 4 6 6 3 9 号公報

【特許文献 2】特開 2 0 0 1 - 1 5 4 9 9 3 号公報

【特許文献 3】特開 2 0 0 4 - 1 8 4 4 5 7 号公報

【特許文献 4】特開 2 0 0 6 - 2 4 3 1 4 4 号公報

【 発明の開示 】

【 発明が解決しようとする課題 】

【 0 0 0 7 】

しかしながら、上述したサブフレームに分割し、座標を割り当てる技術においては、座標計算、座標の保持、および結合を行わなければならない、そのために高価なフレームメモリが必要となってしまう。

【 0 0 0 8 】

本発明はこのような状況に鑑みてなされたものであり、安価で簡単な構成で、高解像度の画像処理を行うことができるようにするものである。

【 課題を解決するための手段 】

【 0 0 0 9 】

本発明の一側面の画像処理装置は、入力された第 1 の画像を、前記第 1 の画像より高解像度の第 2 の画像の第 1 のサブピクセルとして画像処理する入力画像処理手段と、前記第 1 の画像から位相をずらして、前記第 2 の画像の前記第 1 のサブピクセルとは異なる他のサブピクセルを生成するサブピクセル生成手段と、前記サブピクセル生成手段により生成された前記他のサブピクセルを画像処理するサブピクセル画像処理手段と、前記入力画像処理手段により画像処理された前記第 1 のサブピクセルおよび前記サブピクセル画像処理手段により画像処理された前記他のサブピクセルを、前記第 2 の画像として後段に出力する出力手段とを備える。

【 0 0 1 0 】

前記サブピクセル生成手段および前記サブピクセル画像処理手段を複数備えることができる。

【 0 0 1 1 】

前記出力手段は、前記入力画像処理手段により画像処理された前記第 1 サブピクセルおよび前記サブピクセル画像処理手段により画像処理された前記他のサブピクセルをそれぞれ蓄積するラインメモリを備え、前記ラインメモリに蓄積された前記第 1 のサブピクセル

10

20

30

40

50

および前記他のサブピクセルを選択して所定の順番に前記後段に出力することができる。

【 0 0 1 2 】

前記サブピクセル生成手段として、前記第 1 の画像から左に 0.5 画素位相をずらして、前記第 2 の画像の第 2 のサブピクセルを生成する第 1 のサブピクセル生成手段と、前記第 1 の画像から下に 0.5 画素位相をずらして、前記第 2 の画像の第 3 のサブピクセルを生成する第 2 のサブピクセル生成手段と、前記第 1 の画像から左に 0.5 画素および下に 0.5 画素位相をずらして、前記第 2 の画像の第 4 のサブピクセルを生成する第 3 のサブピクセル生成手段とを備え、前記サブピクセル画像処理手段として、前記第 1 のサブピクセル生成手段により生成された前記第 2 のサブピクセルを画像処理する第 1 のサブピクセル画像処理手段と、前記第 2 のサブピクセル生成手段により生成された前記第 3 のサブピクセルを画像処理する第 2 のサブピクセル画像処理手段と、前記第 3 のサブピクセル生成手段により生成された前記第 4 のサブピクセルを画像処理する第 3 のサブピクセル画像処理手段とを備えることができる。

10

【 0 0 1 3 】

本発明の一側面の画像処理方法は、画像処理装置が、入力された第 1 の画像を、前記第 1 の画像より高解像度の第 2 の画像のサブピクセルとして画像処理し、前記第 1 の画像から位相をずらして、前記第 2 の画像の前記サブピクセルとは異なる他のサブピクセルを生成し、生成された前記他のサブピクセルを画像処理し、画像処理された前記サブピクセルおよび画像処理された前記他のサブピクセルを、前記第 2 の画像として後段に出力するステップを含む。

20

【 0 0 1 4 】

本発明の一側面においては、入力された第 1 の画像が、前記第 1 の画像より高解像度の第 2 の画像のサブピクセルとして画像処理される。前記第 1 の画像から位相をずらして、前記第 2 の画像の前記サブピクセルとは異なる他のサブピクセルが生成され、生成された前記他のサブピクセルが画像処理される。そして、画像処理された前記サブピクセルおよび前記他のサブピクセルが、前記第 2 の画像として後段に出力される。

【 発明の効果 】

【 0 0 1 5 】

本発明によれば、高解像度の画像を表示することができる。また、本発明によれば、安価で簡単な構成で、高解像度の画像処理を行うことができる。

30

【 発明を実施するための最良の形態 】

【 0 0 1 6 】

図 1 は、本発明の一実施形態に係る画像表示システムの構成例を示すブロック図である。

【 0 0 1 7 】

図 1 の画像表示システムは、画像処理装置 1 に表示装置 2 が接続されて構成される。画像処理装置 1 は、画像処理デバイス 1 1、画像処理デバイス 1 2 - 1 乃至 1 2 - 3、および信号出力部 1 3 により構成され、HD 画像 (1920 × 1080 / 60Hz) を 4K 画像 (3840 × 2160 / 60Hz) に変換して、所定の画像処理を行い、表示装置 2 に出力する。

【 0 0 1 8 】

40

この画像処理装置 1 においては、HD 画像について位相をずらしたサブピクセル単位の画像が生成され、サブピクセル単位の画像に対して、4 つの画像処理デバイスで所定の画像処理が並列に行われる。そして、所定の画像処理が行われた 4 つのサブピクセル単位の画像が、4K 画像として、表示装置 2 に出力される。

【 0 0 1 9 】

画像処理デバイス 1 1 は、画像処理部 2 1 を有する既存の画像処理 LSI で構成される。画像処理デバイス 1 2 - 1 乃至 1 2 - 3 は、それぞれ、サブピクセル解像度変換部 2 2 - 1 乃至 2 2 - 3 および画像処理部 2 3 - 1 乃至 2 3 - 3 を有する既存の画像処理 LSI で構成される。画像処理デバイス 1 1 および画像処理デバイス 1 2 - 1 乃至 1 2 - 3 には、図示せぬ前段から、入力信号 (いまの場合、HD 画像の信号) が入力される。

50

【 0 0 2 0 】

画像処理部 2 1 は、入力されたHD画像を、4K画像のサブピクセル画像 a として所定の画像処理を行う。画像処理部 2 1 は、画像処理を行ったサブピクセル画像 a の信号を、信号出力部 1 3 に出力する。

【 0 0 2 1 】

サブピクセル解像度変換部 2 2 - 1 は、入力されたHD画像において、左に0.5画素ずれた位置を計算し、左に0.5画素ずれた位置の画像（4K画像のサブピクセル画像 b ）を生成して、所定の解像度変換を行い、画像処理部 2 3 - 1 に出力する。画像処理部 2 3 - 1 は、4K画像のサブピクセル画像 b に所定の画像処理を行い、画像処理を行ったサブピクセル画像 b の信号を、信号出力部 1 3 に出力する。

10

【 0 0 2 2 】

サブピクセル解像度変換部 2 2 - 2 は、入力されたHD画像において、下に0.5画素ずれた位置を計算し、下に0.5画素ずれた位置の画像（4K画像のサブピクセル画像 c ）を生成して、所定の解像度変換を行い、画像処理部 2 3 - 2 に出力する。画像処理部 2 3 - 2 は、4K画像のサブピクセル画像 c に所定の画像処理を行い、画像処理を行ったサブピクセル画像 c の信号を、信号出力部 1 3 に出力する。

【 0 0 2 3 】

サブピクセル解像度変換部 2 2 - 3 は、入力されたHD画像において、左に0.5画素、下に0.5画素ずれた位置を計算し、左に0.5画素、下に0.5画素ずれた位置の画像（4K画像のサブピクセル画像 d ）を生成して、所定の解像度変換を行い、画像処理部 2 3 - 3 に出力する。画像処理部 2 3 - 3 は、4K画像のサブピクセル画像 d に所定の画像処理を行い、画像処理を行ったサブピクセル画像 d の信号を、信号出力部 1 3 に出力する。

20

【 0 0 2 4 】

信号出力部 1 3 は、画像処理デバイス 1 1 からのサブピクセル画像 a 、画像処理デバイス 1 2 - 1 からのサブピクセル画像 b 、画像処理デバイス 1 2 - 2 からのサブピクセル画像 c 、および画像処理デバイス 1 2 - 3 からのサブピクセル画像 d が、4K画像として表示部 3 2 に表示されるように、各画像処理デバイスからの信号を所定の順番で表示制御部 3 1 に出力する。

【 0 0 2 5 】

表示装置 2 は、表示制御部 3 1 および表示部 3 2 により構成され、画像処理装置 1 からの4K画像を表示部 3 2 に表示させる。

30

【 0 0 2 6 】

表示制御部 3 1 は、例えば、パネルドライバなどで構成され、画像処理装置 1 からの4K画像の信号に基づいて、4K画像を表示部 3 2 に表示させる。表示部 3 2 は、例えば、LCD(Liquid Crystal Display)などよりなり、表示制御部 3 1 による制御にしたがって、4K画像を表示する。

【 0 0 2 7 】

次に、図 2 を参照して、サブピクセル画像について説明する。図 2 の例においては、4K画像 X とサブピクセル画像 a 乃至 d が概念的に表わされている。

【 0 0 2 8 】

40

4K画像 X は、白丸で表わされている画素 a 1 、斜線のハッチングの丸で表わされる画素 b 1 、縦線のハッチングの丸で表わされる画素 c 1 、および黒丸で表わされている画素 d 1 からなる 4 種類の画素が順番に複数並んで構成される。ここで、4K画像 X の最左上の画素 a 1 の位置を基準とすると、画素 b 1 は、画素 a 1 から左に0.5画素ずれて位置しており、画素 c 1 は、画素 a 1 から下に0.5画素ずれて位置しており、画素 d 1 は、画素 a 1 から左に0.5画素、下に0.5画素ずれて位置している。

【 0 0 2 9 】

すなわち、4K画像 X は、複数の画素 a 1 からなるサブピクセル画像（HD画像）a 、複数の画素 b 1 からなるサブピクセル画像（HD画像）b 、複数の画素 c 1 からなるサブピクセル画像（HD画像）c 、および複数の画素 d 1 からなるサブピクセル画像（HD画像）d で構

50

成されているとも言える。

【 0 0 3 0 】

したがって、画像処理装置 1 の 4 つの画像処理デバイスにおいて、必要であれば位相をずらして、HD 画像からサブピクセル画像 a 乃至 d を生成し、並列でそれぞれ画像処理し、所定の順番で出力することで、画像処理された 4K 画像 X を表示装置 2 に表示させることができる。

【 0 0 3 1 】

次に、図 3 のフローチャートを参照して、画像処理装置 1 の画像処理について説明する。なお、図 3 のステップ S 1 2、ステップ S 1 3 および S 1 4、ステップ S 1 5 および S 1 6、ステップ S 1 7 および S 1 8 は、それぞれ、並列に行われる処理である。

10

【 0 0 3 2 】

ステップ S 1 1 において、画像処理デバイス 1 1、および画像処理デバイス 1 2 - 1 乃至 1 2 - 3 は、それぞれ、図示せぬ前段からの HD 画像の信号を入力する。

【 0 0 3 3 】

ステップ S 1 2 において、画像処理デバイス 1 1 の画像処理部 2 1 は、入力された HD 画像を、4K 画像のサブピクセル画像 a として所定の画像処理を行う。

【 0 0 3 4 】

ステップ S 1 3 において、画像処理デバイス 1 2 - 1 のサブピクセル解像度変換部 2 2 - 1 は、入力された HD 画像の位相を左に 0.5 画素ずらして、サブピクセル画像 b を生成し、所定の解像度変換を行い、画像処理部 2 3 - 1 に出力する。ステップ S 1 4 において、画像処理部 2 3 - 1 は、4K 画像のサブピクセル画像 b に所定の画像処理を行い、画像処理を行ったサブピクセル画像 b の信号を、信号出力部 1 3 に出力する。

20

【 0 0 3 5 】

ステップ S 1 5 において、画像処理デバイス 1 2 - 2 のサブピクセル解像度変換部 2 2 - 2 は、入力された HD 画像の位相を下に 0.5 画素ずらして、サブピクセル画像 c を生成し、所定の解像度変換を行い、画像処理部 2 3 - 2 に出力する。ステップ S 1 6 において、画像処理部 2 3 - 2 は、4K 画像のサブピクセル画像 c に所定の画像処理を行い、画像処理を行ったサブピクセル画像 c の信号を、信号出力部 1 3 に出力する。

【 0 0 3 6 】

ステップ S 1 7 において、画像処理デバイス 1 2 - 3 のサブピクセル解像度変換部 2 2 - 3 は、入力された HD 画像の位相を左に 0.5 画素、下に 0.5 画素ずらして、サブピクセル画像 d を生成し、所定の解像度変換を行い、画像処理部 2 3 - 3 に出力する。ステップ S 1 8 において、画像処理部 2 3 - 3 は、4K 画像のサブピクセル画像 d に所定の画像処理を行い、画像処理を行ったサブピクセル画像 c の信号を、信号出力部 1 3 に出力する。

30

【 0 0 3 7 】

ここで、ステップ S 1 2、S 1 4、S 1 6、および S 1 8 の画像処理について説明する。

【 0 0 3 8 】

画像処理部 2 1 および画像処理部 2 3 - 1 乃至 2 3 - 3 においては、HD 画像から生成された 4K 画像のサブピクセル画像が入力される。このサブピクセル画像は、HD 画像の信号であるので、画像処理部 2 1 および画像処理部 2 3 - 1 乃至 2 3 - 3 は、既存の HD 画像の画像処理の速度と同様の処理速度で画像処理を行うことができる。

40

【 0 0 3 9 】

また、画像信号帯域（細かさ）においても、上記サブピクセル画像は、4K 画像の一部ではあるが、HD 画像からの拡大画像であり、通常の 4K 画像における 1on1off のような高帯域信号が入力されないため、サンプリング定理を満たし、空間フィルタを、既存の HD 画像と同様に使用することができる。

【 0 0 4 0 】

ステップ S 1 9 において、信号出力部 1 3 は、サブピクセル画像 a 乃至 d を、4K 画像として、表示装置 2 の表示制御部 3 1 に出力する。

50

【 0 0 4 1 】

これに対応して、表示制御部 3 1 においては、画像処理装置 1 からの4K画像の信号に基づいて、4K画像の表示部 3 2 への表示が制御され、表示部 3 2 に4K画像が表示される。

【 0 0 4 2 】

以上のように、必要に応じて入力された画像（HD画像）の位相をずらして、出力する画像（4K画像）のサブピクセル画像を生成し、サブピクセル画像に対して解像度変換や画像処理を並列で行い、4K画像を出力するようにした。

【 0 0 4 3 】

これにより、ピクセル単位の処理は、もちろん、空間情報を利用した画像処理や3次元（空間方向や時間方向）の画像処理が実現可能である。すなわち、既存の画像処理デバイスを用いることができるので、安価で簡単な構成で、HD画像を超える高解像度の画像処理を行うことができる。

【 0 0 4 4 】

また、従来の領域分割による画像処理の場合に必要なであった領域分割による貼り合わせの境界処理を意識せず、解像度変換および画像処理を行うことができる。

【 0 0 4 5 】

さらに、従来のサブフレーム分割による画像処理の場合に必要なであった入力画像の事前処理や座標計算の必要もない。したがって、画像データを記憶するメモリが不要であるので、安価に実現が可能である。

【 0 0 4 6 】

次に、図 3 のステップ S 1 9 におけるサブピクセル画像を4K画像として出力する処理について説明する。図 4 は、上述した処理を実現する図 1 の信号出力部 1 3 の一実施形態の構成例を示すブロック図である。

【 0 0 4 7 】

図 4 の例において、信号出力部 1 3 は、ラインメモリ 5 1 - 1 乃至 5 1 - 4、セクタ 5 2 - 1 および 5 2 - 2、セクタ 5 3、並びに出力制御部 5 4 により構成される。

【 0 0 4 8 】

ラインメモリ 5 1 - 1 は、画像処理ブロック 1 1 からのサブピクセル画像 a の画素 a 1 を1ライン分蓄積する。ラインメモリ 5 1 - 1 は、蓄積された1ライン分の画素 a 1 を所定の順番でセクタ 5 2 - 1 に出力する。

【 0 0 4 9 】

ラインメモリ 5 1 - 2 は、画像処理ブロック 1 2 - 1 からのサブピクセル画像 b の画素 b 1 を1ライン分蓄積する。ラインメモリ 5 1 - 2 は、蓄積された1ライン分の画素 b 1 を所定の順番でセクタ 5 2 - 1 に出力する。

【 0 0 5 0 】

ラインメモリ 5 1 - 3 は、画像処理ブロック 1 1 からのサブピクセル画像 c の画素 c 1 を1ライン分蓄積する。ラインメモリ 5 1 - 3 は、蓄積された1ライン分の画素 c 1 を所定の順番でセクタ 5 2 - 2 に出力する。

【 0 0 5 1 】

ラインメモリ 5 1 - 4 は、画像処理ブロック 1 1 からのサブピクセル画像 d の画素 d 1 を1ライン分蓄積する。ラインメモリ 5 1 - 4 は、蓄積された1ライン分の画素 d 1 を所定の順番でセクタ 5 2 - 2 に出力する。

【 0 0 5 2 】

なお、以下、ラインメモリ 5 1 - 1 乃至 5 1 - 4 を区別する必要がある場合、単に、ラインメモリ 5 1 とも称する。

【 0 0 5 3 】

セクタ 5 2 - 1 および 5 2 - 2 には、出力制御部 5 4 からのピクセル選択信号が入力される。セクタ 5 2 - 1 は、出力制御部 5 4 からピクセル選択信号(odd)が入力されると、ラインメモリ 5 1 - 1 からのサブピクセル画像 a の画素 a 1 を選択し、セクタ 5 3 に出力する。セクタ 5 2 - 1 は、出力制御部 5 4 からピクセル選択信号(even)が入力さ

10

20

30

40

50

れると、ラインメモリ 5 1 - 2 からのサブピクセル画像 b の画素 b 1 を選択し、セクタ 5 3 に出力する。

【 0 0 5 4 】

セクタ 5 2 - 2 は、出力制御部 5 4 からピクセル選択信号(odd)が入力されると、ラインメモリ 5 1 - 3 からのサブピクセル画像 c の画素 c 1 を選択し、セクタ 5 3 に出力する。セクタ 5 2 - 2 は、出力制御部 5 4 からピクセル選択信号(even)が入力されると、ラインメモリ 5 1 - 4 からのサブピクセル画像 d の画素 d 1 を選択し、セクタ 5 3 に出力する。

【 0 0 5 5 】

セクタ 5 3 には、出力制御部 5 4 からのライン選択信号が入力される。セクタ 5 3 は、出力制御部 5 4 からライン選択信号(odd)が入力されると、セクタ 5 2 - 1 からの画素(すなわち、画素 a 1 または画素 b 1)を選択し、表示制御部 3 1 に出力する。セクタ 5 3 は、出力制御部 5 4 からライン選択信号(even)が入力されると、セクタ 5 2 - 2 からの画素(すなわち、画素 c 1 または画素 d 1)を選択し、表示制御部 3 1 に出力する。

10

【 0 0 5 6 】

出力制御部 5 4 は、表示装置 2 の表示制御部 3 1 の表示制御に応じて、ピクセル選択信号とライン選択信号を発生する。

【 0 0 5 7 】

例えば、表示装置 2 の表示制御部 3 1 は、図 5 に示されるように、表示部 3 2 の表示領域を縦に 4 つの領域(領域 A 乃至 D)に分けて、それらの領域 A 乃至 D の上から順に表示を制御する。

20

【 0 0 5 8 】

したがって、出力制御部 5 4 は、例えば、4K 画像の一番上の 1 ライン分が、ラインメモリ 5 1 - 1 および 5 1 - 2 に溜まると、ラインメモリ 5 1 - 1 から、領域 A 乃至 D の左上の各画素 a 1 が出力されるように、ピクセル選択信号(odd)とライン選択信号(odd)を、セクタ 5 2 - 1 および 5 2 - 1 並びにセクタ 5 3 にそれぞれ出力する。次に、出力制御部 5 4 は、ラインメモリ 5 1 - 2 から、領域 A 乃至 D の各画素 a 1 の右隣の各画素 b 1 が出力されるように、ピクセル選択信号(even)とライン選択信号(odd)を、セクタ 5 2 - 1 および 5 2 - 1 並びにセクタ 5 3 にそれぞれ出力する。

30

【 0 0 5 9 】

これに対応して、セクタ 5 3 から領域 A 乃至 D の各画素 a 1 が順に出力され、その次に、領域 A 乃至 D の各画素 b 1 が出力される。以上の処理が 1 ライン分繰り返されるので、表示制御部 3 1 により、表示部 3 2 の各領域 A 乃至 D の最上段の 1 ラインが表示される。

【 0 0 6 0 】

同様に、出力制御部 5 4 は、例えば、4K 画像の一番上の次の 1 ライン分が、ラインメモリ 5 1 - 3 および 5 1 - 4 に溜まると、ラインメモリ 5 1 - 3 から、領域 A 乃至 D の各画素 a 1 の下の各画素 c 1 が出力されるように、ピクセル選択信号(odd)とライン選択信号(even)を、セクタ 5 2 - 1 および 5 2 - 1 並びにセクタ 5 3 にそれぞれ出力する。次に、出力制御部 5 4 は、ラインメモリ 5 1 - 4 から、領域 A 乃至 D の各画素 c 1 の右隣の各画素 d 1 が出力されるように、ピクセル選択信号(even)とライン選択信号(even)を、セクタ 5 2 - 1 および 5 2 - 1 並びにセクタ 5 3 にそれぞれ出力する。

40

【 0 0 6 1 】

これに対応して、セクタ 5 3 から領域 A 乃至 D の各画素 c 1 が順に出力され、その次に、領域 A 乃至 D の各画素 d 1 が出力される。以上の処理が 1 ライン分繰り返されるので、表示制御部 3 1 により、表示部 3 2 の各領域 A 乃至 D の最上段の次の 1 ラインが表示される。

【 0 0 6 2 】

以上のように、ラインメモリ 5 1 を利用して、所定の順番で画像信号を出力することで

50

、4つのサブピクセル画像a乃至dを、4K画像として表示部32に表示することができる。

【0063】

すなわち、例えば、上からデータを詰める表示装置2の場合、フレームメモリは必要なく、1ライン分のラインメモリがあれば、4つのサブピクセル画像a乃至dを、4K画像として表示部32に表示することができる。したがって、安価で簡単に実現が可能である。

【0064】

なお、上記説明においては、HD画像(1920×1080/60Hz)を4K画像(3840×2160/60Hz)に変換する例を説明したが、整数倍の拡大でなくとも、任意の拡大変換であっても、サブピクセル単位で位相をずらした画像を生成することもできる。

10

【0065】

また、位相をずらした画像を生成することのできない画像処理デバイスも存在する。図6は、位相をずらした画像を生成することのできない画像処理デバイスを用いた場合の画像処理装置1の構成例を表している。

【0066】

図6の画像処理装置1は、画像処理デバイス11および信号出力部13を備える点は、図1の画像処理装置1と共通しているが、位相変調補間フィルタ101-1乃至101-3が追加された点、並びに、画像処理デバイス12-1乃至12-3が、画像処理デバイス102-1乃至102-3に置き換わった点が異なっている。

【0067】

20

すなわち、画像処理デバイス102-1乃至102-3は、位相をずらした画像を生成することのできない解像度変換部111-1乃至111-3と、画像処理デバイス12-1乃至12-3と共通の画像処理部23-1乃至23-3を有している。

【0068】

図6の画像処理装置1の場合、図示せぬ前段からの入力信号は、画像処理デバイス11および位相変調補間フィルタ101-1乃至101-3に入力される。

【0069】

位相変調補間フィルタ101-1は、入力されたHD画像において、左に0.5画素ずれた位置を計算し、左に0.5画素ずれた位置の画像を生成し、それを4K画像のサブピクセル画像bとして、解像度変換部111-1に出力する。解像度変換部111-1は、サブピクセル画像bに所定の解像度変換を行い、画像処理部23-1に出力する。

30

【0070】

位相変調補間フィルタ101-2は、入力されたHD画像において、下に0.5画素ずれた位置を計算し、下に0.5画素ずれた位置の画像を生成し、それを4K画像のサブピクセル画像cとして、解像度変換部111-2に出力する。解像度変換部111-2は、サブピクセル画像cに所定の解像度変換を行い、画像処理部23-2に出力する。

【0071】

位相変調補間フィルタ101-3は、入力されたHD画像において、左に0.5画素、下に0.5画素ずれた位置を計算し、左に0.5画素、下に0.5画素ずれた位置の画像を生成し、それを4K画像のサブピクセル画像dとして、解像度変換部111-3に出力する。解像度変換部111-3は、サブピクセル画像dに所定の解像度変換を行い、画像処理部23-3に出力する。

40

【0072】

このように、位相をずらした画像を作成することのできない画像処理デバイスを用いた場合には、位相変調補間フィルタを前段に配置するだけの簡単な構成で図1の画像処理装置1の場合と等価な処理を実現することができる。

【0073】

以上のように、画像処理装置1においては、入力された画像を用いて、入力された画像よりも高解像度の画像のサブピクセル画像を生成し、それに対して解像度変換および画像処理を行い、高解像度の画像として出力するようにしたので、安価で簡単な構成で、高解

50

像度の画像処理を行うことができる。また、高解像度の画像を表示することができる。

【 0 0 7 4 】

また、本明細書において、システムとは、複数の装置により構成される装置全体を表すものである。

【 0 0 7 5 】

本発明の実施の形態は、上述した実施の形態に限定されるものではなく、本発明の要旨を逸脱しない範囲において種々の変更が可能である。

【図面の簡単な説明】

【 0 0 7 6 】

【図 1】本発明の一実施形態に係る画像表示システムの構成例を示すブロック図である。

10

【図 2】サブピクセル画像を説明する図である。

【図 3】図 1 の画像処理装置の画像処理を説明するフローチャートである。

【図 4】図 1 の信号出力部の構成例を示すブロック図である。

【図 5】図 4 の信号出力部の処理を説明する図である。

【図 6】図 1 の画像処理装置の他の構成例を示すブロック図である。

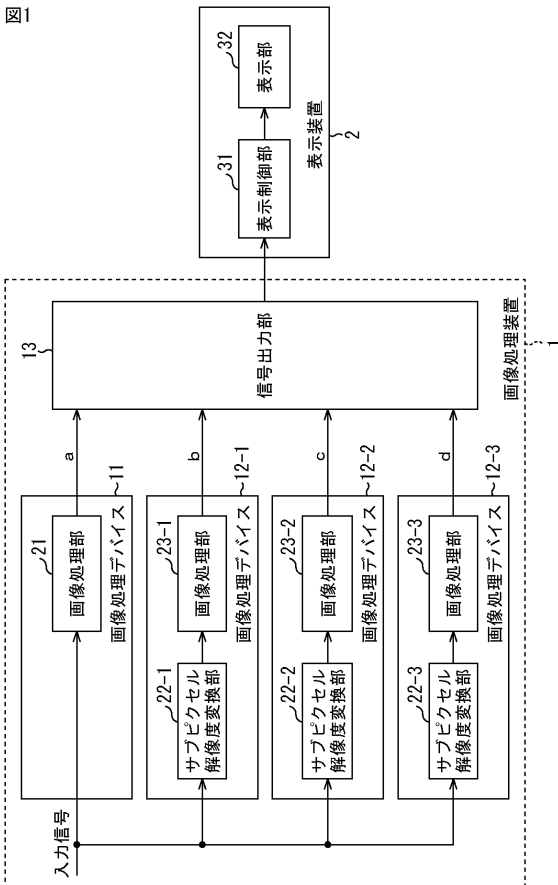
【符号の説明】

【 0 0 7 7 】

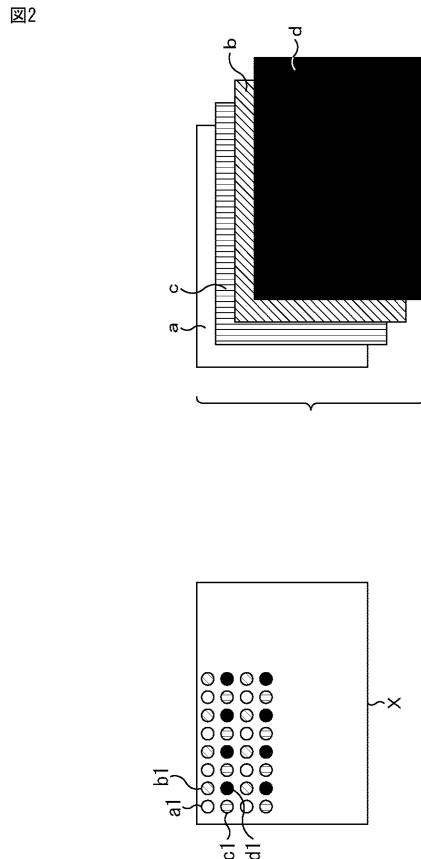
1 画像処理装置， 2 表示装置， 11 画像処理デバイス， 12 - 1 乃至 12 - 3 画像処理デバイス， 13 信号出力部， 22 - 1 乃至 22 - 3 サブピクセル解像度変換部， 23 - 1 乃至 23 - 3 画像処理部， 31 表示制御部， 32 表示部， 51， 51 - 1 乃至 51 - 4 ラインメモリ， 52 - 1， 52 - 2 セレクタ， 53 セレクタ， 54 出力制御部

20

【図 1】

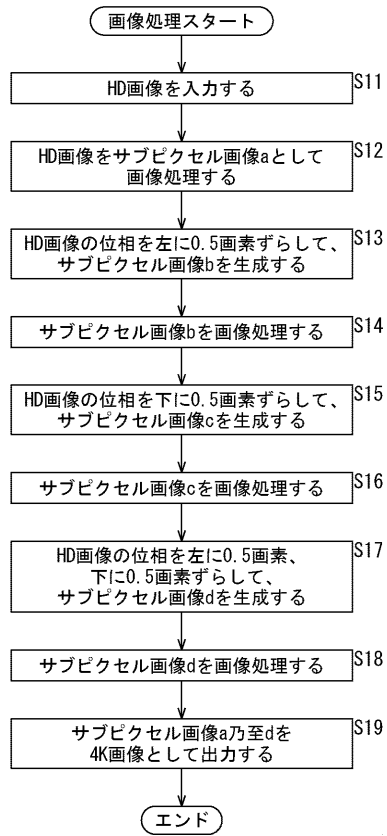


【図 2】



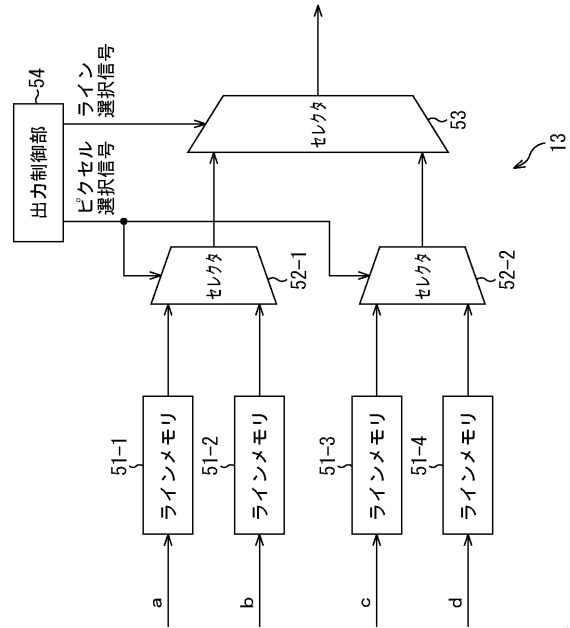
【図3】

図3



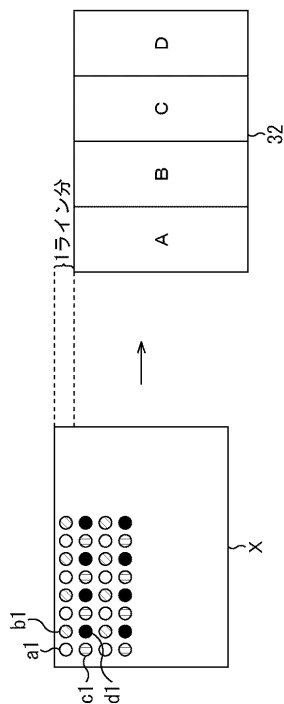
【図4】

図4



【図5】

図5



【図6】

図6

