

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局

(43) 国際公開日  
2018年11月1日(01.11.2018)



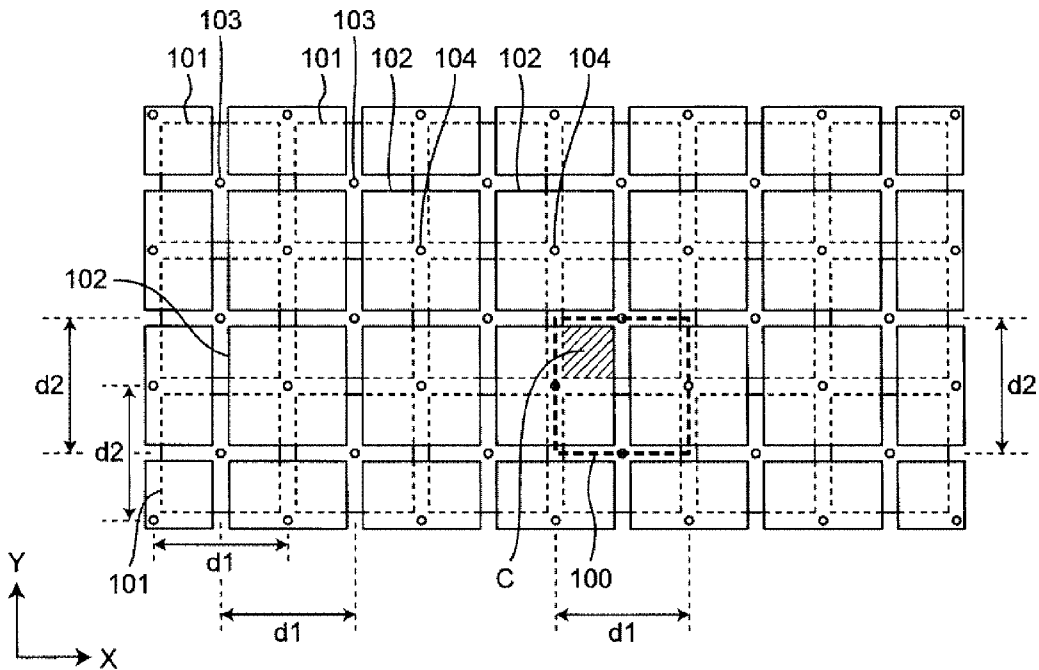
(10) 国際公開番号

WO 2018/198330 A1

- (51) 国際特許分類:  
H01L 21/822 (2006.01) H01L 27/04 (2006.01) 京都港区新橋六丁目2 1 番 3 号 ゼンテル  
ジャパン株式会社内 Tokyo (JP).
- (21) 国際出願番号: PCT/JP2017/016977 (74) 代理人: 鮫島 睦, 外 (SAMEJIMA, Mutsumi et al.); 〒5300017 大阪府大阪市北区角田町 8 番 1 号 梅田阪急ビル オフィスタワー 青山特許事務所 Osaka (JP).
- (22) 国際出願日: 2017年4月28日(28.04.2017)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人: ゼンテルジャパン株式会社 (ZENTEL JAPAN CORPORATION) [JP/JP]; 〒1050004 東京都港区新橋六丁目2 1 番 3 号 Tokyo (JP).
- (72) 発明者: 原口 大 (HARAGUCHI, Masaru); 〒1050004 東京都港区新橋六丁目2 1 番 3 号 ゼンテルジャパン株式会社内 Tokyo (JP). 藤石 義隆 (FUJIISHI, Yoshitaka); 〒1050004 東
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA,

(54) Title: CAPACITOR DEVICE AND MANUFACTURING METHOD THEREFOR

(54) 発明の名称: キャパシタ装置とその製造方法



(57) Abstract: In the present invention, lower electrodes (101, 102) are disposed at a period  $d_1$  in an X direction and at a period  $d_2$  in a Y direction. Upper electrodes (102) are disposed so as to be shifted by half the length of the period ( $d_1$ ) in the X direction with respect to the lower electrodes (101), and are disposed so as to be shifted by half the length of the period ( $d_2$ ) in the Y direction with respect to the lower electrodes (101). Each pair of a lower electrode (101) and an upper electrode (102), which face each other and capacitively couple with each other, form a capacitor cell (C). Cell terminals



WO 2018/198330 A1

NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA,  
RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM,  
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,  
US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保  
護が可能): ARIPO (BW, GH, GM, KE, LR, LS,  
MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM,  
ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ,  
TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ,  
DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT,  
LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS,  
SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM,  
GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類 :

— 国際調査報告 (条約第21条(3))

---

(103, 104) are disposed at the period (d1) in the X direction, disposed at the period (d2) in the Y direction, and respectively electrically connected to the lower electrodes (101) and the upper electrodes (102). The cell terminals (104) are disposed so as to be shifted by half the length of the period (d1) in the X direction with respect to the cell terminals (103), and are disposed so as to be shifted by half the length of the period (d2) in the Y direction with respect to the cell terminals (103).

(57) 要約 : 各下側電極 (101, 102) は、X方向に周期 d1 で配置され、Y方向に周期 d2 で配置される。各上側電極 (102) は、各下側電極 (101) に対して、X方向に周期 (d1) の長さの半分だけずらして配置され、Y方向に周期 (d2) の長さの半分だけずらして配置される。互いに対向して容量的に結合する各一対の下側電極 (101) 及び上側電極 (102) はキャパシタセル (C) を形成する。各セル端子 (103, 104) は、X方向に周期 (d1) で配置され、Y方向に周期 (d2) で配置され、各下側電極 (101) 及び各上側電極 (102) にそれぞれ電氣的に接続される。各セル端子 (104) は、各セル端子 (103) に対して、X方向に周期 (d1) の長さの半分だけずらして配置され、Y方向に周期 (d2) の長さの半分だけずらして配置される。

## 明 細 書

発明の名称：キャパシタ装置とその製造方法

### 技術分野

[0001] 本発明は、半導体基板上に形成された1つ又は複数のキャパシタセルを含むキャパシタ装置とその製造方法に関する。

### 背景技術

[0002] 半導体プロセス技術を用いて半導体基板上に形成された1つ又は複数のキャパシタセルを含むキャパシタ装置が知られている。このようなキャパシタ装置は、容量の増大、サイズの削減、製造コストの低減、設計変更の容易さなど、さまざまな要件を満たすことが求められる。

[0003] 特許文献1は、半導体基板の表面に対して垂直方向に形成された構造物を有するトレンチキャパシタを開示している。

### 先行技術文献

#### 特許文献

[0004] 特許文献1：米国特許第9472690号明細書

### 発明の概要

#### 発明が解決しようとする課題

[0005] キャパシタ装置は、回路のさらなる集積化のために、端子（半田ボールなど）の直径及び間隔を削減するとともに、キャパシタ装置の厚さを削減することが求められる。

[0006] 特許文献1のようなトレンチキャパシタの場合、トレンチキャパシタはシリコン基板中に形成されるので、製造工程でシリコン基板の表面を研磨する際には、キャパシタ部分を残すように研磨する必要がある。従って、研磨により削減可能なシリコン基板の厚さ（深さ）は制限される。また、半導体プロセス技術の微細化によりトレンチキャパシタの深さは益々増大し、10  $\mu$ mを越える深さを有するトレンチキャパシタも存在する。従って、トレンチキャパシタの深さが増大する分だけ、最終的なキャパシタ装置の厚さも増大

する。従って、このような制約を受けることなく、従来よりも削減された厚さを有するキャパシタ装置が求められる。

[0007] また、半導体プロセス技術を用いて、異なる容量、異なる容量密度（単位体積あたりの容量）、異なる耐圧、及び／又は、端子の異なる位置及び個数などの特性を有するキャパシタ装置を製造する場合、従来であれば、マスクを作り直す必要があるので、大きなコストがかかっていた。従って、従来よりも低いコストで上述したキャパシタの特性を変更して製造可能なキャパシタ装置が求められる。

[0008] 本発明の目的は、半導体基板上に形成された1つ又は複数のキャパシタセルを含むキャパシタ装置であって、従来よりも削減された厚さを有するキャパシタ装置を提供することにある。

[0009] また、本発明の目的は、半導体基板上に形成された1つ又は複数のキャパシタセルを含むキャパシタ装置であって、従来よりも低いコストで上述したキャパシタの特性を変更して製造可能なキャパシタ装置が求められる。

[0010] さらに、本発明の目的は、そのようなキャパシタ装置の製造方法を提供することにある。

### 課題を解決するための手段

[0011] 本発明の第1の態様に係るキャパシタ装置は、

互いに直交する第1の方向及び第2の方向に沿って延在する辺を有する矩形の半導体基板上に形成された複数のキャパシタセルを含むキャパシタ装置であって、

前記キャパシタ装置は、

前記半導体基板の第1の層に形成された部分を含む複数の第1の電極であって、前記第1の方向に第1の周期で配置され、かつ、前記第2の方向に第2の周期で配置された複数の第1の電極と、

前記半導体基板の第1の層とは異なる第2の層に形成された部分を含む複数の第2の電極であって、前記第1の方向に前記第1の周期で配置され、かつ、前記第2の方向に前記第2の周期で配置された複数の第2の電極とを備

え、

前記各第2の電極は、前記各第1の電極に対して、前記第1の方向に前記第1の周期の長さの半分だけずらして配置され、かつ、前記第2の方向に前記第2の周期の長さの半分だけずらして配置され、

前記各第1の電極及び前記各第2の電極は互いに部分的に対向して容量的に結合し、互に対向して容量的に結合する各一对の前記第1及び第2の電極はキャパシタセルを形成し、

前記キャパシタ装置は、

前記半導体基板の第1及び第2の層とは異なる第3の層に形成された部分を含む複数の第1のセル端子であって、前記第1の方向に前記第1の周期で配置され、前記第2の方向に前記第2の周期で配置され、かつ、前記複数の第1の電極にそれぞれ電氣的に接続された複数の第1のセル端子と、

前記半導体基板の第3の層に形成された部分を含む複数の第2のセル端子であって、前記第1の方向に前記第1の周期で配置され、前記第2の方向に前記第2の周期で配置され、かつ、前記複数の第2の電極にそれぞれ電氣的に接続された複数の第2のセル端子とをさらに備え、

前記第2の層は前記第1及び第3の層の間に位置し、

前記各第2のセル端子は、前記各第1のセル端子に対して、前記第1の方向に前記第1の周期の長さの半分だけずらして配置され、かつ、前記第2の方向に前記第2の周期の長さの半分だけずらして配置される。

[0012] 本発明の第2の態様に係るキャパシタ装置は、第1の態様に係るキャパシタ装置において、

前記キャパシタ装置は少なくとも2つの外部端子をさらに備え、前記各外部端子は、前記複数の第1のセル端子及び前記複数の第2のセル端子を含む複数のセル端子のうちの一部にそれぞれ電氣的に接続される。

[0013] 本発明の第3の態様に係るキャパシタ装置は、第2の態様に係るキャパシタ装置において、

前記複数のセル端子は、前記第1の方向又は前記第2の方向にそれぞれ延

在し、延在方向に互いに隣接する複数のセル端子列を形成し、

前記キャパシタ装置は、楕円形状をそれぞれ有する第1及び第2の外部端子を備え、

前記第1及び第2の外部端子のそれぞれは、 $N$ が整数であるとき、前記複数のセル端子列のうちの $2N$ 個毎のセル端子列に電氣的に接続される複数の第1の部分と、前記第1の部分を互いに接続する第2の部分とを備え、前記第1の外部端子の各第1の部分と前記第2の外部端子の各第1の部分とは互いに嵌合するように形成され、

前記第1及び第2の外部端子は、前記複数のセル端子列のうちの $N$ 個毎のセル端子列が前記第1及び第2の外部端子に交互に電氣的に接続されるように配置される。

[0014] 本発明の第4の態様に係るキャパシタ装置は、第2の態様に係るキャパシタ装置において、

前記複数のセル端子は、前記第1の方向又は前記第2の方向にそれぞれ延在し、延在方向に互いに隣接する複数のセル端子列を形成し、

前記キャパシタ装置は、フィッシュボーン形状を有する第1の外部端子と、楕円形状をそれぞれ有する第2及び第3の外部端子とを備え、

前記第1の外部端子は、 $N$ が整数であるとき、前記複数のセル端子列のうちの $2N$ 個毎のセル端子列に電氣的に接続される複数の第1の部分と、前記第1の外部端子の各第1の部分の中央において前記第1の外部端子の各第1の部分を互いに接続する第2の部分とを備え、

前記第2の外部端子は、前記複数のセル端子列のうちの $2N$ 個毎のセル端子列に含まれる複数のセル端子のうちの一部に電氣的に接続される複数の第1の部分と、前記第2の外部端子の各第1の部分を互いに接続する第2の部分とを備え、前記第2の外部端子は、前記第1の外部端子の第2の部分を基準として第1の側において、前記第1の外部端子の第1の部分に対して嵌合するように形成され、

前記第3の外部端子は、前記複数のセル端子列のうちの $2N$ 個毎のセル端

子列に含まれる複数のセル端子のうちの一部に電氣的に接続される複数の第 1 の部分と、前記第 3 の外部端子の各第 1 の部分を互いに接続する第 2 の部分とを備え、前記第 3 の外部端子は、前記第 1 の外部端子の第 2 の部分を基準として前記第 1 の側の逆の第 2 の側において、前記第 1 の外部端子の第 1 の部分に対して嵌合するように形成され、

前記第 1 ～第 3 の外部端子は、前記複数のセル端子列のうちの  $N$  個毎のセル端子列が前記第 1 の外部端子と前記第 2 又は第 3 の外部端子とに交互に電氣的に接続されるように配置される。

[0015] 本発明の第 5 の態様に係るキャパシタ装置は、第 2 の態様に係るキャパシタ装置において、

前記複数のセル端子は、前記第 1 の方向又は前記第 2 の方向にそれぞれ延在し、延在方向に互いに隣接する複数のセル端子列を形成し、

前記キャパシタ装置は、ミアンダ形状を有する第 1 の外部端子と、楕円形状をそれぞれ有する第 2 及び第 3 の外部端子とを備え、

前記第 1 の外部端子は、 $N$  が整数であるとき、前記複数のセル端子列のうちの  $2N$  個毎のセル端子列に電氣的に接続される複数の第 1 の部分と、前記第 1 の外部端子の各第 1 の部分の長手方向の両端のうちのいずれかにおいて前記第 1 の外部端子の各第 1 の部分を互いに接続する複数の第 2 の部分とを備え、

前記第 2 の外部端子は、前記複数のセル端子列のうちの  $4N$  個毎のセル端子列に電氣的に接続される複数の第 1 の部分と、前記第 2 の外部端子の各第 1 の部分を互いに接続する第 2 の部分とを備え、前記第 2 の外部端子は、前記第 1 の外部端子を基準として第 1 の側において、前記第 1 の外部端子の第 1 の部分に対して嵌合するように形成され、

前記第 3 の外部端子は、前記複数のセル端子列のうちの  $4N$  個毎のセル端子列に電氣的に接続される複数の第 1 の部分と、前記第 3 の外部端子の各第 1 の部分を互いに接続する第 2 の部分とを備え、前記第 3 の外部端子は、前記第 1 の外部端子を基準として前記第 1 の側の逆の第 2 の側において、前記

第1の外部端子の第1の部分に対して嵌合するように形成され、

前記第1～第3の外部端子は、前記複数のセル端子列のうちのN個毎のセル端子列が前記第1の外部端子と前記第2又は第3の外部端子とに交互に電氣的に接続されるように配置される。

[0016] 本発明の第6の態様に係るキャパシタ装置は、第2の態様に係るキャパシタ装置において、

前記複数のセル端子は、前記第1の方向又は前記第2の方向にそれぞれ延在し、延在方向に互いに隣接する複数のセル端子列を形成し、

前記キャパシタ装置は、第1及び第2の外部端子をそれぞれ含む複数組の外部端子を備え、

前記各組の第1及び第2の外部端子のそれぞれは、前記複数のセル端子列のうちの少なくとも1つのセル端子列に電氣的に接続される部分を備え、

前記各組の第1及び第2の外部端子は、Nが整数であるとき、前記複数のセル端子列のうちのN個毎のセル端子列が前記第1及び第2の外部端子に交互に電氣的に接続されるように配置される。

[0017] 本発明の第7の態様に係るキャパシタ装置は、第3～第6のうちの1つの態様に係るキャパシタ装置において、

前記各外部端子は、前記複数のセル端子列のうちの1つに電氣的に接続される部分において、前記キャパシタ装置の外部の回路に電氣的に接続される。

[0018] 本発明の第8の態様に係るキャパシタ装置は、第1～第7のうちの1つの態様に係るキャパシタ装置において、

前記半導体基板は第1の面及び第2の面を有し、

前記キャパシタ装置は、

前記第1の面に露出する第1のシリコン酸化膜と、

前記第2の面に露出するパッシベーション膜とを備え、

前記第1の電極は、前記第1のシリコン酸化膜の上に形成され、積層された複数の導体膜を含み、

前記第2の電極は、積層された複数の導体膜を含み、  
前記キャパシタ装置は、  
前記第1及び第2の電極の間に形成された絶縁膜と、  
前記第2の電極の上に形成された第2のシリコン酸化膜とをさらに備え、  
前記パッシベーション膜は前記第2のシリコン酸化膜の上に形成され、  
前記第1及び第2のセル端子は前記第2の面に露出し、  
前記第1の電極、前記第2の電極、及び前記絶縁膜は、前記キャパシタセルを形成する。

[0019] 本発明の第9の態様に係るキャパシタ装置は、第1～第8のうちの1つの態様に係るキャパシタ装置において、  
前記各キャパシタセルは、クラウン型スタックキャパシタとして形成される。

[0020] 本発明の第10の態様に係るキャパシタ装置は、  
第1の面及び第2の面を有する半導体基板に形成された少なくとも1つのキャパシタセルを含むキャパシタ装置であって、前記キャパシタ装置は、  
前記第1の面に露出する第1のシリコン酸化膜と、  
前記第1のシリコン酸化膜の上に形成され、積層された複数の導体膜を含む第1の電極と、  
積層された複数の導体膜を含む第2の電極と、  
前記第1及び第2の電極の間に形成された絶縁膜と、  
前記第2の電極の上に形成された第2のシリコン酸化膜と、  
前記第2のシリコン酸化膜の上に形成され、前記第2の面に露出するパッシベーション膜と、  
前記第1の電極に電氣的に接続され、前記第2の面に露出する少なくとも1つの第1のセル端子と、  
前記第2の電極に電氣的に接続され、前記第2の面に露出する少なくとも1つの第2のセル端子とを備え、  
前記第1の電極、前記第2の電極、及び前記絶縁膜は、前記キャパシタセル

ルを形成する。

[0021] 本発明の第11の態様に係るキャパシタ装置は、第10の態様に係るキャパシタ装置において、

前記キャパシタセルは、クラウン型スタックキャパシタとして形成される。

[0022] 本発明の第12の態様に係るキャパシタ装置は、第10又は第11の態様に係るキャパシタ装置において、

前記第1及び第2の電極のそれぞれは、少なくとも1つの金属膜を含む。

[0023] 本発明の第13の態様に係るキャパシタ装置は、第10～第12のうちの1つの態様に係るキャパシタ装置において、

前記絶縁膜は、 $Ta_2O_5$ 系材料、 $Al_2O_3$ 系材料、 $HfO_2$ 系材料、 $ZrO_2$ 系材料、及び $TiO_2$ 系材料のうちの1つ以上を含む。

[0024] 本発明の第14の態様に係るキャパシタ装置は、第10～第13のうちの1つの態様に係るキャパシタ装置において、

前記各第1のセル端子は、前記第2の面に露出する第1のパッド導体と、前記第1のパッド導体から前記第1の電極に電氣的に接続された第1のビア導体とを備え、

前記各第2のセル端子は、前記第2の面に露出する第2のパッド導体と、前記第2のパッド導体から前記第2の電極に電氣的に接続された第2のビア導体とを備える。

[0025] 本発明の第15の態様に係るキャパシタ装置は、第10～第14のうちの1つの態様に係るキャパシタ装置において、

前記キャパシタ装置は、前記半導体基板の第1及び第2の面に対して垂直な方向に積層された複数のキャパシタセルを備え、

前記第1のセル端子は、前記複数のキャパシタセルの各第1の電極に接続され、

前記第2のセル端子は、前記複数のキャパシタセルの各第2の電極に接続される。

[0026] 本発明の第16の態様に係るキャパシタ装置の製造方法は、

互いに直交する第1の方向及び第2の方向に沿って延在する辺を有する矩形の半導体基板に形成された複数のキャパシタセルを含むキャパシタ装置の製造方法であって、

前記製造方法は、

前記半導体基板の第1の層に形成された部分を含む複数の第1の電極であって、前記第1の方向に第1の周期で配置され、かつ、前記第2の方向に第2の周期で配置された複数の第1の電極を形成するステップと、

前記半導体基板の第1の層とは異なる第2の層に形成された部分を含む複数の第2の電極であって、前記第1の方向に前記第1の周期で配置され、かつ、前記第2の方向に前記第2の周期で配置された複数の第2の電極を形成するステップとを含み、

前記各第2の電極を形成するステップは、前記各第1の電極に対して、前記第1の方向に前記第1の周期の長さの半分だけずらして配置し、かつ、前記第2の方向に前記第2の周期の長さの半分だけずらして配置することを含み、

前記各第1の電極及び前記各第2の電極は互いに部分的に対向して容量的に結合し、互いに対向して容量的に結合する各一对の前記第1及び第2の電極はキャパシタセルを形成し、

前記製造方法は、

前記半導体基板の第1及び第2の層とは異なる第3の層に形成された部分を含む複数の第1のセル端子であって、前記第1の方向に前記第1の周期で配置され、前記第2の方向に前記第2の周期で配置され、かつ、前記複数の第1の電極にそれぞれ電氣的に接続された複数の第1のセル端子を形成するステップと、

前記半導体基板の第3の層に形成された部分を含む複数の第2のセル端子であって、前記第1の方向に前記第1の周期で配置され、前記第2の方向に前記第2の周期で配置され、かつ、前記複数の第2の電極にそれぞれ電氣的

に接続された複数の第2のセル端子を形成するステップとをさらに含み、

前記第2の層は前記第1及び第3の層の間に位置し、

前記各第2のセル端子を形成するステップは、前記各第1のセル端子に対して、前記第1の方向に前記第1の周期の長さの半分だけずらして配置し、かつ、前記第2の方向に前記第2の周期の長さの半分だけずらして配置することを含む。

[0027] 本発明の第17の態様に係るキャパシタ装置の製造方法は、第16の態様に係るキャパシタ装置の製造方法において、

前記製造方法は、前記複数の第1のセル端子及び前記複数の第2のセル端子を含む複数のセル端子のうちの一部にそれぞれ電氣的に接続される少なくとも2つの外部端子を形成するステップをさらに含む。

[0028] 本発明の第18の態様に係るキャパシタ装置の製造方法は、第17の態様に係るキャパシタ装置の製造方法において、

前記製造方法は、前記外部端子を前記キャパシタ装置の外部の回路に電氣的に接続する所望の位置と、前記キャパシタ装置の所望の容量及び所望の耐圧と、前記キャパシタ装置のサイズとに応じて、

スクライブライン及びガードリングとして使用する金属配線を形成するための第1のマスクを選択するステップと、

前記外部端子を形成するための第2のマスクを選択するステップと、

前記複数のセル端子のうち、前記金属配線及び前記外部端子を互いに接続するセル端子を形成するための第3のマスクを選択するステップとをさらに含む。

[0029] 本発明の第19の態様に係るキャパシタ装置の製造方法は、

第1の面及び第2の面を有する半導体基板に形成された少なくとも1つのキャパシタセルを含むキャパシタ装置の製造方法であって、

前記製造方法は、

シリコン基板の上に第1のシリコン酸化膜を形成するステップと、

前記第1のシリコン酸化膜の上に、積層された複数の導体膜を含む第1の

電極を形成するステップと、

前記第 1 の電極の上に絶縁膜を形成するステップと、

前記絶縁膜の上に、積層された複数の導体膜を含む第 2 の電極を形成するステップと、

前記第 2 の電極の上に第 2 のシリコン酸化膜を形成するステップと、

前記第 2 のシリコン酸化膜の上にパッシベーション膜を形成するステップと、

前記第 1 の電極に電氣的に接続され、前記第 2 の面に露出する少なくとも 1 つの第 1 のセル端子を形成するステップと、

前記第 2 の電極に電氣的に接続され、前記第 2 の面に露出する少なくとも 1 つの第 2 のセル端子とを形成するステップと、

前記シリコン基板を除去するステップとを含み、

前記第 1 の電極、前記第 2 の電極、及び前記絶縁膜は、前記キャパシタセルを形成する。

[0030] 本発明の第 20 の態様に係るキャパシタ装置の製造方法は、第 19 の態様に係るキャパシタ装置の製造方法において、

前記半導体基板の第 1 及び第 2 の面に対して垂直な方向に積層された複数のキャパシタセルを形成するステップと、

前記第 1 のセル端子を、前記複数のキャパシタセルの各第 1 の電極に接続するステップと、

前記第 2 のセル端子を、前記複数のキャパシタセルの各第 2 の電極に接続するステップとを含む。

### 発明の効果

[0031] 本発明によれば、半導体基板上に形成された 1 つ又は複数のキャパシタセルを含むキャパシタ装置であって、従来よりも削減された厚さを有するキャパシタ装置を提供することができる。

[0032] また、本発明によれば、半導体基板上に形成された 1 つ又は複数のキャパシタセルを含むキャパシタ装置であって、従来よりも低いコストで上述した

キャパシタの特性を変更して製造可能なキャパシタ装置を提供することができる。

[0033] さらに、本発明によれば、そのようなキャパシタ装置の製造方法を提供することができる。

### 図面の簡単な説明

[0034] [図1]第1の実施形態に係るキャパシタ装置の構成を示す斜視図である。

[図2]図1のキャパシタ装置のA1-A1'線における縦断面の一部を示す図である。

[図3]図2のキャパシタ装置の等価回路を示す回路図である。

[図4]図1のキャパシタ装置の製造工程における第1の状態を示す断面図である。

[図5]図1のキャパシタ装置の製造工程における第2の状態を示す断面図である。

[図6]図1のキャパシタ装置の製造工程における第3の状態を示す断面図である。

[図7]図1のキャパシタ装置の製造工程における第4の状態を示す断面図である。

[図8]図1のキャパシタ装置の製造工程における第5の状態を示す断面図である。

[図9]図1のキャパシタ装置の製造工程における第6の状態を示す断面図である。

[図10]図1のキャパシタ装置の製造工程における第7の状態を示す断面図である。

[図11]図1のキャパシタ装置の製造工程における第8の状態を示す断面図である。

[図12]図1のキャパシタ装置の製造工程における第9の状態を示す断面図である。

[図13]図1のキャパシタ装置の製造工程における第10の状態を示す断面図

である。

[図14]第2の実施形態に係るキャパシタ装置の構成を示す斜視図である。

[図15]図14のキャパシタ装置のA2-A2'線における縦断面の一部を示す図である。

[図16]図14のキャパシタ装置のA3-A3'線における縦断面の一部を示す図である。

[図17]図15及び図16のキャパシタ装置の等価回路を示す回路図である。

[図18]第3の実施形態に係るキャパシタ装置であって、外部端子を形成していない状態を示す上面図である。

[図19]第3の実施形態に係るキャパシタ装置であって、図18のキャパシタ装置に外部端子105及び106を形成した状態を示す上面図である。

[図20]図18のキャパシタ装置の等価回路を示す回路図である。

[図21]図18のキャパシタ装置に流れる電流を示す概略図である。

[図22]第3の実施形態の変形例に係るキャパシタ装置の一部を示し、外部端子を形成していない状態を示す上面図である。

[図23]第4の実施形態に係るキャパシタ装置の構成を示す上面図である。

[図24]図23のキャパシタ装置の等価回路を示す回路図である。

[図25]第5の実施形態に係るキャパシタ装置の構成を示す上面図である。

[図26]図25のキャパシタ装置の等価回路を示す回路図である。

[図27]第6の実施形態に係るキャパシタ装置の構成を示す上面図である。

[図28]図27のキャパシタ装置の等価回路を示す回路図である。

[図29]第7の実施形態に係るキャパシタ装置の構成を示す上面図である。

[図30]第8の実施形態に係るキャパシタ装置の構成を示す上面図である。

[図31]第9の実施形態に係るキャパシタ装置の構成を示す上面図である。

[図32]第10の実施形態に係るキャパシタ装置の構成を示す上面図である。

[図33]第11の実施形態に係るキャパシタ装置の構成を示す上面図である。

[図34]第3～第11の実施形態に係るキャパシタ装置の製造方法を説明するための概略図である。

[図35]第3～第11の実施形態に係るキャパシタ装置の製造方法を説明するための概略図である。

### 発明を実施するための形態

[0035] 以下、図面を参照して、本発明の各実施形態について説明する。

[0036] 第1の実施形態.

図1は、第1の実施形態に係るキャパシタ装置の構成を示す斜視図である。図1のキャパシタ装置は、第1の面及び第2の面を有する半導体基板に形成されたキャパシタセル30を含む。本明細書の例では、キャパシタ装置の下面を第1の面とし、キャパシタ装置の上面を第2の面とする。キャパシタセル30は、金属膜2を含む第1の電極と、金属膜9を含む第2の電極と、第1及び第2の電極の間に形成された絶縁膜（図1には図示せず）とから形成される。本明細書の例では、金属膜2を含む第1の電極を下側電極ともいい、金属膜9を含む第2の電極を上側電極ともいう。キャパシタ装置は、金属膜2を含む下側電極に電氣的に接続され、図1の上面に露出するパッド導体13を含む少なくとも1つの第1のセル端子と、金属膜9を含む上側電極に電氣的に接続され、図1の上面に露出するパッド導体14を含む少なくとも1つの第2のセル端子とを備える。本明細書の例では、キャパシタ装置は、パッド導体13をそれぞれ含む複数の第1のセル端子と、パッド導体14をそれぞれ含む複数の第2のセル端子とを備える。

[0037] 図2は、図1のキャパシタ装置のA1-A1'線における縦断面の一部を示す図である。

[0038] キャパシタ装置は、下面に露出する酸化膜1を備える。本明細書では、酸化膜1を第1のシリコン酸化膜ともいう。

[0039] キャパシタ装置は、酸化膜1の上に形成され、積層された複数の導体膜を含む下側電極と、積層された複数の導体膜を含む上側電極と、下側電極及び上側電極の間に形成された絶縁膜5とを備える。

[0040] 下側電極は、導体膜として、タングステンからなる金属膜2と、Ti-TiNからなる導体膜4とを含む。金属膜2及び導体膜4は互いに電氣的に接

続され、一体の下側電極として機能する。導体膜4はバリアメタルとして機能する。下側電極はさらに、窒化膜3を含む。

[0041] 上側電極は、導体膜として、Ti-TiNからなる導体膜6、ドーフトシリコン8、及びタングステンからなる金属膜9を含む。ドーフトシリコン8は、クラウン型スタックキャパシタの中空空間をカバレッジよく埋めて、その機械的強度を向上させる。ドーフトシリコン8として、ボロドーフトシリコンゲルマニウム膜を使用してもよい。導体膜6、ドーフトシリコン8、及び金属膜9は互いに電氣的に接続され、一体の上側電極として機能する。上側電極はさらに、窒化膜7を含む。

[0042] 絶縁膜5は、例えば、高誘電体材料からなる。絶縁膜5は、高誘電体材料として、例えば、 $Ta_2O_5$ 系材料、 $Al_2O_3$ 系材料、 $HfO_2$ 系材料、 $ZrO_2$ 系材料、及び $TiO_2$ 系材料のうちの1つ以上を含む。

[0043] 下側電極、上側電極、及び絶縁膜5は、キャパシタセル30を形成する。下側電極及び上側電極のそれぞれは、少なくとも1つの金属膜2及び9を含むので、キャパシタセル30は、MIM (Metal-Insulator-Metal) キャパシタとして形成される。また、キャパシタセル30は、図2に示すように、クラウン型スタックキャパシタとして形成される。

[0044] キャパシタ装置は、上側電極の金属膜9の上に形成された層間酸化膜12を備える。本明細書では、層間酸化膜12を第2のシリコン酸化膜ともいう。キャパシタ装置は、層間酸化膜12の上に形成され、上面に露出するパッシベーション膜15とを備える。パッシベーション膜15は、キャパシタ装置の上面を保護する保護膜として機能する。

[0045] キャパシタ装置は、下側電極の金属膜2に電氣的に接続され、上面に露出する少なくとも1つの第1のセル端子と、上側電極の金属膜9に電氣的に接続され、上面に露出する少なくとも1つの第2のセル端子とを備える。各第1のセル端子は、上面に露出するパッド導体13と、パッド導体13から下側電極の金属膜2に電氣的に接続されたビア導体10とを備える。本明細書では、パッド導体13を第1のパッド導体ともいい、ビア導体10を第1の

ビア導体ともいう。各第2のセル端子は、上面に露出するパッド導体14と、パッド導体14から上側電極の金属膜9に電氣的に接続されたビア導体11とを備える。本明細書では、パッド導体14を第2のパッド導体ともいい、ビア導体11を第2のビア導体ともいう。ビア導体10及び11の周りにはバリアメタル21が形成され、パッド導体13及び14の下面にはバリアメタル22が形成される。

[0046] 図3は、図2のキャパシタ装置の等価回路を示す回路図である。導体膜4、6は絶縁膜5を介して互いに容量的に結合する。導体膜4は、金属膜2及びビア導体10を介してパッド導体13に電氣的に接続される。導体膜6は、ドーフトシリコン8、金属膜9、及びビア導体11を介してパッド導体14に電氣的に接続される。これにより、キャパシタ装置はキャパシタとして機能する。

[0047] 次に、図4～図13を参照して、図1のキャパシタ装置の製造工程について説明する。

[0048] 図4は、図1のキャパシタ装置の製造工程における第1の状態を示す断面図である。図4は、シリコン基板16の上に酸化膜1及び金属膜2を形成し、レジストマスク（図示せず）でパターニングした状態を示す。シリコン基板16の上に酸化膜1及び金属膜2を形成するために、従来技術の方法を使用可能である。例えば、酸化膜1を形成するために、後述する裏面研磨の際の機械的強度に耐え得る材料として、膜密度の高い熱酸化膜を使用してもよい。

[0049] 図5は、図1のキャパシタ装置の製造工程における第2の状態を示す断面図である。図5は、酸化膜1及び金属膜2を形成した後、窒化膜3、もう1つの酸化膜1A、及び窒化膜7を形成した状態を示す。窒化膜3、もう1つの酸化膜1A、及び窒化膜7を形成するために、従来技術の方法を使用可能である。窒化膜7は、後の工程においてクラウン型スタックキャパシタの電極が倒れることを防止するために形成される。

[0050] 図6は、図1のキャパシタ装置の製造工程における第3の状態を示す断面

図である。図6は、窒化膜7、酸化膜1A、及び窒化膜3をパターニング及びエッチングして、スタックキャパシタのための開口部17を形成した状態を示す。窒化膜7、酸化膜1A、及び窒化膜3をパターニング及びエッチングするために、従来技術の方法を使用可能である。

[0051] 図7は、図1のキャパシタ装置の製造工程における第4の状態を示す断面図である。図7は、導体膜4を形成し、更に酸化膜18を形成した状態を示す。導体膜4及び酸化膜18を形成するために、従来技術の方法を使用可能である。

[0052] 図8は、図1のキャパシタ装置の製造工程における第5の状態を示す断面図である。図8は、フォトレジスト19により、クラウン型スタックキャパシタを形成するための開口部20をパターニングした状態を示す。

[0053] 図9は、図1のキャパシタ装置の製造工程における第6の状態を示す断面図である。図9は、開口部20における酸化膜18をエッチングした後、フォトレジスト19を除去した状態を示す。この後、酸化膜18をマスクとして用いて、開口部20における導体膜4及び窒化膜7をエッチングする（図示せず）。このとき、マスクとなった酸化膜18及び導体膜4もまた、自己整合的に除去され、残った導体膜4の部分により、クラウン形状の構造物が形成される。もし、エッチングの後でマスクとなった導体膜4が残った場合でも、導体膜4のみに追加のエッチングを行って除去することができる。

[0054] 図10は、図1のキャパシタ装置の製造工程における第7の状態を示す断面図である。図10は、図9の開口部20の位置に形成された開口から、ウェットプロセスにより導体膜4の側壁及び窒化膜7の直下に残った酸化膜1Aを除去した状態を示す。これにより、酸化膜1の上に、積層された複数の導体膜として金属膜2及び導体膜4を含む下側電極が形成される。

[0055] 図11は、図1のキャパシタ装置の製造工程における第8の状態を示す断面図である。図11は、導体膜4の上に絶縁膜5を形成し、絶縁膜5の上に順に導体膜6、ドープトシリコン8、及び金属膜9を形成し、その後、絶縁膜5、ドープトシリコン8、及び金属膜9をエッチングによりパターニング

した状態を示す。絶縁膜 5、ドーフトシリコン 8、及び金属膜 9 をエッチングによりパターニングするために、従来技術の方法を使用可能である。これにより、下側電極の上に絶縁膜 5 が形成され、絶縁膜 5 の上に、積層された複数の導体膜として導体膜 6、ドーフトシリコン 8、及び金属膜 9 を含む上側電極が形成される。

[0056] 図 1 2 は、図 1 のキャパシタ装置の製造工程における第 9 の状態を示す断面図である。図 1 2 は、窒化膜 3 及び上側電極の金属膜 9 の上に層間酸化膜 1 2 を形成して平坦化した状態を示す。層間酸化膜 1 2 を形成して平坦化するために、従来技術の方法を使用可能である。平坦化は、化学機械研磨技術を用いて行ってもよく、パターニング及びエッチングにより凸部の酸化膜のみを除去することによって行ってもよく、これらを組み合わせてもよい。

[0057] 図 1 3 は、図 1 のキャパシタ装置の製造工程における第 1 0 の状態を示す断面図である。図 1 3 は、層間酸化膜 1 2 を貫通するビア導体 1 0 及び 1 1 を形成し、層間酸化膜 1 2 の上にパッド導体 1 3 及び 1 4 を形成し、更に、層間酸化膜 1 2 の上にパッシベーション膜 1 5 を形成した状態を示す。パッシベーション膜 1 5 において、パッド導体 1 3 及び 1 4 の部分にのみ開口が形成される。ビア導体 1 0 及び 1 1 を形成するために、従来技術の方法を使用可能である。ビア導体 1 0 及びパッド導体 1 3 は、下側電極の金属膜 2 に電氣的に接続され、上面に露出する少なくとも 1 つの第 1 のセル端子を形成する。ビア導体 1 1 及びパッド導体 1 4 は、上側電極の金属膜 9 に電氣的に接続され、上面に露出する少なくとも 1 つの第 2 のセル端子を形成する。ビア導体 1 0 及び 1 1 の周りにはバリアメタル 2 1 が形成され、パッド導体 1 3 及び 1 4 の下面にはバリアメタル 2 2 が形成される。

[0058] その後、裏面研磨によりシリコン基板 1 6 を除去することにより、図 2 のキャパシタ装置が完成する。

[0059] 第 1 の実施形態に係るキャパシタ装置は、キャパシタセル 3 0 の部分においてシリコン基板を用いないので、裏面研磨によりシリコン基板 1 6 を除去しても、キャパシタ装置は正常に動作する。シリコン基板 1 6 を除去するこ

とにより、キャパシタ装置の厚さを従来よりも削減することができる。第1の実施形態に係るキャパシタ装置の合計の厚さは、MIMのクラウン型スタックキャパシタとして構成した場合、4~5 $\mu\text{m}$ 程度に薄膜化できる。

[0060] また、スタックキャパシタの構造として、従来技術による凹型（Concave型）スタックMIMキャパシタを採用してもよい。

[0061] MIMキャパシタの利点としては、絶縁膜の高い誘電率の効果で、キャパシタ装置の厚さを増大することなく、所望の容量を確保できる点がある。

[0062] 例えば汎用のDRAMなどの半導体プロセス技術を用いてMIMキャパシタを形成することにより高密度、薄型化、及び低コストを実現することができる。汎用のDRAMの半導体プロセス技術では、トレンチキャパシタのようにシリコン基板の表面より下に形成された構造物を利用することなく、キャパシタを形成することができ、キャパシタ装置自体の薄型化に非常に適している。さらに、汎用のDRAMの半導体プロセス技術の流用により、プロセス開発コストを低減することができる。

[0063] 第2の実施形態。

図14は、第2の実施形態に係るキャパシタ装置の構成を示す斜視図である。図14のキャパシタ装置は、第1の実施形態に係るキャパシタ装置のキャパシタセル30とそれぞれ同様に構成され、半導体基板の下面及び上面に対して垂直な方向に積層された複数のキャパシタセル30-1及び30-2を備える。パッド導体13を含む少なくとも1つの第1のセル端子は、キャパシタセル30-1における金属膜2-1を含む下側電極に電氣的に接続され、さらに、キャパシタセル30-2における金属膜2-2を含む下側電極に電氣的に接続される。パッド導体14を含む少なくとも1つの第2のセル端子は、キャパシタセル30-1における金属膜9-1を含む上側電極に電氣的に接続され、さらに、キャパシタセル30-2における金属膜9-2を含む上側電極に電氣的に接続される。

[0064] 図15は、図14のキャパシタ装置のA2-A2'線における縦断面の一部を示す図である。図16は、図14のキャパシタ装置のA3-A3'線に

おける縦断面の一部を示す図である。図14のキャパシタ装置は、図11においてキャパシタセル30を形成し、図12において層間酸化膜12を形成して上面を平坦化した後、再度、図4～図12を参照して説明した工程を繰り返して、もう1つのキャパシタセル30を形成することによって得られる。これにより、半導体基板の下面及び上面に対して垂直な方向に積層された複数のキャパシタセル30-1及び30-2が形成される。2つ目のキャパシタセル30を形成した後で、裏面研磨によりシリコン基板16を除去する。次いで、ビア導体10は、キャパシタセル30-1における下側電極の金属膜2-1に電氣的に接続され、さらに、キャパシタセル30-2における下側電極の金属膜2-2に電氣的に接続されるように形成される。これにより、ビア導体10及びパッド導体13を含む第1のセル端子は、複数のキャパシタセル30-1及び30-2の各下側電極に接続される。ビア導体11は、キャパシタセル30-1における上側電極の金属膜9-1に電氣的に接続され、さらに、キャパシタセル30-2における上側電極の金属膜9-2に電氣的に接続されるように形成される。これにより、ビア導体11及びパッド導体14を含む第2のセル端子は、複数のキャパシタセル30-1及び30-2の各上側電極に接続される。

[0065] 図17は、図15及び図16のキャパシタ装置の等価回路を示す回路図である。キャパシタセル30-1において、導体膜4-1、6-1は絶縁膜5-1を介して互いに容量的に結合する。導体膜4-1は、金属膜2-1及びビア導体10を介してパッド導体13に電氣的に接続される。導体膜6-1は、ドーフトシリコン（図示せず）、金属膜9-1、及びビア導体11を介してパッド導体14に電氣的に接続される。同様に、キャパシタセル30-2において、導体膜4-2、6-2は絶縁膜5-2を介して互いに容量的に結合する。導体膜4-2は、金属膜2-2及びビア導体10を介してパッド導体13に電氣的に接続される。導体膜6-2は、ドーフトシリコン（図示せず）、金属膜9-2、及びビア導体11を介してパッド導体14に電氣的に接続される。これにより、キャパシタセル30-1及び30-2は、パッ

ド導体13及び14の間で互いに並列接続される。

[0066] 第2の実施形態に係るキャパシタ装置では、キャパシタセル30-1及び30-2を積層して並列接続することにより、キャパシタセルの水平方向の面積を増加させることなく、第1の実施形態の場合に比較して容量を2倍にすることができる。

[0067] 図4～13の工程を繰り返して3つ以上のキャパシタセルを積層して並列接続することにより、第1の実施形態の場合に比較して容量を3倍以上にすることも可能である。その場合、ビア導体10及び11は、例えば、従来技術のTSV (Through Si Via) 技術を用いて形成してもよい。

[0068] 第2の実施形態に係るキャパシタ装置でも、第1の実施形態に係るキャパシタ装置と同様に、シリコン基板を除去することにより、キャパシタ装置の厚さを従来よりも削減することができる。第2の実施形態に係るキャパシタ装置の合計の厚さは、MIMのクラウン型スタックキャパシタとして構成した場合、6～7 $\mu$ m程度に留まる。

[0069] 第2の実施形態に係るキャパシタ装置は、第1の実施形態に係るキャパシタ装置と同様の他の利点も有する。

[0070] 第3の実施形態。

図18は、第3の実施形態に係るキャパシタ装置であって、外部端子を形成していない状態を示す上面図である。図18のキャパシタ装置は、互いに直交する第1の方向及び第2の方向に沿って延在する辺を有する矩形の半導体基板に形成された複数のキャパシタセルCを含む。

[0071] 図18のキャパシタ装置は、半導体基板に形成された複数の下側電極101、複数の上側電極102、複数のセル端子103、及び複数のセル端子104を備える。各下側電極101、各上側電極102、各セル端子103、及び各セル端子104は、第1の実施形態に係るキャパシタ装置の下側電極、上側電極、第1のセル端子、及び第2のセル端子にそれぞれ対応する。各下側電極101、各上側電極102、各セル端子103、及び各セル端子104は、第1の実施形態に係るキャパシタ装置と同様に、酸化膜などを含む

半導体基板に形成されるが、図18以降では、図示の簡単化のために、半導体基板を省略する。

[0072] 本明細書では、図18などのX方向を第1の方向ともいい、Y方向を第2の方向ともいう。また、本明細書では、各下側電極101、各上側電極102、各セル端子103、及び各セル端子104を、第1の電極、第2の電極、第1のセル端子、及び第2のセル端子ともいう。

[0073] 複数の下側電極101は、半導体基板の第1の層に形成された部分（例えば、図2の金属膜2に対応する部分）を含み、X方向に第1の周期 $d_1$ で配置され、Y方向に第2の周期 $d_2$ で配置される。複数の上側電極102は、半導体基板の第1の層とは異なる第2の層に形成された部分（例えば、図2の金属膜9に対応する部分）を含み、X方向に周期 $d_1$ で配置され、Y方向に周期 $d_2$ で配置される。各上側電極102は、各下側電極101に対して、X方向に周期 $d_1$ の長さの半分だけずらして配置され、かつ、Y方向に周期 $d_2$ の長さの半分だけずらして配置される。

[0074] 各下側電極101及び各上側電極102は互いに部分的に対向して容量的に結合し、互に対向して容量的に結合する各一对の下側電極101及び上側電極102はキャパシタセルCを形成する。

[0075] 複数のセル端子103は、半導体基板の第1及び第2の層とは異なる第3の層に形成された部分を含み、X方向に周期 $d_1$ で配置され、Y方向に周期 $d_2$ で配置され、複数の下側電極101にそれぞれ電氣的に接続される。このとき、第2の層は第1及び第3の層の間に位置する。複数のセル端子104は、半導体基板の第3の層に形成された部分を含み、X方向に周期 $d_1$ で配置され、Y方向に周期 $d_2$ で配置され、複数の上側電極102にそれぞれ電氣的に接続される。各セル端子104は、各セル端子103に対して、X方向に周期 $d_1$ の長さの半分だけずらして配置され、かつ、Y方向に周期 $d_2$ の長さの半分だけずらして配置される。

[0076] 言い換えると、キャパシタ装置は、Y方向に隣接する2つの下側電極101と、X方向に隣接する2つの上側電極102とをそれぞれ含む（又は、X

方向に隣接する2つの下側電極101と、Y方向に隣接する2つの上側電極102とをそれぞれ含む)複数の単位セル100を含む。各単位セル100は、互いに対向して容量的に結合する各一对の下側電極101及び上側電極102からそれぞれ形成される4つのキャパシタセルCを含む。複数の単位セル100を繰り返して配置することにより、所望の行数および列数のキャパシタセルCを形成する。

[0077] 第3の実施形態に係るキャパシタ装置は、第1の実施形態に係るキャパシタ装置と同様に構成されてもよい。この場合、半導体基板は第1の面及び第2の面を有する。キャパシタ装置は、第1の面に露出する第1のシリコン酸化膜と、第2の面に露出するパッシベーション膜とを備える。各下側電極101は、第1のシリコン酸化膜の上に形成され、積層された複数の導体膜を含む。各上側電極102は、積層された複数の導体膜を含む。キャパシタ装置は、各下側電極101及び各上側電極102の間に形成された絶縁膜と、各上側電極102の上に形成された第2のシリコン酸化膜とをさらに備える。パッシベーション膜は第2のシリコン酸化膜の上に形成される。セル端子103及び104は第2の面に露出する。各キャパシタセルCは、互いに対向して容量的に結合する一对の下側電極101及び上側電極102と、それらの間に形成された絶縁膜とから形成される。

[0078] 各キャパシタセルCは、クラウン型スタックキャパシタとして形成されてもよい。

[0079] 各セル端子103及び104は、第1の実施形態に係るキャパシタ装置の第1及び第2のセル端子と同様に構成されてもよい。この場合、各セル端子103は、半導体基板の第3の層に形成された第1のパッド導体と、第1のパッド導体から複数の下側電極101のうちの1つに電氣的に接続された第1のビア導体とを備える。同様に、各セル端子104は、半導体基板の第3の層に形成された第2のパッド導体と、第2のパッド導体から複数の上側電極102のうちの1つに電氣的に接続された第2のビア導体とを備える。

[0080] 図19は、第3の実施形態に係るキャパシタ装置であって、図18のキャ

パシタ装置に外部端子105及び106を形成した状態を示す上面図である。キャパシタ装置は、キャパシタ装置の外部の回路に電氣的に接続するために、少なくとも2つの外部端子105及び106をさらに備える。各外部端子105及び106は、複数のセル端子103及び複数のセル端子104を含む複数のセル端子のうちの一部にそれぞれ電氣的に接続される。

[0081] 複数のセル端子103及び104は、Y方向にそれぞれ延在し、延在方向に互いに隣接する複数のセル端子列を形成するものとする。

[0082] 図19の例では、キャパシタ装置は、楕形状をそれぞれ有する外部端子105及び106を備える。外部端子105は、Nが整数であるとき、複数のセル端子列のうち2N個毎のセル端子列に電氣的に接続される複数の第1の部分（Y方向に延在する部分）と、第1の部分を互いに接続する第2の部分（X方向に延在する部分）とを備える。外部端子106もまた、複数のセル端子列のうち2N個毎のセル端子列に電氣的に接続される複数の第1の部分（Y方向に延在する部分）と、第1の部分を互いに接続する第2の部分（X方向に延在する部分）とを備える。外部端子105の各第1の部分と外部端子106の各第1の部分とは互いに嵌合するように形成される。外部端子105及び106のそれぞれは、複数のセル端子列のうちN個毎のセル端子列が外部端子105及び106に交互に電氣的に接続されるように配置される。

[0083] 図19は、 $N = 1$ である場合を示す。従って、外部端子105は、複数のセル端子列のうち2個毎のセル端子列に電氣的に接続され、外部端子106もまた、複数のセル端子列のうち2個毎のセル端子列に電氣的に接続される。外部端子105及び106のそれぞれは、複数のセル端子列が外部端子105及び106に交互に電氣的に接続されるように配置される。

[0084] 外部端子105及び106は、任意の電圧の電圧源に接続可能である。例えば、それらの一方が電源に接続され、他方が接地されてもよい。

[0085] 外部端子105及び106は、複数のセル端子列のうち1つに電氣的に接続される部分（すなわち、外部端子105及び106の各第1の部分）に

において、キャパシタ装置の外部の回路に電氣的に接続されてもよい。それに変わって、外部端子105及び106は、それらの各第2の部分（X方向に延在する部分）において、キャパシタ装置の外部の回路に電氣的に接続されてもよい。

[0086] 図20は、図18のキャパシタ装置の等価回路を示す回路図である。前述のように、各キャパシタセルCは、互いに対向して容量的に結合する各一对の下側電極101及び上側電極102の間に形成される。図20によれば、互いに隣接する外部端子105及び106の間に1つのキャパシタセルCが形成される。従って、キャパシタ装置の全体では、複数のキャパシタセルCが並列接続されている。

[0087] 図21は、図18のキャパシタ装置に流れる電流を示す概略図である。図21では、外部端子105及び106を省略している。例えば、外部端子106（従ってセル端子104）が電源に接続され、外部端子105（従ってセル端子103）が接地されている場合、矢印の向きに電流が流れる。等価直列インダクタンス（ESL）を低減するためには、キャパシタ装置を通る電流が互いに打ち消しあうようにキャパシタ装置の各構成要素をレイアウトするのが効果的である。図21に示すように、各下側電極101、各上側電極102、各セル端子103、及び各セル端子104を周期的かつ対称に配置することにより、等価直列インダクタンスを低減することができる。図19に示すように、外部端子105及び106が複数のセル端子列のうちの1つに電氣的に接続される部分に微細ピッチのバンプを形成する場合に、最もよく等価直列インダクタンスを低減する。

[0088] 各下側電極101、各上側電極102、各セル端子103、及び各セル端子104をX方向に配置する周期d1及びY方向に配置する周期d2は、互いに等しく設定されてもよく、互いに異なるように設定されてもよい。図18は、例えば、 $d1 = d2$ の場合を示す。

[0089] 図22は、第3の実施形態の変形例に係るキャパシタ装置の一部を示し、外部端子を形成していない状態を示す上面図である。図22の例において、

各上側電極102、各セル端子103、及び各セル端子104をX方向に配置する周期 $d_1'$ 及びY方向に配置する周期 $d_2'$ は、互いに異なるように設定される。単位セル100Aは、Y方向に隣接する2つの下側電極101と、X方向に隣接する2つの上側電極102とをそれぞれ含む。図22のキャパシタ装置もまた、図18のキャパシタ装置と同様に動作可能である。

[0090] 第3の実施形態に係るキャパシタ装置によれば、図19のキャパシタ装置とは異なる容量、異なる容量密度、異なる耐圧、及び／又は、端子の異なる位置及び個数などの特性を有するキャパシタ装置を製造する場合、以降の実施形態で説明するように、外部端子105及び106を形成するためのマスクのみを置き換えればよい。複数のキャパシタセルCを形成するためには複数の高価なマスクを必要とする。第3の実施形態に係るキャパシタ装置によれば、顧客要求に応じてキャパシタ装置をカスタマイズする際、比較的安価な1つのみ（又は少数）のマスクを変更することにより、外部端子105及び106の形状を変更することができ、これにより、上述したキャパシタの特性を変更することができる。このとき、複数のキャパシタセルCを形成するためのマスクを変更する必要はない。このように、第3の実施形態に係るキャパシタ装置によれば、従来よりも低いコストで、上述したキャパシタの特性を変更してキャパシタ装置を製造可能である。

[0091] 第4の実施形態.

図23は、第4の実施形態に係るキャパシタ装置の構成を示す上面図である。図23のキャパシタ装置は、楕円形状をそれぞれ有する外部端子105A及び106Aを備える。図23は、 $N=2$ である場合を示す。従って、外部端子105Aは、Y方向にそれぞれ延在し、互いに隣接する複数のセル端子列のうちの4個毎のセル端子列に電氣的に接続され、外部端子106Aもまた、複数のセル端子列のうちの4個毎のセル端子列に電氣的に接続される。外部端子105A及び106Aのそれぞれは、複数のセル端子列のうちの2個毎のセル端子列が外部端子105A及び106Aに交互に電氣的に接続されるように配置される。

[0092] 図23のキャパシタ装置は、半導体プロセス技術の都合により、外部端子105A及び106Aに接続されないセル端子103を含むセル端子列にそれぞれ電氣的に接続される複数のフローティング端子107をさらに備える。各フローティング端子107は、他の回路には接続されない。

[0093] 図24は、図23のキャパシタ装置の等価回路を示す回路図である。図24によれば、互いに隣接する外部端子105A及び106Aの間に2つのキャパシタセルCが形成される。従って、キャパシタ装置の全体では、直列接続された2つのキャパシタセルCをそれぞれ含む複数の回路が並列接続されている。

[0094] 第5の実施形態。

図25は、第5の実施形態に係るキャパシタ装置の構成を示す上面図である。図25のキャパシタ装置は、楕形状をそれぞれ有する外部端子105B及び106Bを備える。図25は、 $N=3$ である場合を示す。従って、外部端子105Bは、Y方向にそれぞれ延在し、互いに隣接する複数のセル端子列のうちの6個毎のセル端子列に電氣的に接続され、外部端子106Bもまた、複数のセル端子列のうちの6個毎のセル端子列に電氣的に接続される。外部端子105B及び106Bのそれぞれは、複数のセル端子列のうちの3個毎のセル端子列が外部端子105B及び106Bに交互に電氣的に接続されるように配置される。

[0095] 図25のキャパシタ装置は、半導体プロセス技術の都合により、外部端子105B及び106Bに接続されないセル端子列にそれぞれ電氣的に接続される複数のフローティング端子107及び108をさらに備える。各フローティング端子107は、セル端子103を含むセル端子列に電氣的に接続され、各フローティング端子108は、セル端子104を含むセル端子列に電氣的に接続される。各フローティング端子107及び108は、他の回路には接続されない。

[0096] 図26は、図25のキャパシタ装置の等価回路を示す回路図である。図26によれば、互いに隣接する外部端子105B及び106Bの間に3つのキ

ャパシタセルCが形成される。従って、キャパシタ装置の全体では、直列接続された3つのキャパシタセルCをそれぞれ含む複数の回路が並列接続されている。

[0097] 第6の実施形態.

図27は、第6の実施形態に係るキャパシタ装置の構成を示す上面図である。図27のキャパシタ装置は、楕形状をそれぞれ有する外部端子105C及び106Cを備える。図27は、 $N=4$ である場合を示す。従って、外部端子105Cは、Y方向にそれぞれ延在し、互いに隣接する複数のセル端子列のうちの8個毎のセル端子列に電氣的に接続され、外部端子106Cもまた、複数のセル端子列のうちの8個毎のセル端子列に電氣的に接続される。外部端子105C及び106Cのそれぞれは、複数のセル端子列のうちの4個毎のセル端子列が外部端子105C及び106Cに交互に電氣的に接続されるように配置される。

[0098] 図27のキャパシタ装置は、半導体プロセス技術の都合により、外部端子105C及び106Cに接続されないセル端子列にそれぞれ電氣的に接続される複数のフローティング端子107及び108をさらに備える。各フローティング端子107は、セル端子103を含むセル端子列に電氣的に接続され、各フローティング端子108は、セル端子104を含むセル端子列に電氣的に接続される。各フローティング端子107及び108は、他の回路には接続されない。

[0099] 図28は、図27のキャパシタ装置の等価回路を示す回路図である。図28によれば、互いに隣接する外部端子105C及び106Cの間に4つのキャパシタセルCが形成される。従って、キャパシタ装置の全体では、直列接続された4つのキャパシタセルCをそれぞれ含む複数の回路が並列接続されている。

[0100] 第3～第6の実施形態に係るキャパシタ装置と同様に、一对の外部端子は、 $N$ が5以上の整数であるとき、複数のセル端子列のうちの $N$ 個毎のセル端子列が一对の外部端子に交互に電氣的に接続されるように配置されてもよい

。

[0101] 第3～第6の実施形態に係るキャパシタ装置によれば、外部端子の形状を変更することにより、直列接続されたキャパシタセルCの個数を変化させることができる。直列接続されたキャパシタセルCの個数は、キャパシタ装置の容量密度及び耐圧とは反比例の関係にある。顧客要求に応じて、外部端子のためのマスクのみを変更することにより、最適な容量密度及び耐圧のキャパシタ装置を安価に製造することができる。

[0102] 第7の実施形態.

図29は、第7の実施形態に係るキャパシタ装置の構成を示す上面図である。複数の外部端子105及び106は、同じ層に形成されることに限定されない。図29のキャパシタ装置では、外部端子105は下側電極101の下方に形成され、外部端子106は上側電極102の上方に形成される。第7の実施形態に係るキャパシタ装置もまた、第3などの実施形態に係るキャパシタ装置と同様に動作可能である。

[0103] 第8の実施形態.

図30は、第8の実施形態に係るキャパシタ装置の構成を示す上面図である。複数のセル端子103及び104は、第3～第7の実施形態のようにY方向にそれぞれ延在するセル端子列に代えて、X方向にそれぞれ延在し、延在方向に互いに隣接する複数のセル端子列を形成してもよい。

[0104] 図30の例では、キャパシタ装置は、楕円形状をそれぞれ有する外部端子105D及び106Dを備える。外部端子105Dは、Nが整数であるとき、複数のセル端子列のうちの2N個毎のセル端子列に電氣的に接続される複数の第1の部分（X方向に延在する部分）と、第1の部分を互いに接続する第2の部分（Y方向に延在する部分）とを備える。外部端子106Dもまた、複数のセル端子列のうちの2N個毎のセル端子列に電氣的に接続される複数の第1の部分（X方向に延在する部分）と、第1の部分を互いに接続する第2の部分（Y方向に延在する部分）とを備える。外部端子105Dの各第1の部分と外部端子106Dの各第1の部分とは互いに嵌合するように形成

される。外部端子105D及び106Dのそれぞれは、複数のセル端子列のうちN個毎のセル端子列が外部端子105D及び106Dに交互に電氣的に接続されるように配置される。

[0105] 図30は、 $N = 1$ である場合を示す。従って、外部端子105Dは、複数のセル端子列のうち2個毎のセル端子列に電氣的に接続され、外部端子106Dもまた、複数のセル端子列のうち2個毎のセル端子列に電氣的に接続される。外部端子105D及び106Dのそれぞれは、複数のセル端子列が外部端子105D及び106Dに交互に電氣的に接続されるように配置される。

[0106] 外部端子105D及び106Dは、複数のセル端子列のうち1つに電氣的に接続される部分（すなわち、外部端子105D及び106Dの各第1の部分）において、キャパシタ装置の外部の回路に電氣的に接続されてもよい。それに変わって、外部端子105D及び106Dは、それらの各第2の部分（Y方向に延在する部分）において、キャパシタ装置の外部の回路に電氣的に接続されてもよい。

[0107] 第4～第6の実施形態に係るキャパシタ装置と同様に、一对の外部端子は、 $N$ が2以上の整数であるとき、複数のセル端子列のうちN個毎のセル端子列が一对の外部端子に交互に電氣的に接続されるように配置されてもよい。

[0108] 第8の実施形態に係るキャパシタ装置によれば、顧客要求に応じて、外部端子の形状と、外部端子においてキャパシタ装置の外部の回路に電氣的に接続する位置とをカスタマイズできるという効果がある。キャパシタ装置は、第8の実施形態のように形成された外部端子105D及び106Dを備えてもよく、これらの外部端子105D及び106Dは、矩形のキャパシタ装置の短辺（Y方向に延在する辺）においてキャパシタ装置の外部の回路に電氣的に接続されてもよい。それに代わって、キャパシタ装置は、第3～第7の実施形態のように形成された外部端子105及び106などを備えてもよく、これらの外部端子105及び106などは、矩形のキャパシタ装置の長辺

(X方向に延在する辺)においてキャパシタ装置の外部の回路に電氣的に接続されてもよい。

[0109] なお、等価直列インダクタンスは、第8の実施形態のように、矩形のキャパシタ装置の短辺においてキャパシタ装置の外部の回路に電氣的に接続される場合よりも、第3～第7の実施形態のように、矩形のキャパシタ装置の長辺においてキャパシタ装置の外部の回路に電氣的に接続される場合のほうが低減される。

[0110] 第9の実施形態.

図31は、第9の実施形態に係るキャパシタ装置の構成を示す上面図である。

[0111] 複数のセル端子103及び104は、Y方向にそれぞれ延在し、延在方向に互いに隣接する複数のセル端子列を形成するものとする。

[0112] キャパシタ装置は、楕円形状をそれぞれ有する外部端子111及び112と、フィッシュボーン形状を有する外部端子113とを備える。外部端子113は、Nが整数であるとき、複数のセル端子列のうちの2N個毎のセル端子列に電氣的に接続される複数の第1の部分(Y方向に延在する部分)と、外部端子113の各第1の部分の中央において外部端子113の各第1の部分とを互いに接続する第2の部分(X方向に延在する部分)とを備える。外部端子111は、複数のセル端子列のうちの2N個毎のセル端子列に含まれる複数のセル端子のうちの一部に電氣的に接続される複数の第1の部分(Y方向に延在する部分)と、外部端子111の各第1の部分とを互いに接続する第2の部分(X方向に延在する部分)とを備える。外部端子111は、外部端子113の第2の部分に基づいて第1の側において、外部端子113の第1の部分に対して嵌合するように形成され。外部端子112は、複数のセル端子列のうちの2N個毎のセル端子列に含まれる複数のセル端子のうちの一部に電氣的に接続される複数の第1の部分(Y方向に延在する部分)と、外部端子112の各第1の部分とを互いに接続する第2の部分(X方向に延在する部分)とを備える。外部端子112は、外部端子113の第2の部分に基づ

準として第1の側の逆の第2の側において、外部端子113の第1の部分に対して嵌合するように形成される。外部端子111~113のそれぞれは、複数のセル端子列のうちのN個毎のセル端子列が外部端子111及び112と外部端子113に交互に電氣的に接続されるように配置される。

[0113] 図31は、N=1である場合を示す。従って、外部端子113は、複数のセル端子列のうちの2個毎のセル端子列に電氣的に接続される。外部端子111は、複数のセル端子列のうちの2個毎のセル端子列に含まれる複数のセル端子のうちの一部に電氣的に接続される。外部端子112は、複数のセル端子列のうちの2個毎のセル端子列に含まれる複数のセル端子のうちの一部に電氣的に接続される外部端子111~113のそれぞれは、複数のセル端子列が外部端子111及び112と外部端子113とに交互に電氣的に接続されるように配置される。

[0114] 外部端子111及び112は、キャパシタ装置の長辺（X方向に延在する辺）において、キャパシタ装置の外部の回路に電氣的に接続されてもよい。外部端子113は、キャパシタ装置の短辺（Y方向に延在する辺）において、キャパシタ装置の外部の回路に電氣的に接続されてもよい。

[0115] 外部端子113は、例えば電源に接続され、外部端子111及び112は、例えば接地される。

[0116] 第9の実施形態に係るキャパシタ装置によれば、外部端子の形状を変更したことにより、第3~第8の実施形態の場合に比較して、等価直列インダクタンスを低減する効果がある。

[0117] 第10の実施形態.

図32は、第10の実施形態に係るキャパシタ装置の構成を示す上面図である。

[0118] 複数のセル端子103及び104は、Y方向にそれぞれ延在し、延在方向に互いに隣接する複数のセル端子列を形成するものとする。

[0119] キャパシタ装置は、楕円形状をそれぞれ有する外部端子111A及び112Aと、ミアンダ形状を有する外部端子113Aとを備える。外部端子11

3 Aは、Nが整数であるとき、複数のセル端子列のうちの2 N個毎のセル端子列に電氣的に接続される複数の第1の部分（Y方向に延在する部分）と、外部端子1 1 3 Aの各第1の部分の長手方向の両端のうちのいずれかにおいて外部端子1 1 3 Aの各第1部分を互いに接続する複数の第2の部分（X方向に延在する部分）とを備える。外部端子1 1 1 Aは、複数のセル端子列のうちの4 N個毎のセル端子列に電氣的に接続される複数の第1の部分（Y方向に延在する部分）と、外部端子1 1 1 Aの各第1部分を互いに接続する第2の部分（X方向に延在する部分）とを備える。外部端子1 1 1 Aは、外部端子1 1 3 Aを基準として第1の側において、外部端子1 1 3 Aの第1の部分に対して嵌合するように形成される。外部端子1 1 2 Aは、複数のセル端子列のうちの4 N個毎のセル端子列に電氣的に接続される複数の第1の部分（Y方向に延在する部分）と、外部端子1 1 2 Aの各第1部分を互いに接続する第2の部分（X方向に延在する部分）とを備える。外部端子1 1 2 Aは、外部端子1 1 3 Aを基準として第1の側の逆の第2の側において、外部端子1 1 3 Aの第1の部分に対して嵌合するように形成される。外部端子1 1 1 A～1 1 3 Aのそれぞれは、複数のセル端子列のうちのN個毎のセル端子列が外部端子1 1 1 A又は1 1 2 Aと外部端子1 1 3 Aとに交互に電氣的に接続されるように配置される。

[0120] 図3 2は、N = 1である場合を示す。従って、外部端子1 1 3 Aは、複数のセル端子列のうちの2個毎のセル端子列に電氣的に接続される。外部端子1 1 1 Aは、複数のセル端子列のうちの4個毎のセル端子列に電氣的に接続される。外部端子1 1 2 Aは、複数のセル端子列のうちの4個毎のセル端子列に電氣的に接続される。外部端子1 1 1 A～1 1 3 Aのそれぞれは、複数のセル端子列が外部端子1 1 1 A又は1 1 2 Aと外部端子1 1 3 Aとに交互に電氣的に接続されるように配置される。

[0121] 外部端子1 1 1 A及び1 1 2 Aは、キャパシタ装置の長辺（X方向に延在する辺）において、キャパシタ装置の外部の回路に電氣的に接続されてもよい。外部端子1 1 3 Aは、キャパシタ装置の短辺（Y方向に延在する辺）に

において、キャパシタ装置の外部の回路に電氣的に接続されてもよい。

[0122] 外部端子 1 1 3 A は、例えば電源に接続され、外部端子 1 1 1 A 及び 1 1 2 A は、例えば接地される。

[0123] 第 1 0 の実施形態に係るキャパシタ装置によれば、外部端子の形状を変更したことにより、第 9 の実施形態の場合と同様に、第 3 ～ 第 8 の実施形態の場合に比較して、等価直列インダクタンスを低減する効果がある。

[0124] 第 1 1 の実施形態.

図 3 3 は、第 1 1 の実施形態に係るキャパシタ装置の構成を示す上面図である。キャパシタ装置は 4 つ以上の外部端子を備えてもよい。

[0125] 複数のセル端子 1 0 3 及び 1 0 4 は、Y 方向にそれぞれ延在し、延在方向に互いに隣接する複数のセル端子列を形成するものとする。

[0126] キャパシタ装置は、第 1 及び第 2 の外部端子をそれぞれ含む複数組の外部端子を備える。図 3 3 の例では、外部端子 1 2 1 及び 1 2 5 を含む組と、外部端子 1 2 2 及び 1 2 6 を含む組と、外部端子 1 2 3 及び 1 2 6 を含む組と、外部端子 1 2 4 及び 1 2 7 を含む組とが設けられる。各組の第 1 及び第 2 の外部端子のそれぞれは、複数のセル端子列のうちの少なくとも 1 つのセル端子列に電氣的に接続される部分を備える。各組の第 1 及び第 2 の外部端子のそれぞれは、N が整数であるとき、複数のセル端子列のうちの N 個毎のセル端子列が第 1 及び第 2 の外部端子に交互に電氣的に接続されるように配置される。

[0127] 図 3 3 は、N = 1 である場合を示す。

[0128] 外部端子 1 2 5 ～ 1 2 7 は、例えば電源に接続され、外部端子 1 2 1 ～ 1 2 4 は、例えば接地される。この場合、外部端子 1 2 1 ～ 1 2 7 のそれぞれは、複数のセル端子列が、電源に接続された外部端子 1 2 5 ～ 1 2 7 と、接地された外部端子 1 2 1 ～ 1 2 4 とに交互に電氣的に接続されるように配置される。また、キャパシタ装置の長辺（X 方向に延在する辺）のうち、+Y 側の辺において、電源に接続される外部端子 1 2 5 及び 1 2 6 と接地される外部端子 1 2 2 及び 1 2 4 とが交互に設けられる。同様に、キャパシタ装置

の長辺（X方向に延在する辺）のうち、 $-Y$ 側の辺において、電源に接続される外部端子126及び127と接地される外部端子121及び123とが交互に設けられる。

[0129] 第11の実施形態に係るキャパシタ装置によれば、外部端子の形状を変更したことにより、第9及び第10の実施形態の場合に比較して、等価直列インダクタンスをさらに低減する効果がある。

[0130] 第3～第11の実施形態に係るキャパシタ装置は、例えば、以下の製造工程で製造することができる。

[0131] 製造方法は、半導体基板の第1の層に形成された部分を含む複数の下側電極101であって、X方向に周期 $d_1$ で配置され、Y方向に周期 $d_2$ で配置された複数の下側電極101を形成するステップと、半導体基板の第1の層とは異なる第2の層に形成された部分を含む複数の上側電極102であって、X方向に周期 $d_1$ で配置され、Y方向に周期 $d_2$ で配置された複数の上側電極102を形成するステップとを含む。各上側電極102を形成するステップは、各下側電極101に対して、X方向に周期 $d_1$ の長さの半分だけずらして配置し、かつ、Y方向に周期 $d_2$ の長さの半分だけずらして配置することを含む。

[0132] 各下側電極101及び各上側電極102は互いに部分的に対向して容量的に結合し、互に対向して容量的に結合する各一对の下側電極101及び上側電極102はキャパシタセルCを形成する。

[0133] 製造方法は、半導体基板の第1及び第2の層とは異なる第3の層に形成された部分を含む複数のセル端子103であって、X方向に周期 $d_1$ で配置され、Y方向に周期 $d_2$ で配置され、複数の下側電極101にそれぞれ電氣的に接続された複数のセル端子103を形成するステップと、半導体基板の第3の層に形成された部分を含む複数のセル端子104であって、X方向に周期 $d_1$ で配置され、Y方向に周期 $d_2$ で配置され、複数の上側電極102にそれぞれ電氣的に接続された複数のセル端子104を形成するステップとをさらに含む。第2の層は第1及び第3の層の間に位置する。各セル端子10

4を形成するステップは、各セル端子103に対して、X方向に周期d1の長さの半分だけずらして配置し、かつ、Y方向に周期d2の長さの半分だけずらして配置することを含む。

[0134] 製造方法は、複数のセル端子103及び複数のセル端子104を含む複数のセル端子のうちの一部にそれぞれ電氣的に接続される少なくとも2つの外部端子を形成するステップをさらに含む。

[0135] 図34及び図35は、第3～第11の実施形態に係るキャパシタ装置の製造方法を説明するための概略図である。

[0136] 現状、デカップルキャパシタには、MLCC (multilayer ceramic capacitor) と呼ばれるタイプのキャパシタ装置が一般的に使用されている。このようなキャパシタ装置の多くは、直方体の外形形状を有し、第3～第11の実施形態で説明したような形状を有する外部端子であって、第3～第11の実施形態で説明したように外部の回路に接続される外部端子を備える。キャパシタ装置の実装時にMLCCと互換性を持たせ、顧客要求に応えるために1つのマスクのみを変更することにより、さまざまな構成をとることができる。

[0137] MLCCのキャパシタ装置は、いろいろなサイズのものが用意されている。キャパシタ装置を製造する際、最も小さいサイズのチップをシリコンウェハから切り出すことができるように、スクライブライン及びガードリングを配置する。本発明の第3～第11の実施形態に係るキャパシタ装置では、以下に説明するように、3つのみのマスクを変更することによりキャパシタ装置のサイズを変更することができる。その後、スクライブライン及びガードリングをとりはずすことで、各キャパシタ装置のチップをメタル配線で接続することが可能となる。このため、キャパシタ装置のサイズをスケラブルに変更することができる。

[0138] 図34を参照すると、キャパシタ装置の製造工程において、半導体基板の上に、スクライブライン及びガードリングとして使用する金属配線211が形成されている。キャパシタ装置の領域201は、例えば、05025サイ

ズ（ $500 \times 250 \mu\text{m}$ ）を有する。領域201よりも大きなサイズのキャパシタ装置を製造する場合、図35に示すように、半導体基板の上に金属配線212を形成する。これにより、例えば、1005サイズ（ $1000 \times 500 \mu\text{m}$ ）を有するキャパシタ装置の領域202を得ることができる。

[0139] 製造方法は、外部端子をキャパシタ装置の外部の回路に電氣的に接続する所望の位置と、キャパシタ装置の所望の容量及び所望の耐圧と、キャパシタ装置のサイズとに応じて、以下のステップを実行する。すなわち、製造方法は、スクライブライン及びガードリングとして使用する金属配線を形成するための第1のマスクを選択するステップと、外部端子を形成するための第2のマスクを選択するステップと、複数のセル端子のうち、金属配線及び外部端子を互いに接続するセル端子を形成するための第3のマスクを選択するステップとをさらに含む。

[0140] 第3～第11の実施形態に係るキャパシタ装置によれば、少数のマスクのみを変更すればよいので、キャパシタ装置の設計変更を低コストで実施することができる。

[0141] 図18のキャパシタ装置を複数の用途に使用することを予定している場合、キャパシタ装置のキャパシタセルCの行数及び／又は列数は、各用途に必要な直列接続されるキャパシタセルの個数の最小公倍数又は倍数に設定される。

### 産業上の利用可能性

[0142] 本発明の各実施形態に係るキャパシタ装置は、例えば、オンパッケージのデカップリングキャパシタとして有用である。半導体デバイスにおいて、電源電圧の低下による電圧許容度の範囲の減少、消費電流の増大による大きな電源ノイズ又は接地ノイズの発生、動作周波数の増大によるEMI耐性の低下、などの問題があるが、このような問題を低減するためにデカップリングキャパシタを使用することが効果的である。本発明の各実施形態に係るキャパシタ装置を用いることにより、上記の問題を低減した半導体デバイスを提供することができる。

## 符号の説明

- [0143] 1, 1 A…酸化膜、  
2, 2-1, 2-2…金属膜、  
3…窒化膜、  
4, 4-1, 4-2…導体膜、  
5, 5-1, 5-2…絶縁膜、  
6, 6-1, 6-2…導体膜、  
7…窒化膜、  
8…ドーフトシリコン、  
9, 9-1, 9-2…金属膜、  
10…ビア導体、  
11…ビア導体、  
12…層間酸化膜、  
13…パッド導体、  
14…パッド導体、  
15…パッシベーション膜、  
16…シリコン基板、  
17…開口部、  
18…酸化膜、  
19…フォトレジスト、  
20…開口部、  
21…バリアメタル、  
22…バリアメタル、  
30, 30-1, 30-2…キャパシタセル、  
100, 100A…単位セル、  
101…下側電極、  
102…上側電極、  
103…セル端子、

104…セル端子、  
105, 105A~105D…外部端子、  
106, 106A~106D…外部端子、  
107, 108…フローティング端子、  
111~113, 121~127…外部端子、  
201, 202…キャパシタ装置の領域、  
211, 212…金属配線。

## 請求の範囲

[請求項1] 互いに直交する第1の方向及び第2の方向に沿って延在する辺を有する矩形の半導体基板に形成された複数のキャパシタセルを含むキャパシタ装置であって、

前記キャパシタ装置は、

前記半導体基板の第1の層に形成された部分を含む複数の第1の電極であって、前記第1の方向に第1の周期で配置され、かつ、前記第2の方向に第2の周期で配置された複数の第1の電極と、

前記半導体基板の第1の層とは異なる第2の層に形成された部分を含む複数の第2の電極であって、前記第1の方向に前記第1の周期で配置され、かつ、前記第2の方向に前記第2の周期で配置された複数の第2の電極とを備え、

前記各第2の電極は、前記各第1の電極に対して、前記第1の方向に前記第1の周期の長さの半分だけずらして配置され、かつ、前記第2の方向に前記第2の周期の長さの半分だけずらして配置され、

前記各第1の電極及び前記各第2の電極は互いに部分的に対向して容量的に結合し、互に対向して容量的に結合する各一对の前記第1及び第2の電極はキャパシタセルを形成し、

前記キャパシタ装置は、

前記半導体基板の第1及び第2の層とは異なる第3の層に形成された部分を含む複数の第1のセル端子であって、前記第1の方向に前記第1の周期で配置され、前記第2の方向に前記第2の周期で配置され、かつ、前記複数の第1の電極にそれぞれ電氣的に接続された複数の第1のセル端子と、

前記半導体基板の第3の層に形成された部分を含む複数の第2のセル端子であって、前記第1の方向に前記第1の周期で配置され、前記第2の方向に前記第2の周期で配置され、かつ、前記複数の第2の電極にそれぞれ電氣的に接続された複数の第2のセル端子とをさらに備

え、

前記第2の層は前記第1及び第3の層の間に位置し、

前記各第2のセル端子は、前記各第1のセル端子に対して、前記第1の方向に前記第1の周期の長さの半分だけずらして配置され、かつ、前記第2の方向に前記第2の周期の長さの半分だけずらして配置される、

キャパシタ装置。

[請求項2] 前記キャパシタ装置は少なくとも2つの外部端子をさらに備え、前記各外部端子は、前記複数の第1のセル端子及び前記複数の第2のセル端子を含む複数のセル端子のうちの一部にそれぞれ電氣的に接続される、  
請求項1記載のキャパシタ装置。

[請求項3] 前記複数のセル端子は、前記第1の方向又は前記第2の方向にそれぞれ延在し、延在方向に互いに隣接する複数のセル端子列を形成し、  
前記キャパシタ装置は、楕円形状をそれぞれ有する第1及び第2の外部端子を備え、

前記第1及び第2の外部端子のそれぞれは、 $N$ が整数であるとき、前記複数のセル端子列のうち $2N$ 個毎のセル端子列に電氣的に接続される複数の第1の部分と、前記第1の部分を互いに接続する第2の部分とを備え、前記第1の外部端子の各第1の部分と前記第2の外部端子の各第1の部分とは互いに嵌合するように形成され、

前記第1及び第2の外部端子は、前記複数のセル端子列のうち $N$ 個毎のセル端子列が前記第1及び第2の外部端子に交互に電氣的に接続されるように配置される、

請求項2記載のキャパシタ装置。

[請求項4] 前記複数のセル端子は、前記第1の方向又は前記第2の方向にそれぞれ延在し、延在方向に互いに隣接する複数のセル端子列を形成し、  
前記キャパシタ装置は、フィッシュボーン形状を有する第1の外部

端子と、楕円形状をそれぞれ有する第2及び第3の外部端子とを備え、

前記第1の外部端子は、 $N$ が整数であるとき、前記複数のセル端子列のうちの $2N$ 個毎のセル端子列に電氣的に接続される複数の第1の部分と、前記第1の外部端子の各第1の部分の中央において前記第1の外部端子の各第1部分を互いに接続する第2の部分とを備え、

前記第2の外部端子は、前記複数のセル端子列のうちの $2N$ 個毎のセル端子列に含まれる複数のセル端子のうちの一部に電氣的に接続される複数の第1の部分と、前記第2の外部端子の各第1部分を互いに接続する第2の部分とを備え、前記第2の外部端子は、前記第1の外部端子の第2部分を基準として第1の側において、前記第1の外部端子の第1部分に対して嵌合するように形成され、

前記第3の外部端子は、前記複数のセル端子列のうちの $2N$ 個毎のセル端子列に含まれる複数のセル端子のうちの一部に電氣的に接続される複数の第1の部分と、前記第3の外部端子の各第1部分を互いに接続する第2の部分とを備え、前記第3の外部端子は、前記第1の外部端子の第2部分を基準として前記第1の側の逆の第2の側において、前記第1の外部端子の第1部分に対して嵌合するように形成され、

前記第1～第3の外部端子は、前記複数のセル端子列のうちの $N$ 個毎のセル端子列が前記第1の外部端子と前記第2又は第3の外部端子とに交互に電氣的に接続されるように配置される、

請求項2記載のキャパシタ装置。

[請求項5]

前記複数のセル端子は、前記第1の方向又は前記第2の方向にそれぞれ延在し、延在方向に互いに隣接する複数のセル端子列を形成し、

前記キャパシタ装置は、ミアンダ形状を有する第1の外部端子と、楕円形状をそれぞれ有する第2及び第3の外部端子とを備え、

前記第1の外部端子は、 $N$ が整数であるとき、前記複数のセル端子

列のうちの $2N$ 個毎のセル端子列に電氣的に接続される複数の第1の部分と、前記第1の外部端子の各第1の部分の長手方向の両端のうちのいずれかにおいて前記第1の外部端子の各第1の部分とを互いに接続する複数の第2の部分とを備え、

前記第2の外部端子は、前記複数のセル端子列のうちの $4N$ 個毎のセル端子列に電氣的に接続される複数の第1の部分と、前記第2の外部端子の各第1の部分とを互いに接続する第2の部分とを備え、前記第2の外部端子は、前記第1の外部端子を基準として第1の側において、前記第1の外部端子の第1の部分に対して嵌合するように形成され、

前記第3の外部端子は、前記複数のセル端子列のうちの $4N$ 個毎のセル端子列に電氣的に接続される複数の第1の部分と、前記第3の外部端子の各第1の部分とを互いに接続する第2の部分とを備え、前記第3の外部端子は、前記第1の外部端子を基準として前記第1の側の逆の第2の側において、前記第1の外部端子の第1の部分に対して嵌合するように形成され、

前記第1～第3の外部端子は、前記複数のセル端子列のうちの $N$ 個毎のセル端子列が前記第1の外部端子と前記第2又は第3の外部端子とに交互に電氣的に接続されるように配置される、  
請求項2記載のキャパシタ装置。

[請求項6]

前記複数のセル端子は、前記第1の方向又は前記第2の方向にそれぞれ延在し、延在方向に互いに隣接する複数のセル端子列を形成し、

前記キャパシタ装置は、第1及び第2の外部端子をそれぞれ含む複数組の外部端子を備え、

前記各組の第1及び第2の外部端子のそれぞれは、前記複数のセル端子列のうちの少なくとも1つのセル端子列に電氣的に接続される部分を備え、

前記各組の第1及び第2の外部端子は、 $N$ が整数であるとき、前記

複数のセル端子列のうちのN個毎のセル端子列が前記第1及び第2の外部端子に交互に電氣的に接続されるように配置される、  
請求項2記載のキャパシタ装置。

[請求項7] 前記各外部端子は、前記複数のセル端子列のうちの1つに電氣的に接続される部分において、前記キャパシタ装置の外部の回路に電氣的に接続される、  
請求項3～6のうちの1つに記載のキャパシタ装置。

[請求項8] 前記半導体基板は第1の面及び第2の面を有し、  
前記キャパシタ装置は、  
前記第1の面に露出する第1のシリコン酸化膜と、  
前記第2の面に露出するパッシベーション膜とを備え、  
前記第1の電極は、前記第1のシリコン酸化膜の上に形成され、積層された複数の導体膜を含み、  
前記第2の電極は、積層された複数の導体膜を含み、  
前記キャパシタ装置は、  
前記第1及び第2の電極の間に形成された絶縁膜と、  
前記第2の電極の上に形成された第2のシリコン酸化膜とをさらに備え、  
前記パッシベーション膜は前記第2のシリコン酸化膜の上に形成され、  
前記第1及び第2のセル端子は前記第2の面に露出し、  
前記第1の電極、前記第2の電極、及び前記絶縁膜は、前記キャパシタセルを形成する、  
請求項1～7のうちの1つに記載のキャパシタ装置。

[請求項9] 前記各キャパシタセルは、クラウン型スタックキャパシタとして形成される、  
請求項1～8のうちの1つに記載のキャパシタ装置。

[請求項10] 第1の面及び第2の面を有する半導体基板に形成された少なくとも

1つのキャパシタセルを含むキャパシタ装置であって、前記キャパシタ装置は、

前記第1の面に露出する第1のシリコン酸化膜と、

前記第1のシリコン酸化膜の上に形成され、積層された複数の導体膜を含む第1の電極と、

積層された複数の導体膜を含む第2の電極と、

前記第1及び第2の電極の間に形成された絶縁膜と、

前記第2の電極の上に形成された第2のシリコン酸化膜と、

前記第2のシリコン酸化膜の上に形成され、前記第2の面に露出するパッシベーション膜と、

前記第1の電極に電氣的に接続され、前記第2の面に露出する少なくとも1つの第1のセル端子と、

前記第2の電極に電氣的に接続され、前記第2の面に露出する少なくとも1つの第2のセル端子とを備え、

前記第1の電極、前記第2の電極、及び前記絶縁膜は、前記キャパシタセルを形成する、

キャパシタ装置。

[請求項11] 前記キャパシタセルは、クラウン型スタックキャパシタとして形成される、

請求項10記載のキャパシタ装置。

[請求項12] 前記第1及び第2の電極のそれぞれは、少なくとも1つの金属膜を含む、

請求項10又は11記載のキャパシタ装置。

[請求項13] 前記絶縁膜は、 $Ta_2O_5$ 系材料、 $Al_2O_3$ 系材料、 $HfO_2$ 系材料、 $ZrO_2$ 系材料、及び $TiO_2$ 系材料のうちの1つ以上を含む、

請求項10～12のうちの1つに記載のキャパシタ装置。

[請求項14] 前記各第1のセル端子は、前記第2の面に露出する第1のパッド導体と、前記第1のパッド導体から前記第1の電極に電氣的に接続され

た第1のビア導体とを備え、

前記各第2のセル端子は、前記第2の面に露出する第2のパッド導体と、前記第2のパッド導体から前記第2の電極に電氣的に接続された第2のビア導体とを備える、

請求項10～13のうちの1つに記載のキャパシタ装置。

[請求項15]

前記キャパシタ装置は、前記半導体基板の第1及び第2の面に対して垂直な方向に積層された複数のキャパシタセルを備え、

前記第1のセル端子は、前記複数のキャパシタセルの各第1の電極に接続され、

前記第2のセル端子は、前記複数のキャパシタセルの各第2の電極に接続される、

請求項10～14のうちの1つに記載のキャパシタ装置。

[請求項16]

互いに直交する第1の方向及び第2の方向に沿って延在する辺を有する矩形の半導体基板に形成された複数のキャパシタセルを含むキャパシタ装置の製造方法であって、

前記製造方法は、

前記半導体基板の第1の層に形成された部分を含む複数の第1の電極であって、前記第1の方向に第1の周期で配置され、かつ、前記第2の方向に第2の周期で配置された複数の第1の電極を形成するステップと、

前記半導体基板の第1の層とは異なる第2の層に形成された部分を含む複数の第2の電極であって、前記第1の方向に前記第1の周期で配置され、かつ、前記第2の方向に前記第2の周期で配置された複数の第2の電極を形成するステップとを含み、

前記各第2の電極を形成するステップは、前記各第1の電極に対して、前記第1の方向に前記第1の周期の長さの半分だけずらして配置し、かつ、前記第2の方向に前記第2の周期の長さの半分だけずらして配置することを含み、

前記各第1の電極及び前記各第2の電極は互いに部分的に対向して容量的に結合し、互に対向して容量的に結合する各一对の前記第1及び第2の電極はキャパシタセルを形成し、

前記製造方法は、

前記半導体基板の第1及び第2の層とは異なる第3の層に形成された部分を含む複数の第1のセル端子であって、前記第1の方向に前記第1の周期で配置され、前記第2の方向に前記第2の周期で配置され、かつ、前記複数の第1の電極にそれぞれ電氣的に接続された複数の第1のセル端子を形成するステップと、

前記半導体基板の第3の層に形成された部分を含む複数の第2のセル端子であって、前記第1の方向に前記第1の周期で配置され、前記第2の方向に前記第2の周期で配置され、かつ、前記複数の第2の電極にそれぞれ電氣的に接続された複数の第2のセル端子を形成するステップとをさらに含み、

前記第2の層は前記第1及び第3の層の間に位置し、

前記各第2のセル端子を形成するステップは、前記各第1のセル端子に対して、前記第1の方向に前記第1の周期の長さの半分だけずらして配置し、かつ、前記第2の方向に前記第2の周期の長さの半分だけずらして配置することを含む、

キャパシタ装置の製造方法。

[請求項17] 前記製造方法は、前記複数の第1のセル端子及び前記複数の第2のセル端子を含む複数のセル端子のうちの一部にそれぞれ電氣的に接続される少なくとも2つの外部端子を形成するステップをさらに含む、請求項16記載のキャパシタ装置の製造方法。

[請求項18] 前記製造方法は、前記外部端子を前記キャパシタ装置の外部の回路に電氣的に接続する所望の位置と、前記キャパシタ装置の所望の容量及び所望の耐圧と、前記キャパシタ装置のサイズとに応じて、

スクライブライン及びガードリングとして使用する金属配線を形成

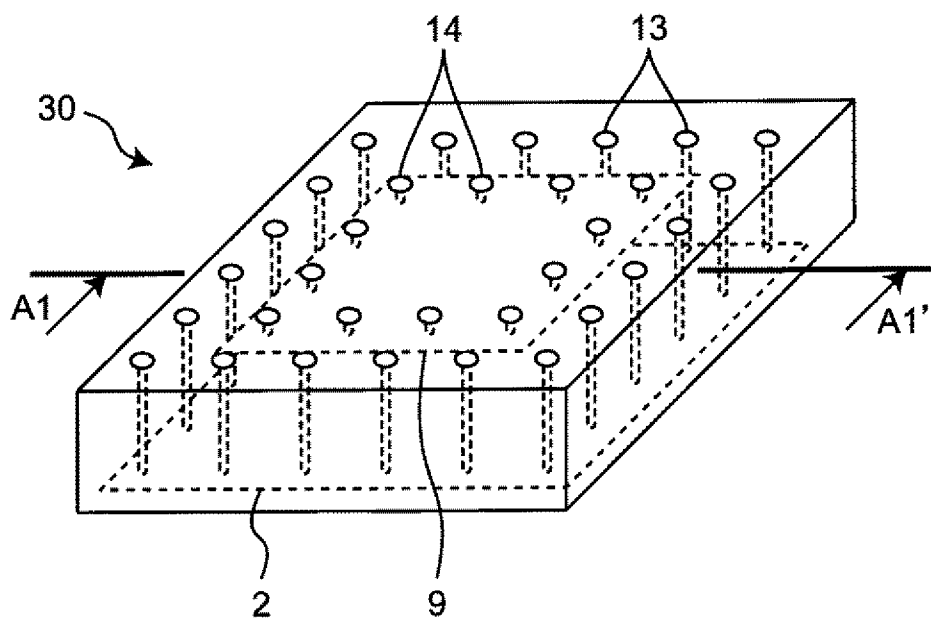
するための第1のマスクを選択するステップと、  
前記外部端子を形成するための第2のマスクを選択するステップと、  
、  
前記複数のセル端子のうち、前記金属配線及び前記外部端子を互いに接続するセル端子を形成するための第3のマスクを選択するステップとをさらに含む、  
請求項17記載のキャパシタ装置の製造方法。

[請求項19]

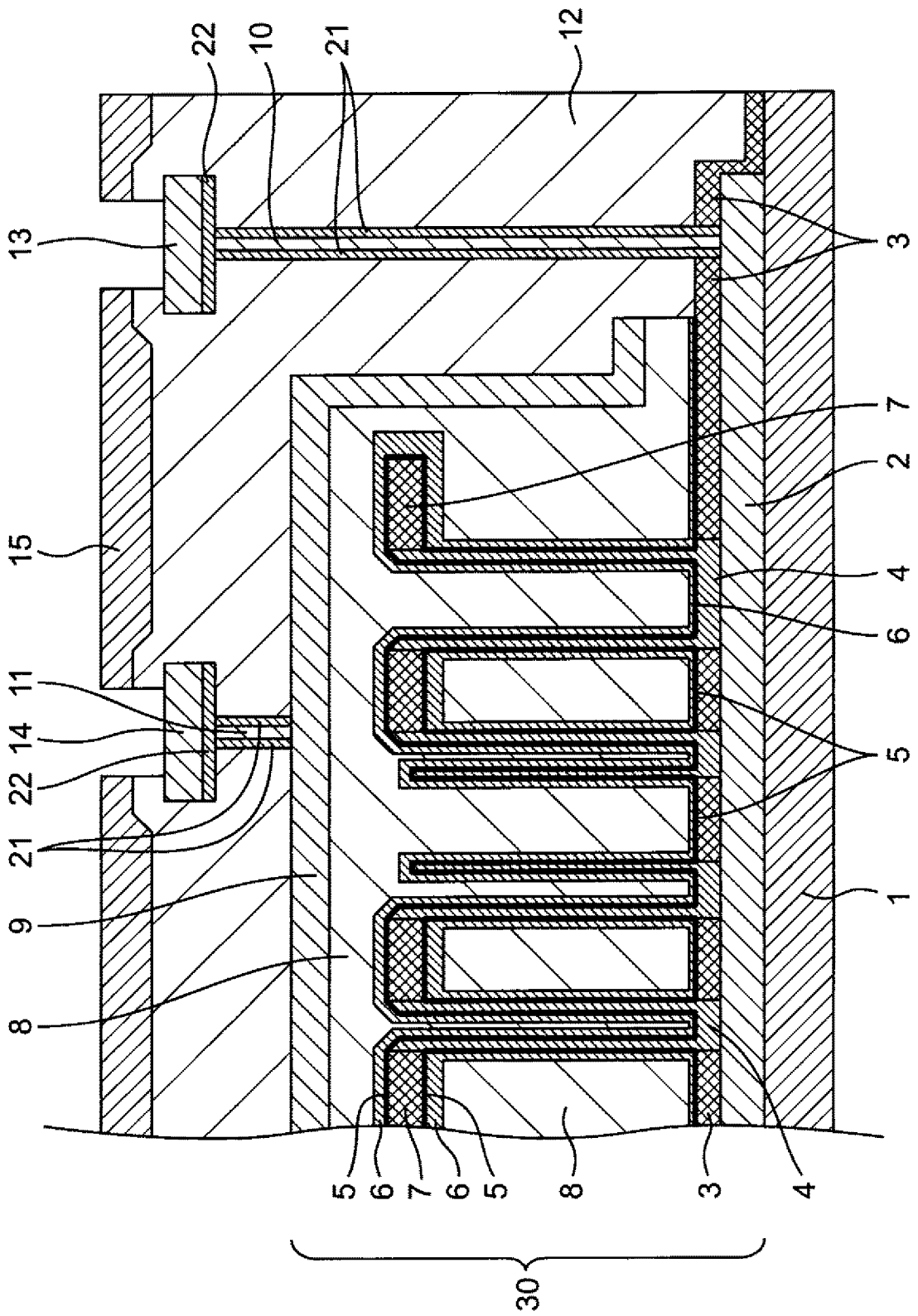
第1の面及び第2の面を有する半導体基板に形成された少なくとも1つのキャパシタセルを含むキャパシタ装置の製造方法であって、  
前記製造方法は、  
シリコン基板の上に第1のシリコン酸化膜を形成するステップと、  
前記第1のシリコン酸化膜の上に、積層された複数の導体膜を含む第1の電極を形成するステップと、  
前記第1の電極の上に絶縁膜を形成するステップと、  
前記絶縁膜の上に、積層された複数の導体膜を含む第2の電極を形成するステップと、  
前記第2の電極の上に第2のシリコン酸化膜を形成するステップと、  
、  
前記第2のシリコン酸化膜の上にパッシベーション膜を形成するステップと、  
前記第1の電極に電氣的に接続され、前記第2の面に露出する少なくとも1つの第1のセル端子を形成するステップと、  
前記第2の電極に電氣的に接続され、前記第2の面に露出する少なくとも1つの第2のセル端子とを形成するステップと、  
前記シリコン基板を除去するステップとを含み、  
前記第1の電極、前記第2の電極、及び前記絶縁膜は、前記キャパシタセルを形成する、  
キャパシタ装置の製造方法。

[請求項20] 前記半導体基板の第1及び第2の面に対して垂直な方向に積層された複数のキャパシタセルを形成するステップと、  
前記第1のセル端子を、前記複数のキャパシタセルの各第1の電極に接続するステップと、  
前記第2のセル端子を、前記複数のキャパシタセルの各第2の電極に接続するステップとを含む、  
請求項19記載のキャパシタ装置の製造方法。

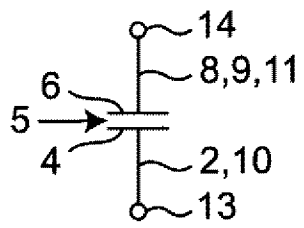
[図1]



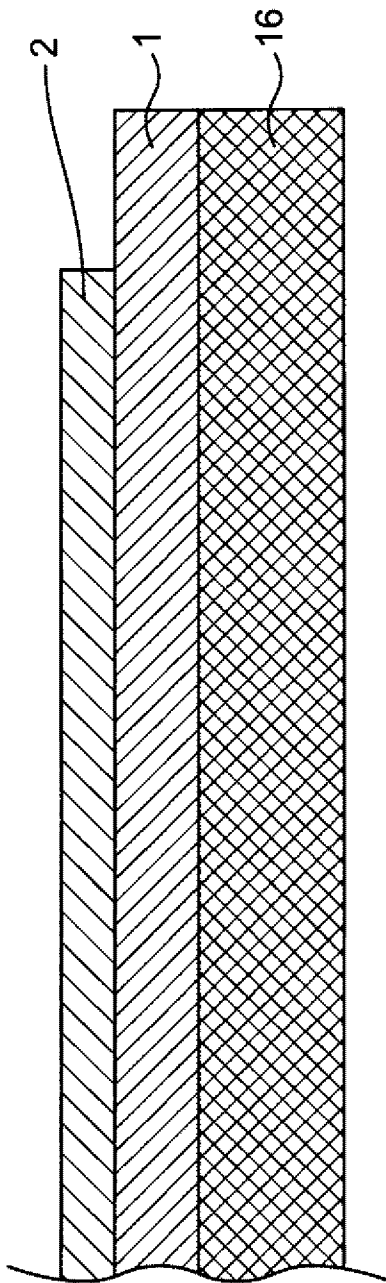
[図2]



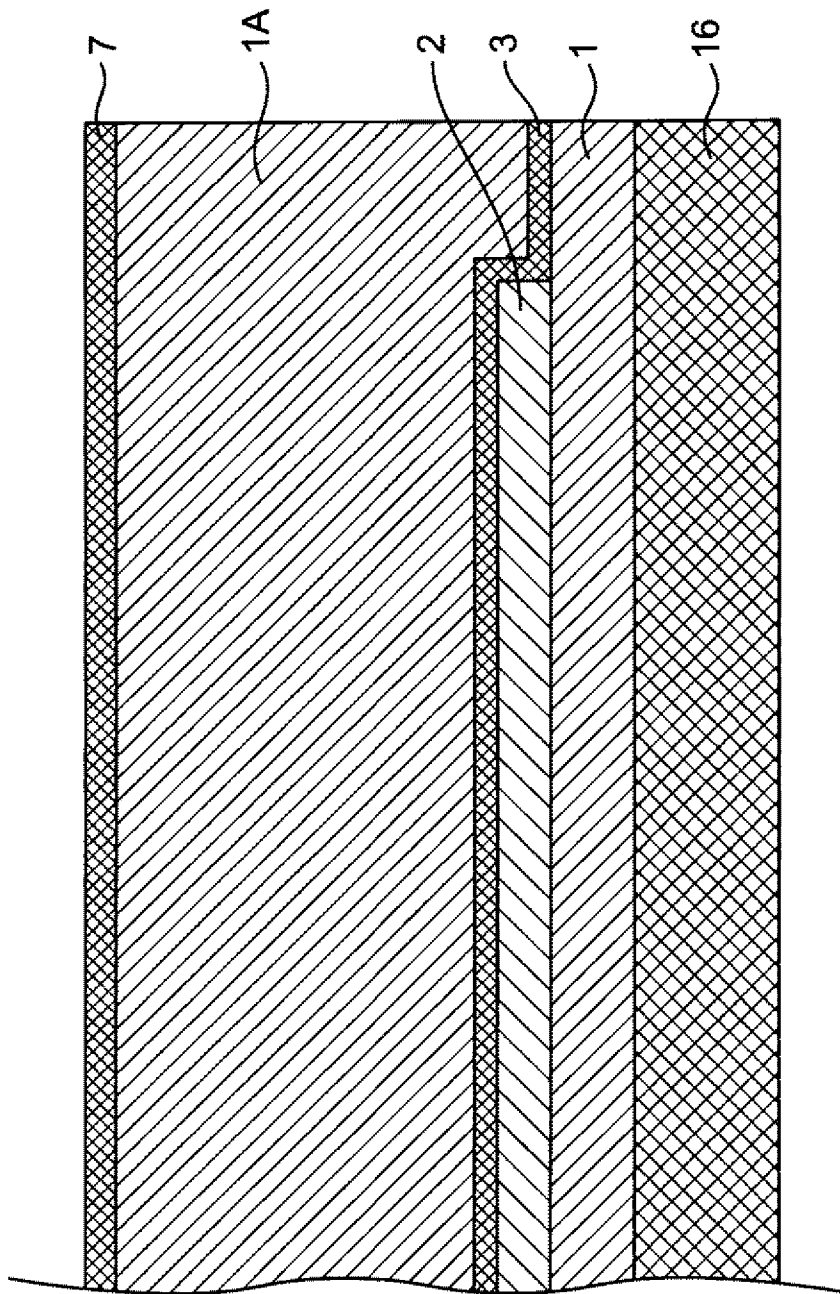
[図3]



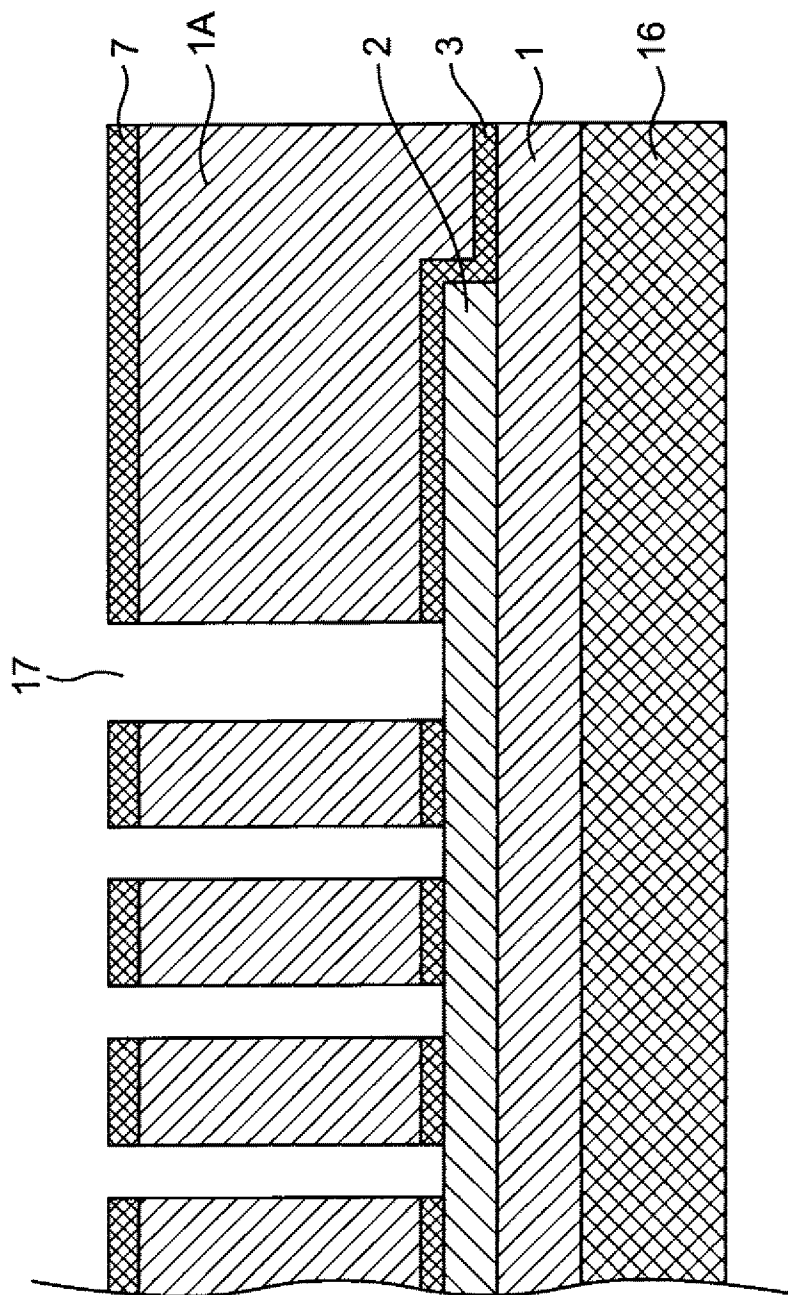
[図4]



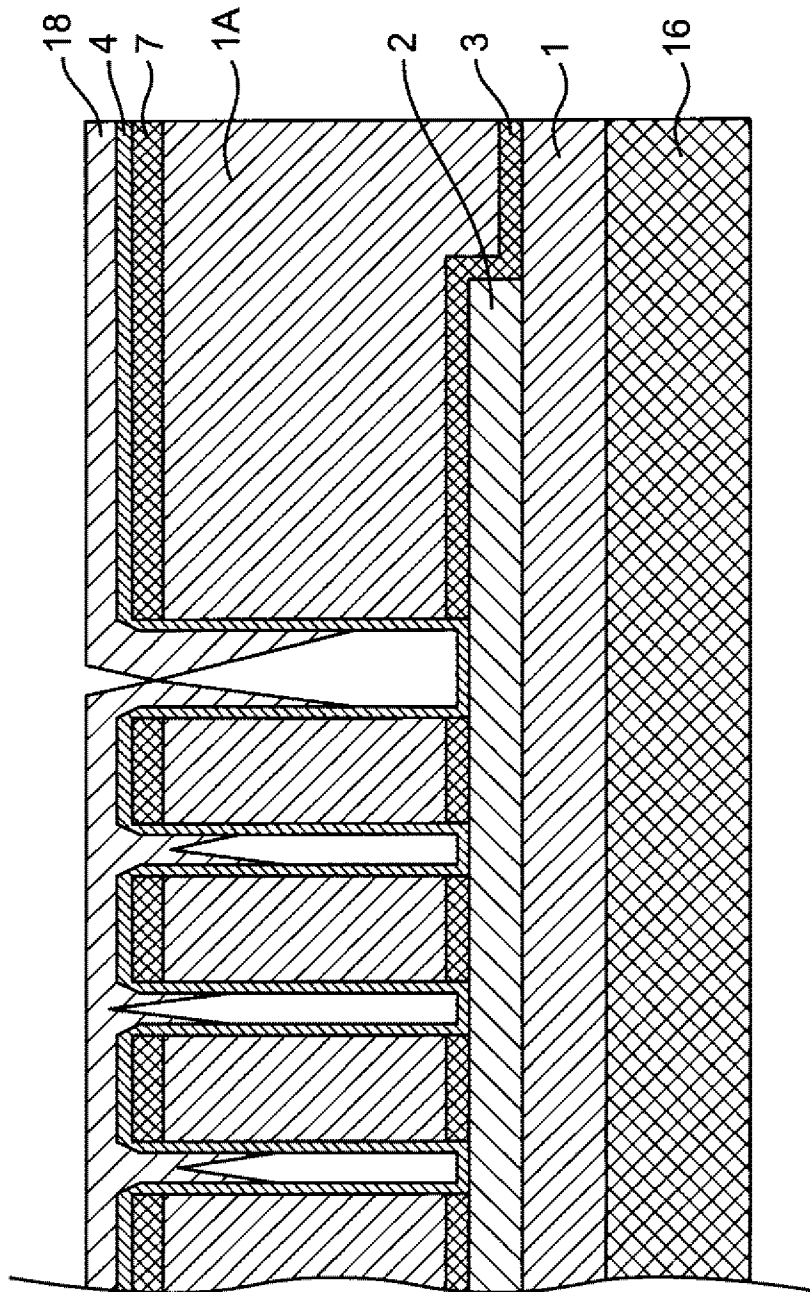
[図5]



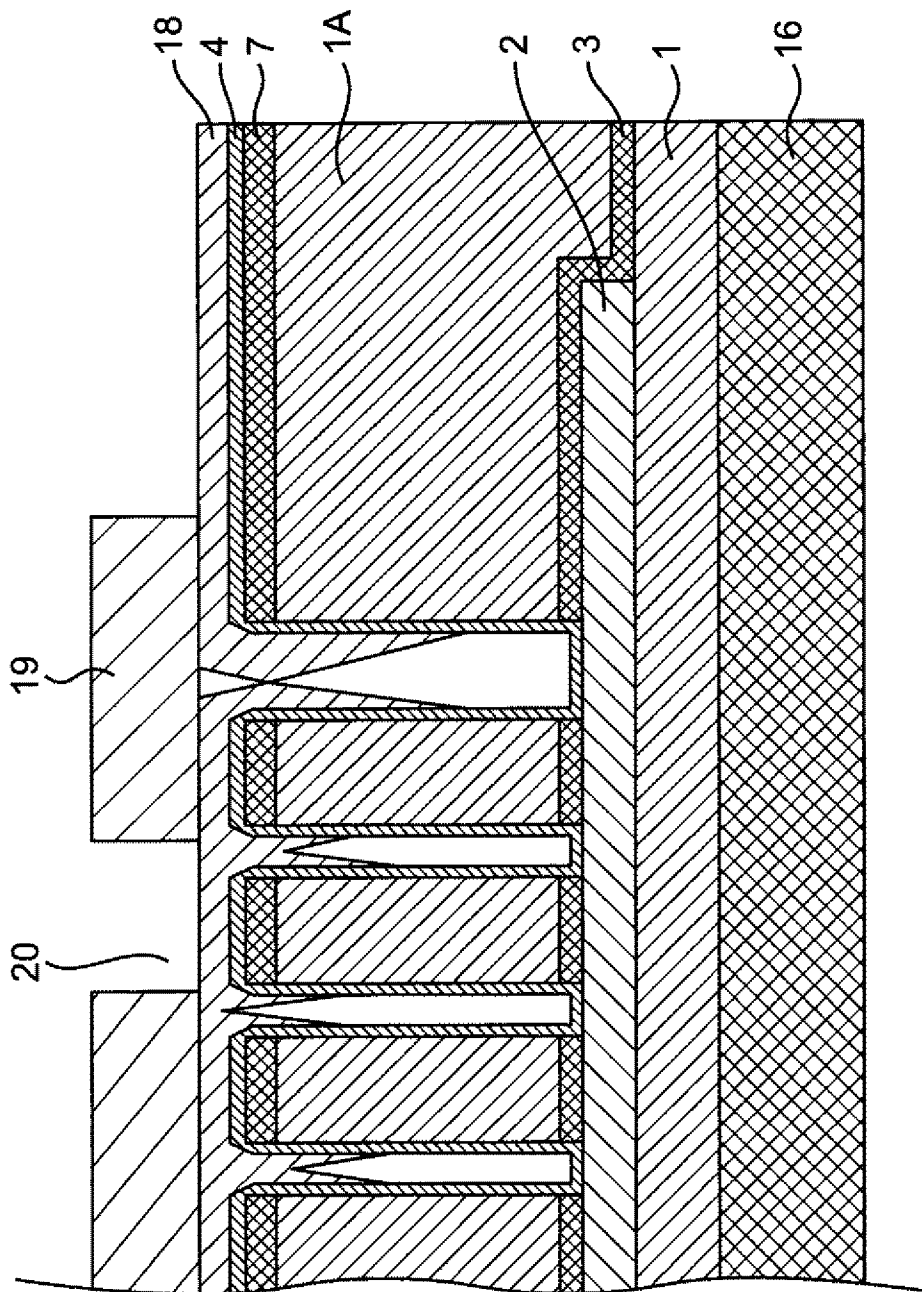
[図6]



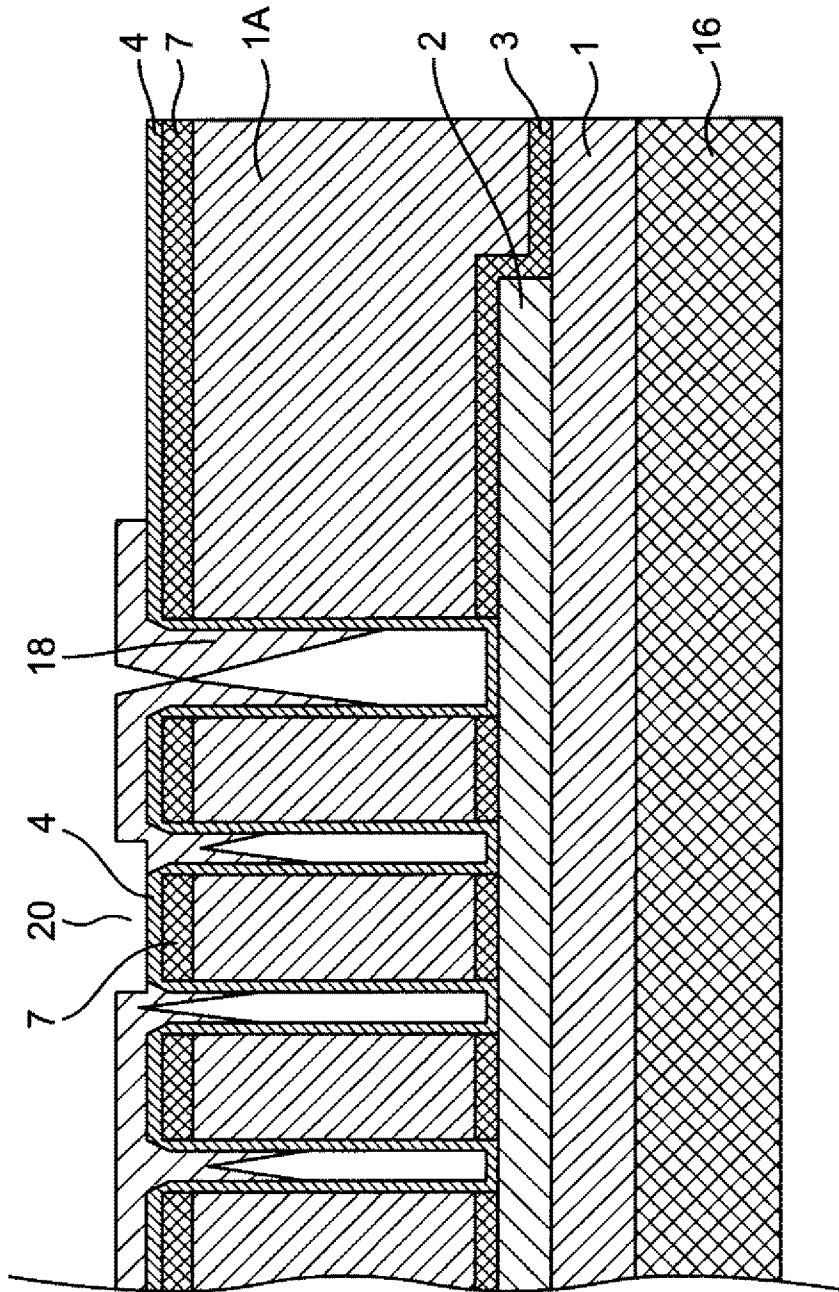
[図7]



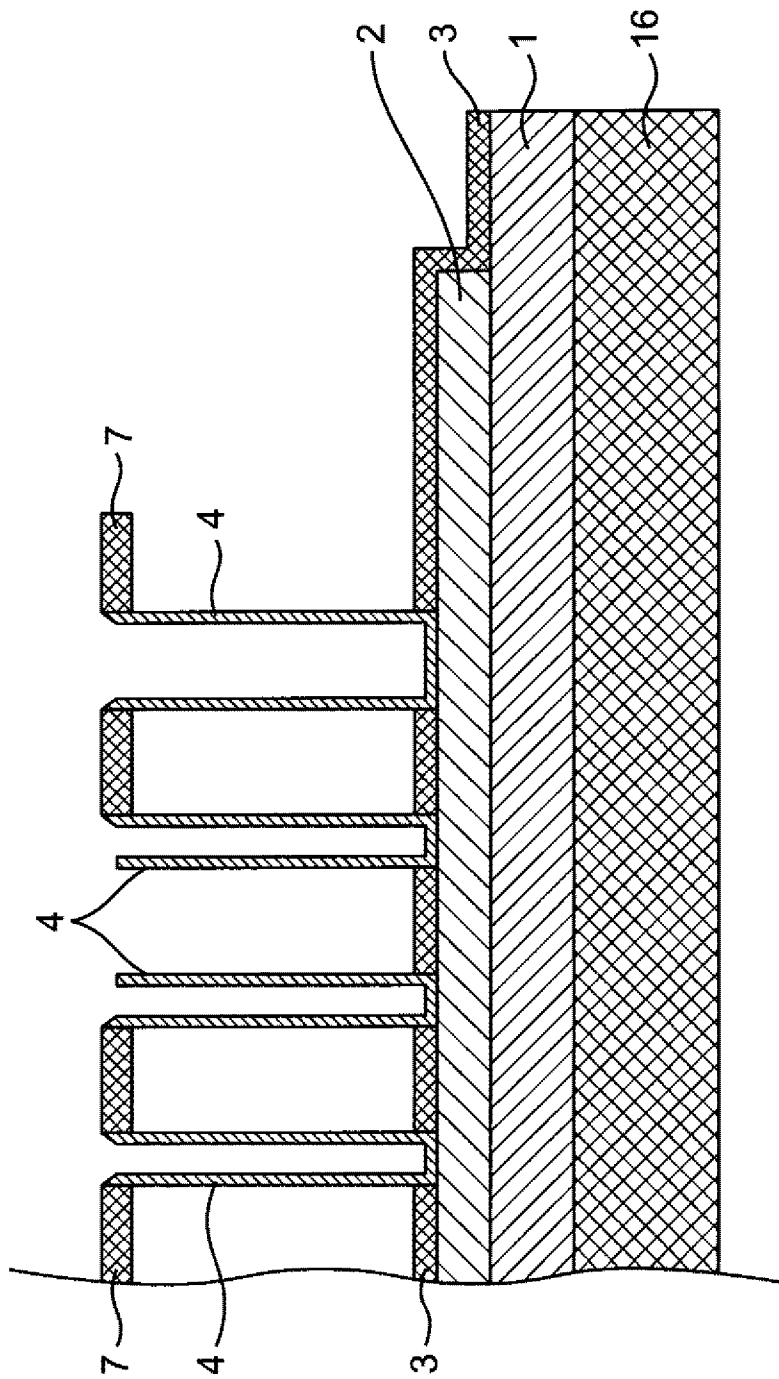
[図8]



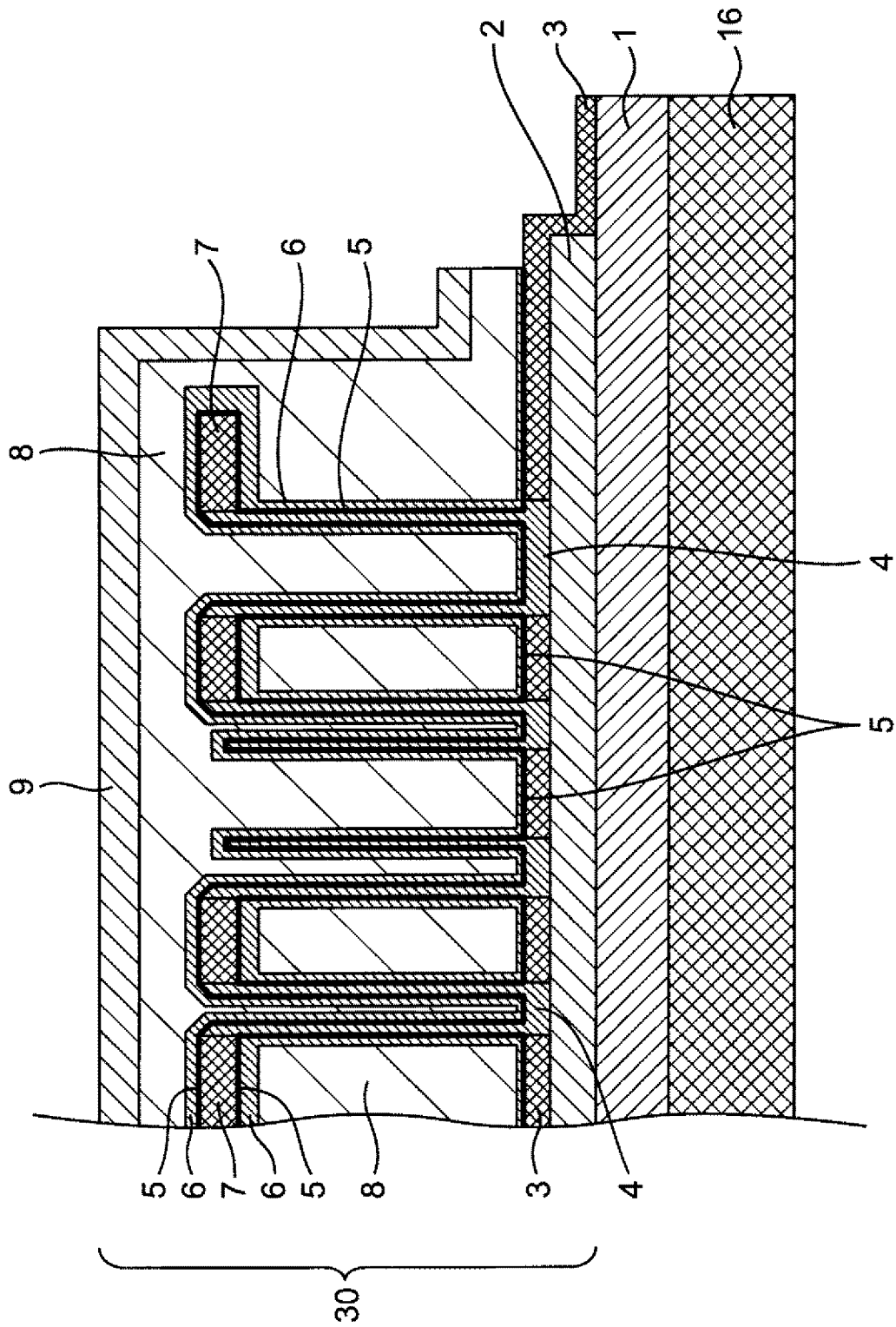
[図9]



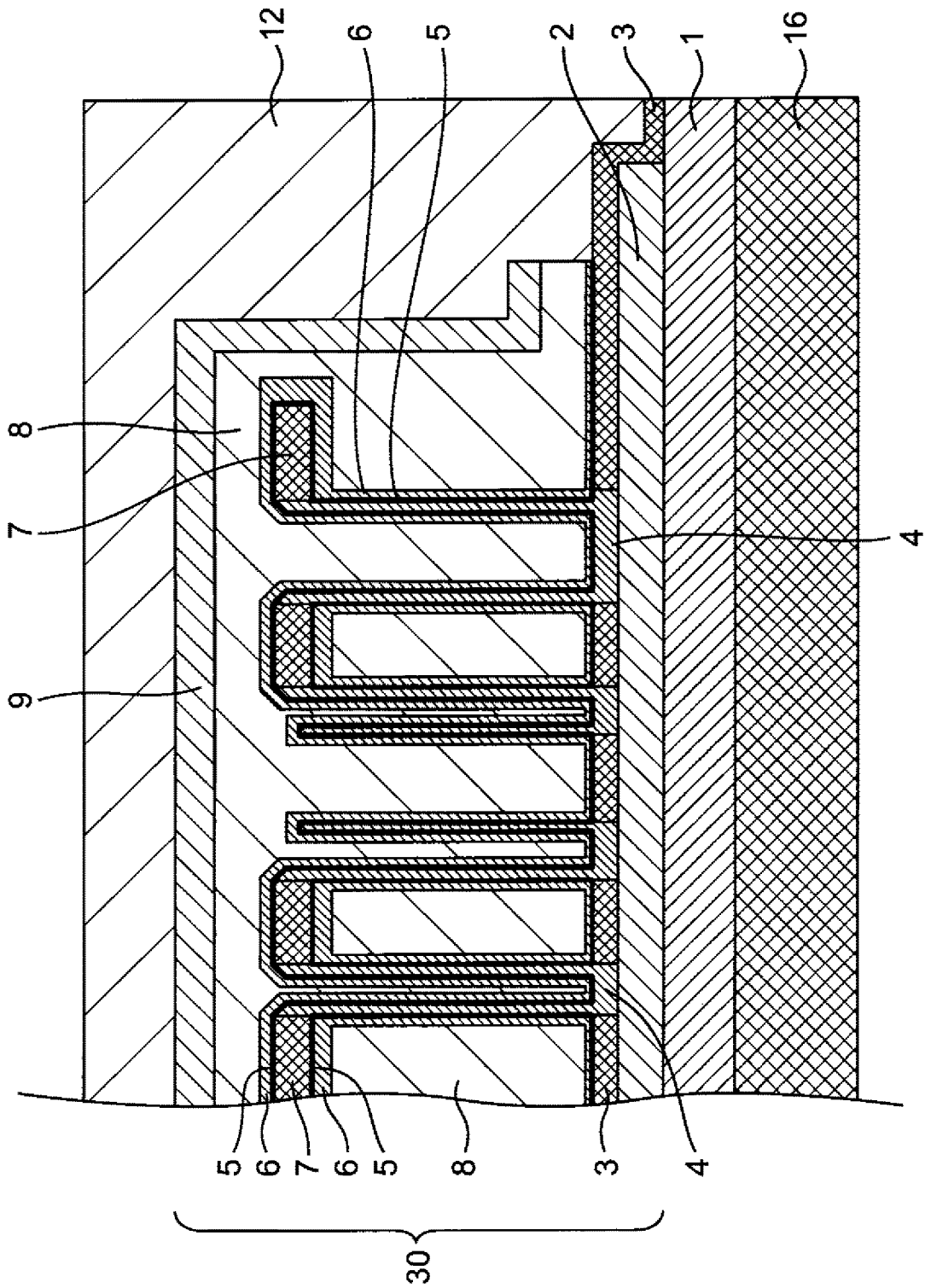
[図10]



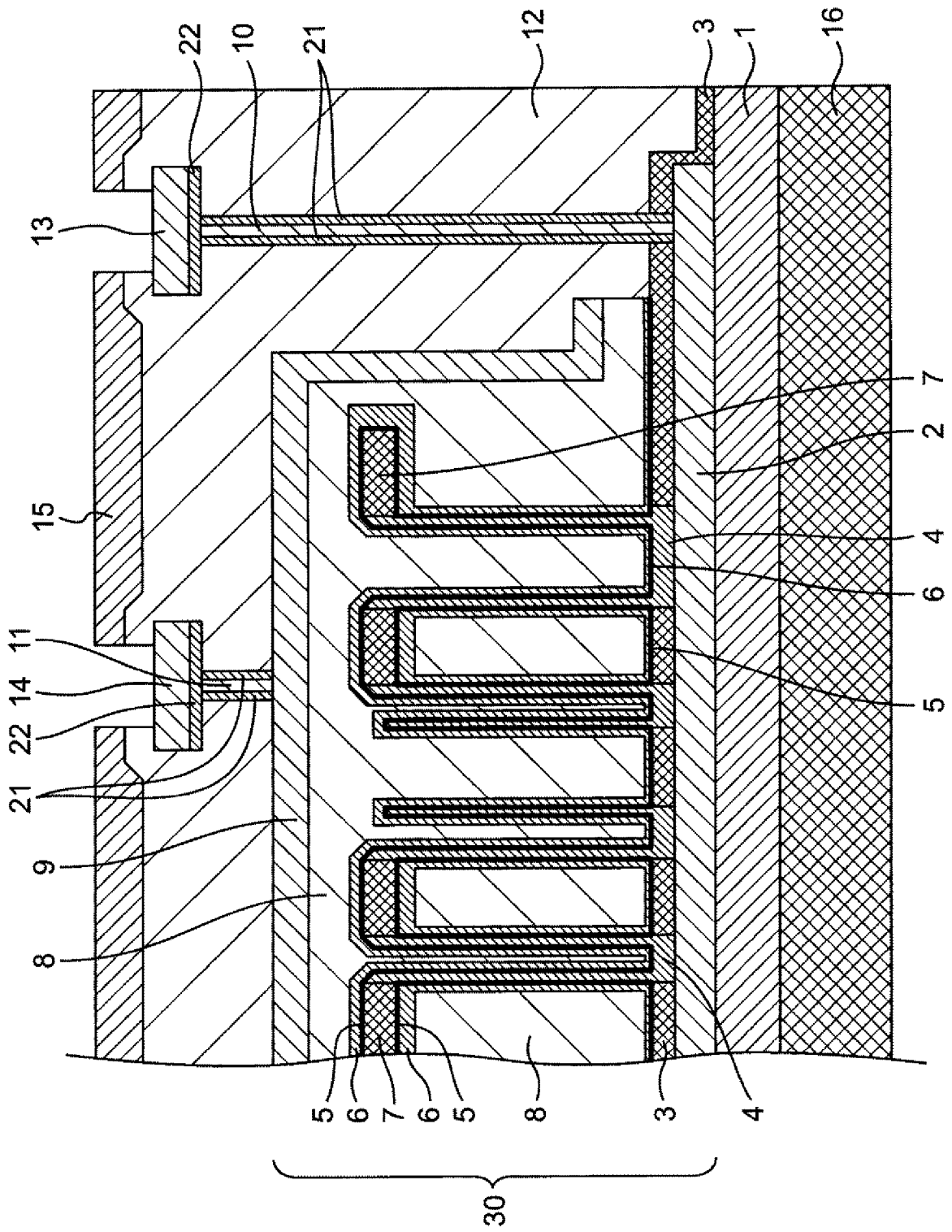
[図11]



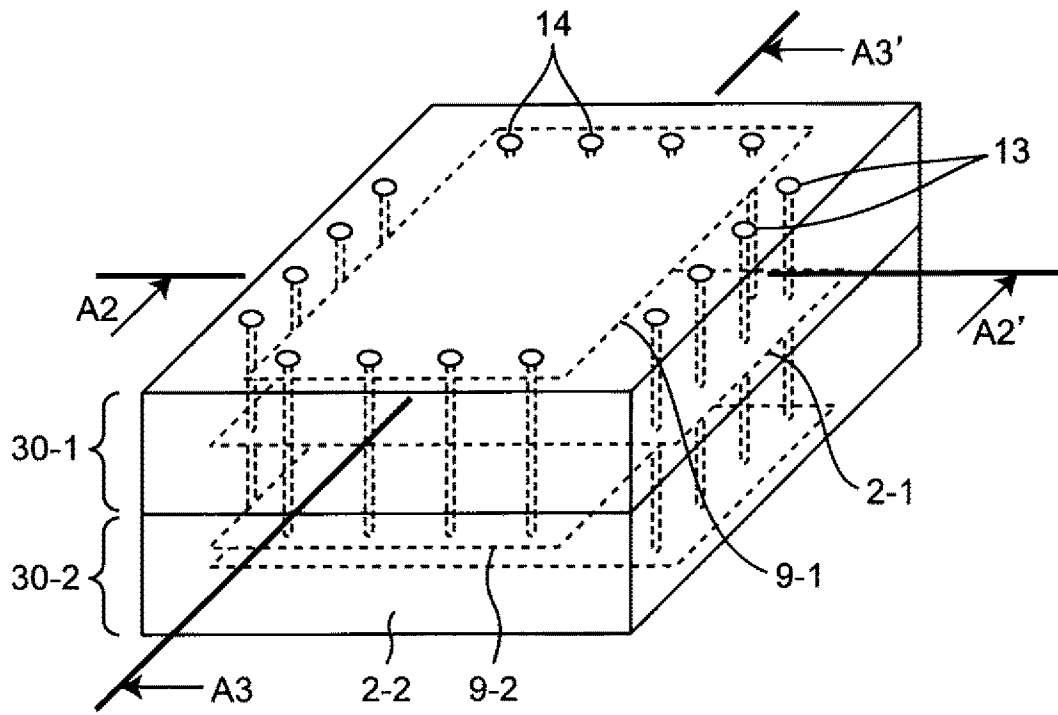
[図12]



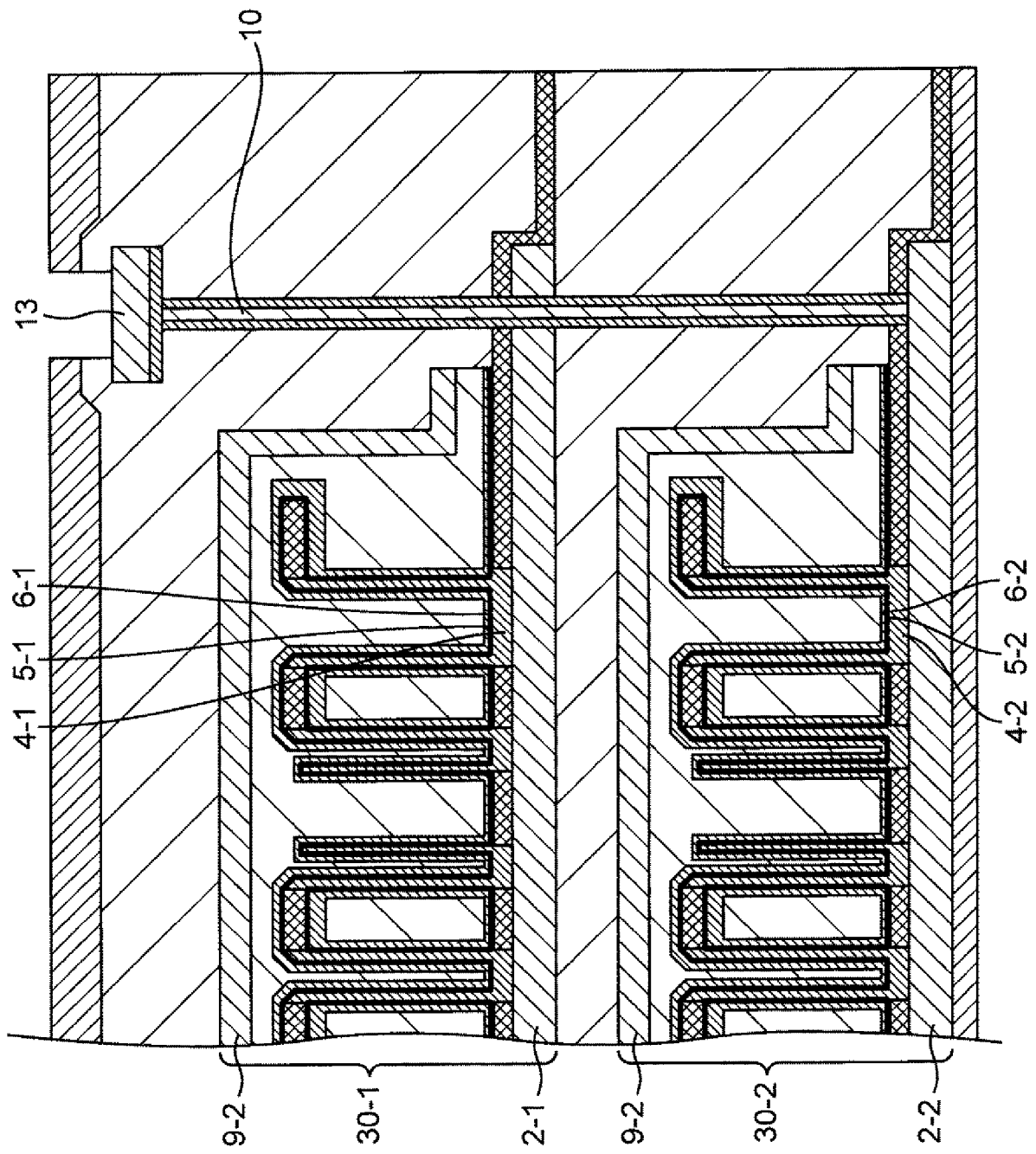
[図13]



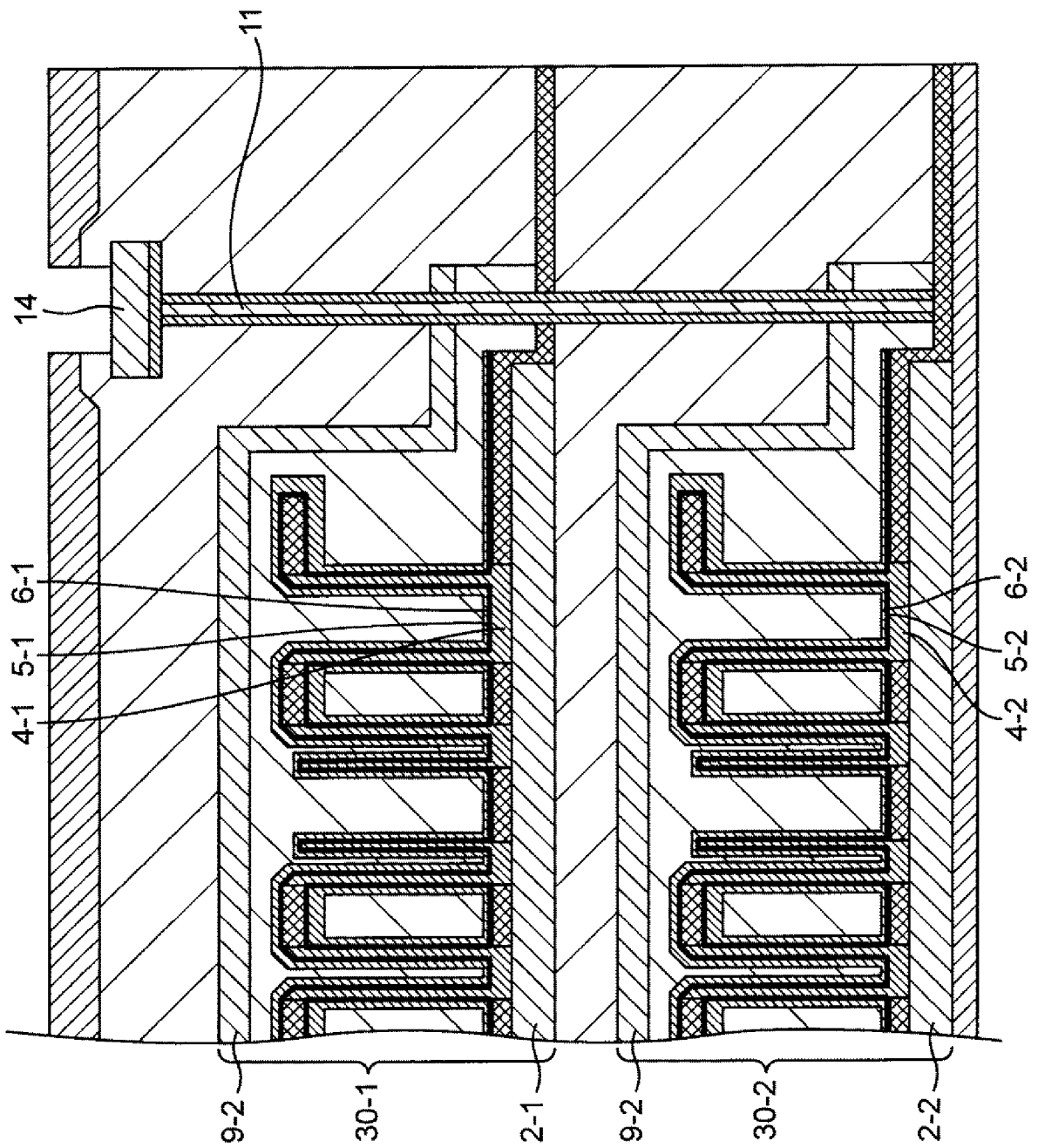
[図14]



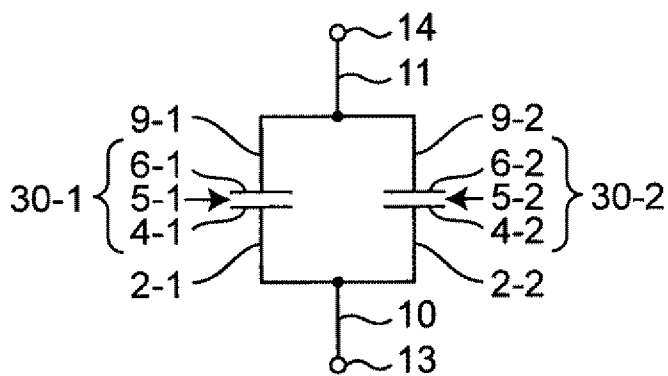
[図15]



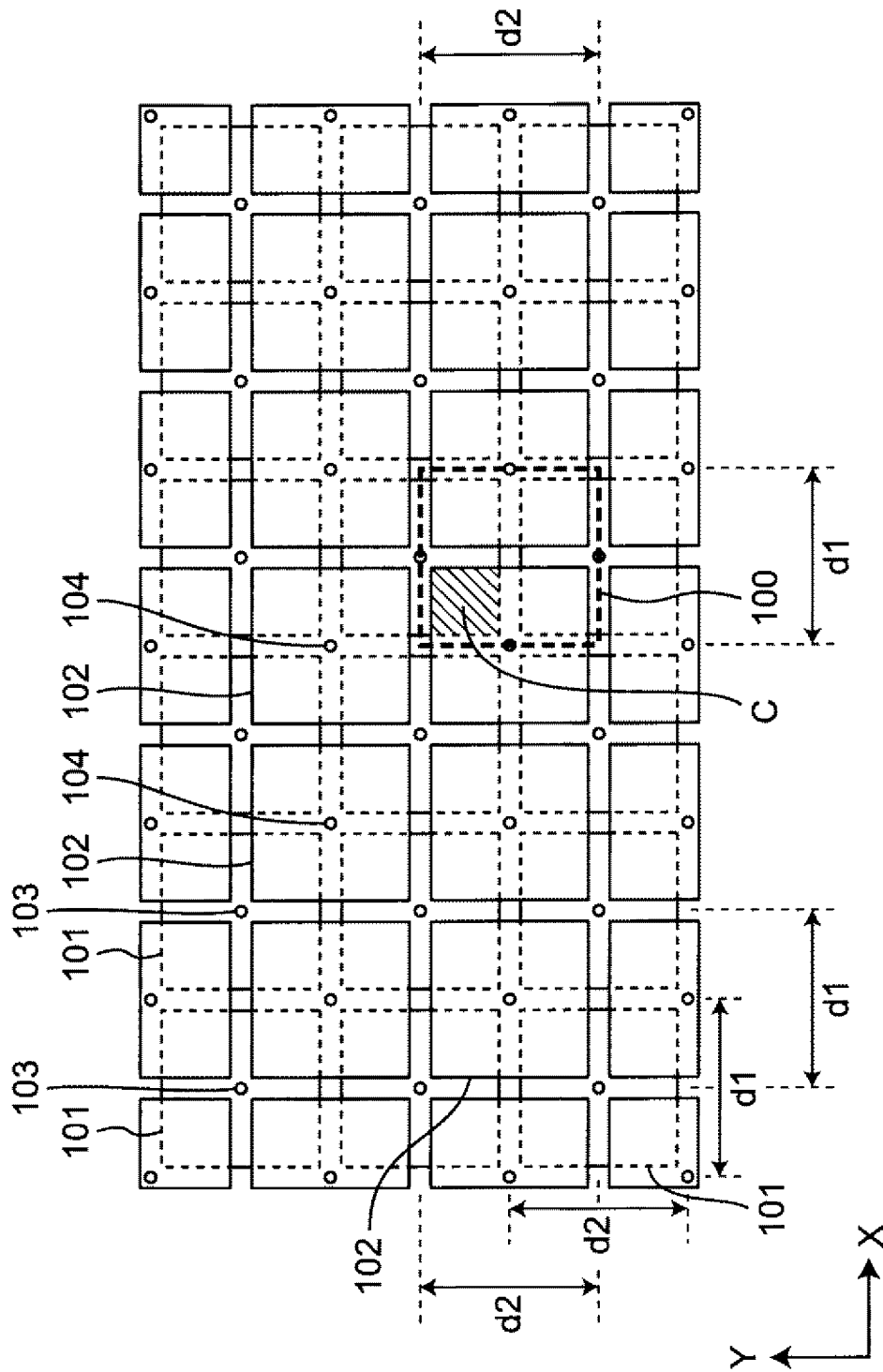
[図16]



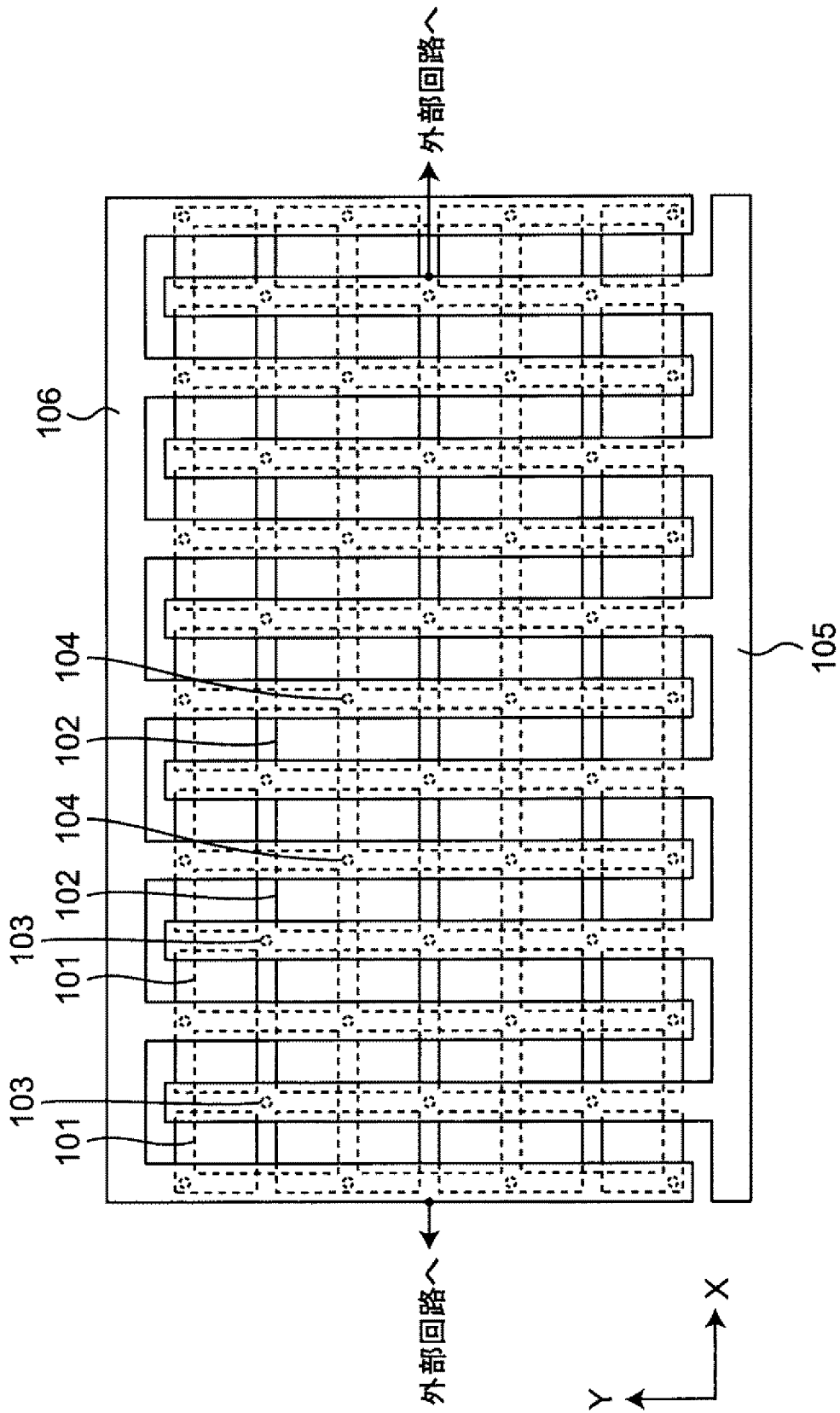
[図17]



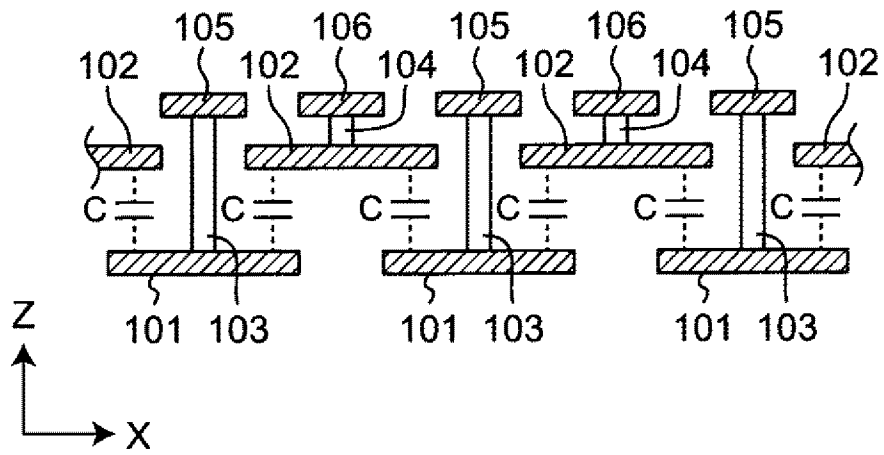
[図18]



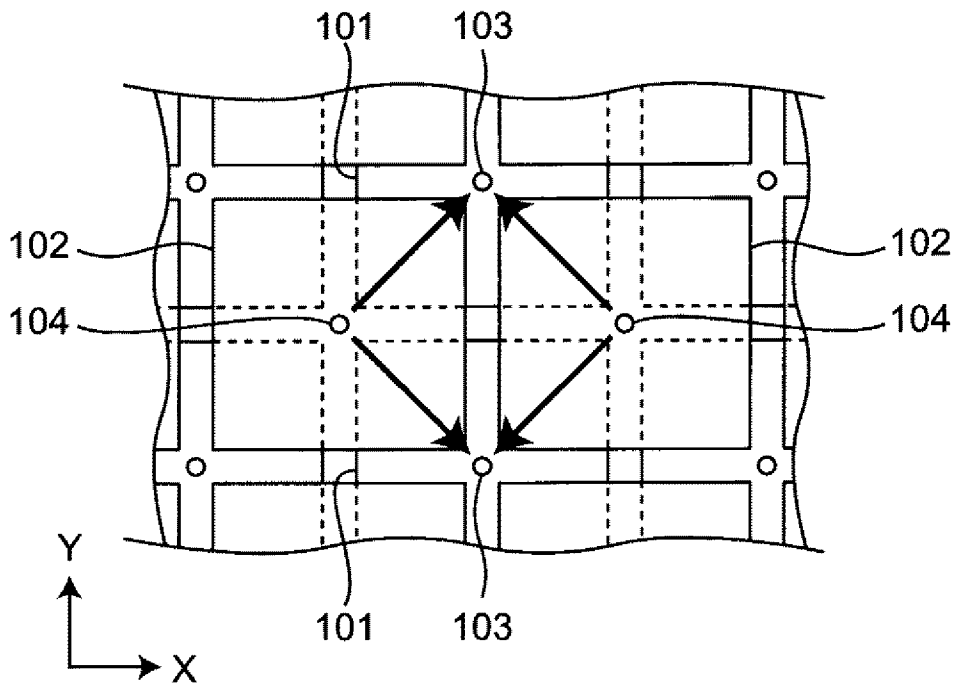
[図19]



[図20]



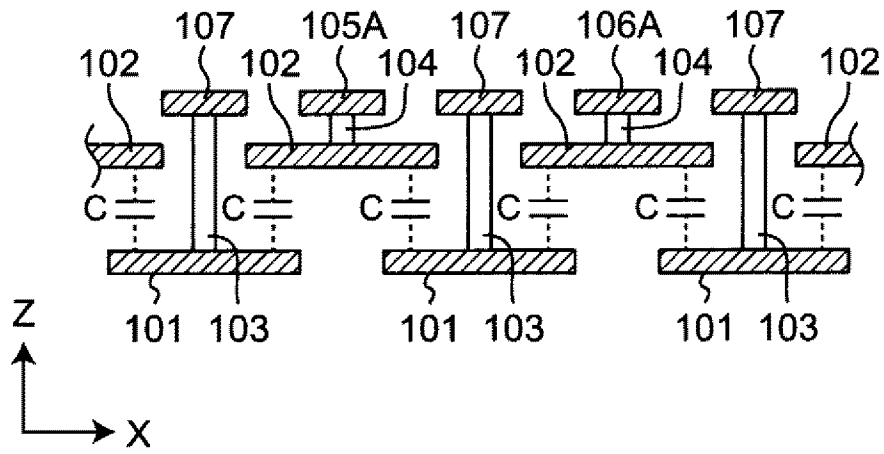
[図21]



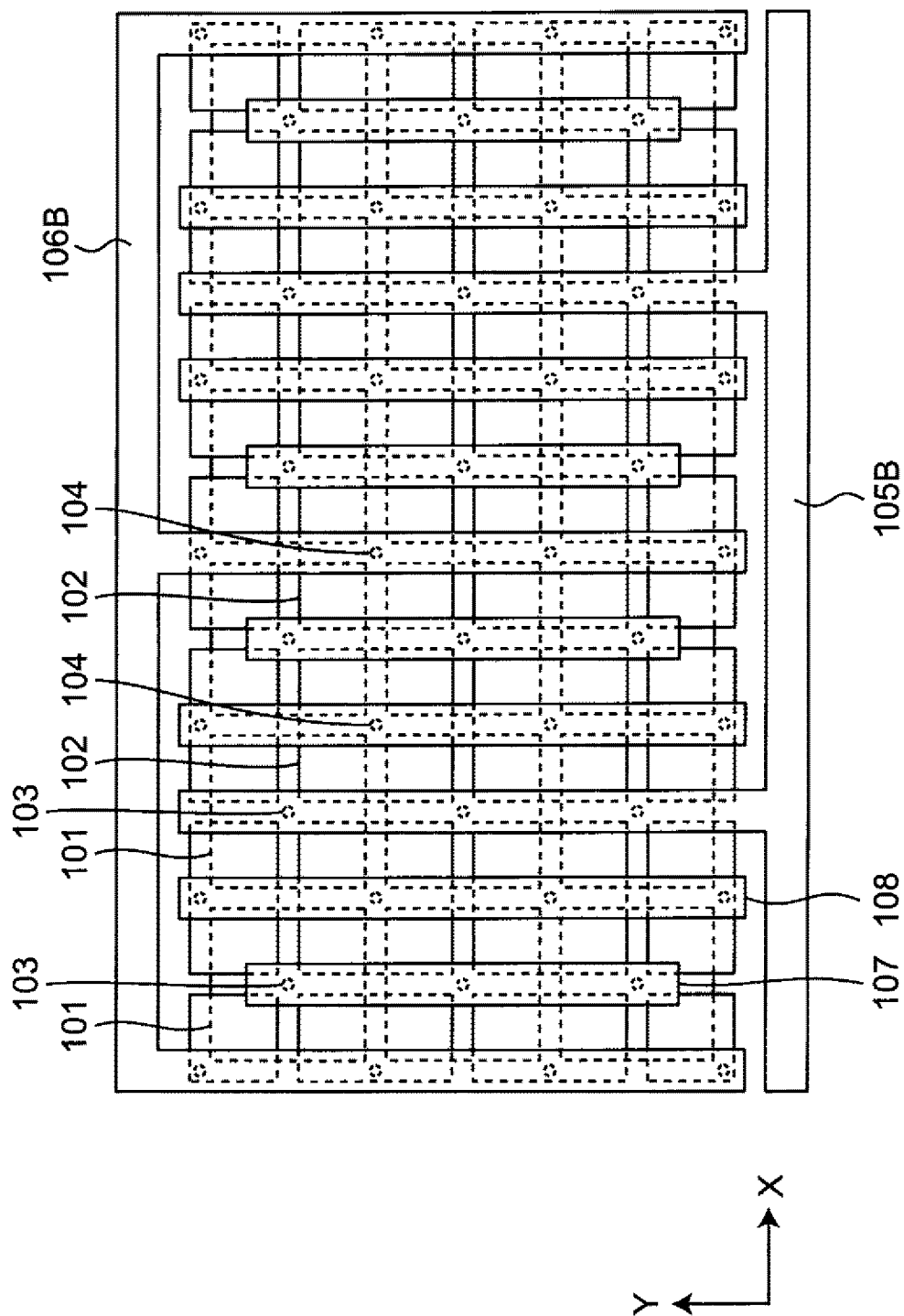




[図24]

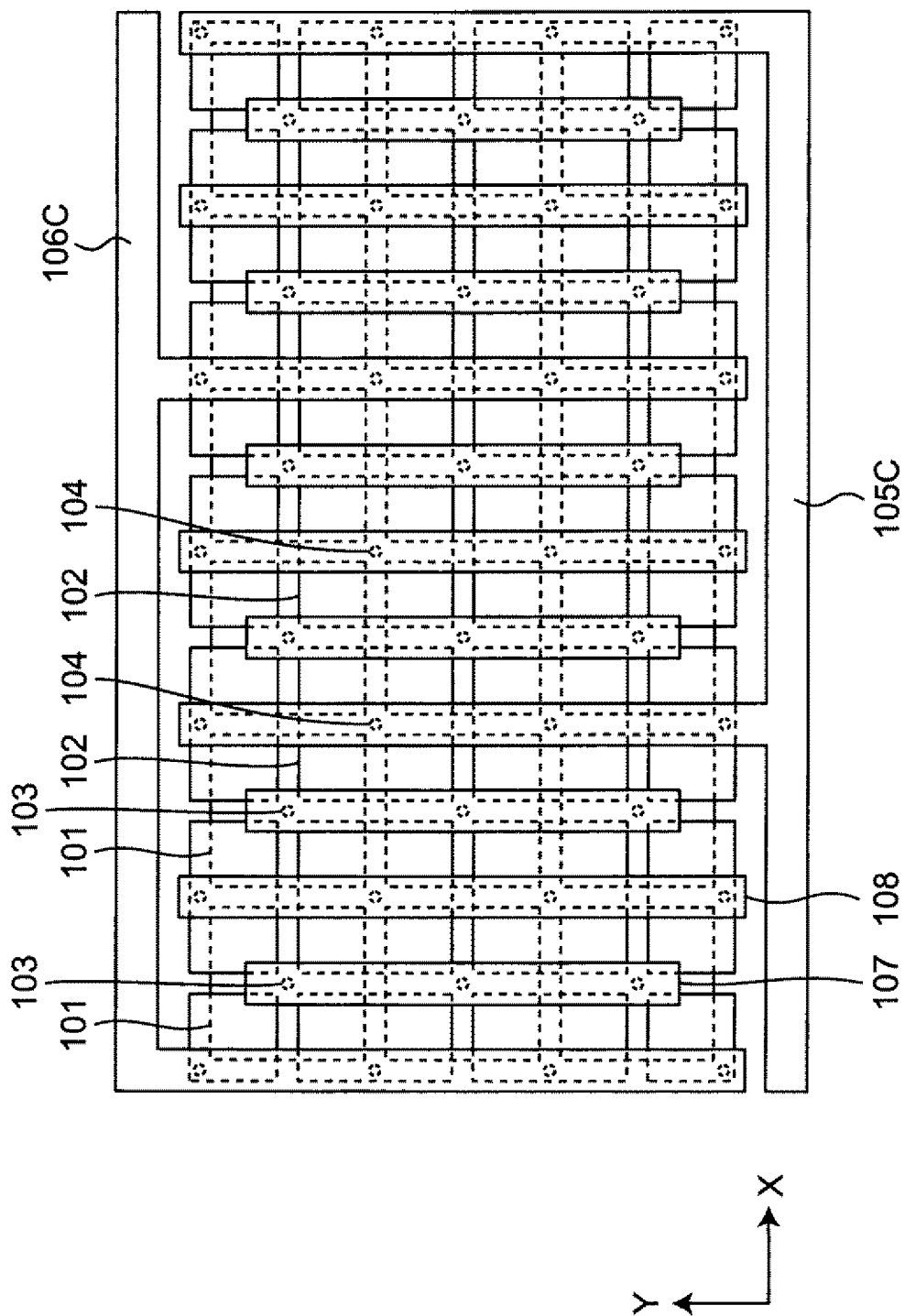


[図25]

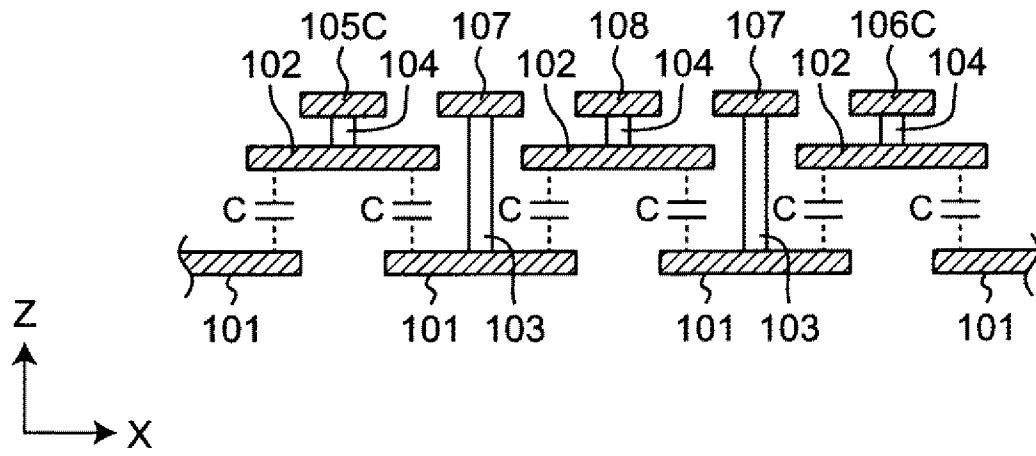




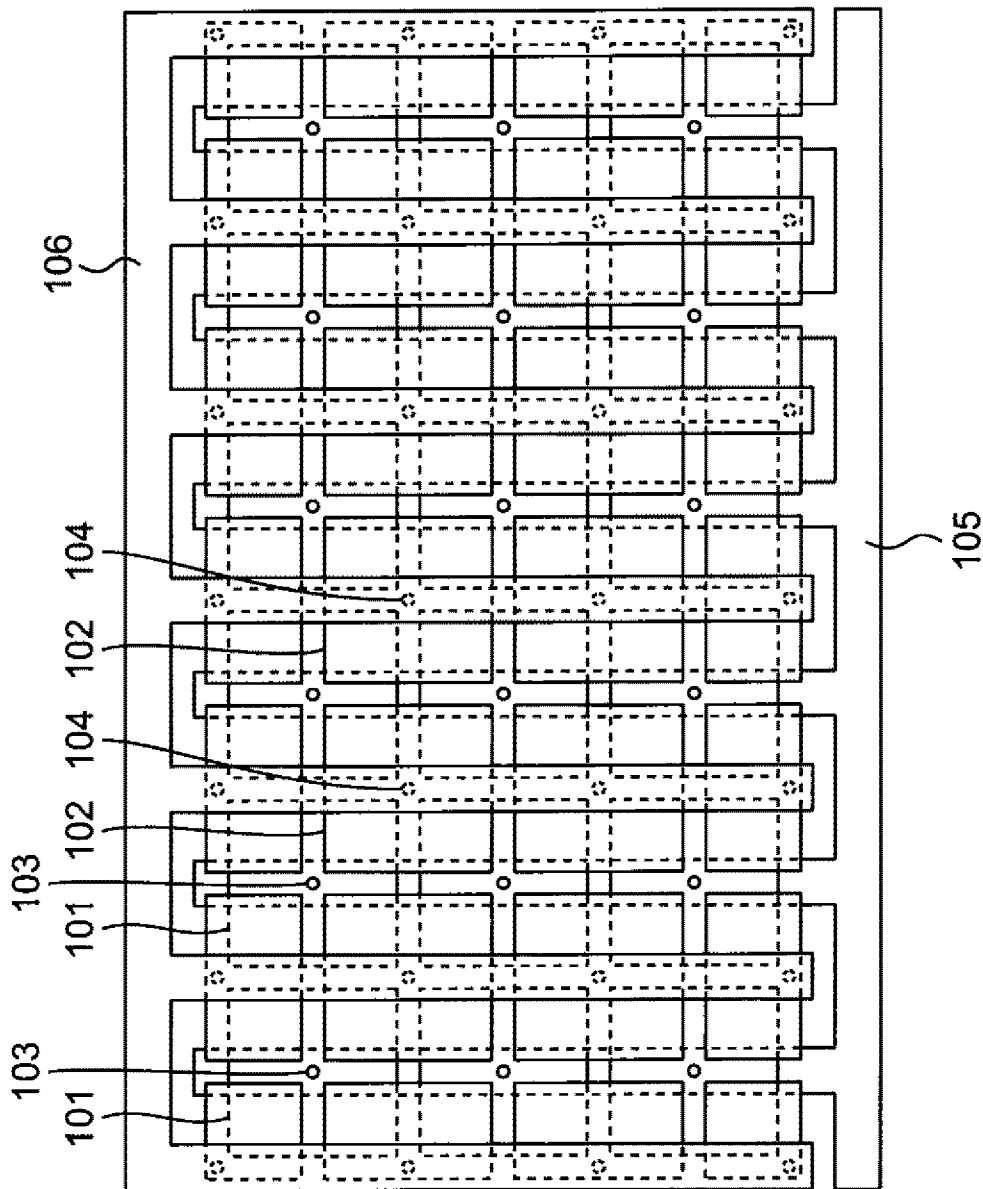
[図27]



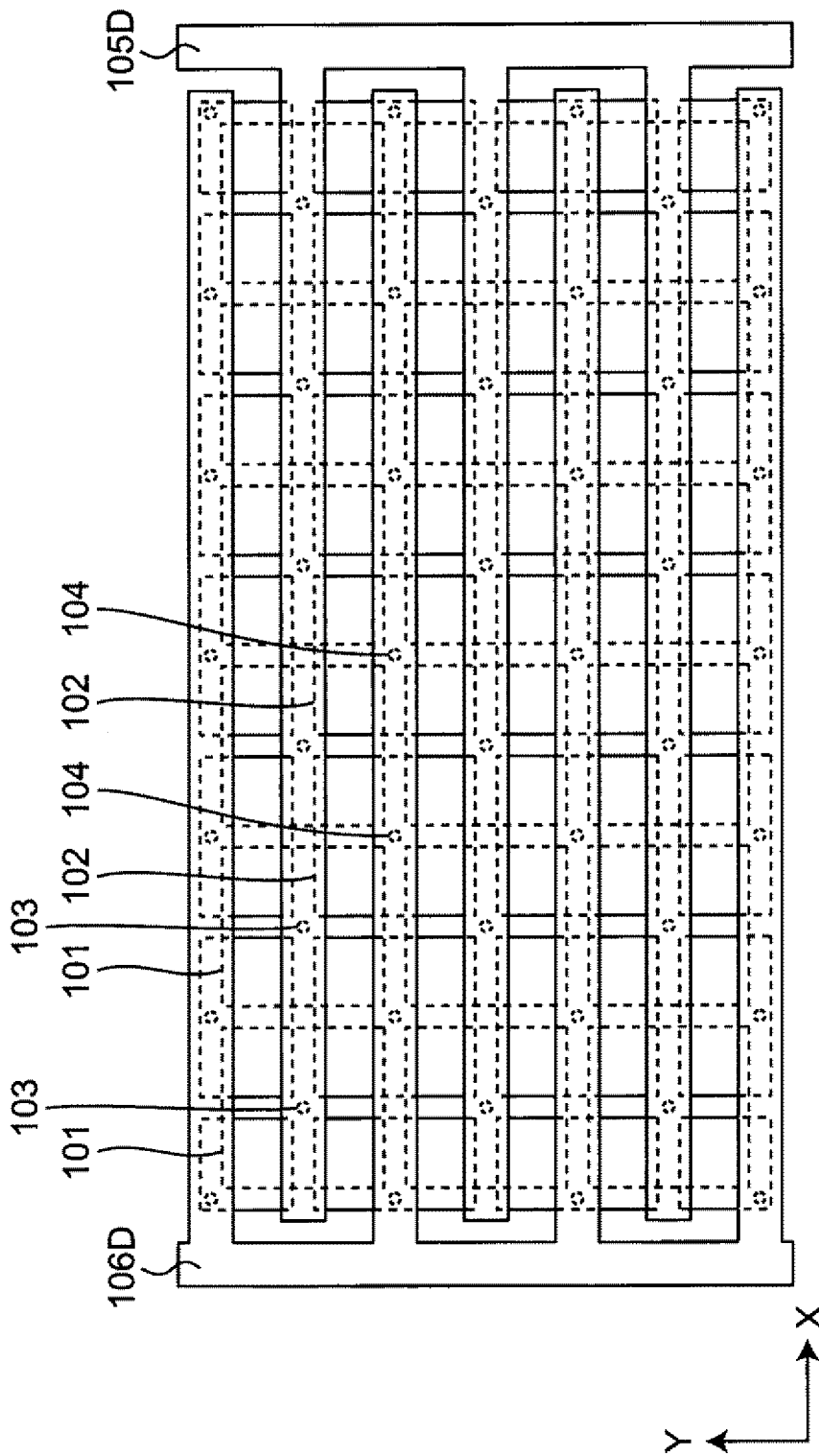
[図28]



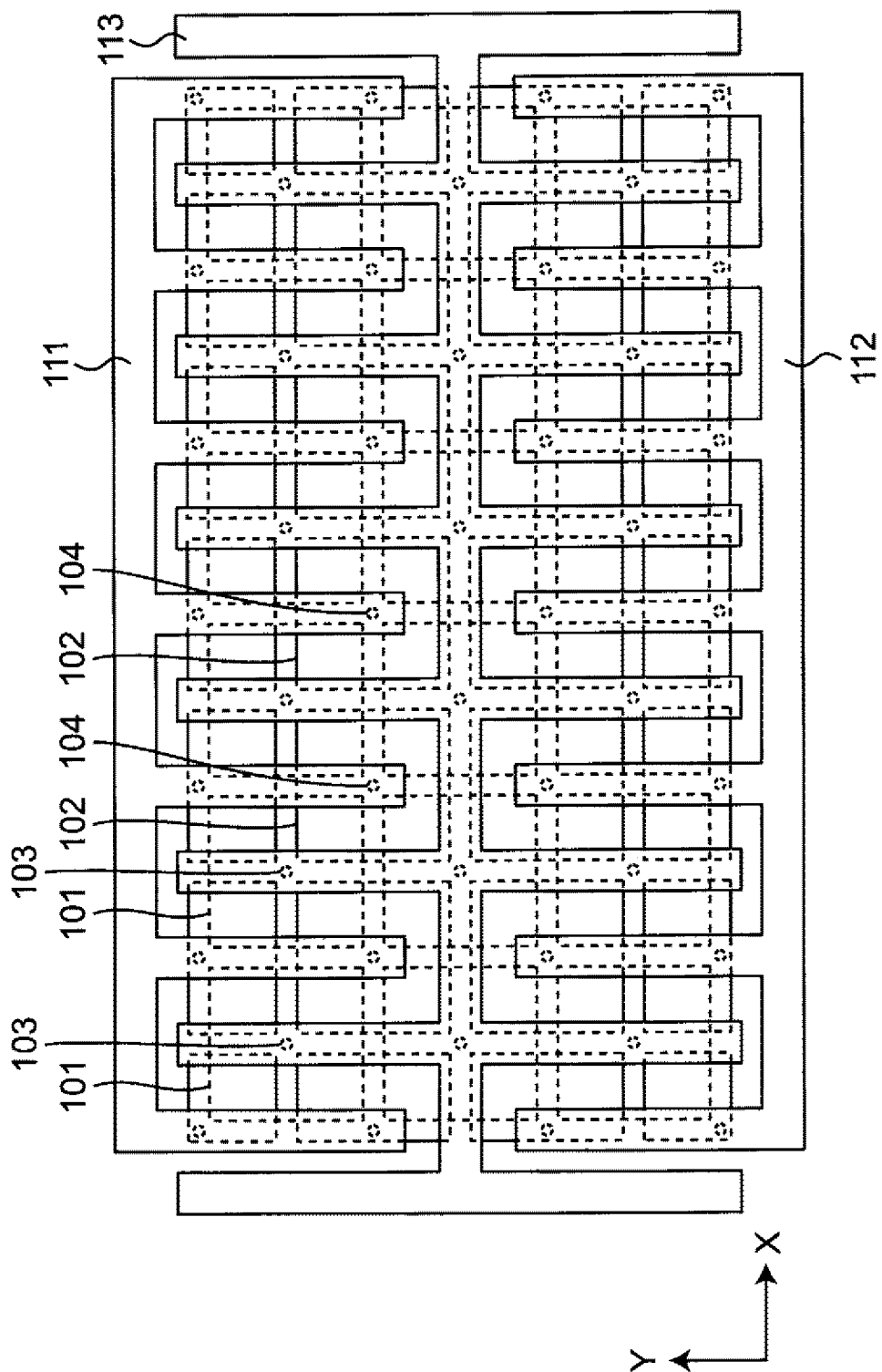
[図29]



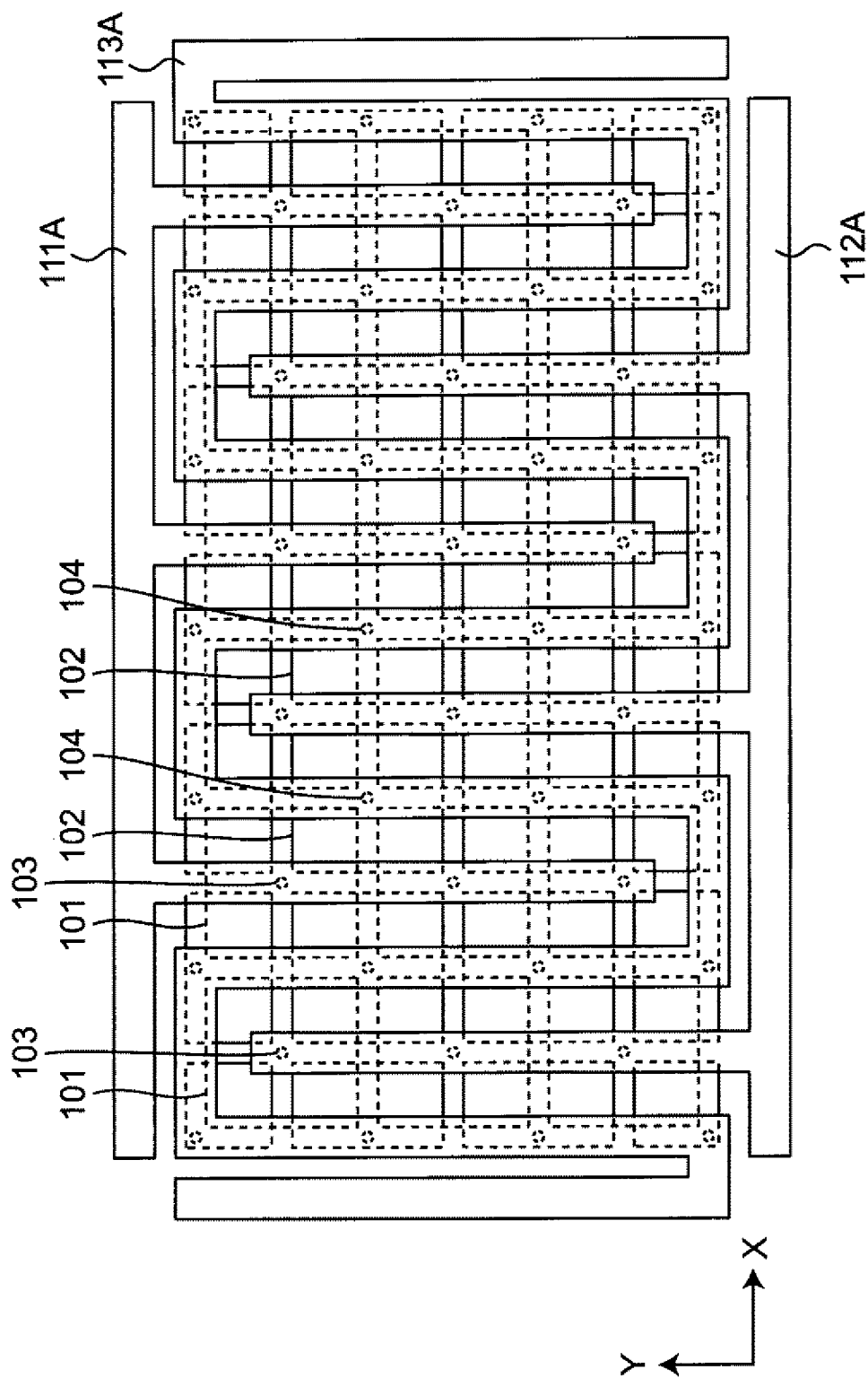
[図30]



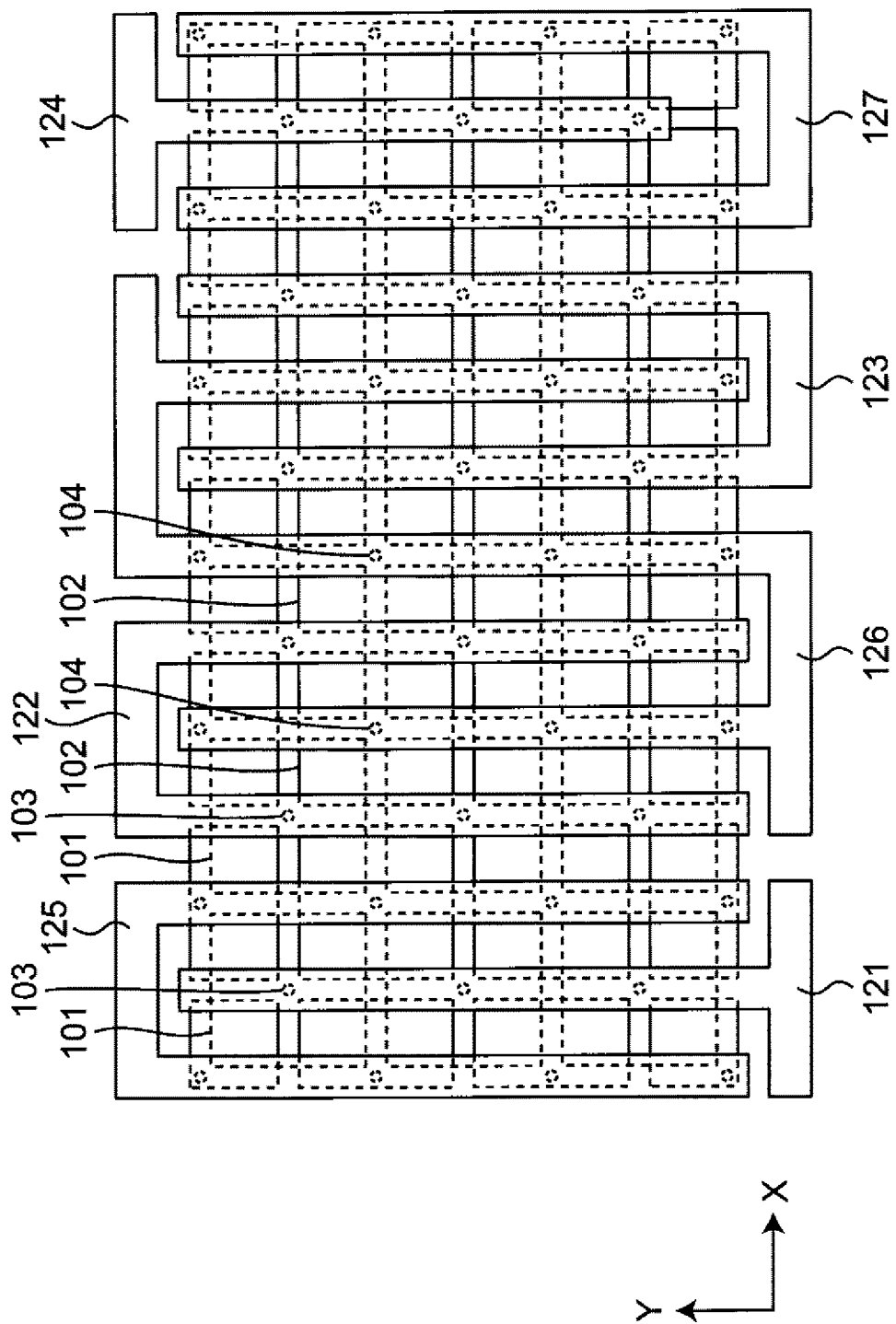
[図31]



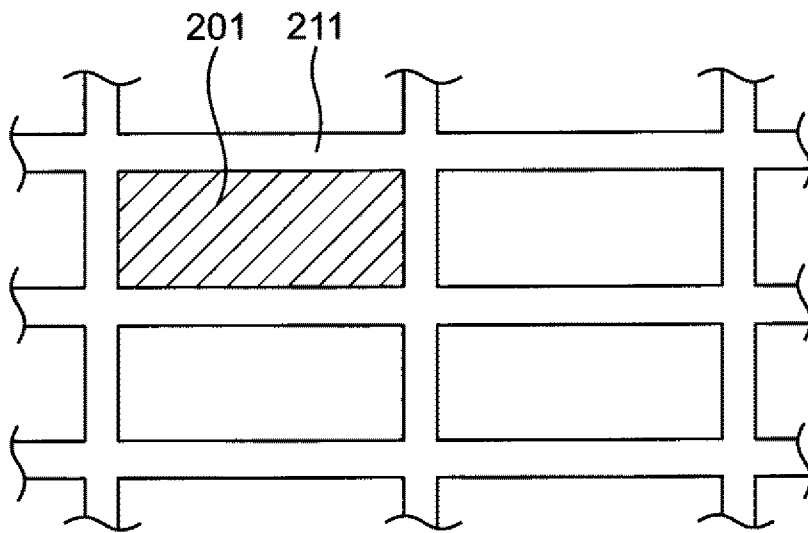
[図32]



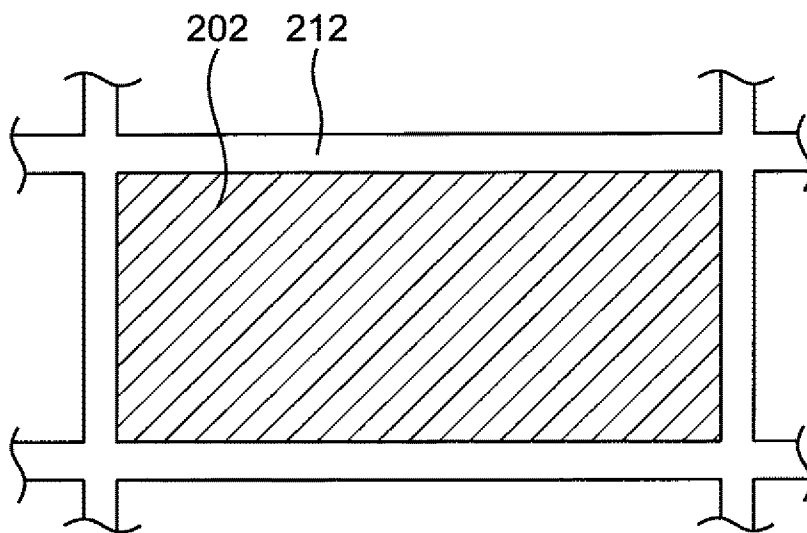
[図33]



[図34]



[図35]



**INTERNATIONAL SEARCH REPORT**

International application No.  
PCT/JP2017/016977

**A. CLASSIFICATION OF SUBJECT MATTER**  
H01L21/822(2006.01)i, H01L27/04(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

**B. FIELDS SEARCHED**

Minimum documentation searched (classification system followed by classification symbols)  
H01L21/822, H01L27/04

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2017
Kokai Jitsuyo Shinan Koho	1971-2017	Toroku Jitsuyo Shinan Koho	1994-2017

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2011-66284 A (Nippon Telegraph and Telephone Corp.), 31 March 2011 (31.03.2011), (Family: none)	1-20
A	JP 4-111462 A (Fujitsu Ltd.), 13 April 1992 (13.04.1992), (Family: none)	1-20
A	JP 2003-124329 A (NEC Corp.), 25 April 2003 (25.04.2003), (Family: none)	1-20
A	JP 2012-227431 A (Fujitsu Semiconductor Ltd.), 15 November 2012 (15.11.2012), (Family: none)	1-20

Further documents are listed in the continuation of Box C.       See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 15 June 2017 (15.06.17)	Date of mailing of the international search report 27 June 2017 (27.06.17)
--	---

Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Authorized officer  Telephone No.
--	---

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/016977

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2002-43517 A (Sony Corp.), 08 February 2002 (08.02.2002), (Family: none)	1-20
A	JP 60-103690 A (Fujitsu Ltd.), 07 June 1985 (07.06.1985), (Family: none)	1-20
A	JP 2011-40571 A (Murata Mfg. Co., Ltd.), 24 February 2011 (24.02.2011), (Family: none)	1-20
A	WO 2002/003458 A1 (Sony Corp.), 10 January 2002 (10.01.2002), & JP 2012-80132 A & JP 4997682 B2 & US 2002/0180053 A1 & EP 1233450 A1	1-20
A	JP 2016-195160 A (TDK Corp.), 17 November 2016 (17.11.2016), & US 2016/0293334 A1 & EP 3076450 A1 & CN 106024387 A & TW 201643909 A	1-20
A	JP 11-289062 A (Toshiba Corp.), 19 October 1999 (19.10.1999), & US 6222722 B1 & US 2001/0023110 A1	1-20

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H01L21/822(2006.01)i, H01L27/04(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H01L21/822, H01L27/04

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2017年
日本国実用新案登録公報	1996-2017年
日本国登録実用新案公報	1994-2017年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2011-66284 A (日本電信電話株式会社) 2011.03.31, (ファミリーなし)	1-20
A	JP 4-111462 A (富士通株式会社) 1992.04.13, (ファミリーなし)	1-20
A	JP 2003-124329 A (日本電気株式会社) 2003.04.25, (ファミリーなし)	1-20

☑ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

\* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの  
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
 「O」口頭による開示、使用、展示等に言及する文献  
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
 「&」同一パテントファミリー文献

国際調査を完了した日

15.06.2017

国際調査報告の発送日

27.06.2017

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)  
 郵便番号 100-8915  
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

市川 武宜

5 F

4056

電話番号 03-3581-1101 内線 3516

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2012-227431 A (富士通セミコンダクター株式会社) 2012. 11. 15, (ファミリーなし)	1-20
A	JP 2002-43517 A (ソニー株式会社) 2002. 02. 08, (ファミリーなし)	1-20
A	JP 60-103690 A (富士通株式会社) 1985. 06. 07, (ファミリーなし)	1-20
A	JP 2011-40571 A (株式会社村田製作所) 2011. 02. 24, (ファミリーなし)	1-20
A	WO 2002/003458 A1 (ソニー株式会社) 2002. 01. 10, & JP 2012-80132 A & JP 4997682 B2 & US 2002/0180053 A1 & EP 1233450 A1	1-20
A	JP 2016-195160 A (TDK株式会社) 2016. 11. 17, & US 2016/0293334 A1 & EP 3076450 A1 & CN 106024387 A & TW 201643909 A	1-20
A	JP 11-289062 A (株式会社東芝) 1999. 10. 19, & US 6222722 B1 & US 2001/0023110 A1	1-20