



(10)授权公告号 CN 105009259 B

(45)授权公告日 2018.11.16

(21)申请号 201480010437.1

(22)申请日 2014.03.04

(65)同一申请的已公布的文献号
申请公布号 CN 105009259 A

(43)申请公布日 2015.10.28

(30)优先权数据
61/790,444 2013.03.15 US
14/195,273 2014.03.03 US

(85)PCT国际申请进入国家阶段日
2015.08.25

(86)PCT国际申请的申请数据
PCT/US2014/020130 2014.03.04

(87)PCT国际申请的公布数据
W02014/149656 EN 2014.09.25

(73)专利权人 应用材料公司
地址 美国加利福尼亚州

(72)发明人 特里萨·克莱默·瓜里尼 刘炜

(74)专利代理机构 北京律诚同业知识产权代理有限公司 11006
代理人 徐金国 赵静

(51)Int.Cl.
H01L 21/3065(2006.01)

(56)对比文件
US 2013/0012032 A1,2013.01.10,说明书第[0003]-[0051]段及附图1-4.
CN 1659680 A,2005.08.24,说明书第4页第1行至第12页第6行及权利要求1-5项.
US 6610615 B1,2003.08.26,全文.
CN 101401194 A,2009.04.01,全文.
审查员 纪金国

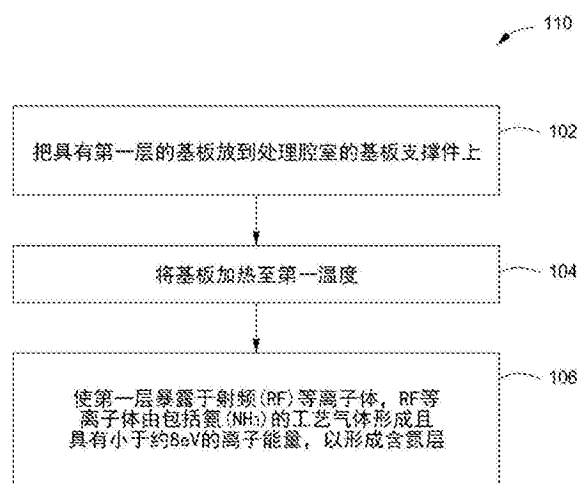
权利要求书1页 说明书9页 附图4页

(54)发明名称

基板上三维结构的层的含 NH_3 等离子体氮化

(57)摘要

本文提供形成含氮层的方法和设备。在一些实施方式中,方法包括把基板放到处理腔室的基板支撑件上,基板具有设置上面的第一层;将基板加热至第一温度;和使第一层暴露于RF等离子体,RF等离子体由包括氨(NH_3)的工艺气体形成,以将第一层转化成含氮层,其中等离子体具有小于约8eV的离子能量。



1. 一种形成含氮层的方法,所述方法包括:
把基板放到处理腔室的基板支撑件上,所述基板具有设置在上面的第一层;
将所述基板加热至第一温度;和
使所述第一层暴露于RF等离子体,所述RF等离子体由包括氨(NH₃)的工艺气体形成,以将所述第一层转化成所述含氮层,其中所述RF等离子体具有小于8eV的离子能量。
2. 如权利要求1所述的方法,其中所述第一层是3维结构。
3. 如权利要求1所述的方法,其中所述RF等离子体具有小于4eV的离子能量。
4. 如权利要求1所述的方法,其中所述工艺气体包括稀有气体。
5. 如权利要求4所述的方法,其中所述工艺气体按总气体流量计为包括0.5%至99.5%的氨(NH₃),且剩余部分为稀有气体。
6. 如权利要求4所述的方法,其中所述稀有气体是氩。
7. 如权利要求1至6中任一项所述的方法,其中所述氨(NH₃)的流量为15sccm至500sccm。
8. 如权利要求1至6中任一项所述的方法,其中所述第一温度是250摄氏度至500摄氏度。
9. 如权利要求1至6中任一项所述的方法,进一步包括:使所述第一层暴露于射频(RF)等离子体,同时使所述处理腔室维持在5毫托至500毫托的压力。
10. 如权利要求1至6中任一项所述的方法,进一步包括:利用脉冲式RF功率源形成RF等离子体,所述脉冲式RF功率源具有13.56MHz的频率。
11. 如权利要求10所述的方法,其中所述脉冲式RF功率源供应高达2000瓦的功率,且占空比至多为30%。
12. 如权利要求10所述的方法,其中所述脉冲式RF功率源是在5%至10%的占空比下供应功率。
13. 如权利要求1至6中任一项所述的方法,其中所述第一层包括半导体材料、金属或金属氧化物。
14. 如权利要求13所述的方法,其中所述第一层是硅(Si)、锗(Ge)、硅锗(SiGe)、III-V族化合物、钨(W)、钛(Ti)、氮化钛(TiN)、钽(Ta)或氮化钽(TaN)、二氧化钛(TiO₂)或氧化铝(Al₂O₃)。
15. 一种非瞬时计算机可读介质,所述非瞬时计算机可读介质具有存储在上面的多个指令,在执行所述指令时,使得处理腔室执行形成含氮层的方法,所述方法包括:
把基板放到处理腔室的基板支撑件上,所述基板具有设置在上面的第一层;
将所述基板加热至第一温度;和
使所述第一层暴露于RF等离子体,所述RF等离子体由包括氨(NH₃)的工艺气体形成,以将所述第一层转化成所述含氮层,其中所述RF等离子体具有小于8eV的离子能量。

基板上三维结构的层的含NH₃等离子体氮化

技术领域

[0001] 本发明的实施方式大体是涉及半导体处理,且更具体地涉及形成含氮层的方法。

背景技术

[0002] 诸如动态随机存取存储器(DRAM)、逻辑装置和类似的半导体装置的缩放(scaling)可能受限于栅极漏电流(J_g)。例如,当缩放栅极介电层的厚度时,沟道与晶体管装置的栅极之间可能造成漏电,导致装置失效。将氮并入栅极介电层,可减少栅极漏电流。例如,32nm节点处的栅极介电层可包括氮氧化硅(SiON),其中氮的存在减少装置中的栅极漏电流。

[0003] 通常,利用等离子体氮化工艺将氮并入栅极介电层,等离子体氮化工艺可减少栅极漏电流,但会牺牲其它期望的特性,例如平带电压(V_{fb})、阈值电压(V_t)和迁移率。例如,增加栅极介电层中的氮含量可能不当地提高 V_t 和过度降低迁移率。另外,在典型处理条件下,氧会从栅极介电层扩散,从而进一步降低装置性能,例如使栅极介电层的介电性能劣化所致。

[0004] 另外,氮化半导体晶片上的介电层以用于半导体结构涉及利用等离子体氮化或热氮化,将氮添加至平面半导体结构。然而,使用诸如FinFET装置或类似者的3维(“3D”)半导体结构需使氮化层在3D半导体结构周围缠绕(wrap),且并入3D半导体结构的顶表面上的氮量实质等于并入3D半导体结构的侧壁下方的氮量,在此被称作共形性(conformality)。共形性被计算成氮随着3D 半导体结构的侧壁下方的深度下降的百分比。

[0005] 形成氮化层的一种方法为使用氨(NH₃)进行热氮化。虽然使用氨(NH₃)进行热氮化提供了适当的共形性,但此工艺无法在介电层的顶表面提供所需的氮分布。形成氮化层的另一种方法为使用由氮气(N₂)形成的离子进行感应耦合等离子体氮化。虽然这种方法可在介电膜中提供所需的氮分布,但所得共形性并不适当。尽管另一种远程等离子体氮化方法可提供适当的共形性,但此工艺需要超过约600摄氏度至约1000摄氏度的温度,导致栅极堆叠中的氧化层的过度和不当增厚。

[0006] 因此,本发明人提供了形成具有改善的共形性的含氮层的方法。

发明内容

[0007] 本文提供形成含氮层的方法和设备。在一些实施方式中,方法包括把基板放到处理腔室的基板支撑件上,基板具有设置上面的第一层;将基板加热至第一温度;和使第一层暴露于RF等离子体,RF等离子体由包括氨(NH₃)的工艺气体所形成,以将第一层转化成含氮层,其中等离子体具有小于约8eV 的离子能量。

[0008] 在一些实施方式中,形成含氮层的方法包括把基板放到处理腔室的基板支撑件上,基板具有设置上面的第一层,其中第一层是3维结构;将基板加热至约250摄氏度至约500摄氏度的第一温度;和使第一层暴露于RF等离子体,RF等离子体由包括氨(NH₃)的工艺气体所形成,以将第一层转化成含氮层,其中工艺气体按总气体流量计为包括约0.5%至约

99.5%的氨(NH₃),且剩余部分为稀有气体,其中等离子体具有小于约8eV的离子能量。

[0009] 以上简要概述并不意在限制本发明的范围。下面描述本发明的其它和进一步的实施方式。

附图说明

[0010] 可通过参照实施方式(一些实施方式描绘于附图中)来详细理解本发明的上述特征结构以及以上简要概述的有关本发明更特定的描述。然而,应注意附图仅图示本发明的典型实施方式,因此不应被视为限制本发明的范围,因为本发明可允许其它等效的实施方式。

[0011] 图1是描绘根据本发明一些实施方式的形成含氮层的方法的流程图。

[0012] 图2A至图2C描绘根据本发明一些实施方式的制造栅极介电层的阶段。

[0013] 图3描绘根据本发明一些实施方式适用的等离子体氮化反应器。

[0014] 图4描绘适合用于根据本发明一些实施方式的等离子体氮化反应器的基板支撑件。

[0015] 为了便于理解,尽可能以相同的参考数字标示各图中共有的相同元件。附图并未按比例绘制且为清楚起见可予以简化。预期一个实施方式的元件和特征结构可有利地并入其它实施方式,而无需进一步叙述。

具体实施方式

[0016] 本文提供形成含氮层的方法和设备。本发明的方法和设备可有利于例如通过促进增加氮含量而改善目标层(例如第一层)的氮化,和改善目标层与另一装置层(例如多晶硅栅极)之间的界面的氧保留(oxygen retention)。本发明的方法和设备还可有利于改善3D半导体结构顶上的氮化介电膜的共形性。

[0017] 图1描绘根据本发明一些实施方式的用于形成含氮层的方法110。通常,方法110包括提供包括基板的部分制造的半导体结构,基板具有设置在其上的第一层。半导体结构可为部分制造的半导体结构,诸如逻辑、DRAM或闪速存储装置(Flash memory device)。由这种工艺形成的含氮层可为下列一个或多个:栅极介电层、隧道氧化层(tunnel oxide layer)、间隔层或可受益于氮化而例如降低结漏电流(junction leakage)、栅极漏电流或类似者的半导体结构的任何适合层中。

[0018] 在此将针对图2A至图2C所示的部分制造的半导体结构来描述方法110,图2A至图2C分别描绘制造半导体结构的阶段,半导体结构包括形成于基板之上的第一层。方法110可在任何能够提供在此披露的低能量等离子体的等离子体反应器中进行,例如,诸如配置成提供感应耦合或远程等离子体或类似者的那些反应器。适合配合本发明方法使用的等离子体反应器的实施方式将在下面参照图3进行描述。等离子体反应器可单独使用,或更典型地作为集成半导体基板处理系统或群集工具的处理模块使用,诸如购自位于加利福尼亚州Santa Clara(圣克拉拉)市的Applied Materials, Inc. (应用材料公司)的CENTURA[®] DPN栅极堆叠集成半导体晶片处理系统。亦可使用其它工具,包括购自其它制造商的那些工具。

[0019] 方法110始于步骤102,提供基板202,基板202具有设置在其上的待氮化的第一层

204,如图2A所示。基板202和第一层204可为完全或部分制造的半导体装置200的一部分。第一层204可为3维或3D结构、或这种3D结构的一部分。如在此使用的,相较于主要在栅极下面形成导电沟道的传统2D 平面晶体管,3维(或3D)结构是指晶体管于垂直结构的三侧上形成导电沟道的半导体结构。基板202可具有各种尺寸,诸如直径200mm或300mm的晶片以及矩形或方形面板。基板202可包括以下材料:诸如结晶硅(例如 Si<100>或Si<111>)、氧化硅、应变硅、硅锗、掺杂或未掺杂的多晶硅、掺杂或未掺杂的硅晶片、图案化或未图案化的晶片、绝缘体上硅(silicon on insulator,SOI)、碳掺杂的氧化硅、氮化硅、掺杂硅、锗、砷化镓、玻璃、蓝宝石或类似材料。

[0020] 半导体装置200可完全或部分形成在基板202上,并至少包括待氮化的第一层204。半导体装置200(完成时)例如可以是场效应晶体管(FET)、动态随机存取存储器(DRAM)、闪存存储装置、3D FINFET装置或类似者。第一层204例如可用作晶体管装置的栅极介电层、闪存存储装置中的隧道氧化层、栅极结构顶上的间隔层、闪存存储装置的多晶硅层间介电(inter-poly dielectric,IPD)层或类似者。第一层204可依据采用第一层204的具体应用而具有任何适合的厚度。例如,第一层204的厚度可为约0.5nm至约10nm。第一层204可包括氧化层,诸如氧化硅(SiO₂)、氧化铪(HfO₂)、硅酸铪(HfSiO_x) 或任何适用于半导体装置中且需氮化的氧化层。例如,在一些实施方式中,氧化层可为原生氧化层,或可以由任何适合的氧化工艺形成,包括下述氧化工艺。第一层204不必限于氧化层,其它适合的层亦可受益于在此披露的本发明方法。例如,第一层204的其它适合的实施方式可包括其它适合的半导体材料,诸如硅(Si)、锗(Ge)、硅锗(SiGe)、碳化硅(SiC)、III-V族化合物、或金属、金属氮化物或金属氧化物,诸如钨(W)、钛(Ti)、钽(Ta)、氮化钛(TiN)、氮化钽(TaN)、氧化钛(TiO₂)或氧化铝(Al₂O₃) 或类似材料。第一层204亦可为层堆叠,诸如SiO₂第一子层和HfO₂第二子层、或SiO₂第一子层和HfSiO_x第二子层或类似者。

[0021] 接着,在步骤104中,在氮化之前和氮化期间,加热基板202。加热基板 202可有助于提供增加的氮含量至第一层204中,和改善装置性能。例如,将基板202加热至至少约250摄氏度或至少约350摄氏度的温度可有助于增加第一层204中的氮含量(例如约5至约35的原子百分比含量)。在一些实施方式中,可将基板加热至约250摄氏度至约550摄氏度,或在一些实施方式中为约350摄氏度至约450摄氏度。在一些实施方式中,可将基板加热至约400摄氏度。实际最高基板温度可视硬件限制和/或待处理基板的热预算而定。

[0022] 在第一层204是氧化层的实施方式中,提高温度可有利于促进从层中析出较少的氧(例如少于约20%),进而减少氧聚集在第一层204与基板202的界面处。在一些实施方式中,将基板202加热至约250摄氏度至约550摄氏度。在第一层204是氧化层的一些实施方式中,可将基板202加热至约300摄氏度至约550摄氏度、或约350摄氏度至约500摄氏度。

[0023] 在一些实施方式中,基板202可位于反应器中,以最大化往基板的传热,例如在方法110期间基板202与基板支撑件之间的传热,基板202放置在基板支撑件上。因此,可利用夹持装置(chucking device)将基板202固定至基板支撑件,所述夹持装置诸如静电夹具(ESC)、真空夹具或其它适合的装置。夹持基板202可有利于促进在即便在低压(工艺压力区)下也可重现传热,例如在约4毫托(mTorr)至约1托下、或在约10毫托至约80毫托下、在约10毫托至约40毫托下、或在约10毫托至约20毫托下。视情况而定,在设置静电夹具以固定基板202的实施方式中,可在基板202上方形成第二等离子体,以有助于在夹持基板时稳定

基板温度。例如,第二等离子体可由包括氩(Ar)、氦(He)、氪(Kr)、氙(Xe)或类似者的至少之一的非反应气体所形成,以预热基板202,使得在将基板202夹持至基板支撑件和熄灭等离子体时,基板202不会经历温度急剧变化,温度急剧变化会致使工艺变化和/或晶片破损。如在此使用的,非反应气体包括实质不与基板反应(例如实质不沉积于基板上或蚀刻基板)的气体。

[0024] 可以任何适合的加热机制加热基板202,所述加热机制能够提高基板温度并使基板温度维持在约250摄氏度或以上,或在一些实施方式中为约350摄氏度或以上。适合的加热机制可包括电阻加热、辐射加热或类似者。例如,如以下等离子体反应器300的实施方式所述,一个或更多个电阻加热器可设置于基板支撑件中,以将热量提供至基板202。或者,基板可由例如设置在基板202上方和/或下方的一个或更多个灯或其它能源加热。

[0025] 在一个加热方法中,加热元件嵌入静电夹具中,以由静电夹具直接加热基板。这种方法有数个优点:(1)在整个工艺期间,只要夹持基板,基板即可维持在恒定温度,即便工艺压力低至4毫托亦然;(2)由于工艺期间严格控制基板温度,因此可重现各基板的处理结果(氮剂量与氮并入质量百分比(N%));和(3)通过仔细设计静电夹具的加热元件中的加热均匀性模式,或提供具有单独控制的多区域加热元件,能够改变(例如补偿)基板内的氮化均匀性模式。

[0026] 在使用静电夹具加热器的情况下,因夹持/加热工艺的性质所致,基板温度会上升得很快,诸如高达约30摄氏度每秒。在如此高的加热速率下,可能无法以相同速率加热晶片的每个部分,因此在某一时刻,基板内的温差可能会达到临界值(例如>75摄氏度),这会导致基板(诸如半导体晶片)破裂。为避免这种故障,可在夹持基板前,执行预热步骤。预热步骤可包括按约400sccm至约4公升(liter)每分钟的流量、在约1-10托(诸如约8托)的压力下,流入非反应气体,诸如氮气(N₂)或氦气(He)或类似气体,持续约20秒至约60秒或以上(诸如约50秒),同时使静电夹具加热器维持在预定温度(诸如约400摄氏度),且基板置于静电夹具的表面上但未将基板夹持至静电夹具。预热步骤有助于在夹持前,使基板温度接近静电夹具温度(例如达到基板目标温度的约150摄氏度以内),从而降低在夹持基板时对基板的潜在热冲击。在一些实施方式中,当低接触静电夹具(例如接触面积至多为约5%的静电夹具)用于支撑基板时,背侧气体可用于预热晶片。在一些实施方式中,可在传送到处理腔室之前,诸如利用接触或非接触(例如灯)方法来预热基板。

[0027] 视情况而定,可在氮化第一层204之前,预调节处理腔室,以减少处理容积中的残余氧含量。例如,诸如来自湿气、水(H₂O)或类似者的残余氧含量会导致基板202或第一层204不期望的寄生氧化。为避免这种情况发生,可利用由预调节气体所形成的预调节等离子体预调节处理腔室的内部(包括盖、侧壁和基座或夹具)。预调节气体例如可包括氮气(N₂)、氨(NH₃)、或氨(NH₃)和惰性气体(诸如氩(Ar))、或任何适于减少湿气含量和干燥(season)腔室内部的气体 and/或气体的组合。在一些实施方式中,预调节气体可由或实质由氮气(N₂)或氨(NH₃)、或氨(NH₃)和惰性气体(诸如氩(Ar))组成。在一些实施方式中,可在夹持(例如将基板固定至夹具)之前或夹持期间,进行预调节。在一些实施方式中,可在加热基板之前或在氮化第一层204之前,进行预调节。

[0028] 接着,在步骤106中,可使第一层204暴露于由工艺气体所形成的射频(RF)等离子体,工艺气体由或实质由氨(NH₃)组成或包括氨(NH₃)。在一些实施方式中,可使第一层204暴

露于RF等离子体,同时使处理腔室维持在约5毫托至约500毫托、或约10毫托至约80毫托、或约10毫托至约40毫托、或约10毫托至约20毫托的压力下,以形成含氮层208,如图2C所示。例如,在一些实施方式中,工艺气体可为纯氨(NH₃)或氨(NH₃)与稀有气体的混合物。稀有气体例如可以是氩(Ar)。在一些实施方式中,工艺气体包括氨(NH₃)和氩(Ar)。在一些实施方式中,工艺气体可仅由氨和氩组成。在一些实施方式中,工艺气体可主要包括或可实质由氨和氩组成。

[0029] 在一些实施方式中,可按约100sccm至约1000sccm或约400sccm的总气体流量供应工艺气体,然而可根据处理腔室的构造和应用而采用其它流量。在一些实施方式中,工艺气体可包括约10%-100%的NH₃(例如,NH₃流量为约10sccm-1000sccm之间),剩余部分实质上为稀有气体,例如氩(Ar)(例如,稀有气体百分比为约0%至约90%)。在一些实施方式中,工艺气体可包括约0.5%-99%的NH₃(例如,NH₃流量为约0.5sccm-990sccm之间),剩余部分实质上为稀有气体,例如氩(Ar)(例如,稀有气体百分比为约1%至约99.5%)。在一些实施方式中,工艺气体可为约1.5%-50%的NH₃(例如,NH₃流量为约15sccm-500sccm之间),剩余部分实质上为稀有气体,诸如氩(Ar)(例如,惰性气体百分比为约50%至约98.5%)。在一些实施方式中,工艺气体可包括约10%-99%的稀有气体(例如,稀有气体流量为约100sccm-990sccm)。在一些实施方式中,工艺气体可包括约80%-99%的稀有气体(例如,稀有气体流量为约800sccm-990sccm)。

[0030] 可将工艺气体引入等离子体反应器,例如等离子体反应器300,并用于形成等离子体206。在一些实施方式中,等离子体密度可为约10¹⁰至约10¹²个离子/立方厘米。可利用RF源功率形成等离子体206。在一些实施方式中,所形成的等离子体206具有小于8电子伏特(eV)的离子能量。在一些实施方式中,所形成的等离子体206具有小于4eV的离子能量。在一些实施方式中,所形成的等离子体206具有约1eV至约4eV的离子能量。在一些实施方式中,RF源功率能够产生高达约2500瓦或以上。可以任何适合的RF频率提供RF源功率。例如,在一些实施方式中,可以约2MHz至约60MHz(诸如13.56MHz)的频率提供RF源功率。

[0031] 可在高达约1000瓦的有效功率下,以脉冲方式或连续施加等离子体206。例如,可在高达约400瓦下,连续施加等离子体206,持续约10秒至约400秒或约100秒的时间。可调整(例如缩短)持续时间,以限制对半导体装置200的破坏。或者,可以约4kHz至约15kHz的脉冲频率脉冲产生等离子体206。脉冲等离子体在高达2500瓦的峰值功率下可具有约2%至约30%的占空比(duty cycle),其中可调整占空比和/或RF源功率,以限制对半导体装置200的破坏。在一些实施方式中,可在高达2000瓦的峰值功率下,以至多为20%的占空比脉冲产生等离子体206。在一些实施方式中,可在高达2000瓦的峰值功率下,以约5%至约10%的占空比脉冲产生等离子体206。

[0032] 本发明人观察到在具有低离子能量(例如具有小于8eV的离子能量)且由NH*自由基所组成的等离子体206中使用实质由氨(NH₃)或在稀有气体中稀释的氨(NH₃)所组成的工艺气体有利于更共形地氮化第一层204,例如氧化钬(HfO₂)层,使并入含氮层208的顶表面210中的氮量实质等于并入含氮层208的侧壁214下方的氮量。

[0033] 在形成低离子能量等离子体206中,无论使用纯的或稀释于例如氩中的氨气(NH₃)均优于典型的氮化工艺,因为氨(NH₃)形成的等离子体206中的NH自由基不会受到跨越等离子体壳层的场影响。因此,NH自由基在无任何优先方向的情况下到达基板202,并与任一

定向的基板表面反应,诸如第一层 204的顶表面210和侧壁214,以便共形氮化第一层204,又不会不期望地增厚第一层204。

[0034] 在一些实施方式中,基板202的暴露表面可至少部分地被牺牲层(未图示)覆盖,诸如掩模层,以免暴露于等离子体206(例如限制等离子体暴露于基板 202和/或第一层204的预期部分)。在一些实施方式中,在第一层204暴露于等离子体206期间,等离子体反应器中的压力可高达约80毫托、约10毫托至约80毫托、约10毫托至约40毫托、或约10毫托至约30毫托。

[0035] 上述由第一层204暴露于等离子体206而形成的含氮层208例如可作为晶体管装置的栅极介电层、闪速存储装置中的隧道氧化层、栅极结构顶上的间隔层、闪速存储装置的多晶硅层间介电(IPD)层或类似者。含氮层208的厚度可为约0.3nm至约10nm。含氮层208可具有约3原子%至约25原子%的氮含量。含氮层208可包括氮氧化层,诸如氧化硅(SiO_N)、氧氮化钪(HfO_N)、氮化硅酸钪(HfSiO_N)或任何适用于半导体装置中且需氮化的氮氧化层。含氮层208不必限于氮氧化层,其它适合的层亦可受益于在此披露的本发明方法。例如,在其它适合的实施方式中,含氮层208可包括或以 SiCN 或其它含硅(Si)化合物、含金属化合物取代,诸如氧化钛或氮化钛、氧化钽或氮化钽、氧化铝或氮化铝或类似化合物。

[0036] 形成含氮层208后,方法110大致结束,可执行额外的处理步骤(未示出),以完成制造半导体装置200和/或基板202上的其它装置(未示出)。

[0037] 在此描述的本发明方法(例如方法110)能够在等离子体反应器中执行。例如,图3描绘适于实行在此讨论的本发明实施方式的等离子体反应器300的示意图。等离子体反应器300可单独使用,或更典型地作为集成半导体基板处理系统或群集工具的处理模块使用,诸如购自位于加利福尼亚州圣克拉拉市的应用材料公司的CENTURA[®] DPN栅极堆叠集成半导体晶片处理系统。

[0038] 等离子体反应器300包括处理腔室310和控制器340,处理腔室310具有设置在导电体(壁330)内的基板支撑件316。在一些实施方式中,基板支撑件(阴极)316通过第一匹配网络324耦接至偏压功率源322。偏压功率源322通常是以约13.56MHz的频率产生高达500W的源,偏压功率源322能够产生连续或脉冲功率。在其它实施方式中,偏压功率源322可为DC源或脉冲式DC源。在一些实施方式中,并未提供偏压功率。

[0039] 在一些实施方式中,处理腔室310可包括衬里(liner)(未示出),以于处理腔室310的内表面加衬。在一些实施方式中,衬里例如可由冷却剂沟道冷却,冷却剂沟道设置在衬里内供冷却剂流动通过。在一些实施方式中,处理腔室 310(和处理期间暴露于等离子体的其它部件)可被涂覆有抗等离子体材料。例如,在一些实施方式中,处理腔室310可涂覆有抗等离子体攻击的材料。在一些实施方式中,涂层可包括石英或陶瓷材料,诸如氧化钇(Y_2O_3)基陶瓷组合物、氧化铝或类似材料。根据本发明的实施方式,如在此所描述的,可有利地减少在处理期间氢自由基对腔室部件的攻击,同时有利于维持氮化速率。

[0040] 处理腔室310可提供有实质平坦的介电顶板(dielectric ceiling)320。处理腔室310的其它修改例可具有其它类型的顶板,例如,诸如拱形(dome-shaped)或其它形状的顶板。至少一个感应线圈天线(inductive coil antenna)312设置在顶板320上方(如图3所示为双共轴天线312,包括外部线圈312A和内部线圈312B)。各天线312通过第二匹配网络319耦接至RF功率源318。RF功率源318通常能够以2MHz至13.56MHz的可调频率产生高达约5000W,

并可产生连续或脉冲等离子体。通常,壁330可耦接至电气接地334。

[0041] 在一些实施方式中,功率分配器304可设置在衬里中并将外部线圈312_A和内部线圈312_B耦接至RF功率源318。功率分配器304可用于控制提供至各天线线圈的RF功率的量(进而协助控制对应于内部线圈和外部线圈区域中的等离子体特性)。双线圈天线构造可有利于提供改善如上所述的方法110中,对各区域内(诸如对第一层204)的氮剂量控制。

[0042] 视情况而定,天线312之一和/或两者可相对于顶板320倾斜和/或上升下降。改变天线312的位置和/或角度例如可用于改变处理腔室中形成的等离子体的特性,诸如均匀性。

[0043] 另外,视情况而定,等离子体屏蔽件/过滤器可被包括在基板支撑件上方,以例如改善如上所述的方法110中对第一层204的氮化控制。等离子体屏蔽件/过滤器可包括诸如石英之类的材料,并可接地至处理腔室310,以移除处理腔室中形成等离子体中的离子物种。例如,离子-自由基屏蔽件327可设置在处理腔室310中的基板支撑件316上方。离子-自由基屏蔽件327与腔室壁330和基板支撑件316电气隔离,且通常包括实质平坦的板331,板331具有多个孔(aperture)329。在图3所示实施方式中,离子-自由基屏蔽件327由多个支脚(leg)325支撑在处理腔室310中的基座上方。孔329于离子-自由基屏蔽件327的表面中限定所需的开放面积,以控制从在处理腔室310的上处理容积378中形成的等离子体通往位于离子-自由基屏蔽件327与基板314之间的下处理容积380的离子量。开放面积越大,通过离子-自由基屏蔽件327的离子越多。因此,孔329的尺寸和分布以及板331的厚度控制下处理容积380中的离子密度。因此,离子-自由基屏蔽件327是离子过滤器。可受益于本发明的适合屏蔽件的一个实例描述于Kumar等人于2004年6月30日提交的名称为“用于光掩模等离子体蚀刻的方法和设备(METHOD AND APPARATUS FOR PHOTOMASK PLASMA ETCHING)”的美国专利申请第10/882,084号。通过改变晶片表面附近的离子密度,可控制离子/自由基比率,进而可控制氮化分布。

[0044] 在一些实施方式中,基板支撑件316可包括夹持装置317,以在处理期间将基板314固定至支撑基座。例如,夹持装置317可包括静电夹具或真空夹具。夹持装置317可有助于改善基板314与设置于基板支撑件316中的一个或更多个电阻加热器321之间的传热。如上所述,一个或更多个电阻加热器321可设置于基板支撑件316中且大致在基板314的位置下方,且被配置在多个区域中,以便于控制加热基板314。在一些实施方式中,基板支撑件316包括静电夹具,且还包括设置在静电夹具内或静电夹具下方的一个或更多个电阻加热器。在一些实施方式中,基板支撑件316可不包括静电夹具,但可具有设置在基板支撑件的支撑表面附近的一个或更多个电阻加热器。在这些实施方式中,具有电阻加热器的基板支撑件可具有例如氮化铝的表面涂层(例如,基板支撑件可由氮化铝或类似物制成或具有氮化铝或类似物的外部涂层)。

[0045] 在一些实施方式中,诸如图4所示,基板支撑件316可不具有静电夹具,但可包括电阻加热器。图4所示的基板支撑件316包括电阻加热器321,电阻加热器321经配置以调节基板314的温度。电阻加热器321可包括一个或更多个区域(图4中示出外部区域402和内部区域404)。电阻加热器321耦接至功率源412,且能够使基板314维持在高达约500摄氏度的温度。在一些实施方式中,接地网(grounding mesh)406可设置于一个或更多个电阻加热器321与基板支撑件316的上表面416之间,以避免基板314粘附到基板支撑件316的上表面

416。上述惰性涂层亦可涂铺于基板支撑件316的上表面416。

[0046] 在使用具有加热器的静电夹具的情况下,已经证明氮剂量和N% (例如并入第一层204以形成含氮层208的氮质量百分比) 与等离子体工艺期间的晶片温度直接成正比。因此,为了控制和/或调整晶片上的N%均匀性和氮剂量,可利用两种方法:(1) 利用针对加热元件预先设计的功率密度模式来加热固定区域,使得晶片的温度均匀性模式补偿等离子体均匀性模式;或(2) 利用针对不同加热区域 (通常是中心和边缘双区域,但也可采用更多区域) 的可调电源调整加热多个区域,通过调整晶片温度均匀性而补偿等离子体均匀性模式。在任一方法中,温度可被用作旋钮 (knob),以达到改善晶片内的氮化均匀性的目的和/或于基板中提供期望的氮剂量模式。在一些实施方式中,氮剂量模式可为实质均匀的 (例如约1%以内)。

[0047] 可设置运动组件410以控制基板支撑件316的高度,从而控制处理期间基板314的高度。运动组件410由弹性波纹管 (flexible bellow) 408密封地耦接至腔室壁330。替代地或结合地,运动组件410可被配置成使基板支撑件316旋转。

[0048] 回到图3,替代地或结合地,可设置一个或更多个辐射源 (诸如灯323) 以加热基板314。灯323可被配置成类似于快速热处理腔室中使用的辐射灯。亦可采用其它加热方法或设计,包括从上方加热基板。

[0049] 可通过稳定基板支撑件316的温度来控制基板314的温度。来自气源348 的传热气体经由气体导管被提供至由基板314的背面形成的沟道和支撑表面和/或夹持装置317中的沟槽 (未示出)。传热气体用于促进基板支撑件316 与基板314之间的传热。在处理期间,基板支撑件316可由一个或更多个电阻加热器321加热至稳态温度,接着传热气体促进均匀加热基板314。利用这种热控制,可使基板314维持在约0摄氏度至约550摄氏度的温度。

[0050] 在一些实施方式中,基板支撑件316例如可具有低热质量,以防止对基板芯片 (die) 的热冲击,从而快速冷却。例如,基板支撑件316可被配置成无散热器 (heat sink) 或将冷却板与基板支撑件316耦接,从而限制从基板支撑件316 散热的速率。

[0051] 在典型的操作期间,可将基板314 (例如基板202) 放在基板支撑件316 上,并从气体面板338通过设置在顶板320中且位于基板314的中心上方的入口326供应工艺气体。在一些实施方式中,气体面板338被配置成供应诸如氨 (NH_3) 或氢气 (H_2) 之类的工艺气体。工艺气体可与额外的气体相结合,所述额外的气体例如氮气 (N_2)、氦 (He) 或氩 (Ar),并经由入口326流入处理腔室310。入口326例如可包括挡板 (baffle) 或类似的进气设备,以使工艺气体能够垂直朝向基板314提供和径向往前到处理腔室310中。经由入口326 进入处理腔室310后,工艺气体即形成气体混合物350。通过从RF功率源318 施加功率至天线312,以在处理腔室310中将气体混合物350点燃成等离子体 355。视情况而定,亦可从偏压功率源322提供功率至基板支撑件316。利用节流阀362和真空泵336,控制处理腔室310内部的压力。利用贯穿壁330的含液体导管 (未示出),控制腔室壁330的温度。

[0052] 控制器340包括中央处理单元 (CPU) 344、用于CPU 344的支持电路346 和存储器342,并且控制器340促进对氮化处理腔室310的部件的控制,从而促进对如本文所述的氮化工艺的控制。控制器340可为任何类型的通用计算机处理器的一种,通用计算机处理器可用在控制各种腔室和子处理器的工业设定中。CPU 344的存储器或计算机可读介质342可为一个或更多个容易取得的存储器,诸如随机存取存储器 (RAM)、只读存储器 (ROM)、软盘、硬盘

或任何其它类型的本地或远程数字存储器。支持电路346耦接至CPU 344,以通过传统的方式支持处理器。这些电路包括高速缓存存储器、电源、时钟电路、输入/输出电路和子系统和类似者。本发明方法可作为软件程序存储于存储器 342中,且可以以上述方式执行或调用。软件程序亦可存储于第二CPU(未示出)中和/或由第二CPU执行,第二CPU位于由CPU 344控制的硬件的远程位置。

[0053] 因此,本文提供了形成含氮层的方法和设备。本发明方法和设备可有利于通过促进提高氮含量和减少层增厚而改善目标层(例如第一层)的氮化,并改善目标层与另一装置层(例如多晶硅栅极)之间的界面处的氧保留。

[0054] 虽然以上是针对本发明的实施方式,但在不脱离本发明的基本范围的情况下,可设计出本发明的其它和进一步的实施方式。

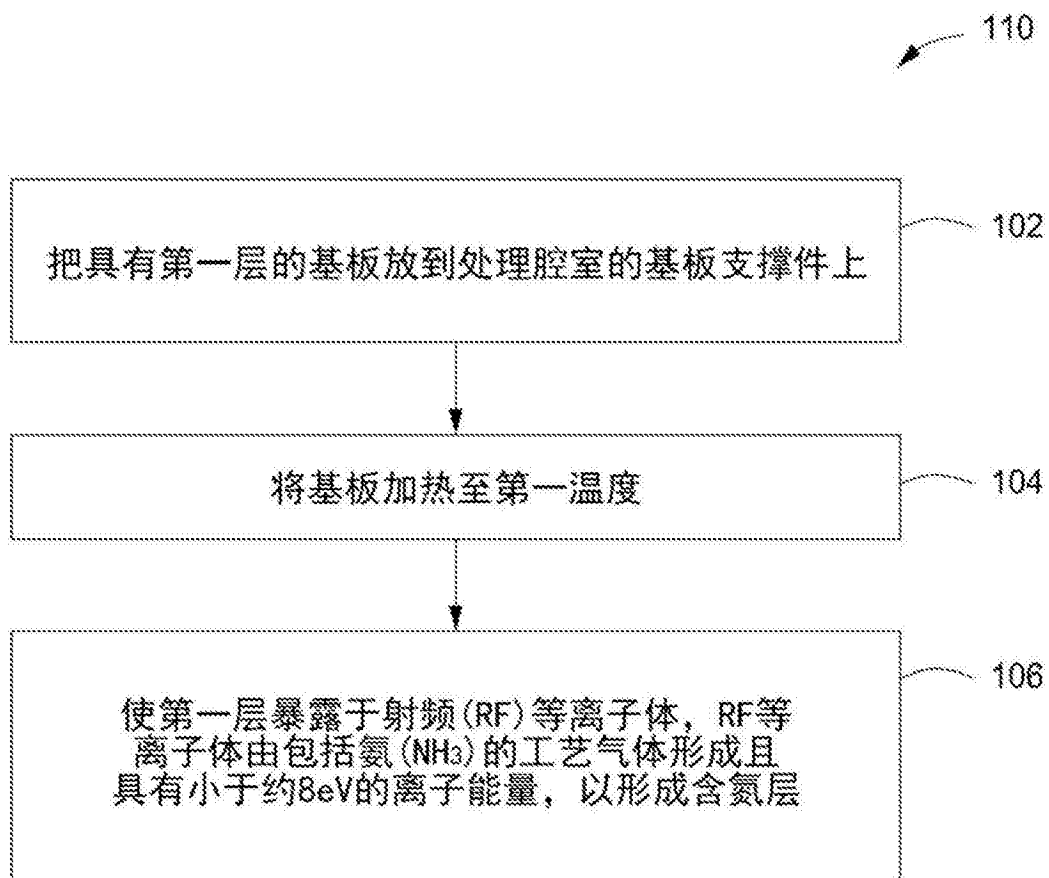


图1

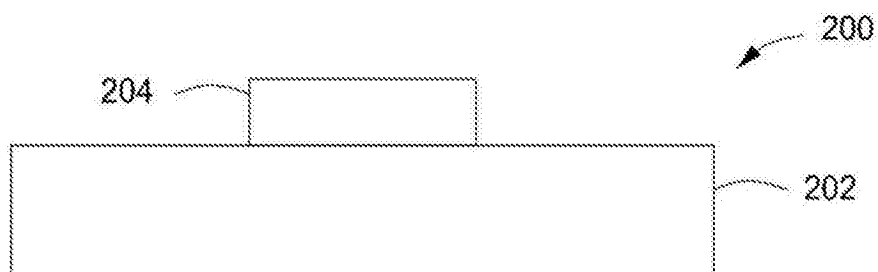


图2A

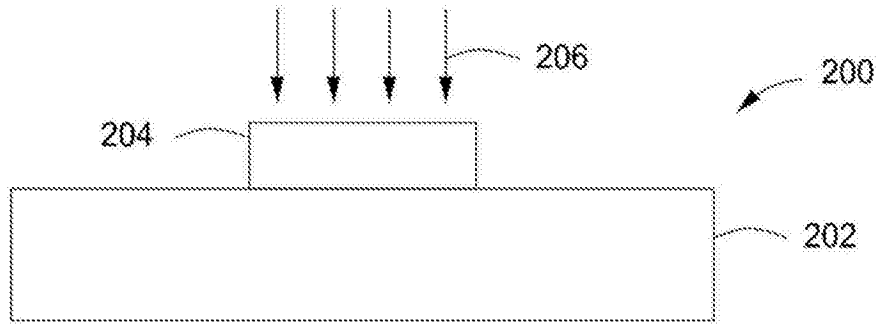


图2B

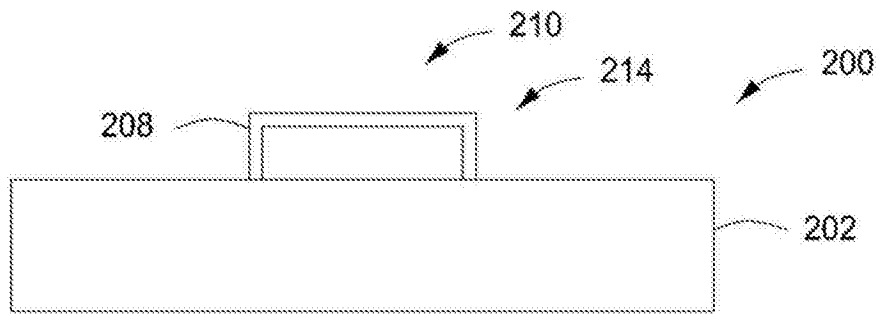


图2C

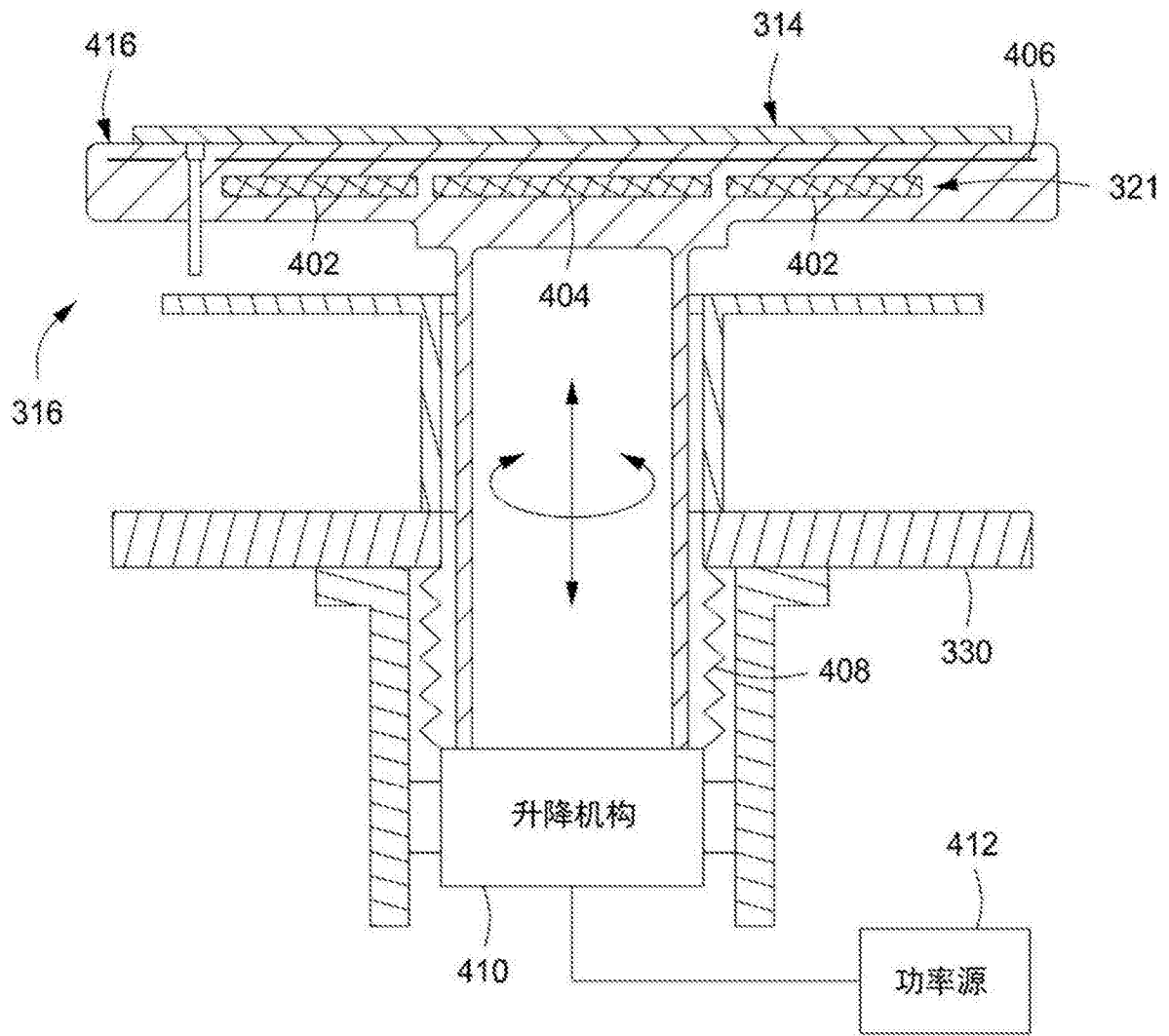


图4