



(12) 发明专利

(10) 授权公告号 CN 107039454 B

(45) 授权公告日 2021. 12. 10

(21) 申请号 201611045583.5
(22) 申请日 2016.11.24
(65) 同一申请的已公布的文献号
 申请公布号 CN 107039454 A
(43) 申请公布日 2017.08.11
(30) 优先权数据
 2016-018589 2016.02.03 JP
(73) 专利权人 瑞萨电子株式会社
 地址 日本东京都
(72) 发明人 筱原正昭
(74) 专利代理机构 北京市金杜律师事务所
 11256
 代理人 杨宏军 李文屿

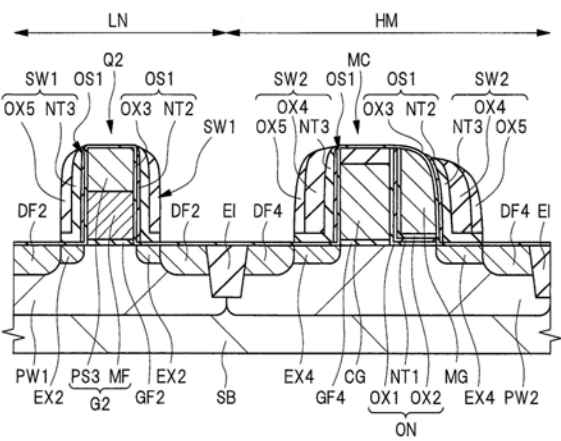
(51) Int.Cl.
 H01L 27/11568 (2017.01)
 H01L 29/792 (2006.01)
(56) 对比文件
 US 2013149854 A1, 2013.06.13
 US 2014099767 A1, 2014.04.10
 US 2014239377 A1, 2014.08.28
 CN 1542974 A, 2004.11.03
 US 2007293029 A1, 2007.12.20
 US 8956950 B2, 2015.02.17
 US 2013149854 A1, 2013.06.13

审查员 吴双

权利要求书4页 说明书25页 附图54页

(54) 发明名称
 半导体器件及其制造方法

(57) 摘要
 本发明涉及半导体器件及其制造方法。当在衬底上形成具有2种不同宽度的侧壁时,防止由于侧壁形成用的绝缘膜被埋入栅电极间而导致的半导体器件的可靠性降低。在低耐压的MISFETQ2的栅电极G2、和包括控制栅电极CG及存储器栅电极MG的图案的各自的侧壁,隔着氮化硅膜NT3而形成侧壁状的氧化硅膜OX4,之后除去栅电极G2的横向上的氧化硅膜OX4,接着在半导体衬底SB上形成氧化硅膜OX5,进行回蚀刻。由此,在栅电极G2的横向上,形成由氮化硅膜NT3及氧化硅膜OX5形成的侧壁SW1,在上述图案的横向上,形成由氮化硅膜NT3、氧化硅膜OX4及OX5形成的侧壁SW2。



1. 一种半导体器件的制造方法,包括如下工序:

(a) 工序:准备半导体衬底,

(b) 工序:在第一区域的上述半导体衬底上,隔着第一绝缘膜形成多个第一栅电极,在第二区域的上述半导体衬底上,隔着第二绝缘膜形成第二栅电极,

(c) 工序:在上述半导体衬底上依次形成覆盖多个上述第一栅电极、上述第二栅电极的第三绝缘膜及第四绝缘膜,

(d) 工序:利用回蚀刻将上述第四绝缘膜的一部分除去,由此使上述第三绝缘膜的上表面从上述第四绝缘膜露出,而保留分别覆盖多个上述第一栅电极、上述第二栅电极各自的侧壁的上述第四绝缘膜,

(e) 工序:在上述(d)工序之后,将分别覆盖多个上述第一栅电极各自的上述侧壁的上述第四绝缘膜除去,

(f) 工序:上述(e)工序之后,在上述半导体衬底上形成覆盖多个上述第一栅电极、上述第二栅电极和上述第二区域的上述第四绝缘膜的第五绝缘膜,

(g) 工序:利用回蚀刻将上述第五绝缘膜及上述第三绝缘膜的各自的一部分除去,由此使上述半导体衬底从上述第三绝缘膜露出,由此形成包括上述第一区域的上述第三绝缘膜及上述第五绝缘膜的第一侧壁、包括上述第二区域的上述第三绝缘膜、上述第四绝缘膜及上述第五绝缘膜的第二侧壁,

(h) 工序:在上述第一区域的上述半导体衬底的主表面上,通过以第一侧壁为掩膜进行离子注入从而形成第一源漏区域,由此形成包括上述第一源漏区域及上述第一栅电极的第一晶体管,

(i) 工序:在上述第二区域的上述半导体衬底的上述主表面上,通过以第二侧壁为掩膜进行离子注入从而形成第二源漏区域,由此形成包括上述第二源漏区域及上述第二栅电极的第二晶体管,其中,

上述第一晶体管通过比上述第二晶体管的驱动电压低的电压驱动,

上述(b)工序中,形成上述第一绝缘膜、上述第二绝缘膜、多个上述第一栅电极及上述第二栅电极,在上述第二区域的上述半导体衬底上,隔着包括电荷存储膜的第三绝缘膜形成第三栅电极,

上述第二栅电极和上述第三栅电极隔着上述第三绝缘膜而邻接,

上述(c)工序中,形成覆盖上述第三栅电极的上述第三绝缘膜及上述第四绝缘膜,

上述(d)工序中,通过将上述第四绝缘膜的一部分除去,保留将多个上述第一栅电极的各自的上述侧壁、和上述第二栅电极的一个上述侧壁分别覆盖的上述第四绝缘膜,并保留隔着上述第三栅电极而覆盖上述第二栅电极的另一个上述侧壁的上述第四绝缘膜,

上述(f)工序中,形成覆盖上述第三栅电极的上述第五绝缘膜,

上述(i)工序中,形成上述第二晶体管 and 包括上述第二源漏区域及上述第三栅电极的第三晶体管,其中,

上述第二晶体管及上述第三晶体管构成存储器单元,

进一步包括如下工序:

(b1) 工序:在上述(b)工序之后,在上述半导体衬底上依次形成覆盖多个上述第一栅电极和上述第二栅电极的第一氧化硅膜及第一氮化硅膜,

(b2) 工序:在上述(c)工序之前,通过利用回蚀刻将上述第一氮化硅膜的一部分除去,从而使上述第一氧化硅膜露出,由此,形成第一偏置隔离膜,所述第一偏置隔离膜包括将多个上述第一栅电极和上述第二栅电极各自的上述侧壁分别覆盖的上述第一氧化硅膜及上述第一氮化硅膜。

2.如权利要求1所述的半导体器件的制造方法,其中,

相邻的上述第一栅电极彼此的相互间的距离大于上述第三绝缘膜及上述第四绝缘膜的合计膜厚的2倍。

3.如权利要求2所述的半导体器件的制造方法,其中,

沿上述半导体衬底的上述主表面的方向上的上述第二侧壁的宽度的大小,为相邻的上述第一栅电极彼此的相互间的距离的二分之一以上。

4.如权利要求1所述的半导体器件的制造方法,其中,

上述第三绝缘膜为氮化硅膜,上述第四绝缘膜及上述第五绝缘膜为氧化硅膜。

5.如权利要求1所述的半导体器件的制造方法,其中,

上述第三绝缘膜及上述第五绝缘膜为氮化硅膜,上述第四绝缘膜为氧化硅膜。

6.如权利要求1所述的半导体器件的制造方法,其中,

上述第一绝缘膜具有比氮化硅的介电常数高的介电常数,或上述第一栅电极包含金属。

7.如权利要求6所述的半导体器件的制造方法,其中,

上述第三绝缘膜及上述第五绝缘膜为氮化硅膜,上述第四绝缘膜为氧化硅膜。

8.一种半导体器件的制造方法,包括如下工序:

(a) 工序:准备半导体衬底,

(b) 工序:在第一区域的上述半导体衬底上,隔着第一绝缘膜形成多个虚拟栅电极,在第二区域的上述半导体衬底上,隔着第二绝缘膜形成第一栅电极,

(c) 工序:在上述半导体衬底上依次形成覆盖多个上述虚拟栅电极和上述第一栅电极的第三绝缘膜及第四绝缘膜,

(d) 工序:利用回蚀刻将上述第四绝缘膜的一部分除去,由此使上述第三绝缘膜的上表面从上述第四绝缘膜露出,而保留将多个上述虚拟栅电极和上述第一栅电极各自的侧壁分别覆盖的上述第四绝缘膜,

(e) 工序:在上述(d)工序之后,将分别覆盖多个上述虚拟栅电极各自的上述侧壁的上述第四绝缘膜除去,

(f) 工序:上述(e)工序之后,在上述半导体衬底上形成将多个上述虚拟栅电极、上述第一栅电极和上述第二区域的上述第四绝缘膜覆盖的第五绝缘膜,

(g) 工序:利用回蚀刻将上述第五绝缘膜及上述第三绝缘膜的各自的一部分除去,由此使上述半导体衬底从上述第三绝缘膜露出,由此形成包括上述第一区域的上述第三绝缘膜及上述第五绝缘膜的第一侧壁、包括上述第二区域的上述第三绝缘膜、上述第四绝缘膜及上述第五绝缘膜的第二侧壁,

(h) 工序:在上述第一区域的上述半导体衬底的主表面上,通过以第一侧壁为掩膜进行离子注入从而形成第一源漏区域,

(i) 工序:在上述第二区域的上述半导体衬底的上述主表面,以第二侧壁为掩膜进

行离子注入从而形成第二源漏区域,由此形成包括上述第二源漏区域及上述第一栅电极的第一晶体管,

(j) 工序:在上述(i)工序之后,形成覆盖多个上述虚拟栅电极及上述第一栅电极的层间绝缘膜之后,对上述层间绝缘膜的上表面进行研磨,从而使上述虚拟栅电极露出,

(k) 工序:在上述(j)工序之后,通过除去上述虚拟栅电极从而形成槽,

(l) 工序:通过在上述槽内形成包括金属的第二栅电极,从而形成包括上述第一源漏区域及上述第二栅电极的第二晶体管,其中,

上述第二晶体管通过比上述第一晶体管的驱动电压低的电压驱动,

上述(b)工序中,形成上述第一绝缘膜、上述第二绝缘膜、多个上述虚拟栅电极及上述第一栅电极,在上述第二区域的上述半导体衬底上,隔着包括电荷存储膜的上述第三绝缘膜形成第三栅电极,

上述第一栅电极和上述第三栅电极隔着上述第三绝缘膜而邻接,

上述(c)工序中,形成覆盖上述第三栅电极的上述第三绝缘膜及上述第四绝缘膜,

上述(d)工序中,通过将上述第四绝缘膜的一部分除去,保留将多个上述虚拟栅电极各自的上述侧壁和上述第一栅电极的一个上述侧壁分别覆盖的上述第四绝缘膜,并保留隔着上述第三栅电极而覆盖上述第一栅电极的另一个上述侧壁的上述第四绝缘膜,

上述(f)工序中,形成覆盖上述第三栅电极的上述第五绝缘膜,

上述(i)工序中,形成上述第一晶体管和包括上述第二源漏区域及上述第三栅电极的第三晶体管,

上述第一晶体管及上述第三晶体管构成存储器单元,

进一步包括如下工序:

(b1) 工序:在上述(b)工序之后,在上述半导体衬底上依次形成将多个上述虚拟栅电极和上述第一栅电极覆盖的第一氧化硅膜及第一氮化硅膜,

(b2) 工序:在上述(c)工序之前,通过利用回蚀刻将上述第一氮化硅膜的一部分除去,从而使上述第一氧化硅膜露出,由此,形成第一偏置隔离膜,所述第一偏置隔离膜包括将多个上述虚拟栅电极和上述第一栅电极各自的上述侧壁分别覆盖的上述第一氧化硅膜及上述第一氮化硅膜。

9. 如权利要求8所述的半导体器件的制造方法,其中,

相邻的上述虚拟栅电极彼此的相互间的距离大于上述第三绝缘膜及上述第四绝缘膜的合计膜厚的2倍。

10. 如权利要求8所述的半导体器件的制造方法,其中,

沿上述半导体衬底的上述主表面的方向上的上述第二侧壁的宽度的大小、为相邻的上述虚拟栅电极彼此的相互间的距离的二分之一以上。

11. 如权利要求8所述的半导体器件的制造方法,其中,

上述第三绝缘膜为氮化硅膜,上述第四绝缘膜及上述第五绝缘膜为氧化硅膜。

12. 如权利要求8所述的半导体器件的制造方法,其中,

上述第三绝缘膜及上述第五绝缘膜为氮化硅膜,上述第四绝缘膜为氧化硅膜。

13. 一种半导体器件,其包括:

半导体衬底,

在第一区域的上述半导体衬底上隔着第一绝缘膜而形成的第一栅电极，
在第二区域的上述半导体衬底上隔着第二绝缘膜而形成的第二栅电极，
第三栅电极，其在上述第二区域的上述半导体衬底上隔着包括电荷存储膜的第三绝缘膜而形成，并且隔着上述第三绝缘膜而与上述第二栅电极的一个侧壁邻接，
第一偏置隔离膜，其包括覆盖上述第一栅电极的侧壁的第一氮化硅膜，
第二偏置隔离膜，其包括氧化硅膜及第二氮化硅膜，上述氧化硅膜及第二氮化硅膜将包括上述第二栅电极、上述第三绝缘膜及上述第三栅电极在内的图案的侧壁依次覆盖，
包括第三氮化硅膜的第一侧壁，其中所述第三氮化硅膜隔着上述第一偏置隔离膜而覆盖上述第一栅电极的侧壁，
包括第四氮化硅膜的第二侧壁，其中所述第四氮化硅膜隔着上述第二偏置隔离膜而覆盖上述图案的侧壁，
在上述第一区域的上述半导体衬底的主表面上形成的第一源漏区域，和
在上述第二区域的上述半导体衬底的主表面上形成的第二源漏区域，
其中，
上述第一栅电极及上述第一源漏区域构成晶体管，
上述第二栅电极、上述第三栅电极、上述第三绝缘膜及上述第二源漏区域构成存储器单元，
在沿上述半导体衬底的主表面的方向上，上述第一侧壁的宽度小于上述第二侧壁的宽度，
上述电荷存储膜的侧壁与上述氧化硅膜相接，
上述第一绝缘膜具有比氮化硅的介电常数高的介电常数，或上述第一栅电极包含金属。

半导体器件及其制造方法

技术领域

[0001] 本发明涉及半导体器件及其制造方法,其可用于例如具有低耐压晶体管及高耐压晶体管的半导体器件的制造。

背景技术

[0002] 作为用作开关元件等的半导体元件,已知MISFET(Metal Insulator Semiconductor Field Effect Transistor,MIS型场效应晶体管)。关于MISFET,包括在逻辑电路等外围电路中使用的低耐压的MISFET,和在存储器单元中使用或用于电的输入输出的高耐压的MISFET,上述MISFET有时在1个半导体芯片混载。

[0003] 专利文献1(日本特开2004—349680号公报)及专利文献2(日本特开2014—075557号公报)中公开了覆盖晶体管的栅电极的侧壁从而形成相对而言宽度较宽的侧壁(side wall),覆盖其他晶体管的栅电极的侧壁从而形成相对而言宽度较窄的侧壁。

[0004] [现有技术文献]

[0005] [专利文献]

[0006] [专利文献1]日本特开2004—349680号公报

[0007] [专利文献2]日本特开2014—075557号公报

发明内容

[0008] [发明要解决的问题]

[0009] 当在半导体衬底上形成低耐压MISFET和高耐压MISFET时,考虑在上述MISFET的栅电极的侧壁形成宽度相对较大的侧壁之后,通过蚀刻等来减小覆盖低耐压MISFET的栅电极侧壁的侧壁的宽度,从而形成宽度相对较小的侧壁。

[0010] 但是,伴随着半导体器件的微细化,当用于逻辑电路等的多个低耐压MISFET的栅电极彼此的间隔减小的情况下,当形成了上述宽度相对较大的侧壁时,上述栅电极彼此之间可能被该侧壁埋入。当栅电极彼此之间被侧壁埋入的情况下,其后的通过蚀刻而减小覆盖低耐压MISFET的栅电极侧壁的侧壁的宽度变的困难,从而出现不能正常形成低耐压的MISFET的问题。

[0011] 从本说明书的描述和附图可以清楚地看出本发明的其他问题和新颖特征。

[0012] [解决问题的手段]

[0013] 在本申请中所公开的实施方式之中,对代表性的实施方式的概要简单说明如下。

[0014] 一个实施方式的半导体器件为这样一种半导体器件,与金属栅电极的侧壁相接触的绝缘膜由氮化硅膜构成,与分裂栅型的MONOS存储器的存储器栅电极下的电荷存储膜的侧壁相接触的绝缘膜由氧化硅膜构成。

[0015] 另外,其他实施方式的半导体器件的制造方法为这样一种半导体器件的制造方法,以分别覆盖第一栅电极及第二栅电极各自的侧壁的方式,依次形成氮化硅膜及第一氧化硅膜之后,除去覆盖第一栅电极的侧壁的第一氧化硅膜,之后,形成分别覆盖第一栅电极

及第二栅电极的各自的侧壁的第二氧化硅膜。由此,形成第一侧壁和第二侧壁,所述第一侧壁由覆盖第一栅电极的侧壁的氮化硅膜及第二氧化硅膜形成,所述第二侧壁由覆盖第二栅电极的侧壁的氮化硅膜、第一氧化硅膜及第二氧化硅膜形成。

[0016] [发明效果]

[0017] 根据一个实施方式,能够提高半导体器件的性能。

附图说明

[0018] [图1]为实施方式1的半导体器件的制造工序中的剖面图。

[0019] [图2]为接着图1的半导体器件的制造工序中的剖面图。

[0020] [图3]为接着图2的半导体器件的制造工序中的剖面图。

[0021] [图4]为接着图3的半导体器件的制造工序中的剖面图。

[0022] [图5]为对图4的一部分放大表示的剖面图。

[0023] [图6]为接着图5的半导体器件的制造工序中的剖面图。

[0024] [图7]为接着图6的半导体器件的制造工序中的剖面图。

[0025] [图8]为接着图7的半导体器件的制造工序中的剖面图。

[0026] [图9]为接着图8的半导体器件的制造工序中的剖面图。

[0027] [图10]为接着图9的半导体器件的制造工序中的剖面图。

[0028] [图11]为接着图10的半导体器件的制造工序中的剖面图。

[0029] [图12]为接着图11的半导体器件的制造工序中的剖面图。

[0030] [图13]为接着图12的半导体器件的制造工序中的剖面图。

[0031] [图14]为接着图13的半导体器件的制造工序中的剖面图。

[0032] [图15]为接着图14的半导体器件的制造工序中的剖面图。

[0033] [图16]为接着图15的半导体器件的制造工序中的剖面图。

[0034] [图17]为接着图16的半导体器件的制造工序中的剖面图。

[0035] [图18]为接着图17的半导体器件的制造工序中的剖面图。

[0036] [图19]为接着图18的半导体器件的制造工序中的剖面图。

[0037] [图20]为接着图19的半导体器件的制造工序中的剖面图。

[0038] [图21]为接着图20的半导体器件的制造工序中的剖面图。

[0039] [图22]为接着图21的半导体器件的制造工序中的剖面图。

[0040] [图23]为接着图22的半导体器件的制造工序中的剖面图。

[0041] [图24]为接着图23的半导体器件的制造工序中的剖面图。

[0042] [图25]为接着图24的半导体器件的制造工序中的剖面图。

[0043] [图26]为接着图25的半导体器件的制造工序中的剖面图。

[0044] [图27]为接着图26的半导体器件的制造工序中的剖面图。

[0045] [图28]为接着图27的半导体器件的制造工序中的剖面图。

[0046] [图29]为对图28的一部分放大表示的剖面图。

[0047] [图30]为示出“写入”、“擦除”及“读出”时,对选择存储器单元的各部位施加电压的施加条件的一个例子的表。

[0048] [图31]为实施方式1的半导体器件的变型例1的制造工序中的剖面图。

- [0049] [图32]为接着图31的半导体器件的制造工序中的剖面图。
- [0050] [图33]为接着图32的半导体器件的制造工序中的剖面图。
- [0051] [图34]为接着图33的半导体器件的制造工序中的剖面图。
- [0052] [图35]为接着图34的半导体器件的制造工序中的剖面图。
- [0053] [图36]为接着图35的半导体器件的制造工序中的剖面图。
- [0054] [图37]为接着图36的半导体器件的制造工序中的剖面图。
- [0055] [图38]为接着图37的半导体器件的制造工序中的剖面图。
- [0056] [图39]为接着图38的半导体器件的制造工序中的剖面图。
- [0057] [图40]为接着图39的半导体器件的制造工序中的剖面图。
- [0058] [图41]为接着图40的半导体器件的制造工序中的剖面图。
- [0059] [图42]为接着图41的半导体器件的制造工序中的剖面图。
- [0060] [图43]为接着图42的半导体器件的制造工序中的剖面图。
- [0061] [图44]为对图43的一部分放大表示的剖面图。
- [0062] [图45]为实施方式1的半导体器件的变型例1的剖面图。
- [0063] [图46]为实施方式1的半导体器件的变型例2的制造工序中的剖面图。
- [0064] [图47]为接着图46的半导体器件的制造工序中的剖面图。
- [0065] [图48]为接着图47的半导体器件的制造工序中的剖面图。
- [0066] [图49]为接着图48的半导体器件的制造工序中的剖面图。
- [0067] [图50]为接着图49的半导体器件的制造工序中的剖面图。
- [0068] [图51]为接着图50的半导体器件的制造工序中的剖面图。
- [0069] [图52]为对图51的一部分放大表示的剖面图。
- [0070] [图53]为实施方式2的半导体器件的制造工序中的剖面图。
- [0071] [图54]为接着图53的半导体器件的制造工序中的剖面图。
- [0072] [图55]为接着图54的半导体器件的制造工序中的剖面图。
- [0073] [图56]为对图55的一部分放大表示的剖面图。
- [0074] [图57]为实施方式2的半导体器件的剖面图。
- [0075] [图58]为实施方式2的半导体器件的变型例1的制造工序中的剖面图。
- [0076] [图59]为对图58的一部分放大表示的剖面图。
- [0077] [图60]为实施方式2的半导体器件的变型例2的制造工序中的剖面图。
- [0078] [图61]为对图60的一部分放大表示的剖面图。
- [0079] [图62]为比较例的半导体器件的制造工序中的剖面图。
- [0080] [图63]为接着图62的半导体器件的制造工序中的剖面图。
- [0081] [图64]为接着图63的半导体器件的制造工序中的剖面图。
- [0082] [图65]为接着图64的半导体器件的制造工序中的剖面图。
- [0083] [图66]为接着图65的半导体器件的制造工序中的剖面图。
- [0084] [图67]为接着图66的半导体器件的制造工序中的剖面图。
- [0085] [图68]为比较例的半导体器件的制造工序中的剖面图。
- [0086] [附图标记说明]
- [0087] CG 为控制栅电极

- [0088] DF1至DF4 为扩散层
- [0089] EX1至EX4 为扩展区域
- [0090] G1至G3 为栅电极
- [0091] GF1至GF4 为栅极绝缘膜
- [0092] HM 为存储器单元区域
- [0093] LN、LP 为逻辑电路区域
- [0094] MC 为存储器单元
- [0095] MG 为存储器栅电极
- [0096] NT1至NT8、NTA 为氮化硅膜
- [0097] ONONO 膜
- [0098] OX1至OX6、OXA 为氧化硅膜
- [0099] OS1至OS4 为偏置隔离膜
- [0100] Q2、Q3 为MISFET
- [0101] SB 半导体衬底
- [0102] SW1至SW4、SWA、SWB 为侧壁

具体实施方式

[0103] 以下,基于附图对实施方式进行详细说明。需要说明的是,在用于说明实施方式的所有图中,对具有同一功能的部件标注同一标号,并省略其重复的说明。另外,在以下的实施方式中,除了特别必要的情况以外,原则上不重复对同一或同样部分的说明。

[0104] (实施方式1)

[0105] 本实施方式的半导体器件为具有非易失性存储器(非易失性存储元件,闪速存储器,非易失性半导体存储器件)的半导体器件。本实施方式及以下的实施方式中,关于非易失性存储器,基本上对以n沟道型MISFET为基础的存储器单元进行说明。

[0106] 另外,本实施方式及以下的实施方式的存储器单元的极性(写入・擦除・读出时的施加电压的极性、载流子的极性)为用于说明以n沟道型MISFET为基础的存储器单元的情况下的工作的极性,在以p沟道型MISFET为基础的情况下,通过对施加电位、载流子的导电型等所有的极性进行反转,原理上可以得到相同的工作。

[0107] <关于本实施方式的半导体器件的制造工序>

[0108] 以下,使用图1至图28对本实施方式的半导体器件的制造方法进行说明。图1至图28为本实施方式的半导体器件的制造工序中的剖面图。图1至图4、图6至图19中,自图的左侧向右侧,依次表示逻辑电路区域LP、逻辑电路区域LN、I/O区域HV及存储器单元区域HM的剖面图。上述这些区域在图中以虚线区分,各区域彼此隔开。逻辑电路区域LP、LN、I/O区域HV及存储器单元区域HM均存在于相同半导体衬底的主表面,在沿着该主表面的方向彼此并列。图5为对图4的一部分放大表示的剖面图。

[0109] 逻辑电路区域LP、LN及I/O区域HV为构成外围电路区域的区域。所谓外围电路,是指非易失性存储器以外的电路。关于外围电路,例如在存储器模块内,为控制电路、读出放大器、列解码器、行解码器、与模块外的输入输出电路或电源电路等,在存储器模块外,为CPU等的处理器、各种模拟电路、SRAM(Static Random Access Memory)存储器模块、或外部

输入输出电路等。

[0110] 逻辑电路区域LP为设置构成控制电路等的低耐压的p沟道型MISFET的区域。逻辑电路区域LN为设置构成控制电路等的低耐压的n沟道型MISFET的区域。I/O区域HV为这样的区域,该区域中设置了构成与半导体芯片外的器件进行输入输出的电路或电源电路等的高耐压的p沟道型MISFET。这里,对在I/O区域HV中形成p沟道型MISFET进行说明,但也可以在I/O区域HV形成n沟道型MISFET。

[0111] 存储器单元区域HM为形成分裂栅型的MONOS (Metal Oxide Nitride Oxide Semiconductor) 存储器的区域。MONOS存储器为能够以电的方式写入・擦除的非易失性半导体存储器件,并且具有由彼此共有源漏区域的2个MISFET形成的存储器单元。MONOS存储器为这样的存储器,在MISFET的栅电极下具有陷阱(trap)性绝缘膜(日文:トラップ性絶縁膜),以陷阱性绝缘膜的电荷存储状态为存储信息,将此作为晶体管的阈值而读出。所谓陷阱性绝缘膜,是指能够存储电荷的绝缘膜(以下,称为电荷存储膜),作为一个例子,可举出氮化硅膜等。通过向这种电荷存储区域注入・放出电荷,使MISFET的阈值偏移从而作为存储元件而工作。

[0112] 在逻辑电路区域LP、LN形成的MISFET为以比在I/O区域HV及存储器单元区域HM所形成的MISFET的电压低的电压来驱动的低耐压MISFET。

[0113] 作为例如逻辑电路区域LP、LN的栅电极的形成方法,有在衬底上形成虚拟栅电极之后,将该虚拟栅电极置换为金属栅电极等,即所谓的后栅极工艺的方法。与此相对,这里,不设置虚拟栅电极而首先形成金属栅电极,对使用所谓的先栅极工艺的情况进行说明。需要说明的是,对于后栅极工艺,在本实施方式的变型例1、2中进行说明。另外,这里,对形成偏置隔离膜的第一方法进行说明。

[0114] 在本实施方式的半导体器件的制造工序中,首先,如图1所示,准备具有逻辑电路区域LP、LN、I/O区域HV及存储器单元区域HM的半导体衬底SB。半导体衬底SB为例如单晶硅衬底。接下来,形成分别将逻辑电路区域LP、逻辑电路区域LN、I/O区域HV及存储器单元区域HM的各自进行分离的元件分离区域EI。元件分离区域EI由埋入到在半导体衬底SB的主表面形成的槽内的绝缘膜形成,并且具有例如STI (Shallow Trench Isolation) 结构或LOCOS (Local Oxidation of Silicon) 结构。

[0115] 接下来,使用光刻技术及离子注入法,在半导体衬底SB的主表面形成阱NW1、PW1、NW2及PW2。阱NW1通过在逻辑电路区域LP的半导体衬底SB的主表面掺入n型的杂质(例如P(磷)或As(砷))从而形成。阱PW1通过在逻辑电路区域LN的半导体衬底SB的主表面掺入p型的杂质(例如B(硼))从而形成。阱NW2通过在I/O区域HV的半导体衬底SB的主表面掺入n型的杂质(例如P(磷)或As(砷))从而形成。阱PW2通过在存储器单元区域HM的半导体衬底SB的主表面掺入p型的杂质(例如B(硼))从而形成。

[0116] 下面,如图2所示,在逻辑电路区域LP、LN及存储器单元区域HM的半导体衬底SB的主表面上形成绝缘膜IF1,在I/O区域HV的半导体衬底SB的主表面上形成绝缘膜IF2。绝缘膜IF2与绝缘膜IF1相比,膜厚更大。像这样,当形成具有2种膜厚的绝缘膜的情况下,例如,使用以下的方法。即,在半导体衬底SB上,利用CVD (Chemical Vapor Deposition) 法形成由氧化硅膜形成的厚绝缘膜IF2之后,通过利用光刻技术及蚀刻法的图案化将I/O区域HV以外的绝缘膜IF2除去。之后,例如,利用热氧化法,在逻辑电路区域LP、LN及存储器单元区域HM的

半导体衬底SB的主表面上形成由氧化硅膜形成的绝缘膜IF1。

[0117] 需要说明的是,这里,对在存储器单元区域HM形成与逻辑电路区域LP、LN的绝缘膜IF1的膜厚相同的绝缘膜IF1进行了说明,但也可以在存储器单元区域HM的半导体衬底SB的主表面上形成与逻辑电路区域LP、LN的绝缘膜IF1膜厚不同的绝缘膜。

[0118] 接下来,半导体衬底SB的主表面上利用例如CVD法依次形成多晶硅膜PS1及绝缘膜IF3。绝缘膜IF3由例如氮化硅膜形成。

[0119] 下面,如图3所示,利用光刻技术及干式蚀刻法,对I/O区域HV及存储器单元区域HM的绝缘膜IF3、多晶硅膜PS1、绝缘膜IF1及IF2进行图案化。由此,在I/O区域HV形成由绝缘膜IF2形成的栅极绝缘膜GF3,和在其上的由多晶硅膜PS1形成的栅电极G3,并且在存储器单元区域HM形成由绝缘膜IF1形成的栅极绝缘膜GF4,和在其上的由多晶硅膜PS1形成的控制栅电极CG。栅电极G3及控制栅电极CG各自的上表面分别被绝缘膜IF3覆盖。这里,不在逻辑电路区域LP、LN进行图案化。

[0120] 下面,如图4所示,在半导体衬底SB的主表面上利用例如CVD法形成ONO (Oxide Nitride Oxide) 膜ON及多晶硅膜PS2。如图5所示,ONO膜ON由自半导体衬底SB的主表面侧依次层叠的氧化硅膜(底部氧化膜)OX1、氮化硅膜(电荷存储膜)NT1及氧化硅膜(顶部氧化膜)OX2形成。氧化硅膜OX1利用例如热氧化法形成,氮化硅膜NT1及氧化硅膜OX2利用例如CVD法形成。图4及图6至图28中,ONO膜ON以一个膜的方式进行了图示,但实际的ONO膜ON具有如图5所示那样的层叠结构。

[0121] 下面,如图6所示,通过进行回蚀刻(etchback)(各向异性蚀刻),将多晶硅膜PS2的一部分除去,从而使ONO膜ON的上表面露出。由此,多晶硅膜PS2隔着ONO膜ON以分别覆盖栅电极G3两侧的侧壁、及控制栅电极CG两侧的侧壁的方式保留为侧壁状。需要说明的是,覆盖控制栅电极CG的一个侧壁的多晶硅膜PS2构成存储器栅电极MG。

[0122] 下面,如图7所示,利用光刻技术及干式蚀刻法,保留覆盖控制栅电极CG的一个侧壁的多晶硅膜PS2即存储器栅电极MG,将其他的多晶硅膜PS2除去。接下来,以存储器栅电极MG为掩膜进行蚀刻,由此将从存储器栅电极MG露出的ONO膜ON除去。由此,半导体衬底SB的主表面及绝缘膜IF3的表面露出。

[0123] 下面,如图8所示,利用例如CVD法在半导体衬底SB的主表面上形成由氧化硅膜形成的层间绝缘膜IL1之后,利用CMP (Chemical Mechanical Polishing) 法对层间绝缘膜IL1的上表面进行研磨,由此使绝缘膜IF3的上表面露出。

[0124] 下面,如图9所示,利用例如CVD法在半导体衬底SB的主表面上形成绝缘膜IF4之后,利用光刻技术及蚀刻法,将逻辑电路区域LP、LN的绝缘膜IF4除去。此时,I/O区域HV及存储器单元区域HM的层间绝缘膜IL1及绝缘膜IF3呈被绝缘膜IF4覆盖的状态。绝缘膜IF4由与作为覆盖(CAP)绝缘层的绝缘膜IF3不同的材料形成,例如由氧化硅形成。

[0125] 下面,如图10所示,通过以绝缘膜IF4为掩膜进行蚀刻,将逻辑电路区域LP、LN的绝缘膜IF3除去,之后将逻辑电路区域LP、LN的多晶硅膜PS1及绝缘膜IF1除去。需要说明的是,也可以不除去该绝缘膜IF1而保留。当这样除去逻辑电路区域LP、LN的绝缘膜IF3、多晶硅膜PS1及绝缘膜IF1时,I/O区域HV及存储器单元区域HM的绝缘膜IF3、栅电极G3、控制栅电极CG及存储器栅电极MG等由于被绝缘膜IF4保护,因此没有被除去。

[0126] 下面,如图11所示,将I/O区域HV及存储器单元区域HM的绝缘膜IF4除去。接下来,

在半导体衬底SB的主表面上依次形成绝缘膜HK、金属膜MF及多晶硅膜PS3。需要说明的是，当在使用图10进行说明的工序中将绝缘膜IF1除去时，可以利用氧化法或CVD法等半导体衬底SB上形成由例如氧化硅膜形成的绝缘膜，再依次形成绝缘膜HK、金属膜MF及多晶硅膜PS3。

[0127] 绝缘膜HK为介电常数(相对介电常数)比氮化硅的介电常数(相对介电常数)还高的绝缘材料膜,即所谓的high-k膜(高介电常数膜)。作为绝缘膜HK,可使用氧化钪膜、氧化锆膜、氧化铝膜、氧化钽膜或氧化镧膜等金属氧化物膜。另外,上述这些金属氧化物膜可进一步含有氮(N)及硅(Si)中的一方或双方。在作为栅极绝缘膜使用了高介电常数膜(这里为绝缘膜HK)的情况下,与使用氧化硅膜的情况相比,因为能够增加栅极绝缘膜的物理膜厚,因此可获得降低漏电流的优点。绝缘膜HK及多晶硅膜PS3可利用例如CVD而形成。

[0128] 作为金属膜MF,可使用例如氮化钛(TiN)膜、氮化钽(TaN)膜、氮化钨(WN)膜、氮化钛(TiC)膜、碳化钽(TaC)膜、碳化钨(WC)膜、氮碳化钽(TaCN)膜、钛(Ti)膜、钽(Ta)膜或钛铝(TiAl)膜等金属膜。需要说明的是,这里所谓金属膜,是指呈现金属传导的导电膜,不仅是单质金属膜(纯金属膜)或合金膜,还包括呈现金属传导的金属化合物膜(氮化金属膜或碳化金属膜等)。

[0129] 金属膜MF可利用例如溅射法等形成。金属膜MF也可以具有由上述各种材料的金属膜之中的不同材料形成的多个金属膜层叠而成的构成。例如,金属膜MF也可以是在氮化钛膜上层叠有钛膜的层叠膜。

[0130] 金属膜MF构成后续形成的低耐压MISFET的栅电极,以下,将包含金属膜MF的栅电极称为金属栅电极。关于使用金属栅电极的MISFET,能够获得抑制栅电极的耗尽现象、消除寄生电容的优点。另外,还可以实现MISFET元件的小型化(栅极绝缘膜的薄膜化)。

[0131] 下面,如图12所示,利用光刻技术及干式蚀刻法,可以对多晶硅膜PS3、金属膜MF及绝缘膜HK进行图案化。由此,在逻辑电路区域LP形成由绝缘膜HK形成的栅极绝缘膜GF1,和在其上的由多晶硅膜PS3及金属膜MF形成的金属栅电极即栅电极G1,在逻辑电路区域LN形成由绝缘膜HK形成的栅极绝缘膜GF2,和在其上的由多晶硅膜PS3及金属膜MF形成的金属栅电极即栅电极G2。另外,在I/O区域HV及存储器单元区域HM,除去了多晶硅膜PS3、金属膜MF及绝缘膜HK,层间绝缘膜IL1及绝缘膜IF3的各自的上表面分别露出。

[0132] 接下来,将I/O区域HV及存储器单元区域HM的层间绝缘膜IL1利用湿式蚀刻法除去。通过以上方式,形成利用先栅极工艺的金属栅电极及由其他多晶硅膜形成的栅电极。以下,使用图13至图19,对形成偏置隔离膜(offset spacer)的第一方法进行说明。

[0133] 下面,如图13所示,在半导体衬底SB的主表面上形成覆盖I/O区域HV以外的光致抗蚀膜PR1之后,以光致抗蚀膜PR1及绝缘膜IF3为掩膜进行离子注入,从而在I/O区域HV的半导体衬底SB的主表面上形成一对扩展区域EX3。扩展区域EX3为在栅电极G3的横向上的两侧的半导体衬底SB的主表面以较低浓度掺入p型杂质(例如B(硼))从而形成的p型半导体区域。

[0134] 下面,如图14所示,在除去光致抗蚀膜PR1之后,在半导体衬底SB的主表面上形成覆盖存储器单元区域HM以外的光致抗蚀膜PR2,之后,以光致抗蚀膜PR2、存储器栅电极MG、ONO膜ON及绝缘膜IF3为掩膜进行离子注入,由此在存储器单元区域HM的半导体衬底SB的主表面形成一对扩展区域EX4。扩展区域EX4为在由控制栅电极CG、存储器栅电极MG及ONO膜ON

形成的膜的图案的两侧的半导体衬底SB的主表面上、以较低的浓度掺入n型杂质(例如P(磷)或As(砷))从而形成的n型半导体区域。

[0135] 下面,如图15所示,除去光致抗蚀膜PR2之后,在半导体衬底SB的主表面上利用例如CVD法形成氧化硅膜OX3。由此,半导体衬底SB的主表面、和栅电极G1至G3的侧壁及上表面被氧化硅膜OX3覆盖。另外,由控制栅电极CG、存储器栅电极MG及ONO膜ON形成的图案的侧壁及上表面也被氧化硅膜OX3覆盖。氧化硅膜OX3的膜厚为例如5nm。需要说明的是,本申请所说的膜厚是指相对于成膜后的膜的基底的面而言垂直的方向上的该膜的长度。因而,例如,栅电极G3的侧壁沿相对于半导体衬底SB的主表面垂直的方向形成,并且覆盖该侧壁的氧化硅膜OX3的膜厚是指相对于该侧壁垂直的方向上的氧化硅膜OX3的长度。

[0136] 下面,如图16所示,在形成覆盖逻辑电路区域LN以外的光致抗蚀膜PR3之后,以光致抗蚀膜PR3及多晶硅膜PS3为掩膜进行离子注入,由此在逻辑电路区域LN的半导体衬底SB的主表面形成一对扩展区域EX2。扩展区域EX2为在栅电极G2的横向上的两侧的半导体衬底SB的主表面上以较低的浓度掺入n型杂质(例如P(磷)或As(砷))从而形成的n型半导体区域。通过该离子注入,杂质离子穿过氧化硅膜OX3而掺入半导体衬底SB的主表面。

[0137] 下面,如图17所示,在除去光致抗蚀膜PR3之后,在半导体衬底SB的主表面上利用例如CVD法形成氮化硅膜NT2。由此,氧化硅膜OX3的表面被氮化硅膜NT2覆盖。氮化硅膜NT2的膜厚为例如5nm。接下来,通过利用干式蚀刻法选择性地地进行回蚀刻,将氮化硅膜NT2的一部分除去,由此使氧化硅膜OX3的一部分的表面露出。此时,由于氧化硅膜OX3可用作蚀刻阻挡膜,因此能够实现高精度的蚀刻。

[0138] 氮化硅膜NT2以将栅电极G1至G3的各自的侧壁、控制栅电极CG的一个侧壁及存储器栅电极MG的一个侧壁分别覆盖的方式保留为侧壁状。由此,形成由氧化硅膜OX3及氮化硅膜NT2形成的偏置隔离膜OS1。

[0139] 下面,如图18所示,形成覆盖逻辑电路区域LP以外的光致抗蚀膜PR4之后,以光致抗蚀膜PR4及多晶硅膜PS3为掩膜进行离子注入,由此在逻辑电路区域LP的半导体衬底SB的主表面形成一对扩展区域EX1。扩展区域EX1为在栅电极G1的横向上的两侧的半导体衬底SB的主表面以较低浓度掺入p型杂质(例如B(硼))从而形成的p型半导体区域。通过该离子注入,杂质离子穿过氧化硅膜OX3从而掺入半导体衬底SB的主表面。

[0140] 下面,如图19所示,除去光致抗蚀膜PR4。

[0141] 以下,使用图20至图24,对本实施方式的主要特征之一的侧壁的形成方法进行说明。在图20至图28及之后的说明中所用的图29中,省略了沿各栅电极的上表面及半导体衬底SB的主表面所形成的上述氧化硅膜OX3的图示。另外,图20至图28中,为了使图便于理解,将偏置隔离膜OS1以1个膜的方式表示。即,对构成偏置隔离膜OS1的氧化硅膜OX3和氮化硅膜NT2不做区别。

[0142] 另外,图20至图29中,将逻辑电路区域LP及I/O区域HV中的制造工序的说明省略,而仅将逻辑电路区域LN及存储器单元区域HM进行图示。逻辑电路区域LP中的制造工序按与逻辑电路区域LN同样的方式进行,I/O区域HV中的制造工序按与存储器单元区域HM同样的方式进行。但是,在逻辑电路区域LP及I/O区域HV的制造工序中,对于为了形成构成源漏区域的扩散层而进行的离子注入工序而言,与逻辑电路区域LN及存储器单元区域HM不同,注入p型杂质。另外,图20至图28中,示出了在逻辑电路区域LN并排2个MISFET而形成的情况下

的剖面图。

[0143] 下面,如图20所示,在半导体衬底SB的主表面上,利用例如CVD法依次形成氮化硅膜NT3及氧化硅膜OX4。这里,当忽略偏置隔离膜OS1的膜厚的情况下,在逻辑电路区域LN中,相邻的栅电极G2彼此之间的距离为例如90nm。当考虑偏置隔离膜OS1的膜厚的情况下,将相邻的栅电极G2的相对的侧壁分别覆盖的偏置隔离膜OS1彼此之间的距离为90nm。

[0144] 上述这些情况下,为了防止在后续进行的氮化硅膜NT3及氧化硅膜OX4的除去工序中发生不良,需要防止相邻的栅电极G2彼此之间完全埋入氮化硅膜NT3及氧化硅膜OX4中。即,由氮化硅膜NT3及氧化硅膜OX4形成的层叠膜的膜厚应当小于90nm的一半的值。这里,相邻的栅电极G2的相互间的距离大于氮化硅膜NT3及氧化硅膜OX4的合计膜厚的2倍。因而,若将氮化硅膜NT3的膜厚设为a、将氧化硅膜OX4的膜厚设为b,则 $a+b < 45 \text{ (nm)}$ 。换言之, $2a+2b < 90 \text{ (nm)}$ 。

[0145] 这里,氮化硅膜NT3的膜厚a为例如15nm,氧化硅膜OX4的膜厚b为例如20nm。氮化硅膜NT3的膜厚a由于需要具有在将氧化硅膜OX4加工为侧壁状的回蚀刻工序(参照图21)中、不露出半导体衬底SB的主表面的程度的大小,因此需要具有例如10nm以上的大小。

[0146] 需要说明的是,包含彼此邻接的控制栅电极CG及存储器栅电极MG的图案在存储器单元区域HM中形成有多个,但上述图案彼此之间的距离大于90nm。因此,当逻辑电路区域LN的栅电极G2间没有被氮化硅膜NT3及氧化硅膜OX4完全埋入的情况下,上述图案彼此之间也没有完全埋入。另外,这里所说的完全埋入是指分别沿2个栅电极的相对的侧壁的各自所形成的膜彼此相互接触。

[0147] 下面,如图21所示,通过利用干式蚀刻法而选择性地地进行回蚀刻,从而除去氧化硅膜OX4的一部分,由此使氮化硅膜NT3的上表面露出。此时,氮化硅膜NT3作为蚀刻阻挡膜而发挥作用。通过该回蚀刻工序,氧化硅膜OX4保留为侧壁状。

[0148] 下面,如图22所示,在形成覆盖存储器单元区域HM、而露出逻辑电路区域LN的光致抗蚀膜PR5之后,利用湿式蚀刻除去逻辑电路区域LN的氧化硅膜OX4。

[0149] 下面,如图23所示,在除去光致抗蚀膜PR5之后,在半导体衬底SB的主表面上利用例如CVD法形成氧化硅膜OX5。这里,将氧化硅膜OX5的膜厚设为c。氧化硅膜OX5的膜厚c为例如11nm。因而,栅电极G2彼此之间不会被氮化硅膜NT3及氧化硅膜OX5完全埋入。氧化硅膜OX5在逻辑电路区域LN中覆盖栅电极G2及氮化硅膜NT3,在存储器单元区域HM中,覆盖控制栅电极CG、存储器栅电极MG、氮化硅膜NT3及氧化硅膜OX4。另外,氧化硅膜OX5覆盖半导体衬底SB的主表面。

[0150] 下面,如图24所示,通过利用干式蚀刻法进行回蚀刻从而将氧化硅膜OX5的一部分除去,之后,除去从氧化硅膜OX4、OX5露出的部分的氮化硅膜NT3。由此,在逻辑电路区域LN中,在栅电极G2的侧壁隔着偏置隔离膜OS1而形成侧壁SW1。侧壁SW1由氮化硅膜NT3及氧化硅膜OX5形成。另外,在存储器单元区域HM中,在包括彼此邻接的控制栅电极CG及存储器栅电极MG图案的侧壁隔着偏置隔离膜OS1形成侧壁SW2。侧壁SW2由氮化硅膜NT3、氧化硅膜OX4及OX5形成。

[0151] 侧壁SW1的膜厚、即沿半导体衬底SB的主表面的方向上的宽度的大小为将氮化硅膜NT3的膜厚a及氧化硅膜OX5的膜厚c相加而得的26nm。与此相对,侧壁SW2的膜厚、即沿半导体衬底SB的主表面的方向上的宽度的大小为将氮化硅膜NT3的膜厚a、氧化硅膜OX4的膜

厚b及氧化硅膜OX5的膜厚c相加而得的46nm。

[0152] 因而,侧壁SW2的宽度(膜厚)大于侧壁SW1的宽度(膜厚)。本实施方式的主要特征之一为像上述那样分别制作具有不同膜厚的多个侧壁SW1、SW2。另外,本实施方式的主要特征的另一个在于侧壁SW2的宽度的大小为相邻的栅电极G2彼此之间的距离的二分之一以上。需要说明的是,即便形成宽度为46nm的侧壁SW2,存储器单元区域HM的多个上述图案彼此之间也不会被完全埋入。需要说明的是,本申请所说的宽度均是指沿半导体衬底SB的主表面的方向上的长度。

[0153] 控制栅电极CG的一个侧壁被侧壁SW2覆盖,控制栅电极CG的另一个侧壁隔着存储器栅电极MG而被侧壁SW2覆盖。另外,存储器栅电极MG的一个侧壁被侧壁SW2覆盖,且存储器栅电极MG的另一个侧壁隔着控制栅电极CG而被侧壁SW2覆盖。

[0154] 下面,如图25所示,通过以侧壁SW1、SW2、偏置隔离膜OS1、栅电极G2、绝缘膜IF3、ONO膜ON及存储器栅电极MG为掩膜进行离子注入,从而在逻辑电路区域LN的半导体衬底SB的主表面形成扩散层DF2,在存储器单元区域HM的半导体衬底SB的主表面形成扩散层DF4。由此,在逻辑电路区域LN形成包括栅电极G2、和由扩展区域EX2及扩散层DF2形成的源漏区域MISFETQ2。另外,在存储器单元区域HM形成包括控制栅电极CG、和存储器栅电极MG、和ONO膜ON、和由扩展区域EX4及扩散层DF4形成的源漏区域的存储器单元MC。

[0155] 需要说明的是,这里,对利用一次离子注入而形成扩散层DF2、DF4的情况进行了说明,但也可以利用各自的离子注入工序而分别形成扩散层DF2和扩散层DF4,并在上述扩散层的杂质浓度等方面设置差异。另外,也可以利用各自的离子注入工序而分别形成在存储器单元区域HM形成的源极区域侧的扩散层DF4、和漏极区域侧的扩散层DF4,并在上述扩散层DF4的杂质浓度等方面设置差异。

[0156] 在存储器单元区域HM中,源漏区域和控制栅电极CG构成控制晶体管,该源漏区域和存储器栅电极MG构成存储器晶体管。存储器单元MC由该控制晶体管及该存储器晶体管形成。控制晶体管及存储器晶体管分别为通过比MISFETQ2高的电压来驱动的晶体管。即,MISFETQ2为低耐压MISFET,控制晶体管及存储器晶体管分别为高耐压MISFET。需要说明的是,包括在未图示的I/O区域HV中形成的栅电极G3(参照图19)的晶体管为通过比MISFETQ2高的电压驱动的高耐压晶体管。

[0157] 扩散层DF2为在栅电极G2的横向上的两侧的半导体衬底SB的主表面以较高的浓度掺入n型杂质(例如P(磷)或As(砷))从而形成的n型半导体区域。扩散层DF4为在包括控制栅电极CG及存储器栅电极MG的上述图案的横向上的两侧的半导体衬底SB的主表面、以较高的浓度掺入n型杂质(例如P(磷)或As(砷))从而形成的n型半导体区域。

[0158] 扩散层DF2、DF4具有比扩展区域EX2、EX4的杂质浓度高的杂质浓度。即,由扩展区域EX2及扩散层DF2形成的源漏区域、和由扩展区域EX4及扩散层DF4形成的源漏区域具有如下结构,该结构为低浓度的半导体区域和高浓度的半导体区域邻接的结构,即LDD(Lightly Doped Drain)结构。另外,扩散层DF2、DF4形成为比扩展区域EX2、EX4更深。与扩散层DF2相比,扩展区域EX2形成在更靠近栅电极G2的正下方的半导体衬底SB的主表面、即更靠近形成有沟道的区域。需要说明的是,扩散层DF2、DF4也可以形成为比扩展区域EX2、EX4更浅。

[0159] 下面,如图26所示,利用周知的硅化物自对准(Salicide)技术,在半导体衬底SB的主表面上露出的硅的表面形成硅化物层S1。即,在半导体衬底SB的主表面上利用例如溅射

法沉积金属膜之后,通过热处理使该金属膜和上述硅反应,从而形成硅化物层S1,接着利用湿式蚀刻除去未反应的该金属膜。由此,形成分别覆盖扩散层DF2、DF4、和栅电极G2及存储器栅电极MG各自的上表面的硅化物层S1。需要说明的是,在未图示的控制栅电极CG的供电部,控制栅电极CG上的绝缘膜IF3在该硅化物层S1的形成前被除去,在该供电部中,形成覆盖控制栅电极CG的上表面的硅化物层S1。

[0160] 硅化物层S1由例如硅化钴层、硅化镍层、或镍铂硅化物层等形成。上述金属膜由钴(Co)膜,镍(Ni)膜,或镍铂合金膜形成。

[0161] 接下来,利用例如CVD法在半导体衬底SB的主表面上依次形成覆盖MISFETQ2及存储器单元MC的蚀刻阻挡膜(未图示)及层间绝缘膜IL2。蚀刻阻挡膜由例如氮化硅膜形成。层间绝缘膜IL2由例如氧化硅膜形成,其膜厚比由栅极绝缘膜GF4、控制栅电极CG及绝缘膜IF3形成的层叠膜的膜厚大。之后,利用例如CMP法对层间绝缘膜IL2的上表面进行平坦化。

[0162] 下面,如图27所示,利用光刻技术及干式蚀刻法,形成贯通层间绝缘膜IL2的上表面及下表面之间的多个接触孔CH。在接触孔CH的底部,分别覆盖各栅电极及各源漏区域各自的上表面的硅化物层S1的上表面露出。

[0163] 下面,如图28所示,形成将接触孔CH的内部埋入的接触插塞(连接部)CP。之后,虽然省略了图示,但通过在接触插塞CP上,形成包括与接触插塞CP电连接的布线的布线层,从而完成本实施方式的半导体器件。接触插塞CP例如主要由钨(W)膜形成。

[0164] 在形成接触插塞CP时,首先,在例如半导体衬底SB的主表面上,利用例如溅射法依次形成势垒导体膜(未图示)及主导体膜(钨膜),从而将接触孔CH内完全埋入。之后,利用CMP法等将层间绝缘膜IL2上的多余的势垒导体膜及主导体膜除去,从而使层间绝缘膜IL2的上表面露出,由此形成由残留在接触孔CH内的势垒导体膜及主导体膜形成的接触插塞CP。接触插塞CP隔着硅化物层S1而与各源漏区域、栅电极G1(未图示)、栅电极G2、栅电极G3(未图示)、控制栅电极CG或存储器栅电极MG电连接。

[0165] 将对通过上述制造工序所形成的MISFETQ2及存储器单元MC进行放大的剖面图示于图29。即,图29为对图28的一部分放大而示出的剖面图。图29中,具体地示出了ONO膜ON的层叠结构及偏置隔离膜OS1的层叠结构。另外,图29中,省略硅化物层S1、层间绝缘膜IL2及接触插塞CP的图示。

[0166] 如图29所示,构成偏置隔离膜OS1的氧化硅膜OX3与构成ONO膜ON的氮化硅膜NT1的侧壁相接。另外,ONO膜ON介于相邻的控制栅电极CG及存储器栅电极MG的相互之间,该ONO膜ON还介于存储器栅电极MG和半导体衬底SB之间。即,ONO膜ON具有L字型的剖面形状,并且自控制栅电极CG和存储器栅电极MG之间到存储器栅电极MG与半导体衬底SB之间的范围连续形成。

[0167] <关于非易失性存储器的工作>

[0168] 下面,非易失性存储器的工作例,参照图30进行。

[0169] 本实施方式的存储器单元具有MISFET结构,并且是以该MISFET的栅电极内的陷阱性绝缘膜的电荷存储状态为存储信息,将此作为晶体管的阈值而读出的存储器单元。所谓陷阱性绝缘膜,是指能够存储电荷的绝缘膜,作为例子,可举出氮化硅膜等。通过电荷向这种电荷存储区域的注入、自电荷存储区域的电荷放出,从而使MISFET的阈值偏移,作为存储元件进行工作。作为使用陷阱性绝缘膜的非易失性半导体存储器件,像本实施方式的存储

器单元那样,包括分裂栅型的MONOS存储器。

[0170] 图30为示出在本实施方式的“写入”、“擦除”及“读出”时、对选择存储器单元的各部位施加电压的条件例子。在图30的表中记载了:分别在“写入”、“擦除”及“读出”时,对图29所示的存储器单元MC的存储器栅电极MG施加的电压 V_{mg} ,对源极区域施加的电压 V_s ,对控制栅电极CG施加的电压 V_{cg} ,对漏区域施加的电压 V_d ,及对半导体衬底SB的上表面的阱PW2施加的基极电压 V_b 。这里所说的选择存储器单元,是指作为进行“写入”、“擦除”或“读出”的对象而选择的存储器单元。

[0171] 需要说明的是,在图29所示的非易失性存储器的例子中,存储器栅电极MG的右侧的活性区域为源极区域、控制栅电极CG的左侧的活性区域为漏极区域。另外,图30的表所示的为电压的施加条件优选的例子,并不限于此,可根据需要进行各种变更。另外,本实施方式中,将向作为存储器晶体管的ONO膜ON中的电荷存储部即氮化硅膜NT1注入电子的注入定义为“写入”,将空穴(hole:空穴)的注入定义为“擦除”。

[0172] 另外,在图30的表中,A栏对应于写入方法为SSI方式、并且擦除方法为BTBT方式的情况,B栏对应于写入方法为SSI方式、并且擦除方法为FN方式的情况,C栏对应于写入方法为FN方式、并且擦除方法为BTBT方式的情况,D栏对应于写入方法为FN方式、并且擦除方法为FN方式的情况。

[0173] 关于SSI方式,可将其视为通过向氮化硅膜NT1中注入热电子从而进行存储器单元的写入的工作法,关于BTBT方式,可将其视为通过向氮化硅膜NT1中注入热空穴从而进行存储器单元的擦除的工作法,关于FN方式,可将其视为通过电子或空穴的隧穿而进行写入或擦除的工作法。关于FN方式,以其他表述的话、关于FN方式的写入,可将其视为利用FN隧道效应向氮化硅膜NT1中注入电子从而进行存储器单元的写入的工作方式,关于FN方式的擦除,可将其视为利用FN隧道效应向氮化硅膜NT1中注入空穴从而进行存储器单元的擦除的工作方式。以下,进行具体说明。

[0174] 关于写入方式,包括利用被称为所谓的SSI(Source Side Injection:源极侧注入)方式的源极侧注入而进行热电子注入从而进行写入的写入方式(热电子注入写入方式),和利用被称为所谓的FN方式的FN(Fowler Nordheim)隧穿而进行写入的写入方式(隧穿写入方式)。

[0175] 关于SSI方式的写入,将例如图30的表的A栏或B栏的“写入工作电压”所示的电压($V_{mg}=10V$ 、 $V_s=5V$ 、 $V_{cg}=1V$ 、 $V_d=0.5V$ 、 $V_b=0V$)施加到进行写入的选择存储器单元的各部位,通过向选择存储器单元的ONO膜ON中的氮化硅膜NT1中注入电子,由此进行写入。

[0176] 此时,热电子在2个栅电极(存储器栅电极MG及控制栅电极CG)间之下的沟道区域(源、漏间)产生,并且热电子被注入到存储器栅电极MG之下的ONO膜ON中的电荷存储部即氮化硅膜NT1中。被注入的热电子(电子)被ONO膜ON中的氮化硅膜NT1中的陷阱能级所捕获,其结果,存储器晶体管的阈值电压上升。即,存储器晶体管变成写入状态。

[0177] 关于FN方式的写入,将例如图30的表的C栏或D栏的“写入工作电压”所示的电压($V_{mg}=-12V$ 、 $V_s=0V$ 、 $V_{cg}=0V$ 、 $V_d=0V$ 、 $V_b=0V$)施加到进行写入的选择存储器单元的各部位,在选择存储器单元中,使电子从存储器栅电极MG进行隧穿从而注入ONO膜ON中的氮化硅膜NT1,由此进行写入。此时,电子从存储器栅电极MG通过FN隧穿(FN隧道效应)从而将氧化硅膜OX2隧穿、由此注入到ONO膜ON中,被ONO膜ON中的氮化硅膜NT1中的陷阱能级所捕获,其

结果,存储器晶体管的阈值电压上升。即,存储器晶体管变成写入状态。

[0178] 需要说明的是,在FN方式的写入中,使电子从半导体衬底SB进行隧穿,从而注入ONO膜ON中的氮化硅膜NT1、由此能够进行写入,这种情况下,可以将写入工作电压设为将例如图30的表的C栏或D栏的“写入工作电压”的正负进行反转的写入工作电压。

[0179] 关于擦除方法,包括通过利用被称为所谓的BTBT方式的BTBT (Band-To-Band Tunneling:带间隧穿现象)的热空穴注入从而进行擦除的擦除方式(热空穴注入擦除方式),和利用被称为所谓的FN方式的FN(Fowler Nordheim)隧穿进行擦除的擦除方式(隧穿擦除方式)。

[0180] 关于BTBT方式的擦除,通过将利用BTBT而产生的空穴(空穴)注入电荷存储部(ONO膜ON中的氮化硅膜NT1),从而进行擦除。将例如图30的表的A栏或C栏的“擦除工作电压”所示的电压($V_{mg} = -6V$ 、 $V_s = 6V$ 、 $V_{cg} = 0V$ 、 $V_d = open$ 、 $V_b = 0V$)施加到进行擦除的选择存储器单元的各部位。由此,利用BTBT现象产生空穴,并通过电场加速由此向选择存储器单元的ONO膜ON中的氮化硅膜NT1中注入空穴,由此使存储器晶体管的阈值电压降低。即,存储器晶体管变成擦除状态。

[0181] 关于FN方式的擦除,将例如图30的表的B栏或D栏的“擦除工作电压”所示的电压($V_{mg} = 12V$ 、 $V_s = 0V$ 、 $V_{cg} = 0V$ 、 $V_d = 0V$ 、 $V_b = 0V$)施加到进行擦除的选择存储器单元的各部位,在选择存储器单元中,使空穴从存储器栅电极MG进行隧穿从而注入ONO膜ON中的氮化硅膜NT1,由此进行擦除。此时,空穴通过FN隧穿(FN隧道效应)而自存储器栅电极MG将氧化硅膜OX2隧穿,从而注入ONO膜ON中,被ONO膜ON中的氮化硅膜NT1中的陷阱能级所捕获,其结果,存储器晶体管的阈值电压降低。即,存储器晶体管变成擦除状态。

[0182] 需要说明的是,在FN方式的擦除中,也可以使空穴从半导体衬底SB隧穿从而注入ONO膜ON中的氮化硅膜NT1,由此进行擦除,这种情况下,可以将擦除工作电压设为将例如图30的表的B栏或D栏的“擦除工作电压”的正负进行反转而得到的擦除工作电压。

[0183] 在读出时,将例如图30的表的A栏、B栏、C栏或D栏的“读出工作电压”所示的电压施加到进行读出的选择存储器单元的各部位。通过将施加到读出时的存储器栅电极MG的电压 V_{mg} 设为在写入状态下的存储器晶体管的阈值电压和擦除状态下的阈值电压之间的值,从而可以对写入状态和擦除状态进行判别。

[0184] <关于本实施方式的效果>

[0185] 以下,使用图62至图68对比较例的半导体器件的问题点进行说明,使用图29等对本实施方式的半导体器件及其制造方法的效果进行说明。图62至图68为比较例的半导体器件的制造工序中的剖面图,并且是与图20至图28同样地示出了逻辑电路区域LN及存储器单元MC的剖面图。

[0186] 与在I/O区域或存储器单元区域形成的晶体管相比,构成逻辑电路的晶体管以较低的电压驱动,因此不要求高耐压性能。因此,与在I/O区域或存储器单元区域中所形成的高耐压晶体管相比,对于构成逻辑电路的低耐压MISFET而言,发生源漏区域间的穿通(punch through)的可能性低,并且在漏极区域和栅电极之间的漏电流也难以发生。因而,对于低耐压MISFET而言,通过缩小源漏区域间的间隔,能够较容易地实现元件的集成度的提高、低功耗化及高速工作化。

[0187] 为形成这种低耐压MISFET而将源漏区域间的距离缩小,有在形成构成源漏区域的

扩散层时、减小用作离子注入的掩膜的侧壁的宽度的方法。但是,由于存储器单元等的高耐压MISFET与低耐压MISFET相比要求高耐压,因此需要确保增大源漏区域的间隔,因此需要增大与栅电极(例如,控制栅电极等)邻接的侧壁的宽度。即,为了实现高耐压MISFET的充分的耐压性能,并且使低耐压MISFET的源漏区域的间隔变窄,需要在半导体衬底上形成具有不同宽度的多种侧壁。以下,对形成这种侧壁的比较例的半导体器件的制造方法进行说明。

[0188] 首先,如图62所示,在进行与使用图1至图12而说明了的工序同样的工序从而形成各种的栅电极之后,形成覆盖各种栅电极的侧壁的偏置隔离膜(未图示),和半导体衬底SB的主表面的扩展区域EX2及EX4。接下来,利用CVD法等半导体衬底SB上依次形成氮化硅膜NTA及氧化硅膜OXA。这里,逻辑电路区域LN的栅电极G2彼此之间的距离为例如108至128nm。另外,氮化硅膜NTA的膜厚为20nm,氧化硅膜OXA的膜厚为26nm。因而,通过形成氮化硅膜NTA及氧化硅膜OXA,栅电极G2彼此之间不会被完全埋入。

[0189] 下面,如图63所示,进行回蚀刻从而将氧化硅膜OXA加工为侧壁状,使氮化硅膜NTA的上表面露出。下面,如图64所示,利用光致抗蚀膜PRA覆盖存储器单元区域HM,除去逻辑电路区域LN的氧化硅膜OXA。下面,如图65所示,在除去光致抗蚀膜PRA之后,通过选择性地地进行回蚀刻,除去从氧化硅膜OXA露出的氮化硅膜NTA,由此使半导体衬底SB的主表面露出。

[0190] 由此,在栅电极G2的侧壁形成由氮化硅膜NTA形成的侧壁SWA、在包括控制栅电极CG、存储器栅电极MG及ONO膜ON在内的图案的侧壁形成由氮化硅膜NTA及氧化硅膜OXA形成的侧壁SWB。侧壁SWA的宽度为氮化硅膜NTA的宽度即26nm,侧壁SWB的宽度为将氮化硅膜NTA及氧化硅膜OXA各自的膜厚相加而得的46nm。

[0191] 由此,可以形成具有2种不同宽度的侧壁SWA、SWB。图示中虽然省略了,但之后,以侧壁SWA、SWB等为掩膜进行离子注入,从而形成扩散层,由此形成具有栅电极G2的低耐压MISFET,和具有控制栅电极CG及存储器栅电极MG的存储器单元。

[0192] 这里,根据半导体器件的微细化的要求等,构成逻辑电路的多个低耐压MISFET的栅电极彼此的间隔具有比I/O区域或存储器单元区域所形成的多个高耐压晶体管的栅电极彼此的间隔更缩小的趋势。对于要求这样的高集成度的低耐压MISFET的栅电极彼此的间隔而言,随着半导体器件的微细化,会变得更小。图62至图65中,对逻辑电路区域的栅电极彼此的间隔较大的情况进行了说明,以下,作为比较例的半导体器件的制造方法,对在逻辑电路区域的栅电极彼此的间隔更小的情况下所产生的问题点进行说明。这里,逻辑电路区域的栅电极间的距离为90nm。

[0193] 这种情况下,如图66所示,通过进行利用图62而说明了的工序,形成覆盖栅电极G2、控制栅电极CG及存储器栅电极MG的氮化硅膜NTA及氧化硅膜OXA的话,逻辑电路区域LN的栅电极G2彼此之间完全被氮化硅膜NTA及氧化硅膜OXA埋入。即,氮化硅膜NTA及氧化硅膜OXA的合计膜厚为46nm,栅电极G2间的距离为90nm,因此沿相对的栅电极G2的侧壁各自而分别形成的氧化硅膜OXA彼此接触。

[0194] 下面,如图67所示,通过进行与使用图63而说明了的工序同样的工序,将氧化硅膜OXA进行回蚀刻。接下来,利用光致抗蚀膜PRA覆盖存储器单元区域HM。

[0195] 下面,如图68所示,通过进行与使用图64而说明了的工序同样的工序,以光致抗蚀膜PRA为掩膜进行蚀刻,从而除去逻辑电路区域LN的氧化硅膜OXA。但是,对于栅电极G2间埋入的氧化硅膜OXA,以除去未将栅电极G2间埋入的侧壁状的氧化硅膜OXA这样的大小的蚀刻

量下,不能将栅电极G2间埋入的氧化硅膜OXA除去,而有可能残留在栅电极G2彼此之间。

[0196] 这种情况下,在其后,即便进行使用图65而说明了的氮化硅膜NTA的除去工序,也不能除去残留在栅电极G2间的氧化硅膜OXA之下的氮化硅膜NTA,在其后的离子注入工序中,不能在栅电极G2间的半导体衬底SB的主表面上形成所要求的扩散层。因而,产生半导体器件的可靠性降低的问题。

[0197] 另外,若为了通过蚀刻而完全除去图68所示的栅电极G2间的氧化硅膜OXA而增加蚀刻量,则未埋入栅电极G2间的氧化硅膜OXA所覆盖的氮化硅膜NTA由于该蚀刻而被过度蚀刻,栅电极G2的侧壁的一部分的氮化硅膜NTA的膜厚变小。因而,在栅电极G2两侧分别形成的侧壁的宽度方面产生偏差,产生半导体器件的可靠性降低的问题。

[0198] 另外,若为了通过蚀刻而完全除去图68所示的栅电极G2间的氧化硅膜OXA而增加蚀刻量,则未埋入栅电极G2间的氧化硅膜OXA所覆盖的氮化硅膜NTA由于该蚀刻而被过度蚀刻,半导体衬底SB的主表面有时露出。之后,若进行使用图65而说明了的氮化硅膜NTA的除去工序,则露出着的半导体衬底SB的主表面后退,另外,该主表面受到损伤。若半导体衬底SB的主表面后退,易于发生源漏区域间的穿通,会产生MISFET的耐压降低的问题。

[0199] 这种问题的产生是由于、仅利用使用图62而说明了的工序中形成的氮化硅膜NTA及氧化硅膜OXA而形成高耐压MISFET的侧壁SWB(参照图65)。需要说明的是,偏置隔离膜(未图示)的膜厚(宽度)对于上述栅电极G2间被埋入的问题而言,小至可以忽略的程度。

[0200] 这里,本实施方式中,在使用图20而说明了的工序中形成氮化硅膜NT3及氧化硅膜OX4之后,将逻辑电路区域LN的氧化硅膜OX4除去,从而形成包括其后形成的氧化硅膜OX5(参照图23)、氧化硅膜OX4和氮化硅膜NT3在内的侧壁SW2(参照图24)。因此,在相邻的栅电极G2彼此之间,氧化硅膜OX4、OX5及氮化硅膜NT3没有同时形成。即,合计膜厚(a+b+c)为46nm的绝缘膜在栅电极G2间的宽度90nm的区域中没有在一个时间形成。因而,能够防止如图68所示的比较例那样产生不能适当除去栅电极G2彼此之间的绝缘膜的问题。

[0201] 即,本实施方式中,在侧壁SW1、SW2的形成工序中没有仅利用首先形成的氮化硅膜NT3及氧化硅膜OX4(参照图20)而形成高耐压MISFET的侧壁SW2,在氮化硅膜NT3及氧化硅膜OX4成膜后,除去逻辑电路区域LN的氧化硅膜OX4。并且,其后形成氧化硅膜OX5,并通过氧化硅膜OX4、OX5及氮化硅膜NT3这3个膜的合计膜厚,来确保侧壁SW2的必要宽度。

[0202] 因此,在侧壁SW1、SW2的形成工序中,首先形成的氮化硅膜NT3及氧化硅膜OX4的合计膜厚需要满足侧壁SW2的该宽度。因而,在SW2的形成工序的最初,形成氮化硅膜NT3及氧化硅膜OX4了的时候,能够防止栅电极G2彼此之间被埋入。

[0203] 因而,不会发生使用图68的比较例而说明了的绝缘膜的除去不良,因此在使用图24而说明了的工序之后进行的离子注入工序中,能够在逻辑电路区域LN中形成要求的扩散层。另外,能够防止在栅电极G2的横向上的侧壁SW1的宽度上产生偏差。另外,可以防止在氧化硅膜OX4的除去工序(参照图22)中氮化硅膜NT3的一部分被过度除去、在氮化硅膜NT3的除去工序(参照图24)中半导体衬底SB的主表面发生后退。因而,能够提高半导体器件的可靠性。

[0204] 另外,通过形成具有不同宽度的侧壁SW1、SW2,能够确保高耐压MISFET的耐压,并且能够使低耐压MISFET的源漏区域彼此的间隔变窄,因此能够实现低耐压MISFET的集成度的提高、低功耗化及高速工作化。

[0205] 另外,以下,对本实施方式的其他效果进行说明。

[0206] 本实施方式中,图29所示的侧壁SW2的外侧的侧壁即侧壁SW2的侧壁,并且包括控制栅电极CG及存储器栅电极MG在内的图案侧的侧壁的相反侧的侧壁,由氧化硅构成。即,在侧壁SW2内,在侧壁SW2的外侧的侧壁侧形成了氧化硅膜OX4、OX5。另外,在侧壁SW1的外侧的侧壁,形成了氧化硅膜OX5。

[0207] 氧化硅膜与氮化硅膜相比,在侧壁SW2的形成工序之后的各种工序中易于被除掉。即,氧化硅膜OX5、OX4可以通过例如在硅化物层S1(参照图26)形成之后进行的将未反应的金属膜除去的湿式蚀刻工序或清洁工序等的工序而被除掉。特别地,关于使用图25而说明了的离子注入工序中受到损伤的氧化硅膜OX5、OX4,易于通过上述湿式蚀刻工序或清洁工序等而被除掉。

[0208] 因而,该离子注入工序之后,为了除掉氧化硅膜OX5、OX4,使侧壁SW1、SW2各自的宽度变小。这种情况下,在源漏区域的上表面上形成接触孔CH及接触插塞CP(参照图28)的区域变大。因而,即使使逻辑电路区域LN的栅电极G2彼此之间、及包括存储器单元区域HM的控制栅电极CG及存储器栅电极MG在内的图案彼此之间各自的间隔分别变小,也能够防止发生由接触孔形成时的不开口等而导致的接触插塞CP的连接不良。因而,能够使半导体器件微细化。

[0209] 另外,本实施方式中,在使用图21而说明了的氧化硅膜OX4的回蚀刻工序中,由于可将膜种不同于氧化硅膜OX4的氮化硅膜NT3用作蚀刻阻挡膜,因此可实现精度高的蚀刻。另外,在使用图24而说明了的氧化硅膜OX5的回蚀刻工序中,由于能够将氮化硅膜NT3用作蚀刻阻挡膜,因此可实现精度高的蚀刻。另外,在使用图24而说明了的氮化硅膜NT3的回蚀刻工序中,由于能够将氧化硅膜OX3的一部分(图29参照)用作蚀刻阻挡膜,因此可实现精度高的蚀刻。

[0210] 即,能够防止由于过度的蚀刻、而导致半导体衬底SB的主表面暴露于蚀刻,半导体衬底SB的主表面发生后退的现象。即,能够防止MISFET的耐压的降低。

[0211] 另外,例如,在偏置隔离膜的一部分由与ONO膜相同的材料的氮化硅膜构成的情况下,存储器栅电极之下的ONO膜中的氮化硅膜的侧壁可考虑与构成偏置隔离膜的该氮化硅膜接触。这种情况下,该氮化硅膜由于具有电荷存储功能,写入工作时所产生的热电子在存储器栅电极的端部附近有可能被由氮化硅膜形成的偏置隔离膜所捕获。并且,在重复写入工作的过程中,偏置隔离膜中电子进一步存储,存储器栅电极的端部附近的阈值电压有可能上升。这种阈值电压的上升会导致漏电流的变化量相对于栅电压的变化之比即跨导的劣化及读出电流的减少。

[0212] 与此相对,对于构成图29所示的MONOS型存储器的存储器单元MC的存储器栅电极MG之下的ONO膜ON的侧壁而言,其并非与氮化硅膜相接、而是与构成偏置隔离膜OS1的氧化硅膜OX3相接。因而,能够防止以存储器单元MC的写入工作时电荷在偏置隔离膜OS1内存储为起因的、构成存储器单元MC的MISFET的阈值电压异常上升。

[0213] <变型例1>

[0214] 以下,对本实施方式的变型例1的半导体器件的制造工序,使用图31至图43进行说明。图31至图43为本变型例的半导体器件的制造工序中的剖面图。图31至图37为与图1同样地示出了逻辑电路区域LP、LN、I/O区域HV及存储器单元区域HM的剖面图。图38至图43为与

图20同样地示出了逻辑电路区域LN及存储器单元区域HM的剖面图。

[0215] 这里,对利用后栅极工艺形成金属栅电极的情况进行说明。另外,这里,使用图34至图37,对形成偏置隔离膜的第二的方法进行说明。在形成偏置隔离膜之后的工序的说明中所使用的图38至图43中,为了使图便于理解,将实际上具有层叠结构的偏置隔离膜OS2(参照图37)以1个膜的方式示出。

[0216] 另外,图38至图43中,将逻辑电路区域LP及I/O区域HV中的制造工序的说明省略,而仅将逻辑电路区域LN及存储器单元区域HM进行图示。逻辑电路区域LP中的制造工序按与逻辑电路区域LN同样的方式进行,I/O区域HV中的制造工序按与存储器单元区域HM同样的方式进行。但是,在逻辑电路区域LP及I/O区域HV的制造工序中,对于为了形成构成源漏区域的扩散层而进行的离子注入工序而言,与逻辑电路区域LN及存储器单元区域HM不同,注入p型杂质。另外,图38至图43中,示出了在逻辑电路区域LN并排2个MISFET而形成的情况下的剖面图。

[0217] 需要说明的是,在图38至图43所示的逻辑电路区域LN中,当忽略偏置隔离膜OS2的膜厚的情况下,相邻的虚拟栅电极DG2彼此之间的距离为例如90nm。当考虑偏置隔离膜OS2的膜厚的情况下,将相邻的虚拟栅电极DG2的相对的侧壁分别覆盖的偏置隔离膜OS2彼此之间的距离为90nm。

[0218] 首先,如图31所示,在进行使用图1至图3而说明了的工序之后,通过进行与使用图4及图5而说明了的工序相同的工序,得到与图4及图5所示结构相同的结构。下面,如图32所示,通过进行与使用图6及图7而说明了的工序相同的工序,得到与图7所示结构相同的结构。

[0219] 下面,如图33所示,利用光刻技术及干式蚀刻法,通过将逻辑电路区域LP、LN的绝缘膜IF3、多晶硅膜PS1及绝缘膜IF1进行图案化,从而形成由逻辑电路区域LP的多晶硅膜PS1形成的虚拟栅电极DG1,和由逻辑电路区域LN的多晶硅膜PS1形成的虚拟栅电极DG2。虚拟栅电极DG1、DG2为可以在后面的工序除去从而置换为金属栅电极的模拟栅电极。

[0220] 下面,如图34所示,进行与使用图13及图14而说明了的工序相同的工序,接下来,将光致抗蚀膜PR2除去之后,在半导体衬底SB的主表面上利用例如CVD法形成氮化硅膜NT4。氮化硅膜NT4的膜厚为例如5nm。

[0221] 下面,如图35所示,进行与使用图16而说明了的工序相同的工序之后,在氮化硅膜NT4上利用例如CVD法形成氮化硅膜NT5。即,通过在半导体衬底SB的主表面上依次形成的氮化硅膜NT4、NT5而将半导体衬底SB的主表面覆盖。氮化硅膜NT5的膜厚为例如5nm。

[0222] 下面,如图36所示,通过进行回蚀刻,将由氮化硅膜NT4、NT5形成的层叠膜的一部分除去,由此使半导体衬底SB的主表面及绝缘膜IF3的上表面露出。由此,在虚拟栅电极DG1、DG2,和栅电极G3,和包括控制栅电极CG及存储器栅电极MG的图案的各自的侧壁上分别保留为侧壁状的该层叠膜构成偏置隔离膜OS2。

[0223] 下面,如图37所示,通过进行与使用图18及图19而说明了的工序同样的工序,形成扩展区域EX1。

[0224] 下面,如图38所示,通过进行与使用图20至图26而说明了的工序同样的工序,形成源漏区域。但是,逻辑电路区域LP、LN中形成了模拟的虚拟栅电极DG1(未图示)、DG2,因此还没有形成MISFET。接下来,通过利用例如CMP法对层间绝缘膜IL2、硅化物层S1及绝缘膜IF3

进行研磨,由此使虚拟栅电极DG1、DG2、控制栅电极CG及存储器栅电极MG的各自的上表面分别露出。

[0225] 下面,如图39所示,在形成对I/O区域HV的栅电极G3(未图示)以及存储器单元区域HM的控制栅电极CG及存储器栅电极MG的上表面进行保护的绝缘膜(未图示)之后,通过进行例如湿式蚀刻,将虚拟栅电极DG1(未图示)、DG2及绝缘膜IF1除去。在除去了虚拟栅电极DG1、DG2的区域中分别形成槽。这里,对将绝缘膜IF1除去进行了说明,但绝缘膜IF1也可以保留。

[0226] 下面,如图40所示,在半导体衬底SB的主表面上利用例如CVD法形成绝缘膜HK之后,利用例如溅射形成金属膜MF。绝缘膜HK及金属膜MF由于使用例如图11而说明了的材料相同的材料形成。通过该成膜工序,上述槽完全被绝缘膜HK及金属膜MF埋入。

[0227] 下面,如图41所示,利用例如CMP法将层间绝缘膜IL2上的剩余的绝缘膜HK及金属膜MF除去,使层间绝缘膜IL2的上表面露出。由此,形成由残留在上述槽内的绝缘膜HK形成的栅极绝缘膜GF2,并且形成由残留在上述槽内的金属膜MF形成的金属栅电极即栅电极G2。接下来,在半导体衬底SB的主表面上,利用例如CVD法,形成由例如氧化硅膜等形成的绝缘膜IF5。之后,利用光刻技术及干式蚀刻法,将I/O区域HV(未图示)和存储器单元区域HM的绝缘膜IF5除去。此时,栅电极G2的上表面被绝缘膜IF5覆盖。

[0228] 下面,如图42所示,利用周知的硅化物自对准工艺,在控制栅电极CG及存储器栅电极MG的各自的上表面上分别形成硅化物层S2。硅化物层S2的形成方法与使用图26而说明了的方法相同。该硅化物自对准工艺中,进行利用湿式蚀刻将未反应的金属膜除去的工序,但此时,栅电极G1(未图示)、G2被绝缘膜IF5保护,因此没有被除去。

[0229] 下面,如图43所示,在层间绝缘膜IL2上利用例如CVD法,形成由例如氧化硅膜形成的层间绝缘膜IL3。之后,利用CMP法等对层间绝缘膜IL3的上表面进行平坦化。接下来,通过进行与使用图27及图28而说明了的工序同样的工序,形成贯通层间绝缘膜IL2、IL3的多个接触孔CH,和将上述接触孔CH埋入的接触插塞CP。

[0230] 通过以上,完成本变型例的半导体器件。在利用后栅极工艺而形成金属栅的情况下,可将使用图8至图12而说明了的工序省略,并且可使半导体器件的制造工序简化。

[0231] 这里,图44中,将逻辑电路区域LN的MISFETQ2,和存储器单元区域HM的存储器单元MC放大表示。即,图44为对图43的一部分放大表示的剖面图。图44中,具体示出了ONO膜ON的层叠结构及偏置隔离膜OS2的层叠结构。另外,图44中,省略了硅化物层S1、S2,层间绝缘膜IL2、IL3,接触孔CH及接触插塞CP的图示。如图44所示,构成偏置隔离膜OS2的氮化硅膜NT4与构成ONO膜ON的氮化硅膜NT1的侧壁相接。

[0232] 以下,对本变型例的效果进行说明。本变型例中,进行使用图20至图24而说明了的本实施方式的侧壁SW1、SW2的形成工序。因此,在侧壁SW1、SW2的形成工序中,相邻的栅电极G2彼此之间不会被用于形成侧壁SW1的绝缘膜完全埋入。

[0233] 因此,在逻辑电路区域LN中,能够形成要求的扩散层。另外,能够防止在栅电极G2的横向上的侧壁SW1的宽度方面产生偏差。另外,能够防止在氧化硅膜OX4的除去工序(参照图22)中,氮化硅膜NT3的一部分被过度除去,在氮化硅膜NT3的除去工序(参照图24)中半导体衬底SB的主表面发生后退。因而可提高半导体器件的可靠性。另外,通过形成具有不同宽度的侧壁SW1、SW2,能够确保高耐压MISFET的耐压,并且能够使低耐压MISFET的源漏区域彼

此的间隔变窄,因此能够实现低耐压MISFET的集成度的提高、低功耗化及高速工作化。

[0234] 另外,这里,图44所示的侧壁SW1的外侧的侧壁由氧化硅膜OX5构成,侧壁SW2的外侧的侧壁由氧化硅膜OX5、OX4构成。

[0235] 因而,该离子注入工序之后,为了除掉氧化硅膜OX5、OX4,使侧壁SW1、SW2各自的宽度分别变小。这种情况下,在源漏区域的上表面上形成接触孔CH及接触插塞CP(参照图28)的区域变大。因而,即便使逻辑电路区域LN的栅电极G2彼此之间、及包括存储器单元区域HM的控制栅电极CG及存储器栅电极MG的图案彼此之间各自的间隔分别变小,也能够防止发生由接触孔形成时的不开口等而导致的接触插塞CP的连接不良。因而,能够使半导体器件微细化。

[0236] 另外,图45中示出了在不形成MONOS存储器的情况下的本变型例的半导体器件的剖面图。即,这种情况下,在不设置存储器单元区域HM的情况下,进行使用图30至图37而说明了的工序。图45中,示出了逻辑电路区域LN的MISFETQ2,和在使用图31至图43而说明了的工序中、对I/O区域HV实施相对于存储器单元区域HM所进行了的工序从而形成的高耐压的MISFETQ3。

[0237] 如图45所示,I/O区域HV的MISFETQ3具有作为n型的半导体区域的扩展区域EX3及扩散层DF3,和栅极绝缘膜GF3上的栅电极G3。另外,与图44示出的将包括控制栅电极CG及存储器栅电极MG的图案覆盖的侧壁的膜相同地,在栅电极G3的侧壁隔着偏置隔离膜OS2而形成侧壁SW2。

[0238] 图45所示结构的情况下,由于不存在MONOS型的存储器单元,因此构成ONO膜的电荷存储膜即氮化硅膜不与构成偏置隔离膜OS2的氮化硅膜NT4相接触。因此,在半导体器件的写入工作时,不会发生电荷在偏置隔离膜OS2内存储的状况。即,关于仅由氮化硅膜NT4、NT5形成的偏置隔离膜OS2的本变型例,在应用于不形成MONOS型的存储器单元的半导体器件的情况下,可获得能够防止半导体器件的误工作的优点。

[0239] 需要说明的是,本变型例中,在将虚拟栅电极置换为金属栅电极的后栅极工艺之中,使用在除去虚拟栅电极之后、形成作为high-k膜的绝缘膜HK(参照图40)的方法。但是,也可以这样,在构成虚拟栅电极的多晶硅膜PS1(参照图31)的形成前、在逻辑电路区域形成绝缘膜HK,将该绝缘膜HK保留为图43所示的栅极绝缘膜GF1(未图示)、GF2的一部分。这种情况下,例如,可考虑这样的方法,即在使用图2而说明了的工序之后,在半导体衬底SB的主表面上形成绝缘膜HK,接下来,将逻辑电路区域LP、LN以外的区域的绝缘膜HK除去的方法。对此而言,在下述的本实施方式的变型例2、以及后述的实施方式2及实施方式2的变型例1中,也是同样。

[0240] <变型例2>

[0241] 以下,关于本实施方式的变型例2的半导体器件的制造工序,使用图46至图51进行说明。图46至图51为本变型例的半导体器件的制造工序中的剖面图。图46至图50与图1同样,为示出逻辑电路区域LP、LN、I/O区域HV及存储器单元区域HM的剖面图。图51与图20同样,为示出逻辑电路区域LN及存储器单元区域HM的剖面图。

[0242] 这里,对利用后栅极工艺形成金属栅电极的情况进行说明。另外,这里,使用图46至图50,对形成偏置隔离膜的第三的方法进行说明。在形成偏置隔离膜之后的工序的说明中所使用的图51中,为了使图便于理解,将实际上具有层叠结构的偏置隔离膜OS3、OS4(参

照图50)各自分别以1个膜的方式示出。

[0243] 另外,图51中,将逻辑电路区域LP及I/O区域HV中的制造工序的说明省略,而仅将逻辑电路区域LN及存储器单元区域HM进行图示。逻辑电路区域LP中的制造工序按与逻辑电路区域LN同样的方式进行,I/O区域HV中的制造工序按与存储器单元区域HM同样的方式进行。但是,在逻辑电路区域LP及I/O区域HV的制造工序中,对于为了形成构成源漏区域的扩散层而进行的离子注入工序而言,与逻辑电路区域LN及存储器单元区域HM不同,注入p型杂质。另外,图51中,示出了在逻辑电路区域LN并排2个MISFET而形成的情况下的剖面图。

[0244] 需要说明的是,在图51所示的逻辑电路区域LN中,当忽略偏置隔离膜OS3的膜厚的情况下,相邻的栅电极G2彼此之间的距离为例如90nm。当考虑偏置隔离膜OS3的膜厚的情况下,分别覆盖相邻的栅电极G2的相对的侧壁各自的偏置隔离膜OS3彼此之间的距离为90nm。

[0245] 首先,图46所示,在进行使用图1至图3及图31至图33而说明了的工序之后,进行与使用图13及图14而说明了的工序同样的工序,接下来,在虚拟栅电极DG1、DG2、栅电极G3、和由控制栅电极CG及存储器栅电极MG形成的图案各自的两侧的侧壁上分别形成侧壁状的氧化硅膜OX6。即,在半导体衬底SB上,利用例如CVD法形成氧化硅膜OX6之后,通过进行回蚀刻而将氧化硅膜OX6的一部分除去,由此使半导体衬底SB的主表面及绝缘膜IF3的上表面露出。通过该工序,将氧化硅膜OX6加工成侧壁状。氧化硅膜OX6的膜厚为例如5nm。

[0246] 下面,如图47所示,在形成覆盖I/O区域HV及存储器单元区域HM的光致抗蚀膜PR6之后,通过进行湿式蚀刻,从而将从光致抗蚀膜PR6露出的逻辑电路区域LP、LN的氧化硅膜OX6除去。

[0247] 下面,如图48所示,在除去光致抗蚀膜PR6之后,在半导体衬底SB上,利用例如CVD法形成氮化硅膜NT6。由此,半导体衬底SB的主表面、虚拟栅电极DG1、DG2、栅电极G3、和包括控制栅电极CG及存储器栅电极MG的图案被氮化硅膜NT6覆盖。氮化硅膜NT6的膜厚为例如5nm。

[0248] 下面,如图49所示,在进行使用图16而说明了的扩展区域EX2的形成工序之后,将光致抗蚀膜PR3(图16参照)除去,接下来,在半导体衬底SB上利用例如CVD法形成氮化硅膜NT7。由此,氮化硅膜NT6被氮化硅膜NT7覆盖。氮化硅膜NT7的膜厚为例如5nm。

[0249] 下面,如图50所示,通过对由氮化硅膜NT6、NT7形成的层叠膜进行回蚀刻,使半导体衬底SB的主表面及绝缘膜IF3的上表面露出。由此,形成由该层叠膜形成的偏置隔离膜OS3,和包括该层叠膜及氧化硅膜OX6的偏置隔离膜OS4。

[0250] 即,在逻辑电路区域LP、LN的虚拟栅电极DG1、DG2的各自的侧壁,分别形成由氮化硅膜NT6、NT7形成的偏置隔离膜OS3。另外,在I/O区域HV及存储器单元区域HM中,在栅电极G3的侧壁、和包括控制栅电极CG及存储器栅电极MG的图案的侧壁的各自分别形成由氧化硅膜OX6、氮化硅膜NT6及NT7形成的偏置隔离膜OS4。偏置隔离膜OS3由于不包括氧化硅膜OX6,因此其宽度比偏置隔离膜OS4的宽度更小。

[0251] 接下来,进行使用图18而说明了的扩展区域EX1的形成工序之后,按使用图19所说明的那样,除去光致抗蚀膜PR4(参照图18)。由此,获得图50所示的结构。

[0252] 下面,如图51所示,通过进行与使用图20至图26及图38至图43而说明了的工序同样的工序,完成本变型例的半导体器件。即,通过后栅极工艺,将虚拟栅电极DG1、DG2置换为金属栅电极,从而形成包括金属栅电极的MISFETQ2,和包括高耐压MISFET的存储器单元MC。

[0253] 这里,图52中将图51的MISFETQ2及存储器单元MC放大表示。即,图52为对图51的一部分进行放大表示的剖面图。图52中,具体示出了ONO膜ON的层叠结构、偏置隔离膜OS3及OS4的层叠结构。另外,图52中,省略的硅化物层S1、S2,层间绝缘膜IL2、IL3,接触孔CH及接触插塞CP的图示。

[0254] 如图52所示,构成偏置隔离膜OS4的氧化硅膜OX6与构成ONO膜ON的氮化硅膜NT1的侧壁相接,而没有与氮化硅膜相接。另外,在包括控制栅电极CG、ONO膜ON及存储器栅电极MG的图案的侧壁依次形成有偏置隔离膜OS4及侧壁SW2。换言之,该图案的侧壁隔着偏置隔离膜OS4而形成有侧壁SW2。

[0255] 本变型例中,能够获得与使用图31至图44而说明了的变型例1同样的效果。此外,能够获得由于氮化硅膜不与ONO膜相接而产生的效果。即,构成ONO膜ON的氮化硅膜NT1的侧壁仅与覆盖该侧壁的氧化硅膜OX6相接,因此能够防止以存储器单元MC的写入工作时,电荷在ONO膜ON的附近的偏置隔离膜OS4内存储为起因的、构成存储器单元MC的MISFET的阈值电压异常上升。

[0256] (实施方式2)

[0257] 以下,使用图53至图55对本实施方式2的半导体器件的制造方法进行说明。这里,在使用图34至图37、利用形成上述偏置隔离膜的第二的方法的情况下,对作为侧壁的一部分的外侧的部分由氮化硅膜形成的情况进行说明。图53至图55中,为了使图便于理解,将偏置隔离膜OS2以1个膜的方式示出。本实施方式与上述实施方式1的变型例1的主要区别在与,代替氧化硅膜OX5(图23参照)而形成了氮化硅膜。

[0258] 图53至图55中,将逻辑电路区域LP及I/O区域HV中的制造工序的说明省略,而仅将逻辑电路区域LN及存储器单元区域HM进行图示。逻辑电路区域LP中的制造工序按与逻辑电路区域LN同样的方式进行,I/O区域HV中的制造工序按与存储器单元区域HM同样的方式进行。但是,在逻辑电路区域LP及I/O区域HV的制造工序中,对于为了形成构成源漏区域的扩散层而进行的离子注入工序而言,与逻辑电路区域LN及存储器单元区域HM不同,注入p型杂质。另外,图53至图55中,示出了在逻辑电路区域LN并排2个MISFET而形成的情况下的剖面图。

[0259] 需要说明的是,在逻辑电路区域LN中,当忽略偏置隔离膜OS2的膜厚的情况下,相邻的虚拟栅电极DG2彼此之间的距离为例如90nm。当考虑偏置隔离膜OS2的膜厚的情况下,分别覆盖相邻的虚拟栅电极DG2的相对的侧壁各自的偏置隔离膜OS2彼此之间的距离为90nm。

[0260] 本变型例中,首先如图53所示,通过进行与使用图1至图3及图31至图37而说明了的工序同样的工序,形成虚拟栅电极DG1、DG2,栅电极G3,控制栅电极CG及存储器栅电极MG和偏置隔离膜OS2。之后,通过进行与使用图20至图22而说明了的工序同样的工序,形成氮化硅膜NT3和侧壁状的氧化硅膜OX4。之后,除去光致抗蚀膜PR5(参照图22)之后,在半导体衬底SB的主表面上利用例如CVD法,形成氮化硅膜NT8。由此,氮化硅膜NT3及氧化硅膜OX4被氮化硅膜NT8覆盖。

[0261] 这里,氮化硅膜NT3的膜厚a为例如10nm,氧化硅膜OX4的膜厚b为例如20nm,氮化硅膜NT8的膜厚c为例如16nm。因而,在使用图20而说明了的工序中,在形成了氮化硅膜NT3及氧化硅膜OX4的时候,由于氮化硅膜NT3及氧化硅膜OX4的合计膜厚为30nm,相邻的虚拟栅电

极DG2彼此之间的具有90nm的宽度的区域不会被完全埋入。

[0262] 下面,如图54所示,通过进行回蚀刻,分别将氮化硅膜NT8、NT3各自的一部分除去。由此,使半导体衬底SB的主表面和绝缘膜IF3的上表面露出。通过该回蚀刻,在逻辑电路区域LN,形成覆盖虚拟栅电极DG2的侧壁的由氮化硅膜NT3、NT8形成的侧壁SW3。另外,通过该回蚀刻,在存储器单元区域HM,形成覆盖包括控制栅电极CG、ONO膜ON及存储器栅电极MG的图案的侧壁的氮化硅膜NT3,由氧化硅膜OX4及氮化硅膜NT8形成的侧壁SW4。

[0263] 侧壁SW3的宽度与氮化硅膜NT3、NT8的合计膜厚大小相同,即26nm。侧壁SW4的宽度与氮化硅膜NT3、氧化硅膜OX4及氮化硅膜NT8的合计膜厚大小相同,即46nm。通过这种方式,可形成具有2种不同宽度的侧壁SW3、SW4。

[0264] 下面,如图55所示,通过进行使用图25、图26及图38至图43而说明了的工序,从而完成本实施方式的半导体器件。本实施方式中,通过进行使用图22而说明了的工序同样的工序,在形成氮化硅膜NT3及氧化硅膜OX4时,可防止虚拟栅电极DG2彼此之间被完全埋入。因而,由于不会发生使用图68的比较例而说明的、绝缘膜的除去不良,因此在使用图54而说明了的工序之后进行的离子注入工序中,可在逻辑电路区域LN中,形成所要求的扩散层。

[0265] 另外,能够防止在栅电极G2的横向上的侧壁SW3的宽度方面产生偏差。另外,能够防止在氧化硅膜OX4的除去工序(参照图22)中氮化硅膜NT3的一部分被过度除去,在氮化硅膜NT3的除去工序(参照图54)中半导体衬底SB的主表面发生后退。因而,可提高半导体器件的可靠性。

[0266] 另外,通过形成具有不同宽度的侧壁SW3、SW4,能够确保高耐压MISFET的耐压,并且能够使低耐压MISFET的源漏区域彼此的间隔变窄,因此能够实现低耐压MISFET的集成度的提高、低功耗化及高速工作化。

[0267] 这里,将对通过上述制造工序所形成的MISFETQ2及存储器单元MC进行放大的剖面图示于图56。即,图56为对图55的一部分放大而示出的剖面图。图56中,具体地示出了ONO膜ON的层叠结构及偏置隔离膜OS2的层叠结构。另外,图56中,省略硅化物层S1、S2,层间绝缘膜IL2、IL3及接触插塞CP的图示。如图56所示,在逻辑电路区域LN中,在包括绝缘膜HK及金属膜MF的层叠膜的侧壁,隔着由氮化硅膜NT4、NT5形成的偏置隔离膜OS2,形成由氮化硅膜NT3、NT8形成的侧壁SW3。

[0268] 例如,当逻辑电路区域中所形成的低耐压的MISFET的栅极绝缘膜包含high-k膜的情况下,或该MISFET的栅电极为金属栅电极的情况下,或产生以下的问题。即,会产生如下问题,关于high-k膜及金属栅电极,在其附近形成包括氧化硅膜的偏置隔离膜或侧壁的情况下,该氧化硅膜内的氧向high-k膜或金属栅电极移动,从而与high-k膜或金属栅电极的材料反应,由此该MISFET的特性发生变动,元件的可靠性降低。

[0269] 与此相对,本实施方式中,如图56所示,与作为high-k膜的绝缘膜HK、构成金属栅电极的金属膜MF邻接的偏置隔离膜OS2仅由氮化硅膜NT4、NT5形成。另外,将由绝缘膜HK及金属膜MF形成的层叠膜的侧壁覆盖的侧壁SW3仅由氮化硅膜NT3、NT8形成。即,偏置隔离膜OS2及侧壁SW3中不含氧化硅膜。因此,能够防止氧自偏置隔离膜OS2及侧壁SW3向绝缘膜HK及金属膜MF而浸入,因此能够防止以氧和绝缘膜HK或金属膜MF发生反应为起因的、元件的特性发生变动。因而,能够提高半导体器件的可靠性。

[0270] 另外,图57示出了没有形成MONOS存储器时的本实施方式的半导体器件的剖面图。

即,这种情况下,在不设置存储器单元区域HM的情况下,进行使用图53至图55而说明了的工序。图57中,示出了逻辑电路区域LN的MISFETQ2,和在使用图53至图55而说明了的工序中、对I/O区域HV实施相对于存储器单元区域HM所进行了的工序从而形成的高耐压的MISFETQ3。与图56所示的覆盖包括控制栅电极CG及存储器栅电极MG的图案的侧壁的膜相同,在图57所示栅电极G3的侧壁隔着偏置隔离膜OS2而形成侧壁SW4。

[0271] 这种情况下,与使用图45而说明了的结构同样,由于不存在MONOS型的存储器单元,因此可获得能够如下优点,即能够防止以仅由氮化硅膜NT4、NT5形成偏置隔离膜OS2为起因的、半导体器件的误工作。

[0272] <变型例1>

[0273] 以下,对本实施方式的变型例1的半导体器件的制造工序,使用图58进行说明。图58为本变型例的半导体器件的制造工序中的剖面图。图58与图20同样,为示出了逻辑电路区域LN及存储器单元区域HM的剖面图。

[0274] 这里,对利用后栅极工艺形成金属栅电极的情况进行说明。另外,这里,对将使用图46至图50对形成上述偏置隔离膜的第三的方法,和使用图53及图54而说明了的、外侧的部分形成由氮化硅膜形成的侧壁的方法这两种方法进行组合的情况进行说明。在形成偏置隔离膜之后的工序的说明中所用的图58中,为了使图便于理解,将实际上具有层叠结构的偏置隔离膜OS3、OS4(参照图50)分别以1个膜的方式示出。

[0275] 另外,图51中,将逻辑电路区域LP及I/O区域HV(参照图1)中的制造工序的说明省略,而仅将逻辑电路区域LN及存储器单元区域HM进行图示。

[0276] 本变型例中,如图58所示,通过进行与使用图1至图3、图31至图33而说明了的工序同样的工序,而形成各种栅电极之后,通过进行与使用图46至图50而说明了的工序同样的工序,形成偏置隔离膜OS3、OS4。之后,在进行与使用图20至图22而说明了的工序同样的工序之后,通过进行与使用图53至图55而说明了的工序同样的工序,完成本变型例的半导体器件。

[0277] 本变型例中,通过进行与使用图22说明了的工序同样的工序,而形成氮化硅膜NT3及氧化硅膜OX4时,能够防止虚拟栅电极DG2彼此之间被完全埋入。因而,不会发生使用图68的比较例而说明了的绝缘膜的除去不良,因此在使用图54而说明了的工序之后进行的离子注入工序中,能够在逻辑电路区域LN中形成要求的扩散层。。

[0278] 另外,能够防止在栅电极G2的横向上的侧壁SW3的宽度上产生偏差。另外,可以防止在氧化硅膜OX4的除去工序(参照图22)中氮化硅膜NT3的一部分被过度除去,在氮化硅膜NT3的除去工序(参照图54)中半导体衬底SB的主表面发生后退。因而,能够提高半导体器件的可靠性。

[0279] 另外,通过形成具有不同宽度的侧壁SW3、SW4,能够确保高耐压MISFET的耐压,并且能够使低耐压MISFET的源漏区域彼此的间隔变窄,因此能够实现低耐压MISFET的集成度的提高、低功耗化及高速工作化。

[0280] 这里,将对通过上述制造工序所形成的MISFETQ2及存储器单元MC进行放大的剖面图示于图图59。即,图59为对图58的一部分放大而示出的剖面图。图59中,具体地示出了ON膜ON的层叠结构及偏置隔离膜OS3、OS4的层叠结构。另外,图59中,省略硅化物层S1、S2,层间绝缘膜IL2、IL3及接触插塞CP的图示。如图59所示,在逻辑电路区域LN中,在包括绝缘膜

HK及金属膜MF的层叠膜的侧壁,隔着由氮化硅膜NT6、NT7形成的偏置隔离膜OS3,形成由氮化硅膜NT3、NT8形成的侧壁SW3。

[0281] 即,与作为high-k膜的绝缘膜HK、构成金属栅电极的金属膜MF邻接的偏置隔离膜OS3仅由氮化硅膜NT6、NT7形成。另外,将由绝缘膜HK及金属膜MF形成的层叠膜的侧壁覆盖的侧壁SW3仅由氮化硅膜NT3、NT8形成。即,偏置隔离膜OS3及侧壁SW3中不含氧化硅膜。因此,能够防止氧自偏置隔离膜OS3及侧壁SW3向绝缘膜HK及金属膜MF而浸入,因此能够防止以氧和绝缘膜HK或金属膜MF发生反应为起因的、元件的特性发生变动。因而,能够提高半导体器件的可靠性。

[0282] 另外,如图59所示,构成ONO膜ON的氮化硅膜NT1的侧壁与构成偏置隔离膜OS4的氧化硅膜OX6相接,其并非与氮化硅膜相接。因而,能够获得由于氮化硅膜不与ONO膜相接而产生的效果。即,构成ONO膜ON的氮化硅膜NT1的侧壁仅与覆盖该侧壁的氧化硅膜OX6相接,因此能够防止以存储器单元MC的写入工作时,电荷在ONO膜ON的附近的偏置隔离膜OS4内存储为起因的,构成存储器单元MC的MISFET的阈值电压异常上升。

[0283] <变型例2>

[0284] 以下,关于本实施方式的变型例2的半导体器件的制造工序,使用图60进行说明。图60为本变型例的半导体器件的制造工序中的剖面图。图60与图20同样,为示出逻辑电路区域LN及存储器单元区域HM的剖面图。

[0285] 这里,对利用先栅极工艺形成金属栅电极的情况进行说明。另外,这里,对将使用图13至图19而形成上述偏置隔离膜的第一方法,和使用图53及图54而说明了的,外侧的部分形成由氮化硅膜形成的侧壁的方法这两种方法进行组合的情况进行说明。

[0286] 在形成偏置隔离膜之后的工序的说明中所用的图60中,为了使图便于理解,将实际上具有层叠结构的偏置隔离膜OS1(图19参照)以1个膜的方式示出。另外,图60中,将逻辑电路区域LP及I/O区域HV(参照图1)中的制造工序的说明省略,而仅将逻辑电路区域LN及存储器单元区域HM进行图示。

[0287] 本变型例中,如图60所示,通过进行与使用图1至图19而说明了的工序同样的工序,从而各种栅电极及偏置隔离膜OS1之后,通过进行与使用图20至图22、图53及图54而说明了的工序同样的工序,从而形成侧壁SW3、SW4。接下来,通过进行与使用图25至图28而说明了的工序,从而完成图60所示的本变型例的半导体器件。

[0288] 本变型例中,通过进行与使用图22而说明了的工序同样的工序,从而形成氮化硅膜NT3及氧化硅膜OX4时,能够防止虚拟栅电极DG2彼此之间被完全埋入。因而,不会发生使用图68的比较例而说明了的绝缘膜的除去不良,因此在使用图54而说明了的工序之后进行的离子注入工序中,能够在逻辑电路区域LN中形成要求的扩散层。

[0289] 另外,能够防止在栅电极G2的横向上的侧壁SW3的宽度上产生偏差。另外,可以防止在氧化硅膜OX4的除去工序(参照图22)中氮化硅膜NT3的一部分被过度除去,在氮化硅膜NT3的除去工序(参照图54)中半导体衬底SB的主表面发生后退。因而,能够提高半导体器件的可靠性。

[0290] 另外,通过形成具有不同宽度的侧壁SW3、SW4,能够确保高耐压MISFET的耐压,并且能够使低耐压MISFET的源漏区域彼此的间隔变窄,因此能够实现低耐压MISFET的集成度的提高、低功耗化及高速工作化。

[0291] 这里,将对通过上述制造工序所形成的MISFETQ2及存储器单元MC进行放大的剖面图示于图61。即,图61为对图60的一部分放大而示出的剖面图。图61中,具体地示出了ON0膜ON的层叠结构及偏置隔离膜OS1的层叠结构。另外,图61中,省略硅化物层S1,层间绝缘膜IL2及接触插塞CP的图示。

[0292] 这里,能够获得由于氮化硅膜不与ON0膜相接而产生的效果。即,构成ON0膜ON的氮化硅膜NT1的侧壁仅与覆盖该侧壁的氧化硅膜OX3相接,因此能够防止以存储器单元MC的写入工作时,电荷在ON0膜ON的附近的偏置隔离膜OS1内存储为起因的,构成存储器单元MC的MISFET的阈值电压异常上升。

[0293] 另外,在使用图54而说明了的氮化硅膜NT3的回蚀刻工序中,由于可将膜种不同于氮化硅膜NT3的氧化硅膜OX3的一部分(图61参照)用作蚀刻阻挡膜,因此可实现精度高的蚀刻。

[0294] 以上,基于实施方式具体说明了本发明人所研发的发明,但本发明并不限于所述实施方式,当然能够在不脱离其主旨的范围内进行各种变更。

[0295] 例如,在上述实施方式1、2的逻辑电路区域中,就形成包括high-k膜的栅极绝缘膜和金属栅进行了说明,但栅极绝缘膜也可以不包括high-k膜,栅电极也可以仅由多晶硅形成形成。但是,这种情况下,在上述实施方式2中使用图56而说明了的结构中,不能获得防止氧向high-k膜及金属栅电极浸入的效果。

[0296] 不含high-k膜的栅极绝缘膜、和多晶硅栅电极可例如利用使用图31至图33而说明了的虚拟栅电极的形成方法来形成。之后,通过进行使用图13至图28而说明了的工序,从而完成半导体器件。

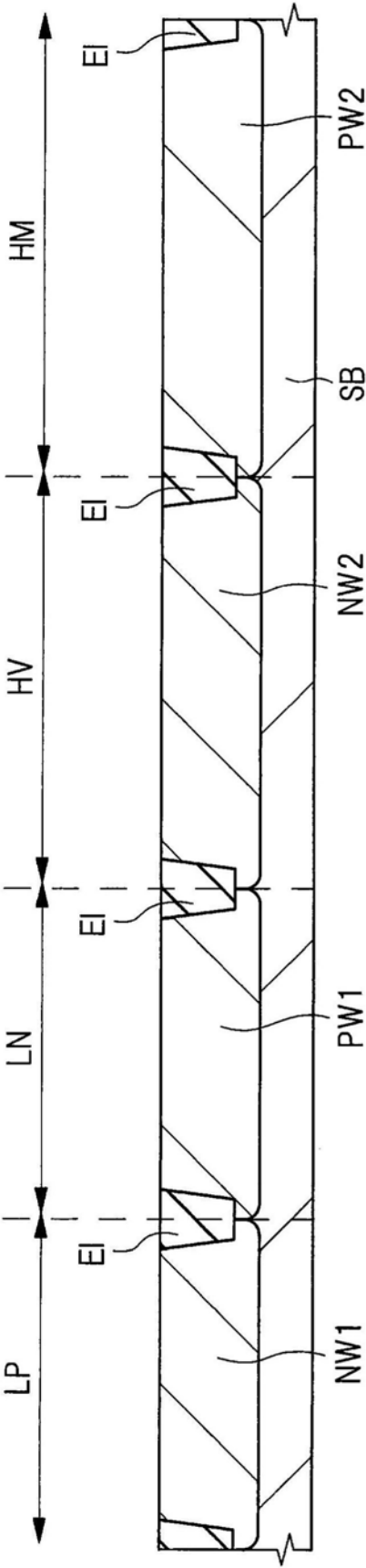


图1

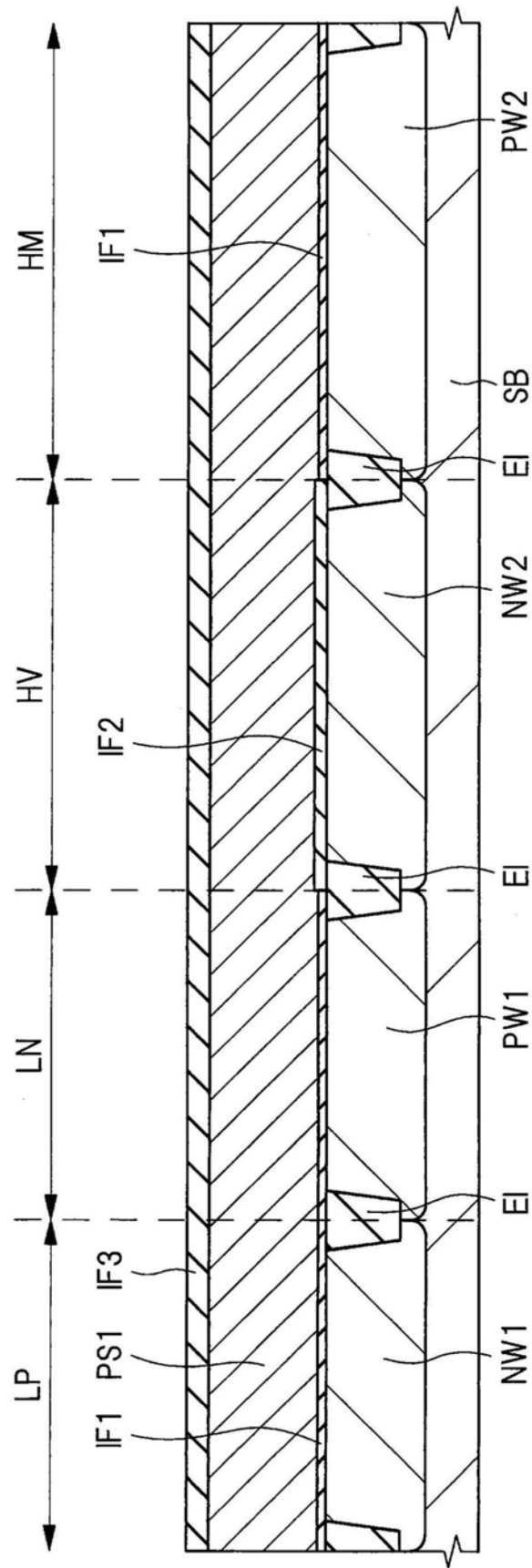


图2

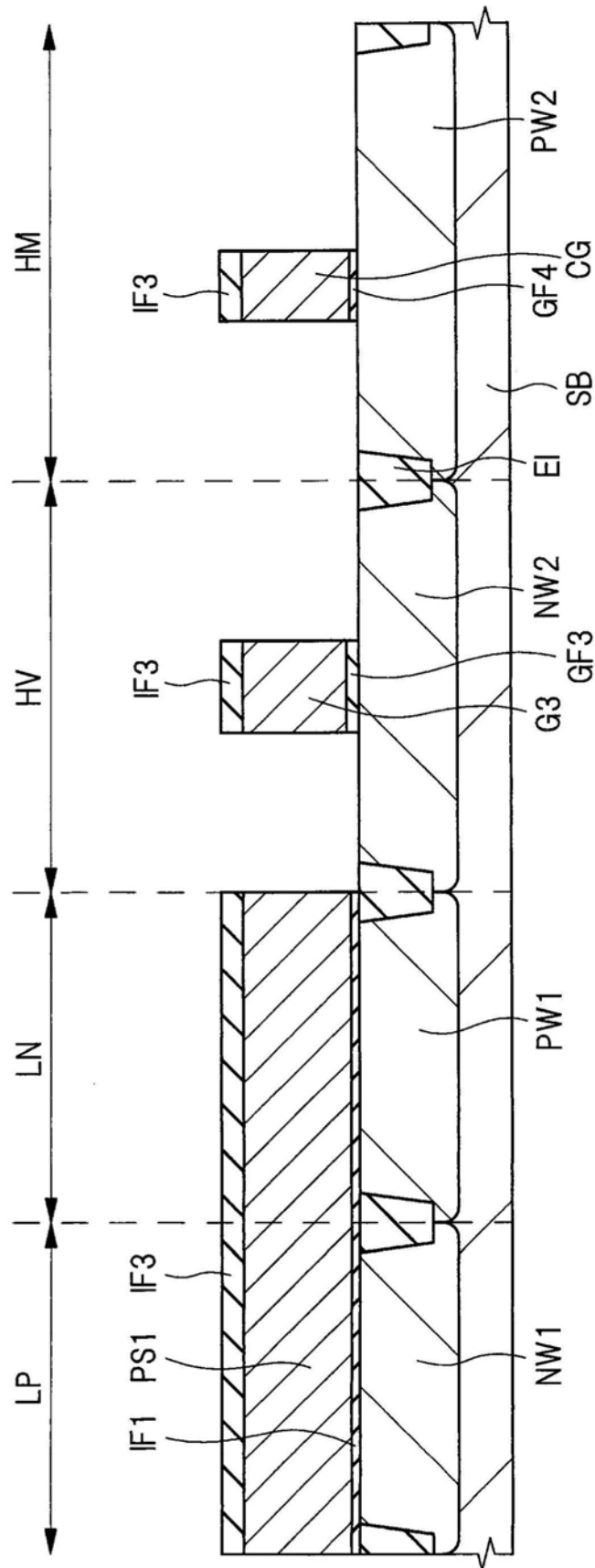


图3

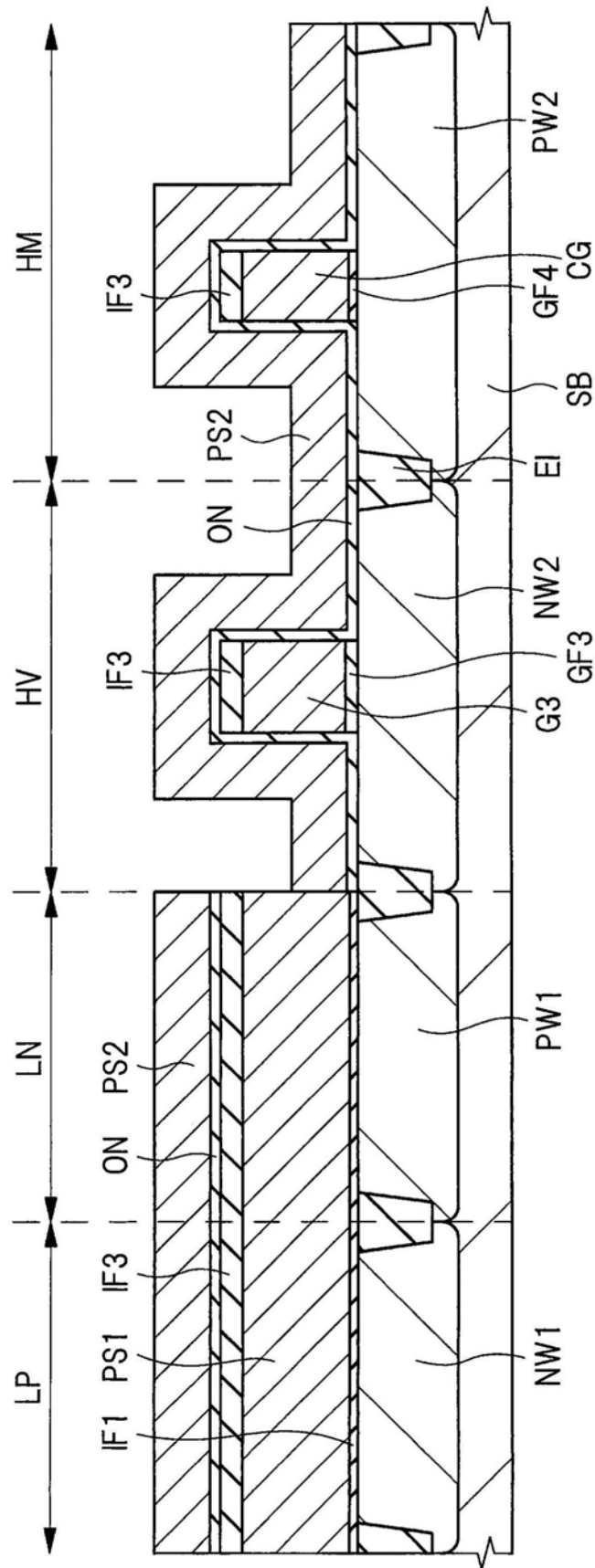


图4

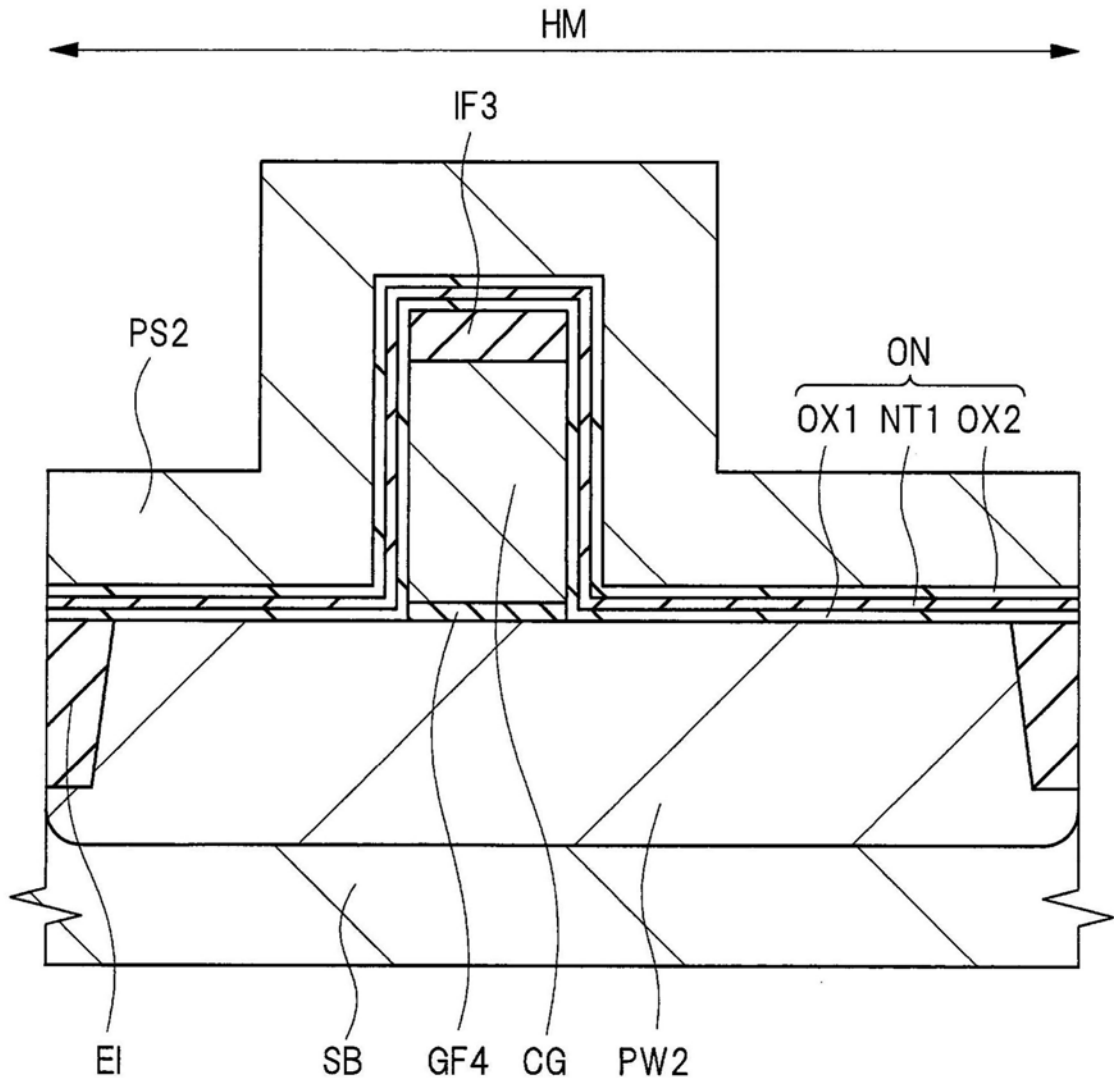


图5

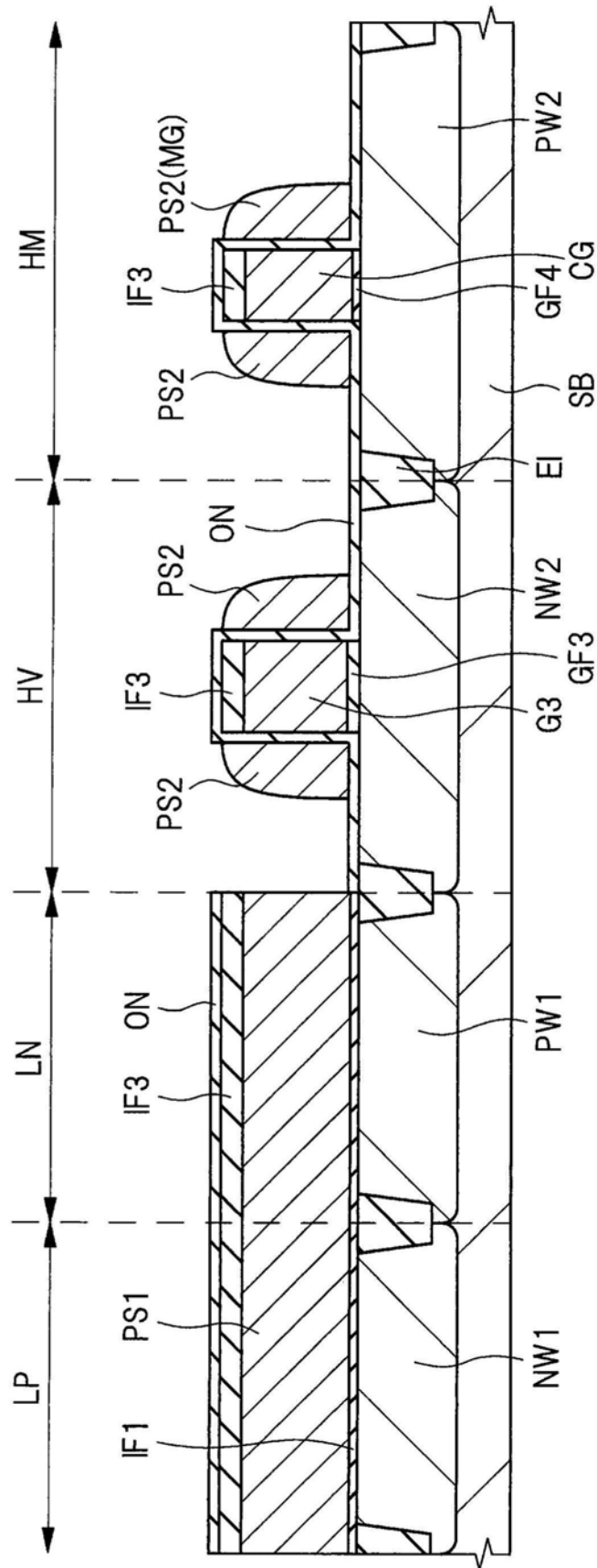


图6

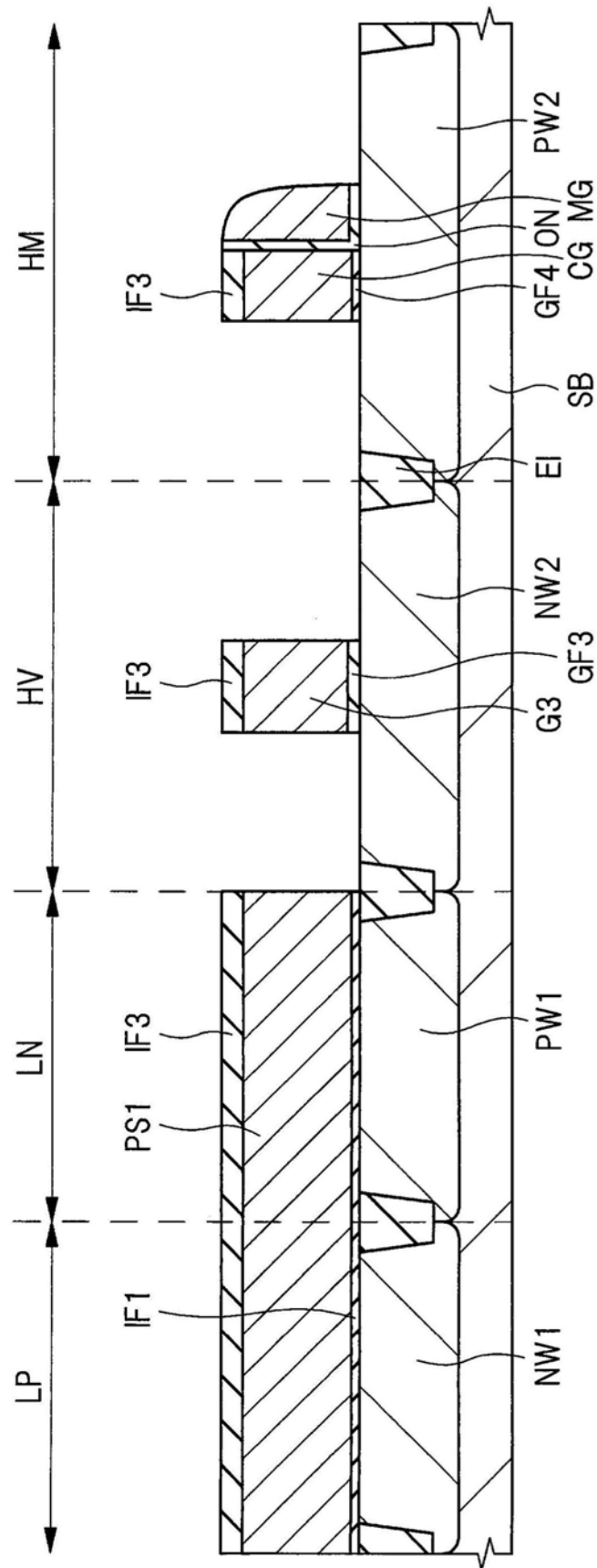


图7

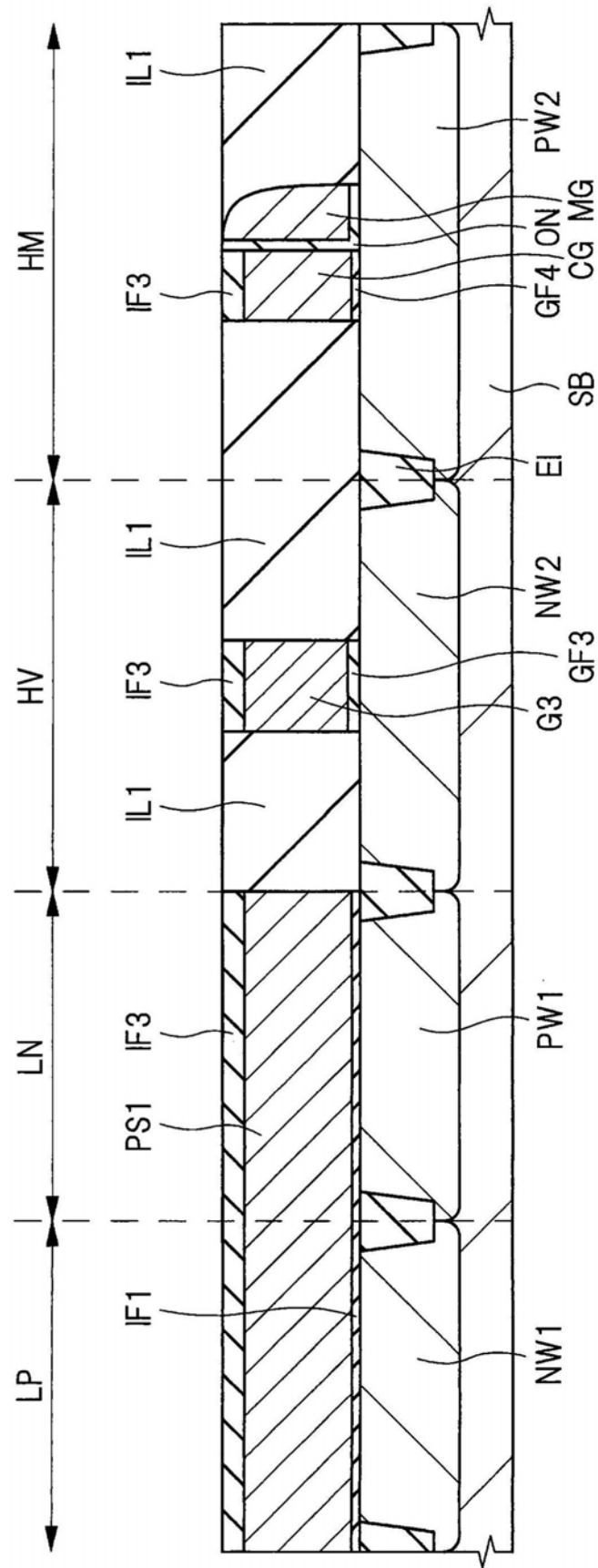


图8

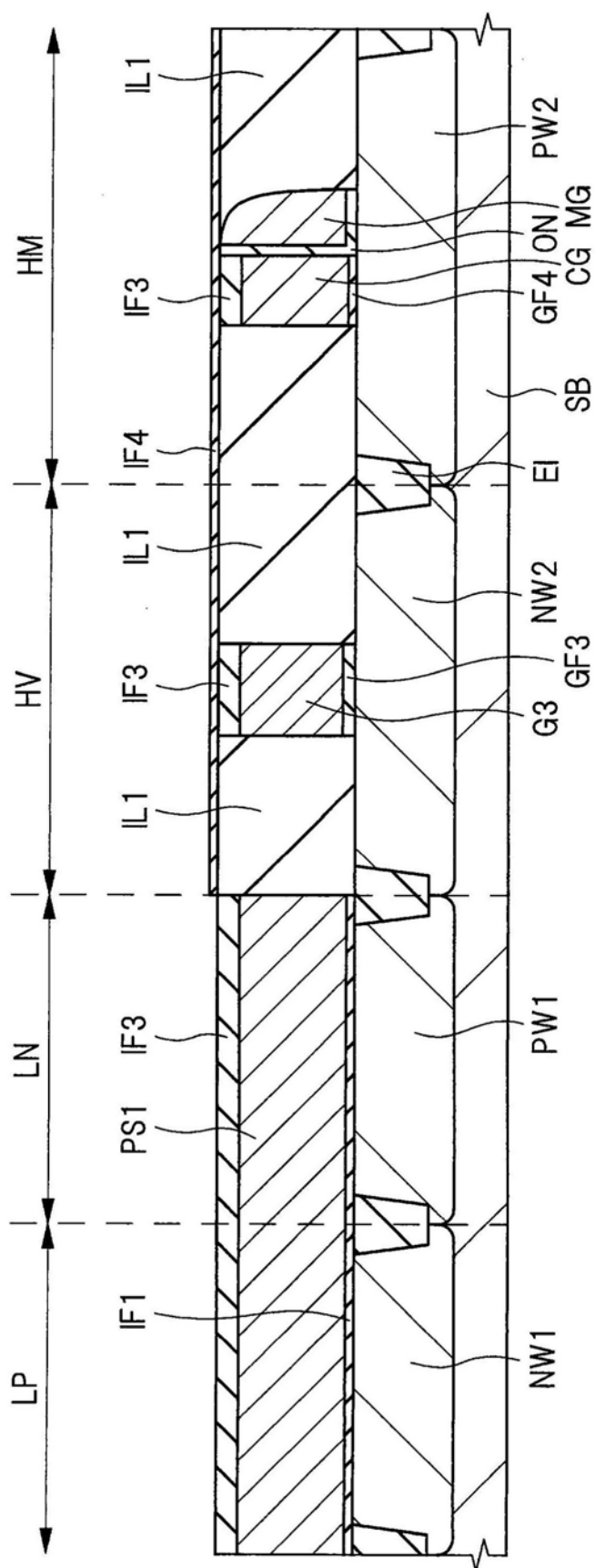


图9

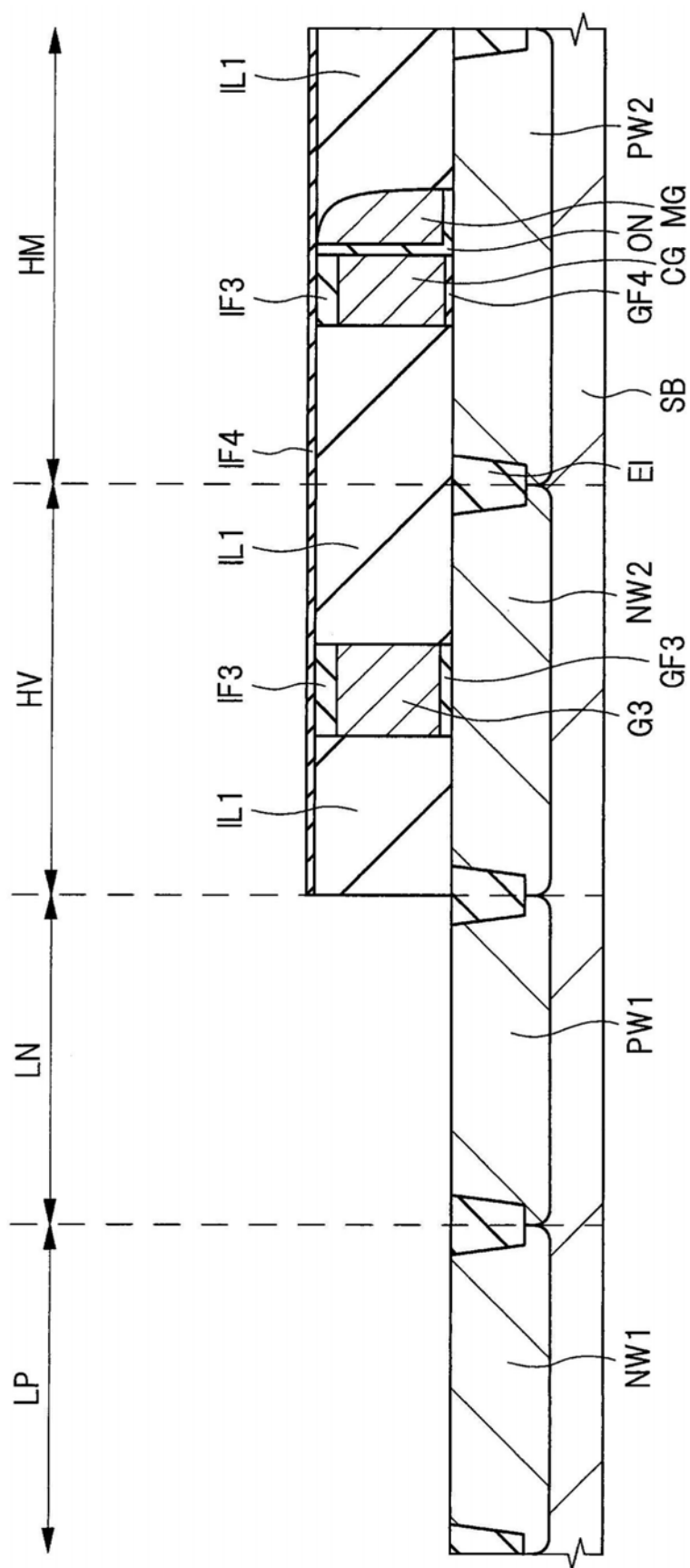


图10

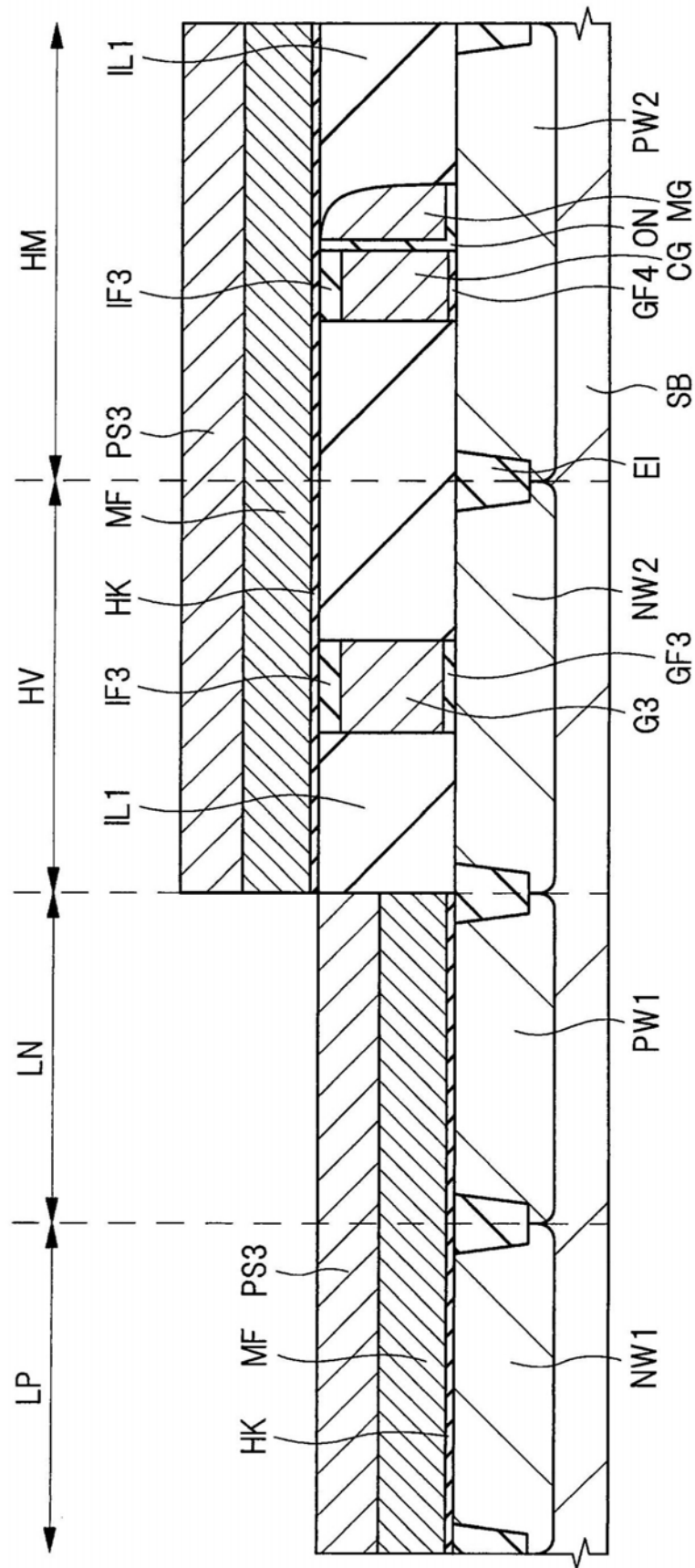


图11

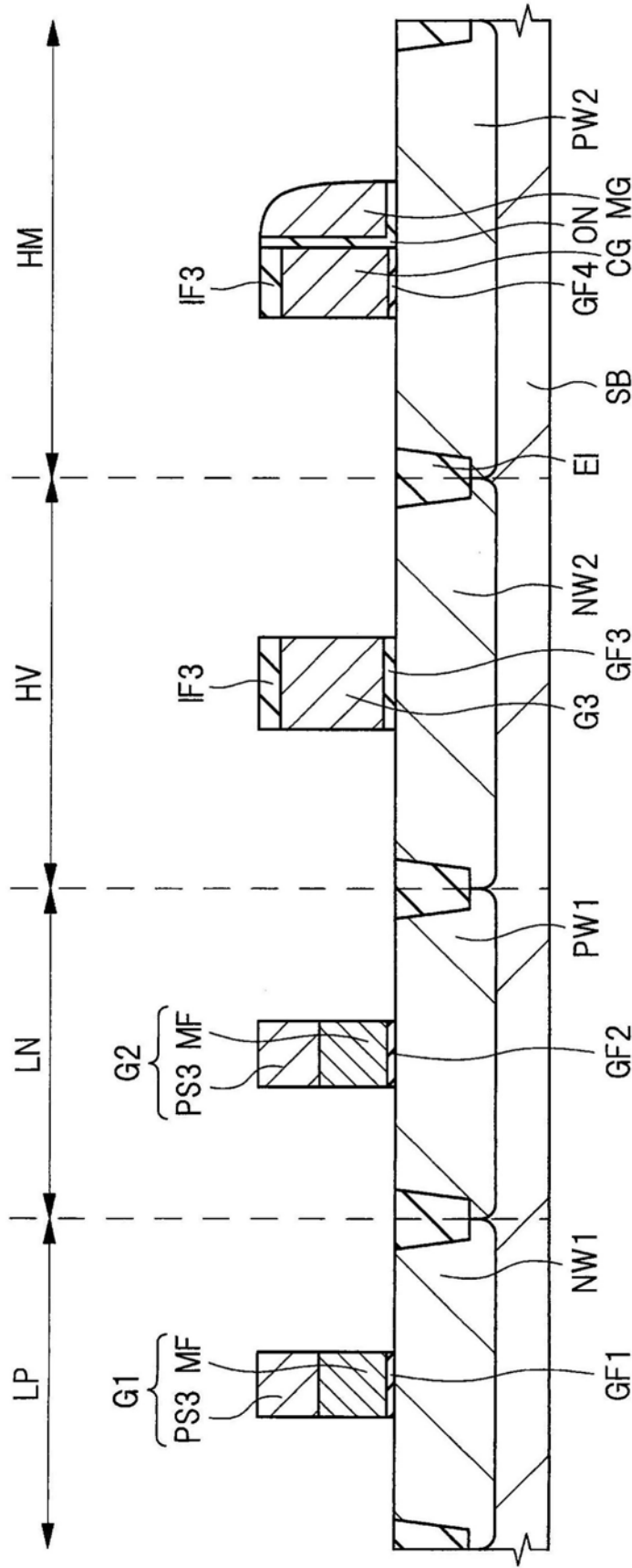


图12

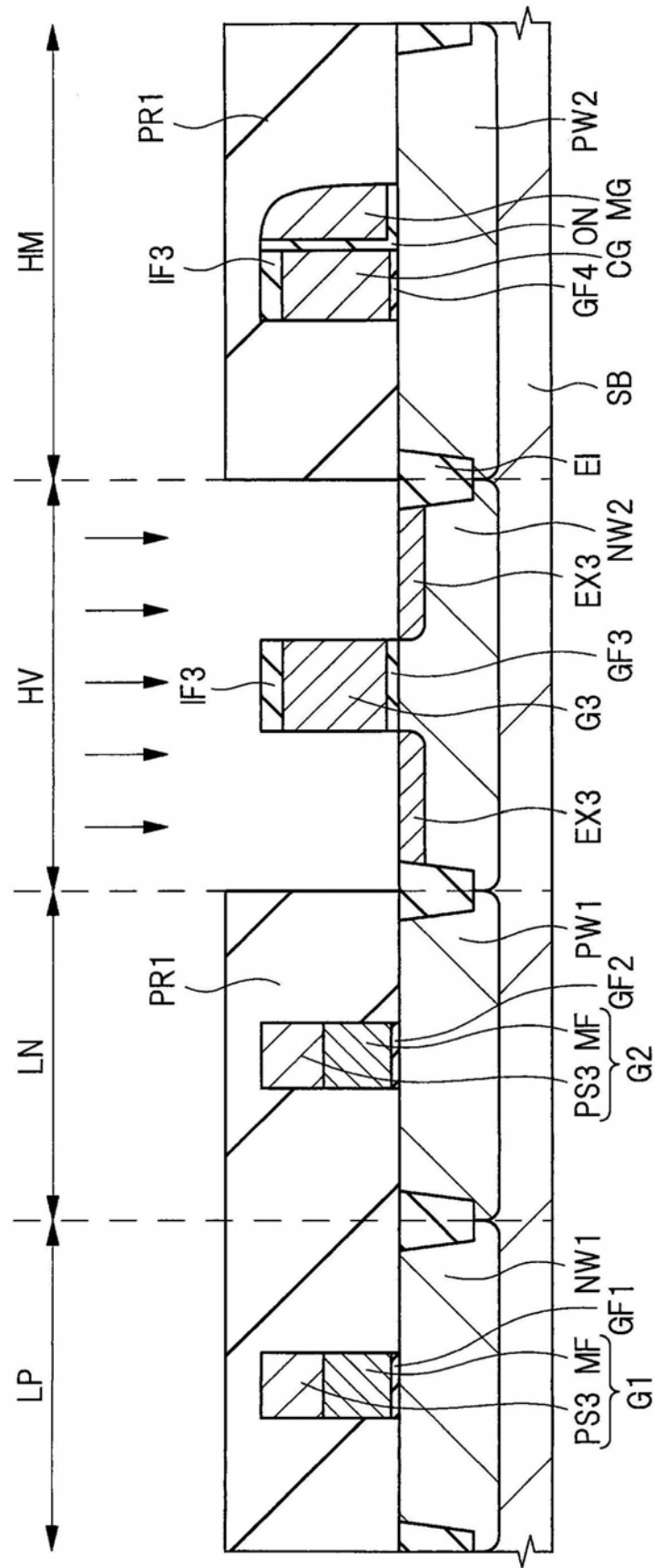


图13

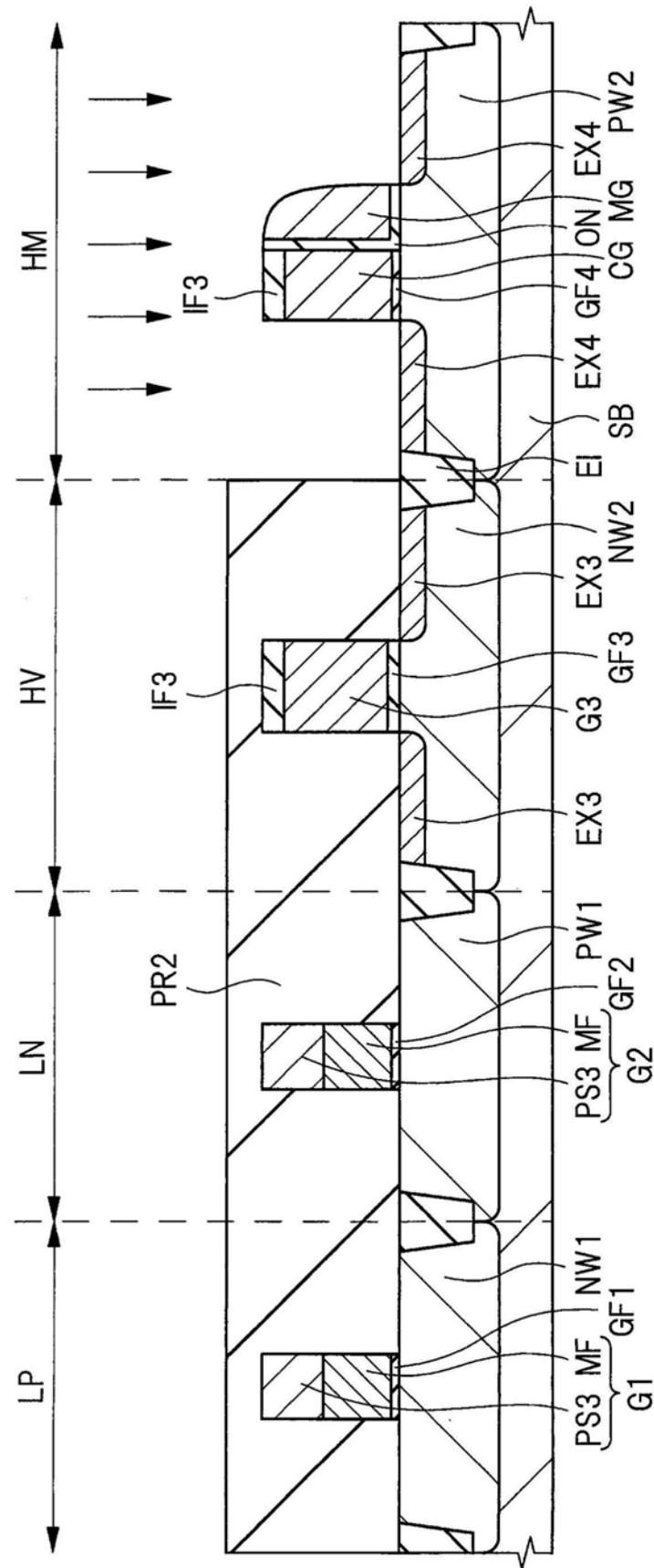


图14

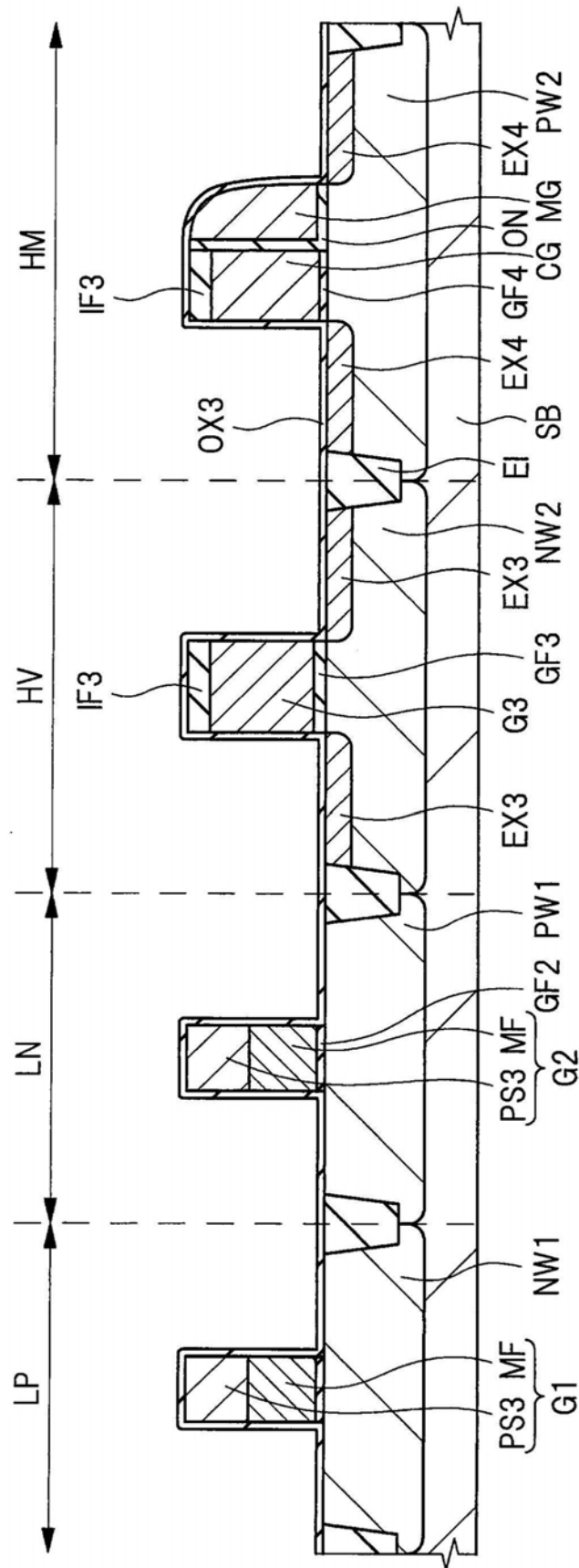


图15

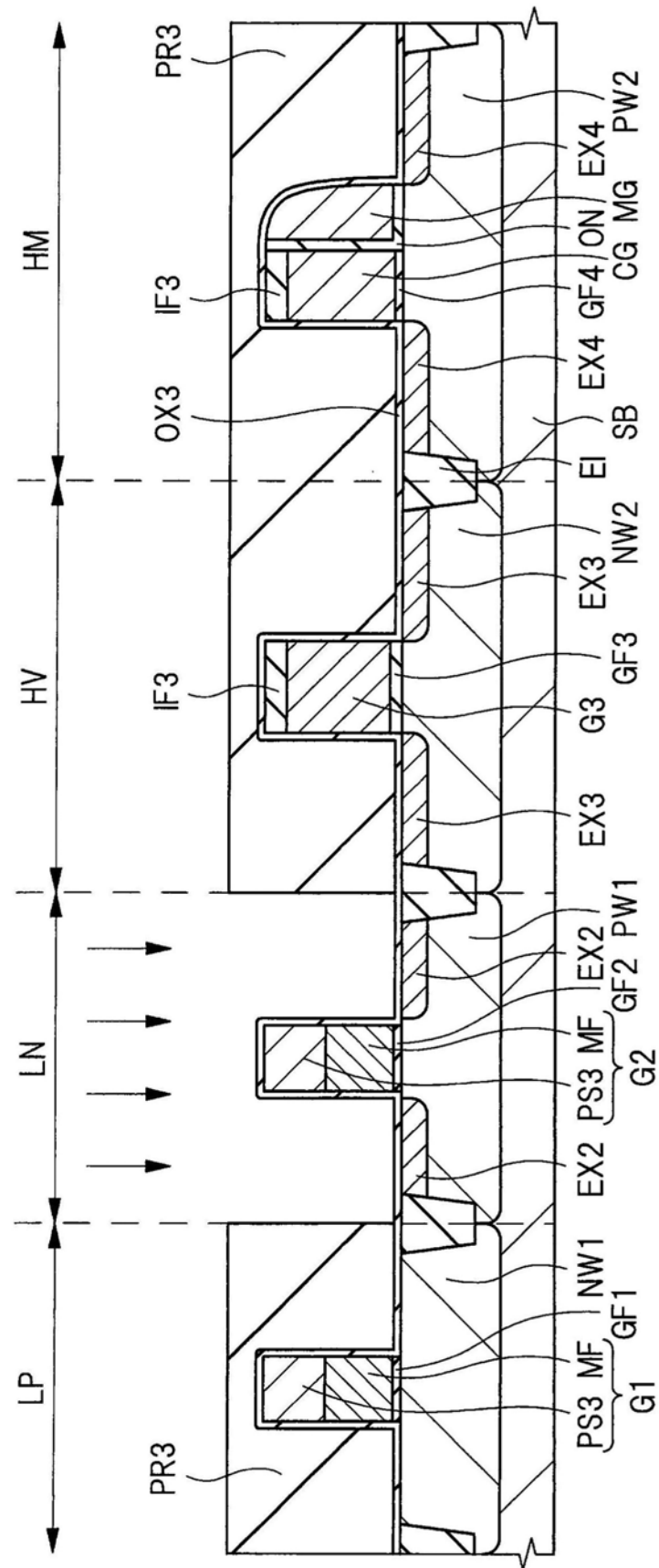


图16

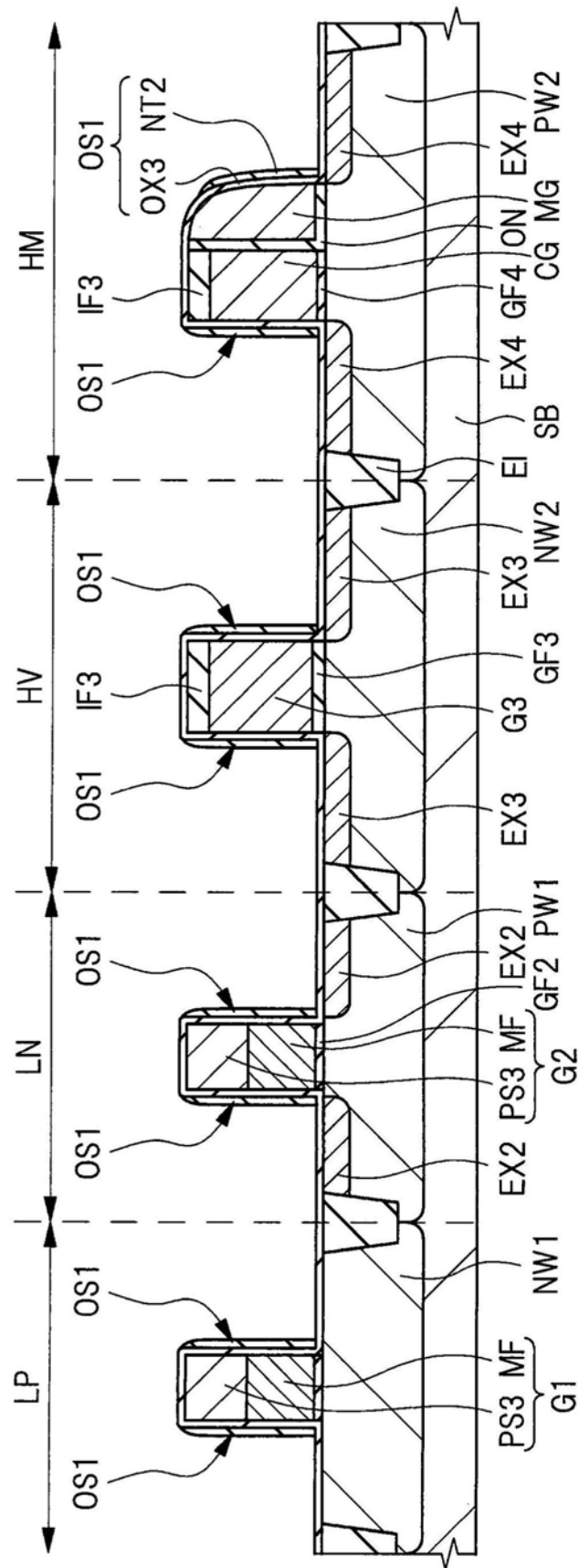


图17

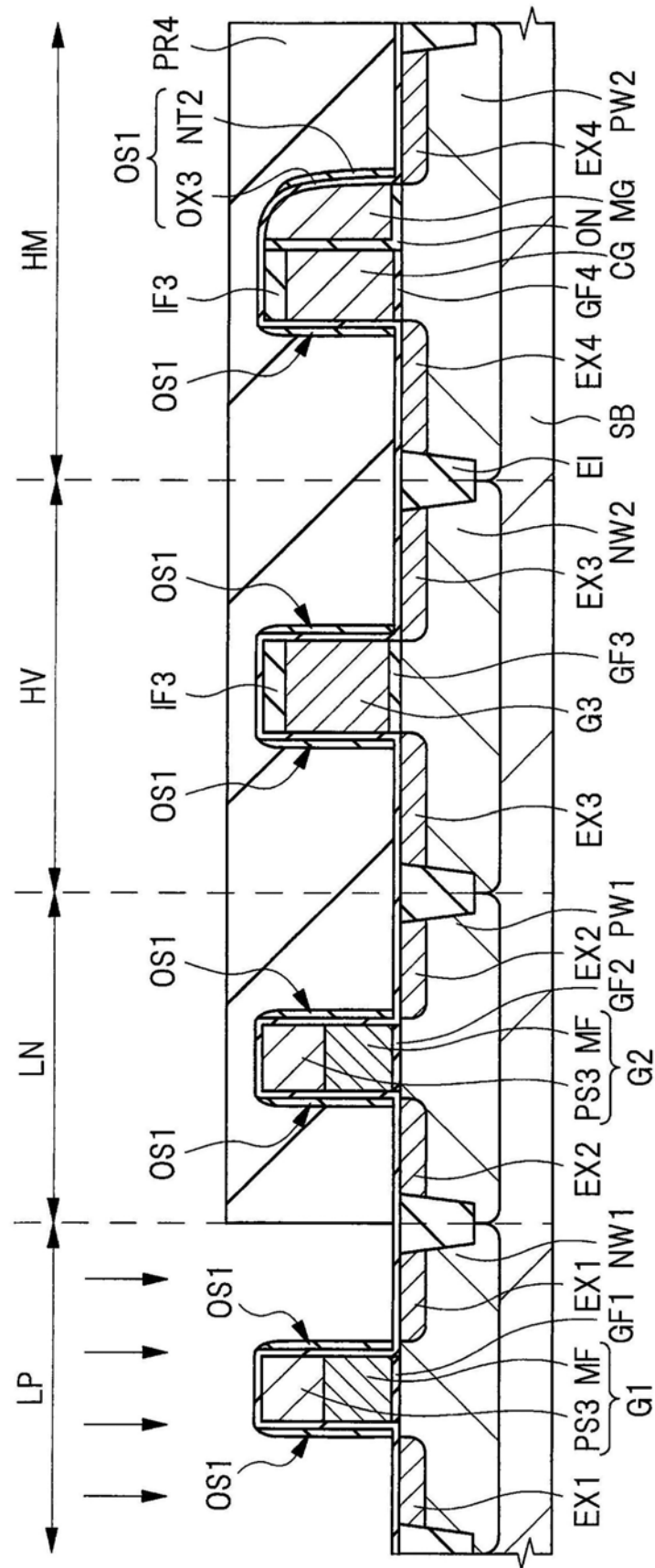


图18

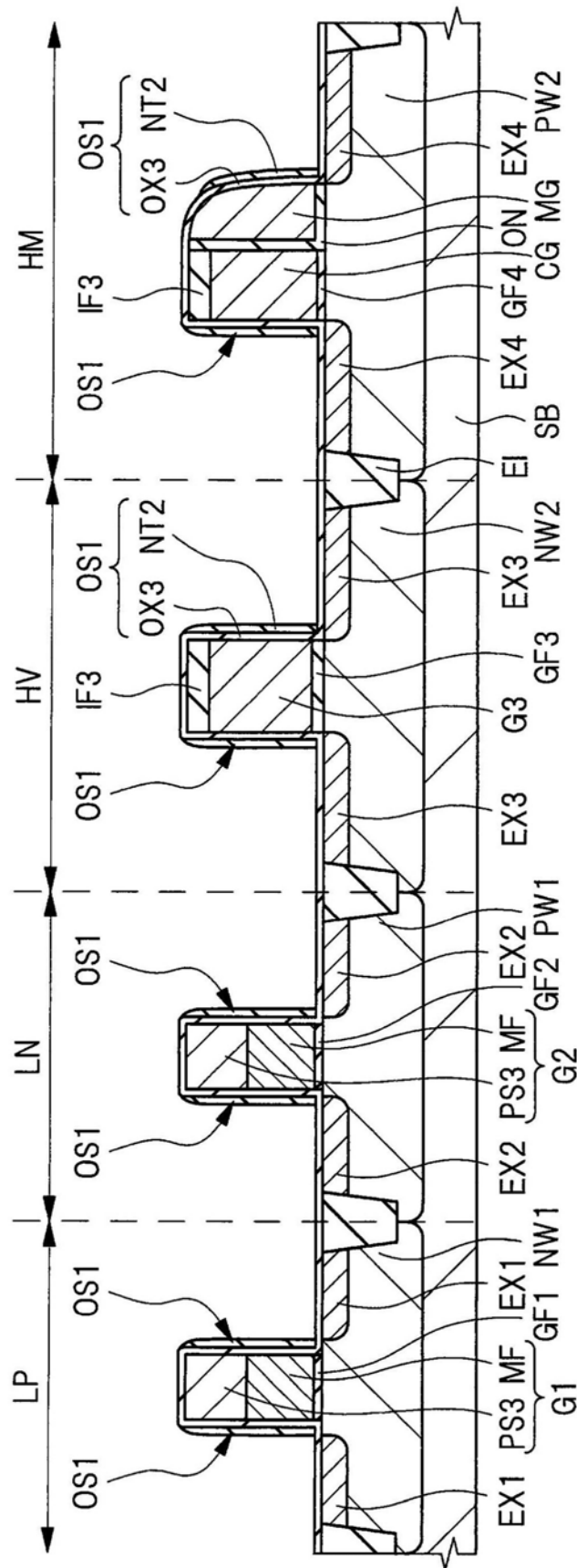


图19

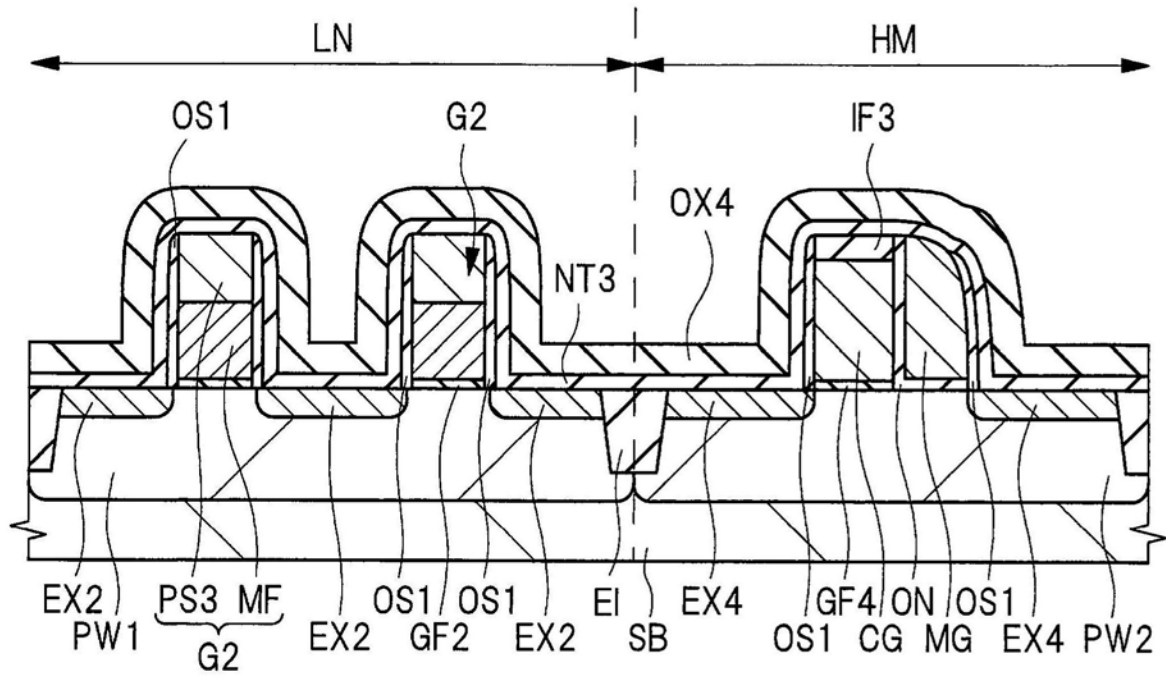


图20

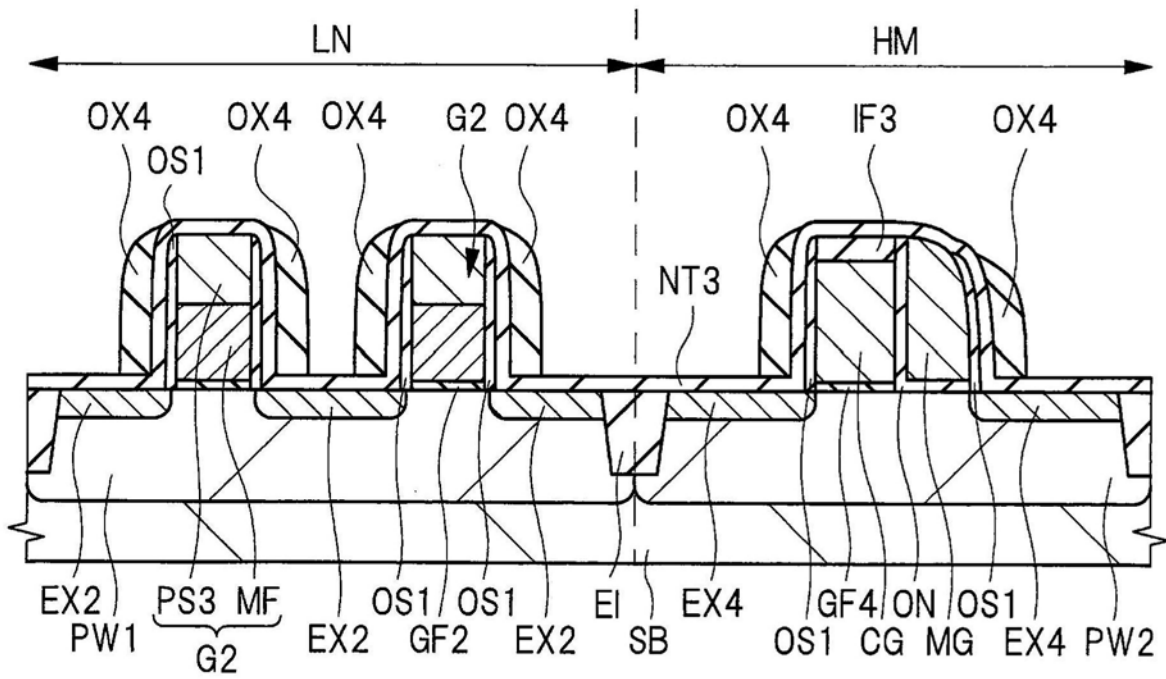


图21

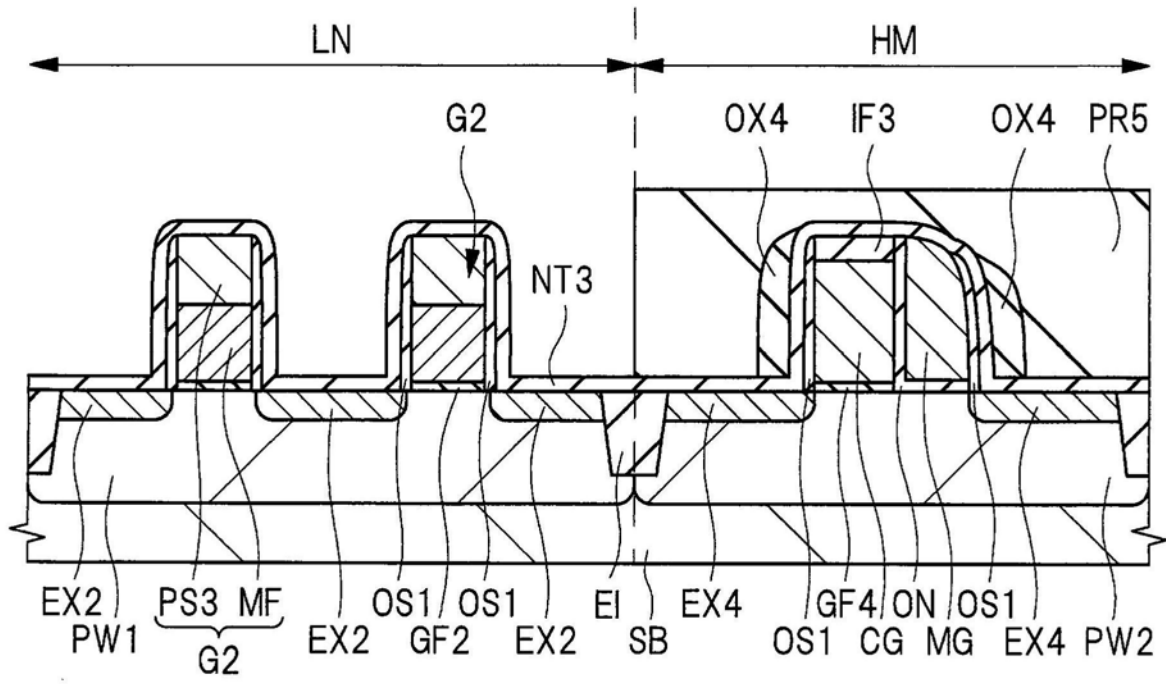


图22

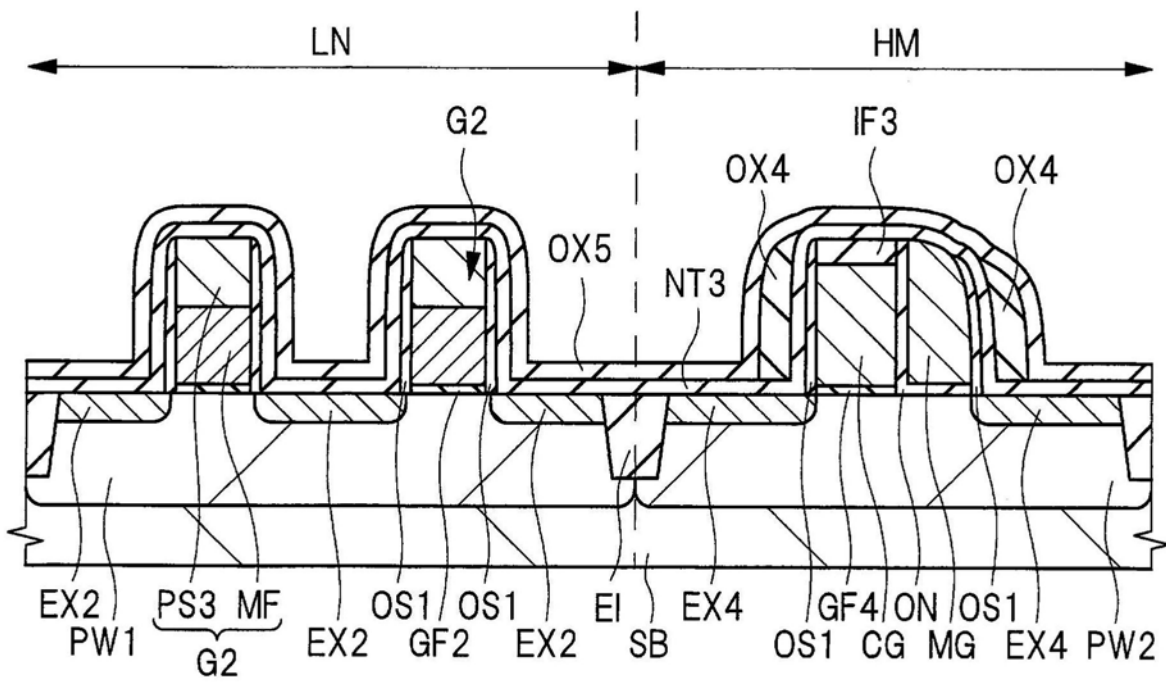


图23

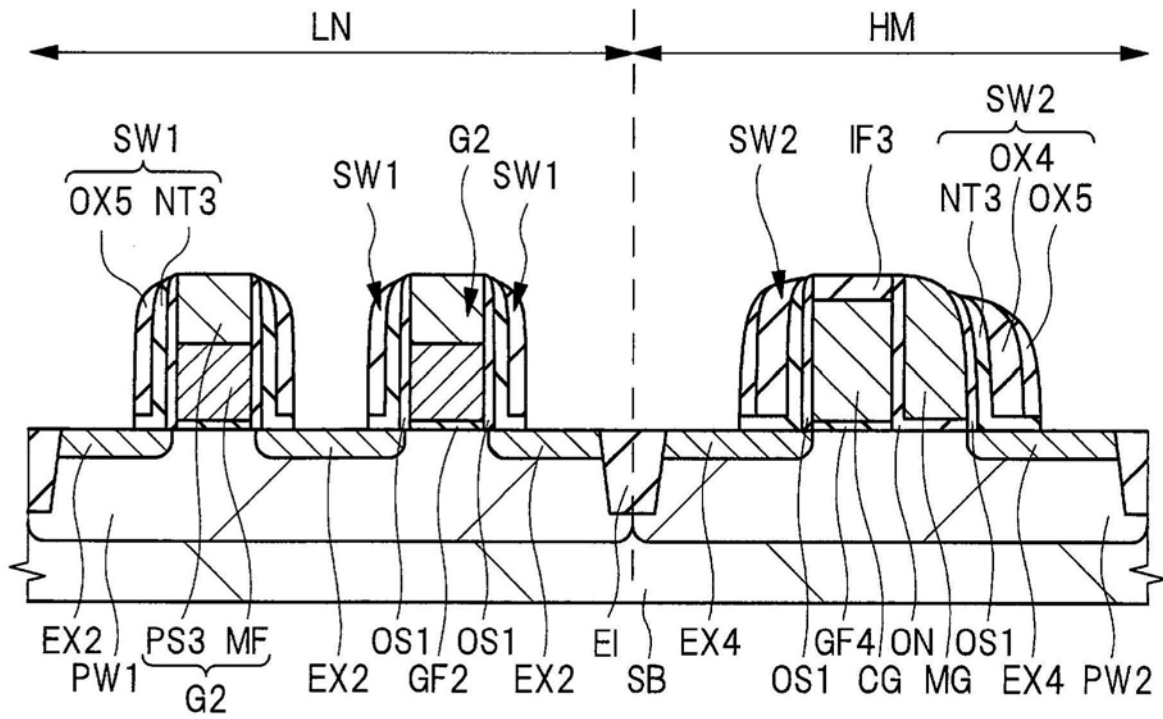


图24

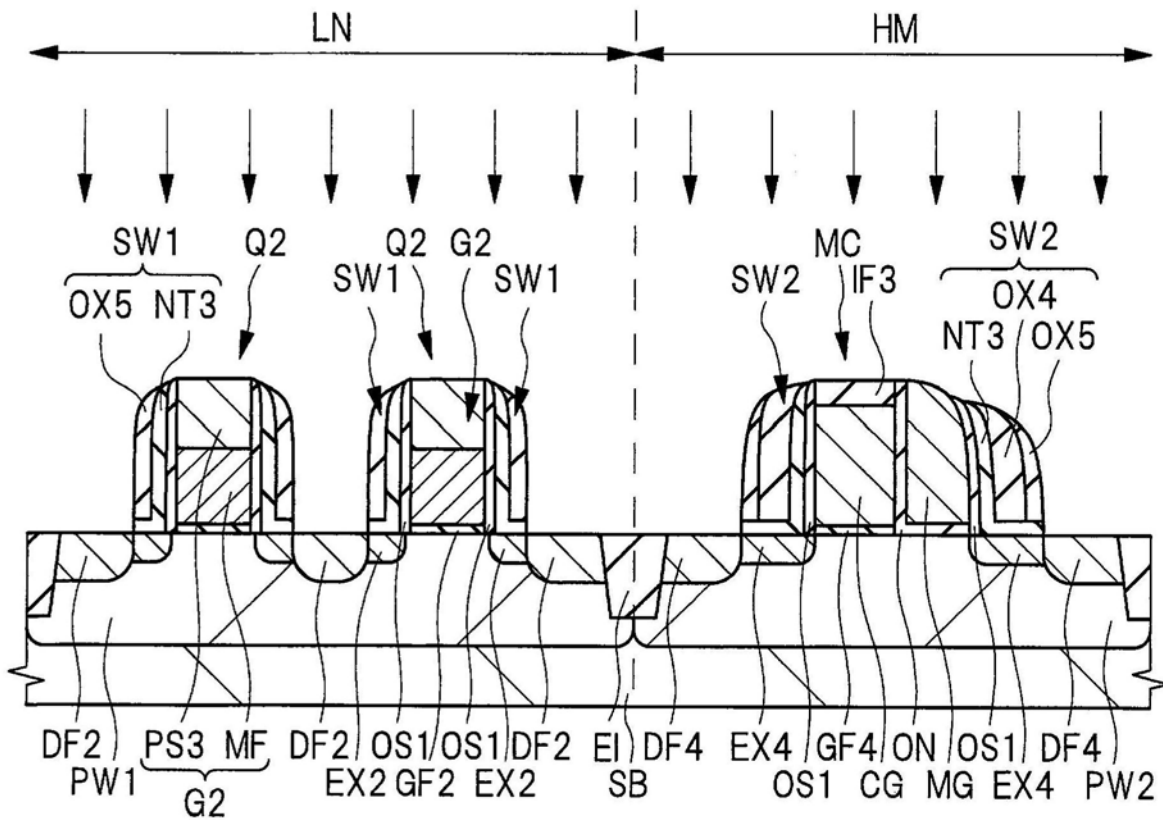


图25

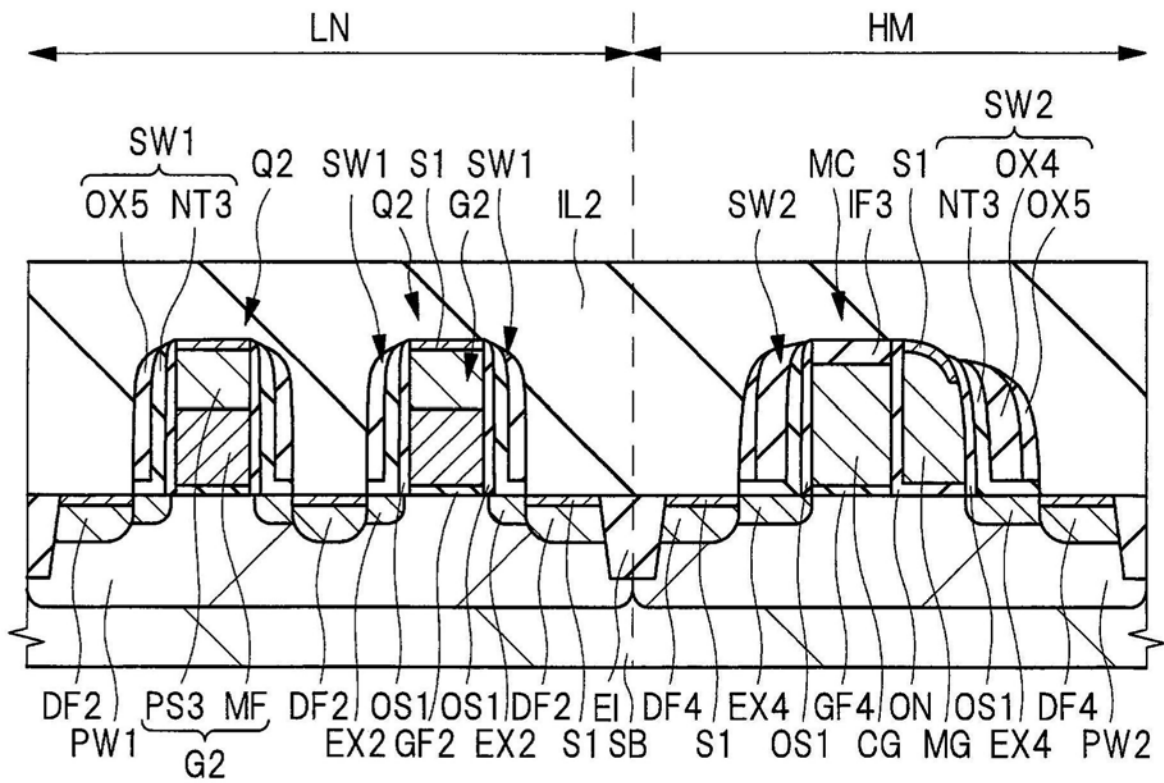


图26

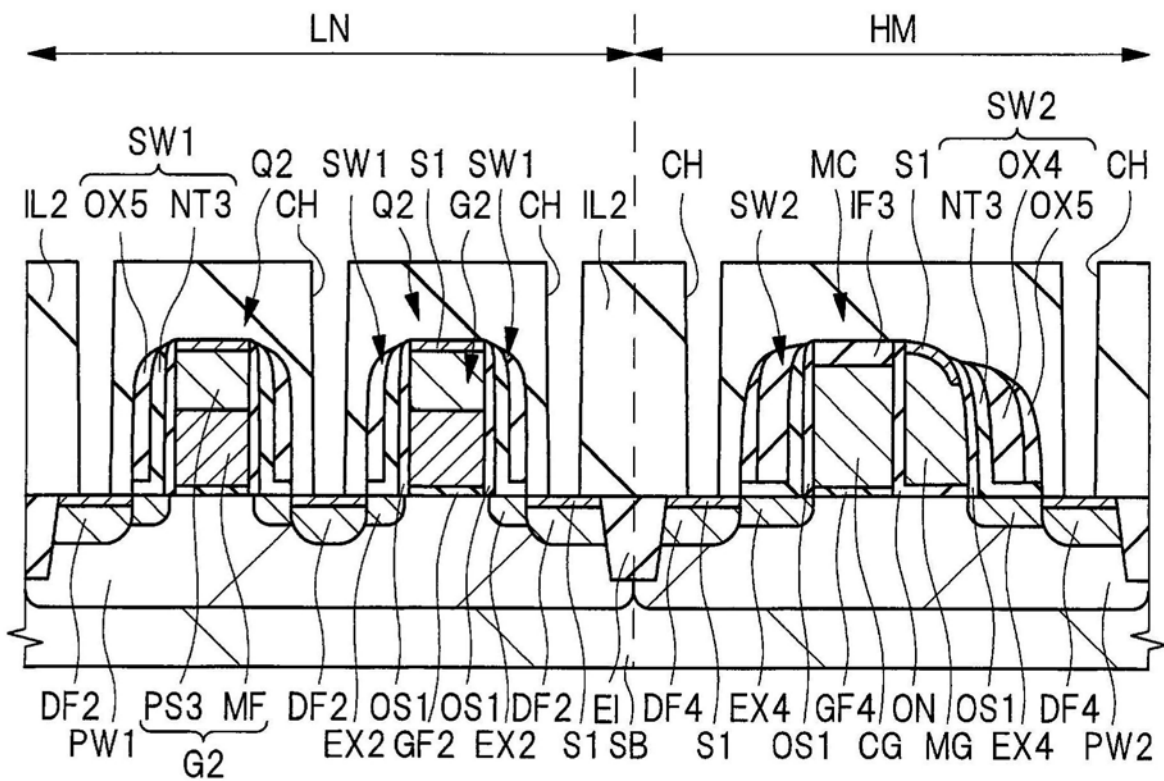


图27

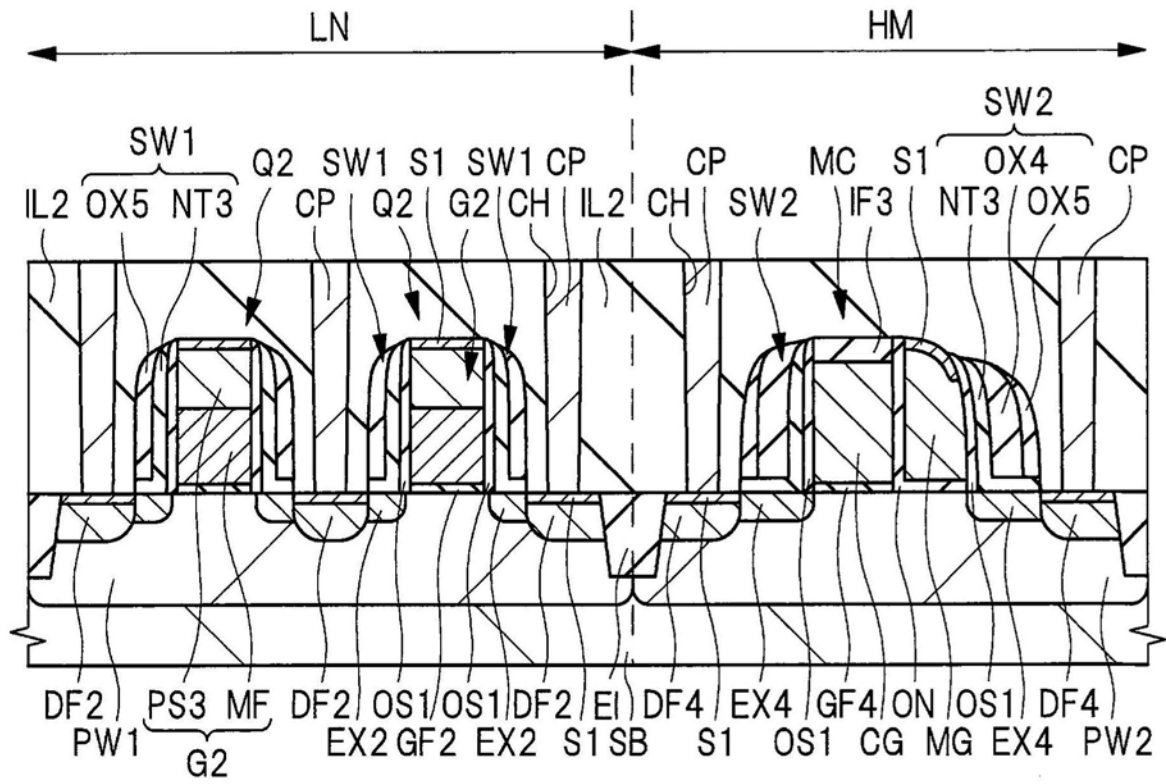


图28

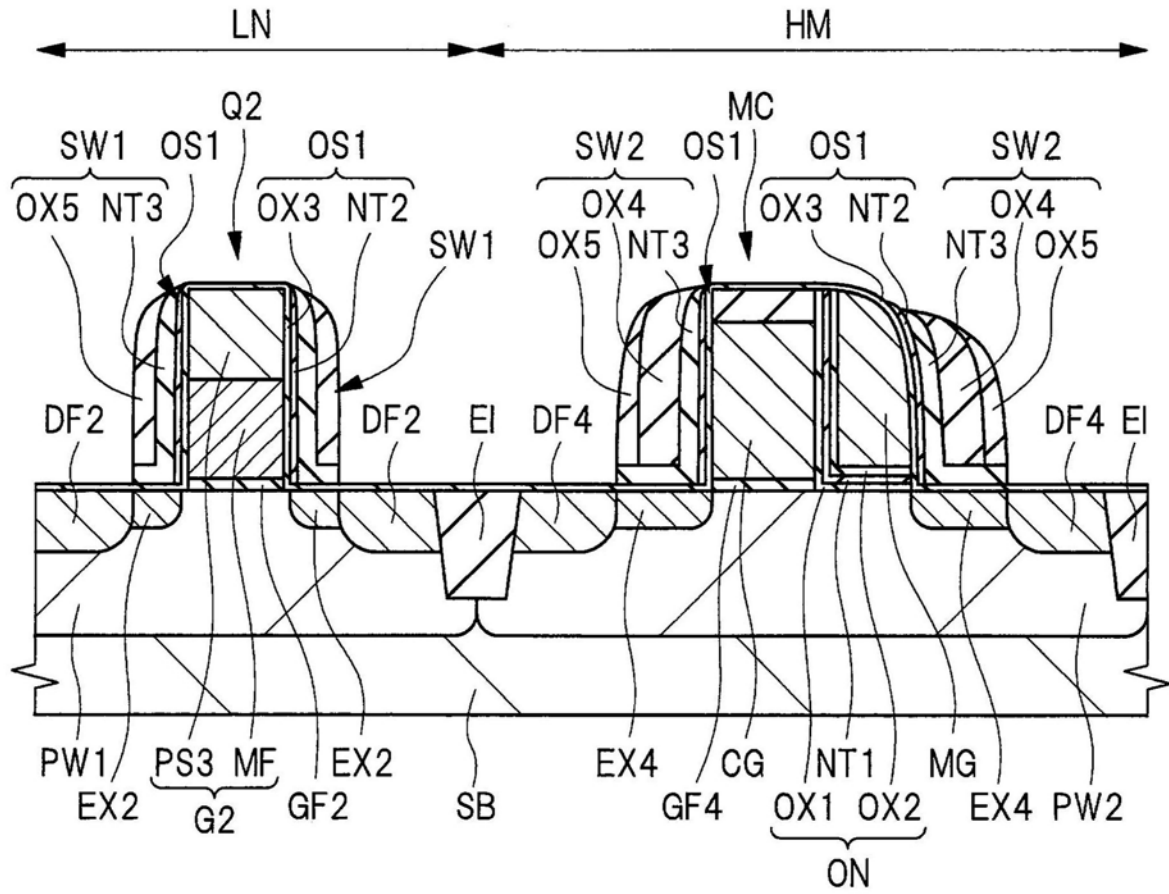


图29

	工作方式 写入/擦除	写入工作电压(V) Vmg/Vs/Vcg/Vd/Vb	擦除工作电压(V) Vmg/Vs/Vcg/Vd/Vb	读出工作电压(V) Vmg/Vs/Vcg/Vd/Vb
A	SSI(写入)/BTBT(擦除)	10/5/1/0.5/0	-6/6/0/open/0	0/0/1.5/1.5/0
B	SSI(写入)/FN(擦除)	10/5/1/0.5/0	12/0/0/0/0	0/0/1.5/1.5/0
C	FN(写入)/BTBT(擦除)	-12/0/0/0/0	-6/6/0/open/0	0/0/1.5/1.5/0
D	FN(写入)/FN(擦除)	-12/0/0/0/0	12/0/0/0/0	0/0/1.5/1.5/0

图30

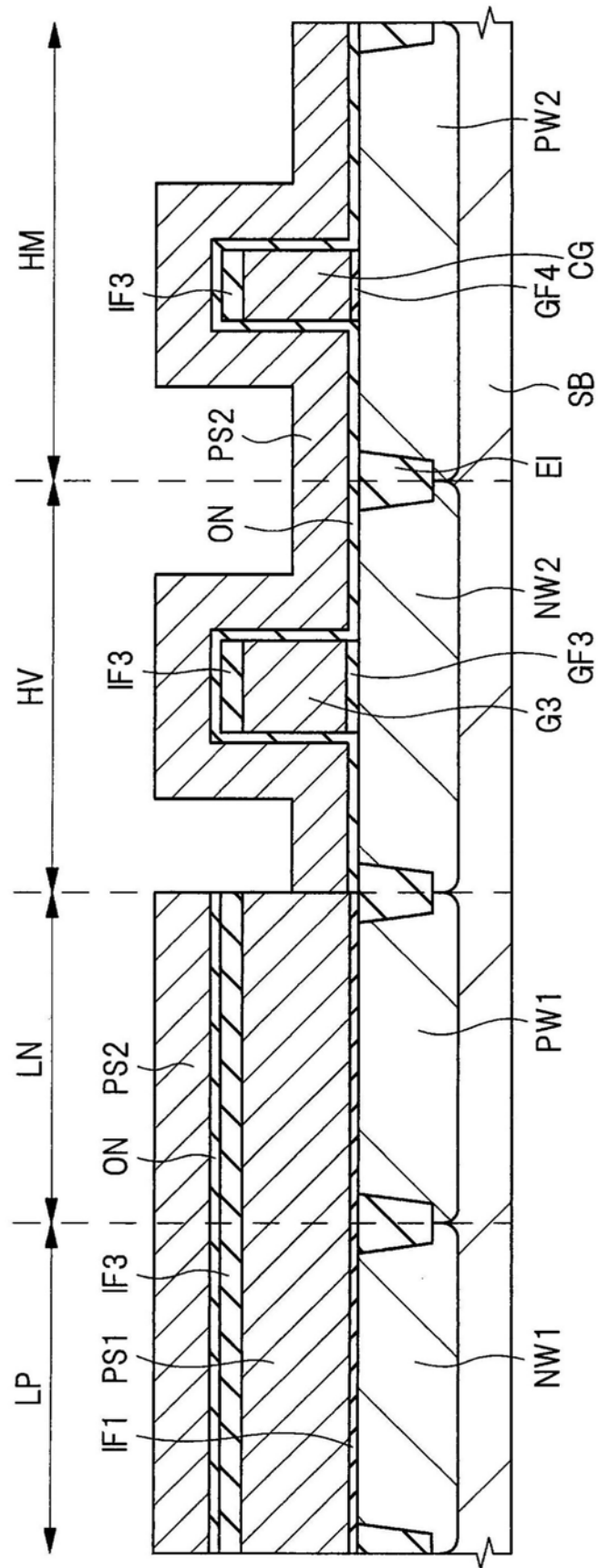


图31

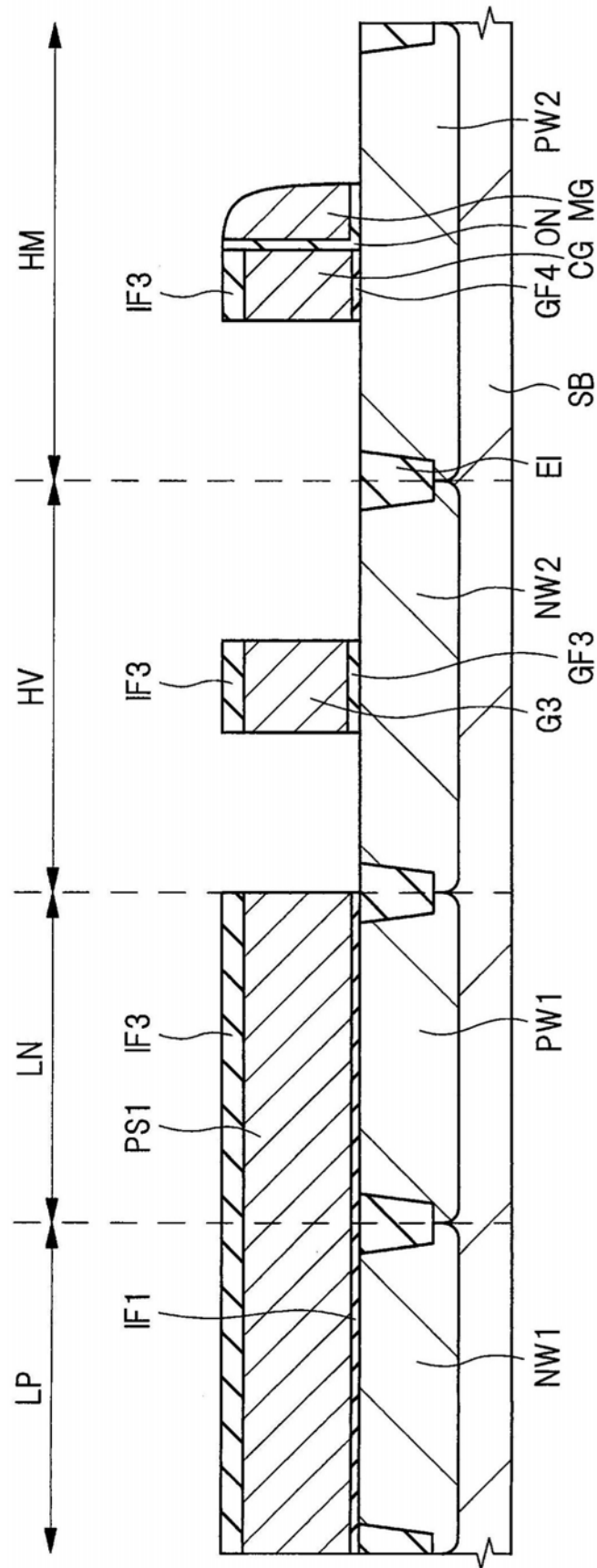


图32

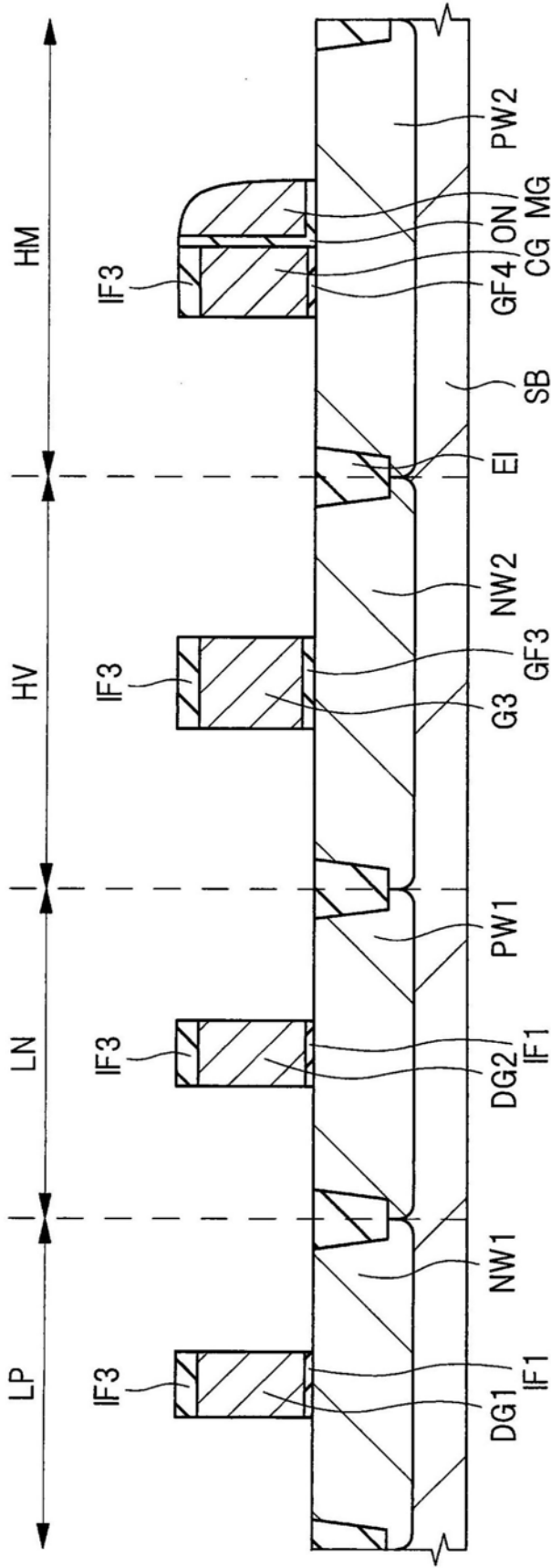


图33

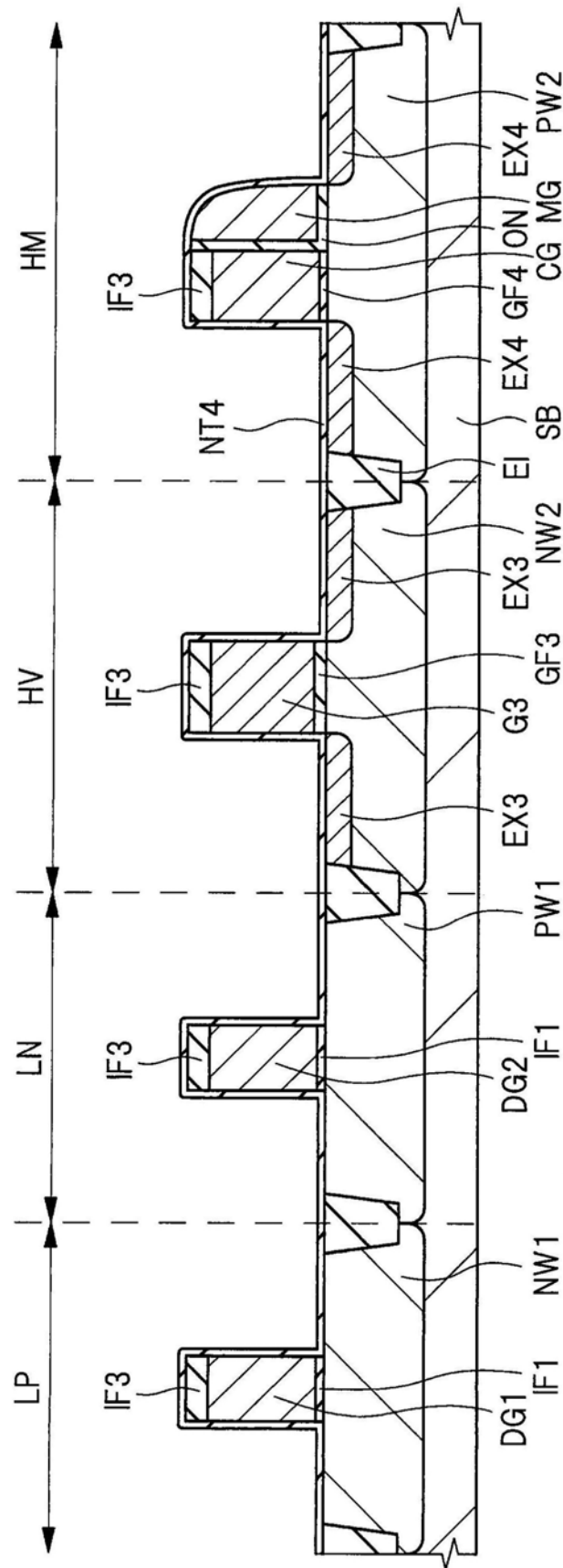


图34

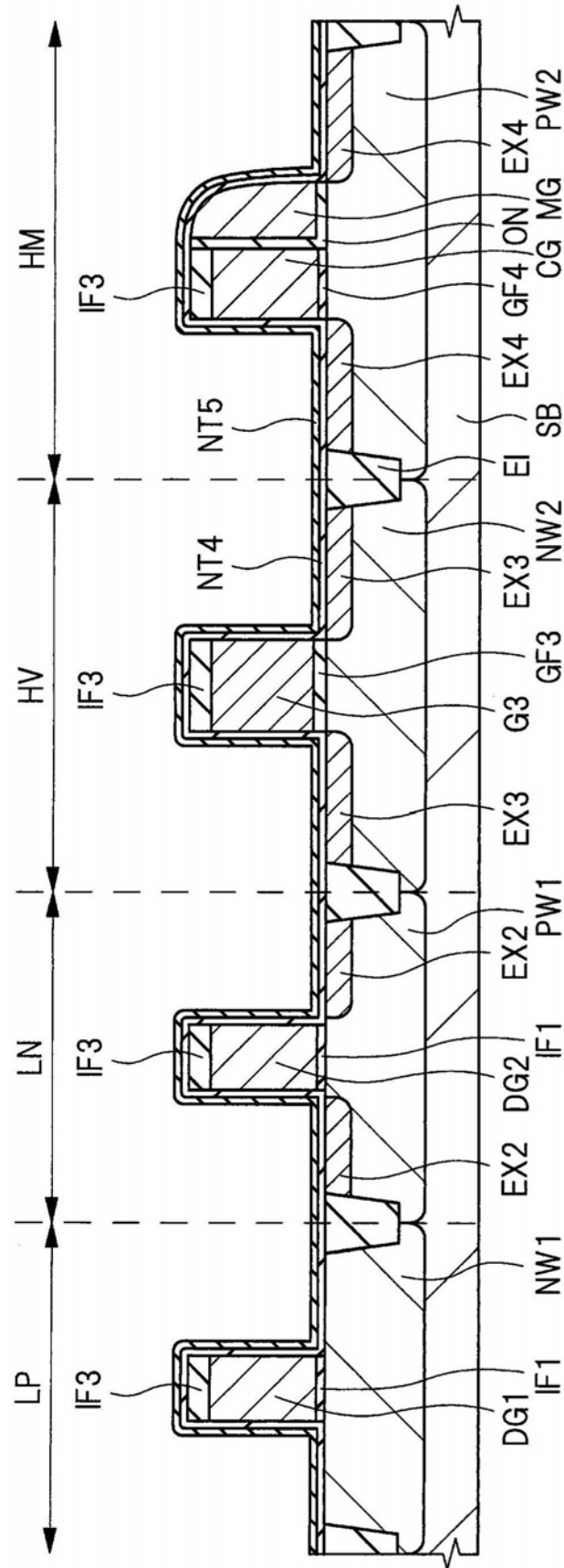


图35

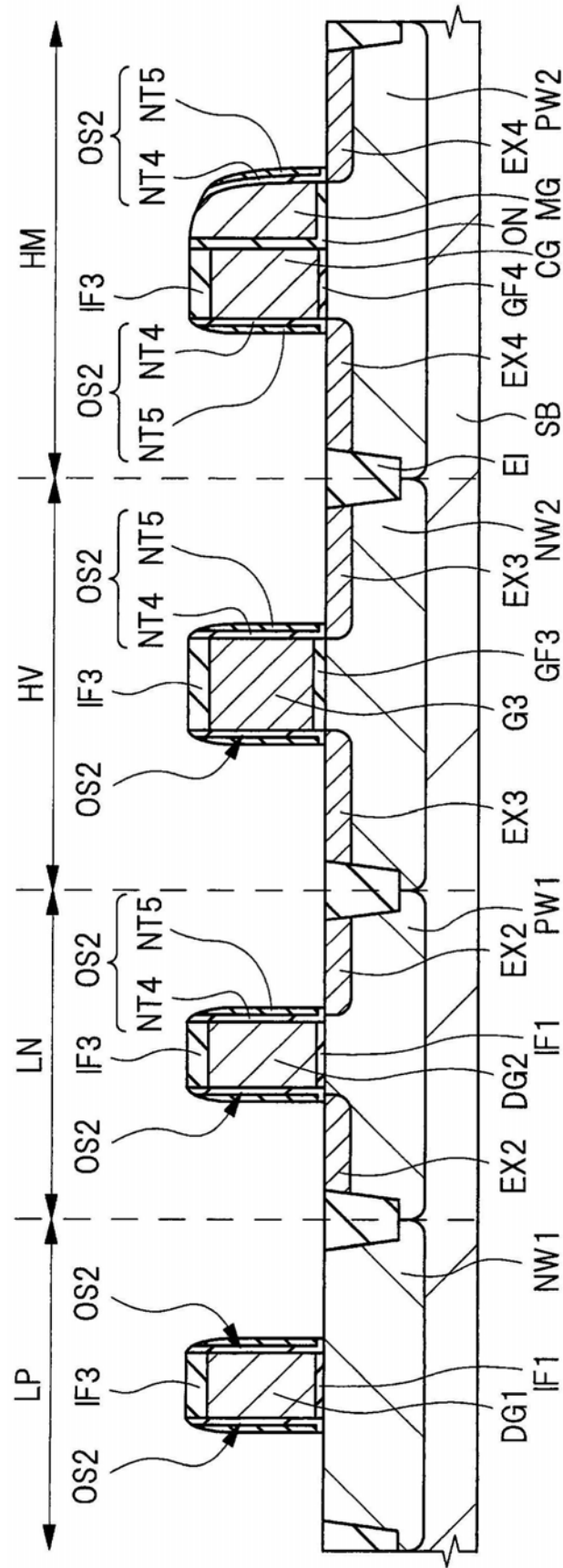


图36

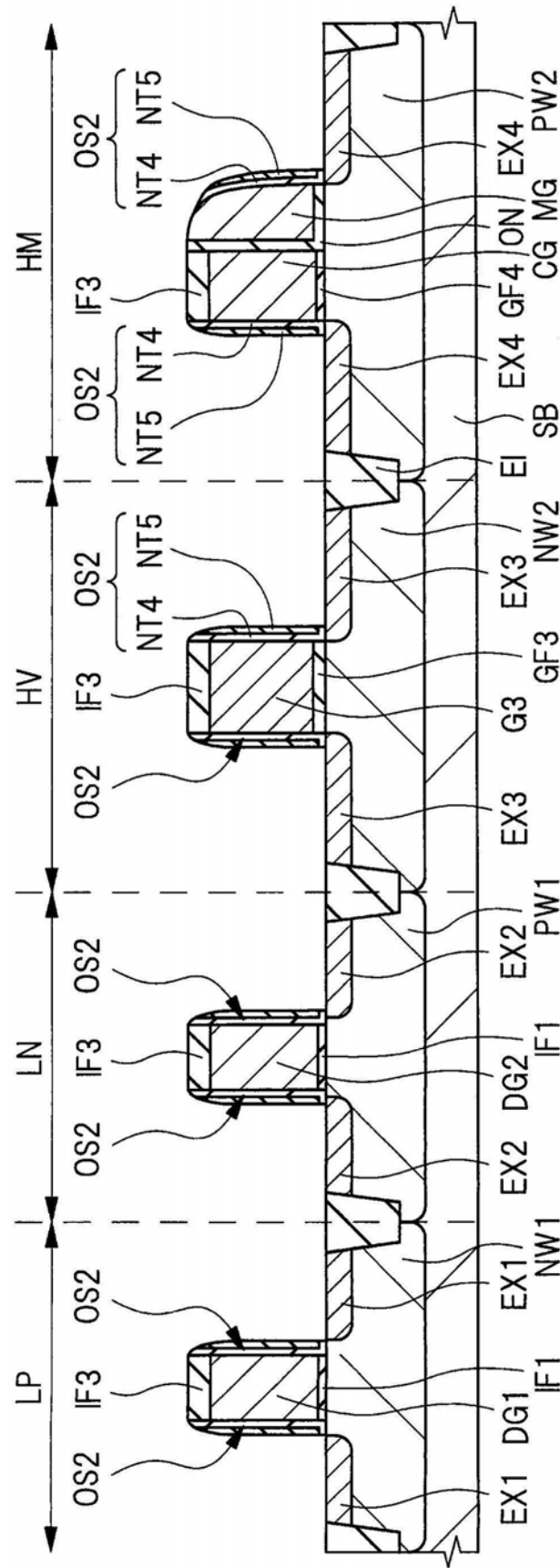


图37

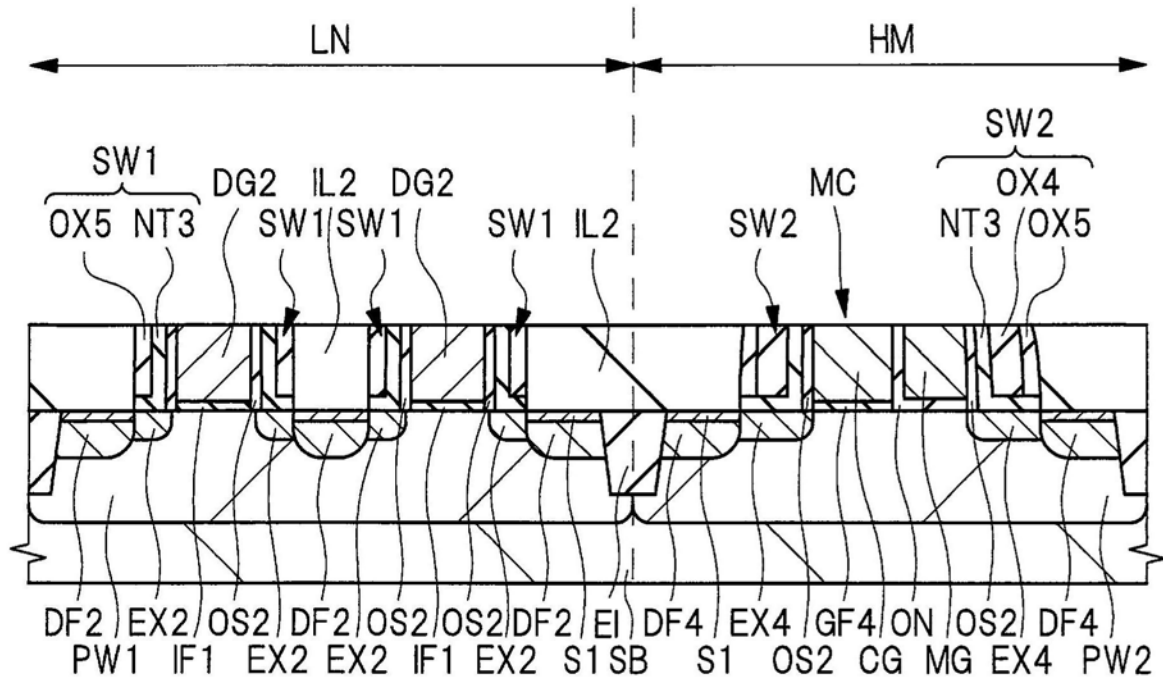


图38

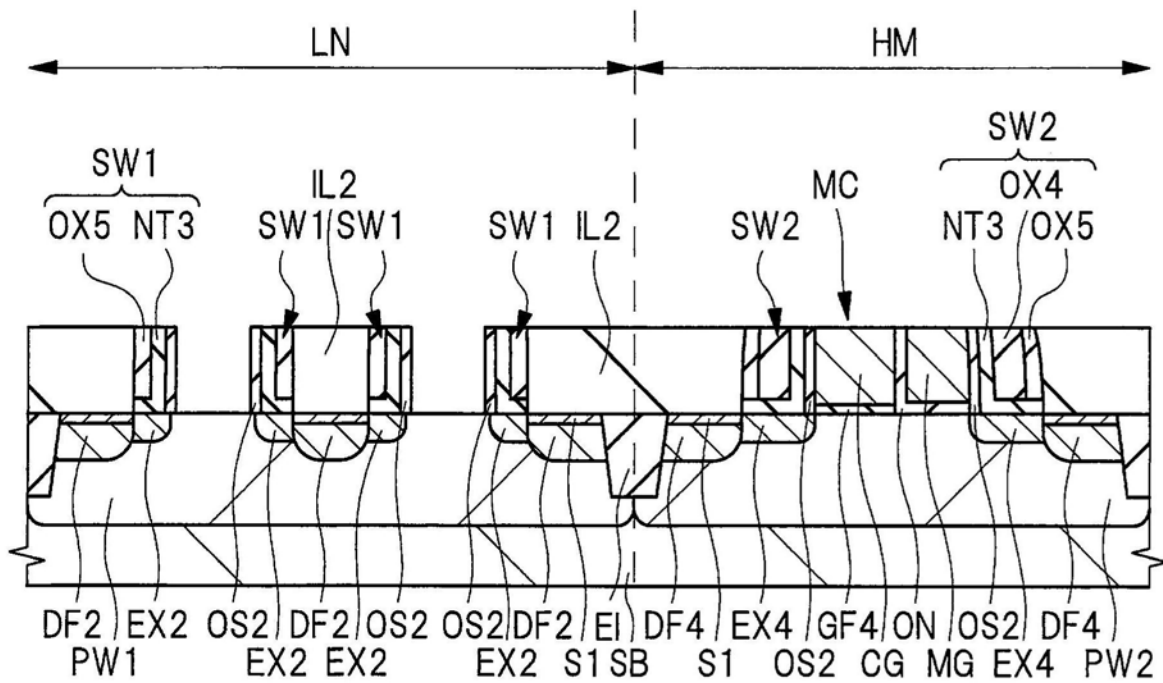


图39

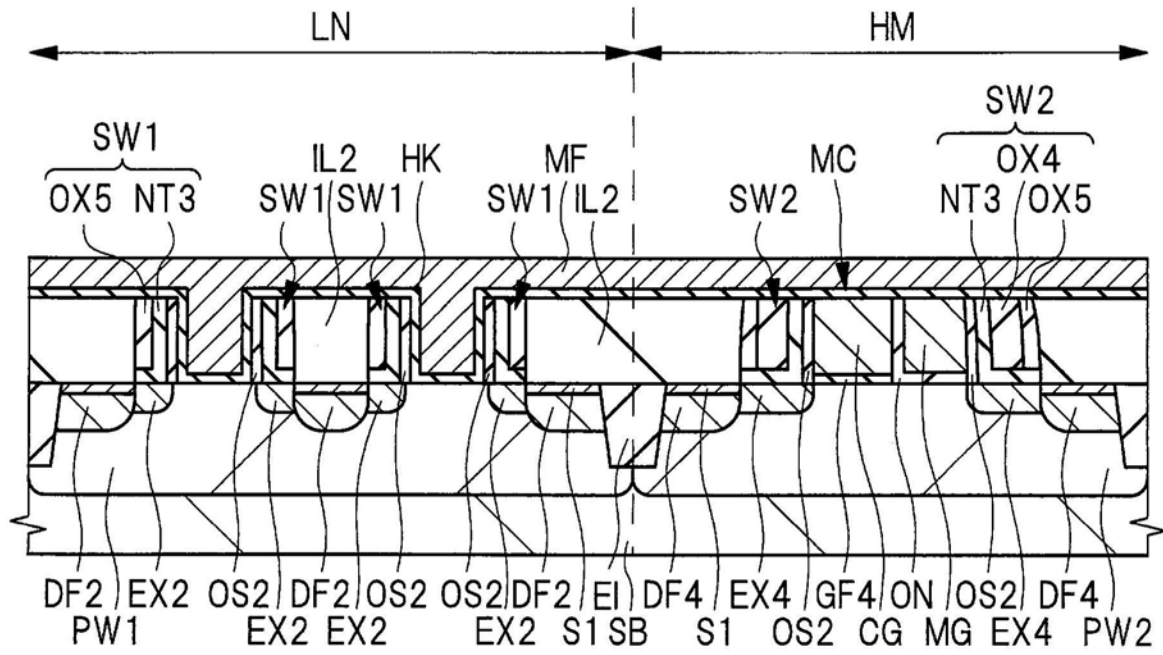


图40

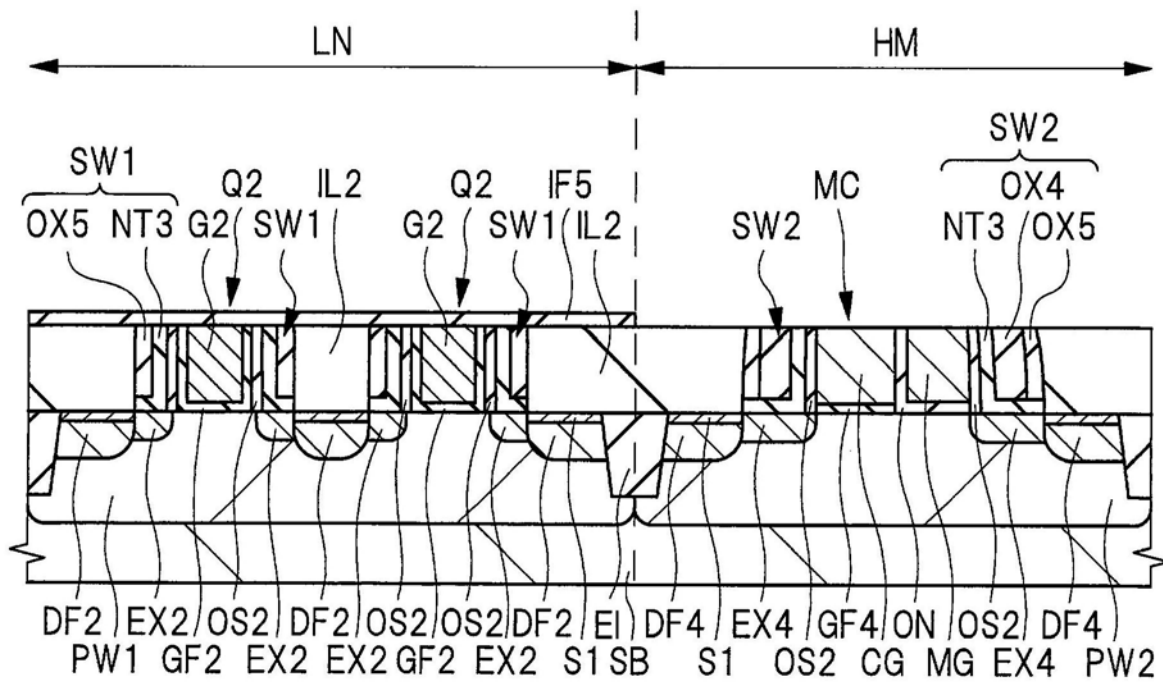


图41

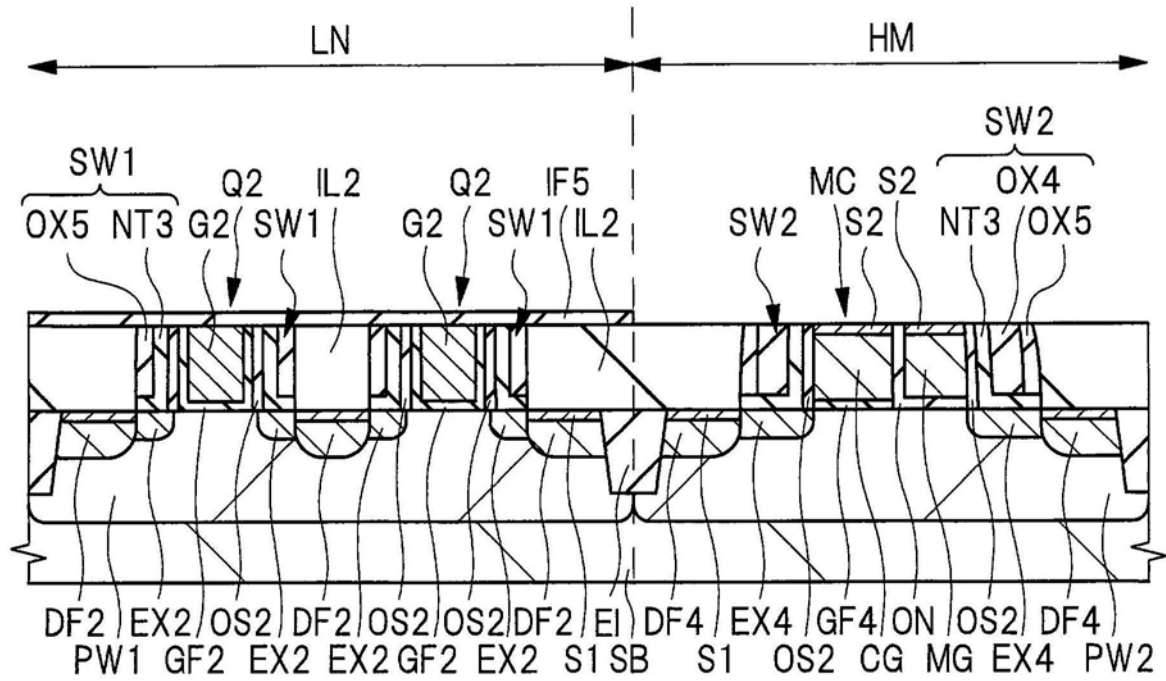


图42

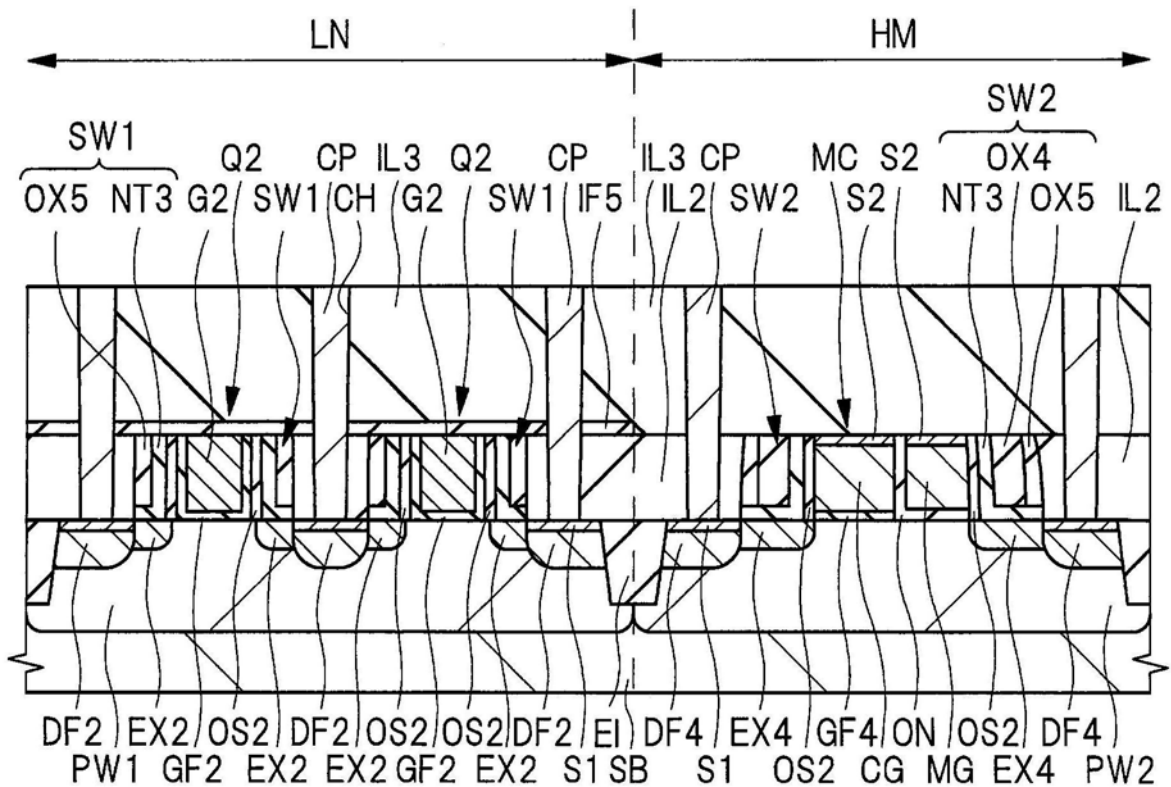


图43

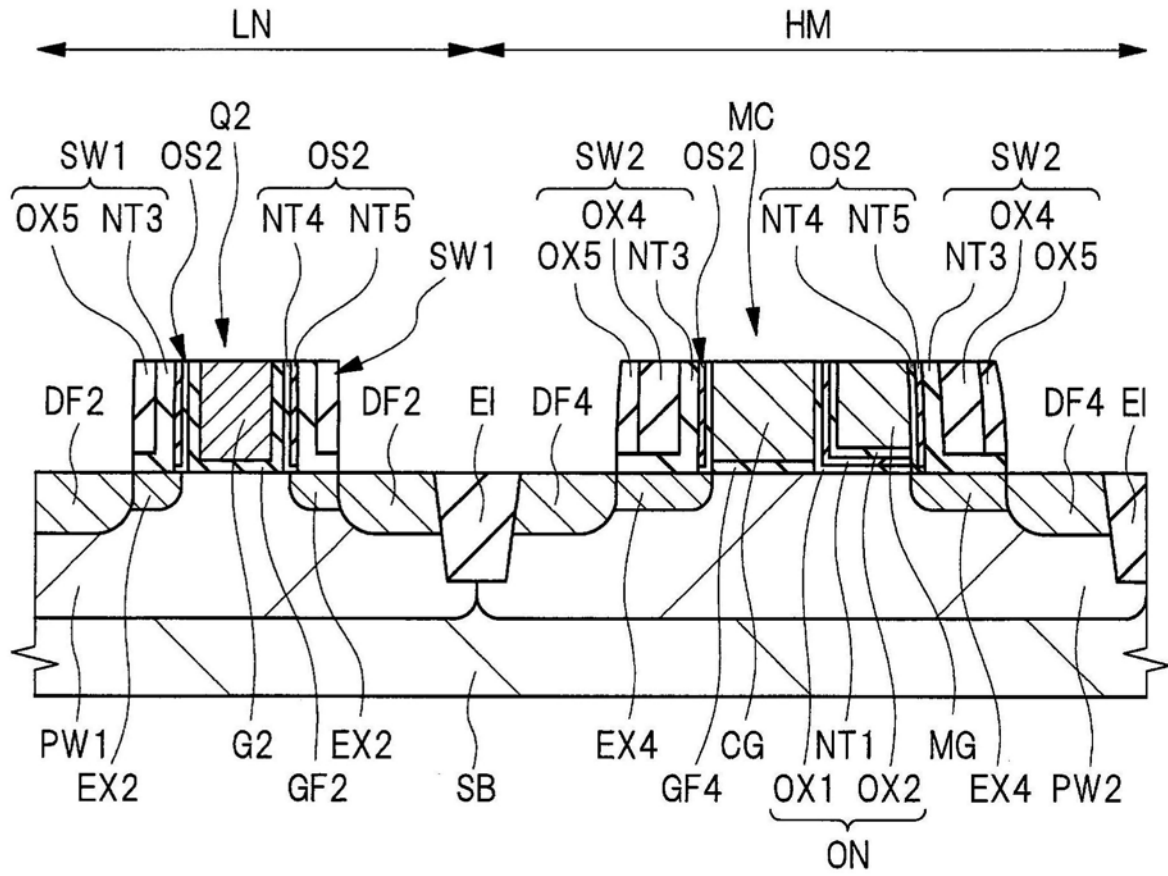


图44

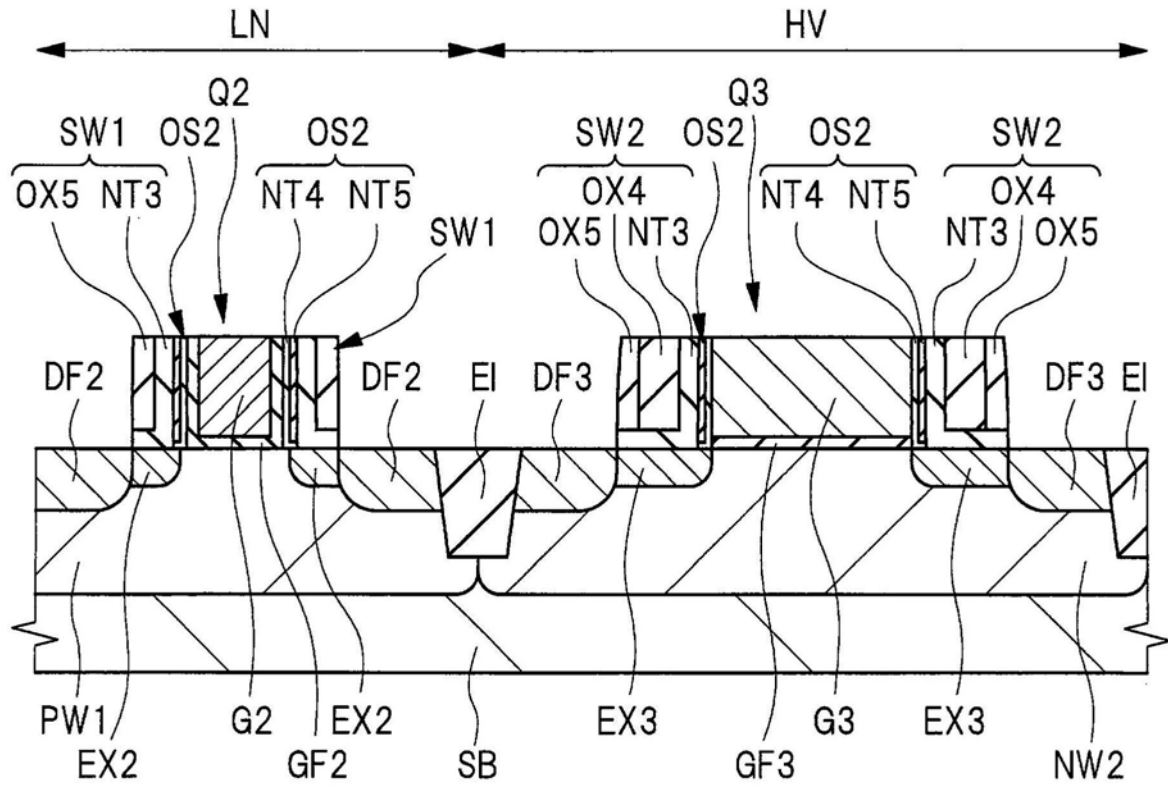


图45

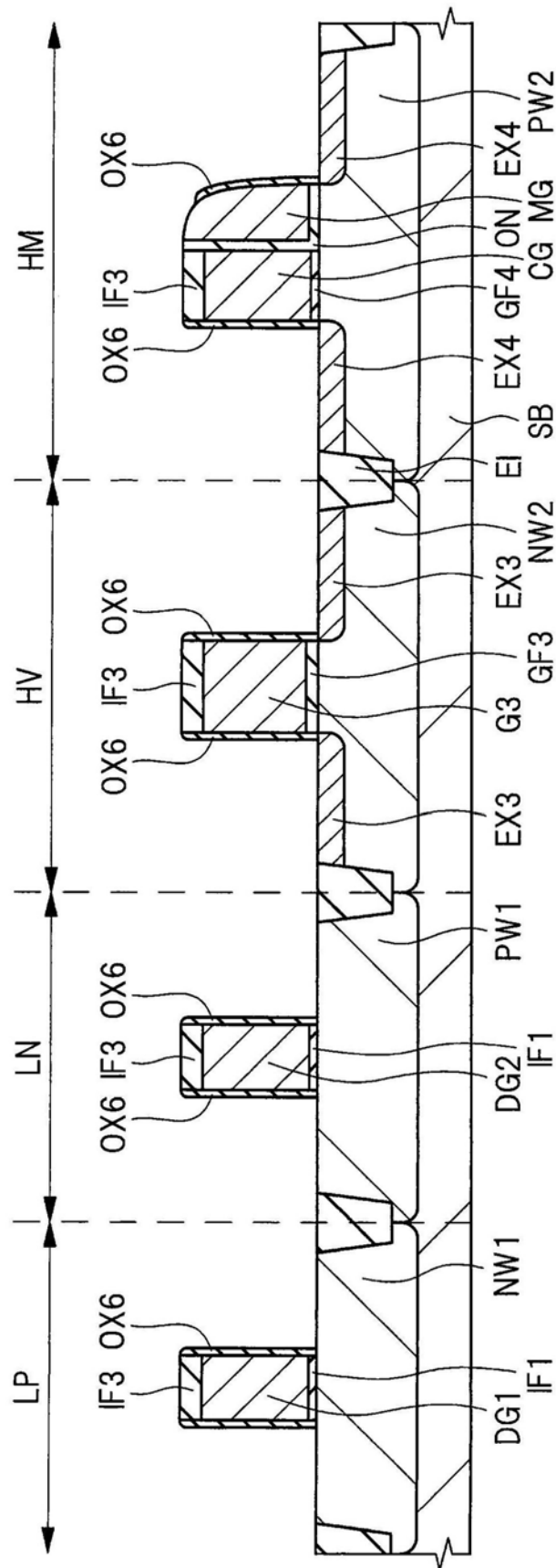


图46

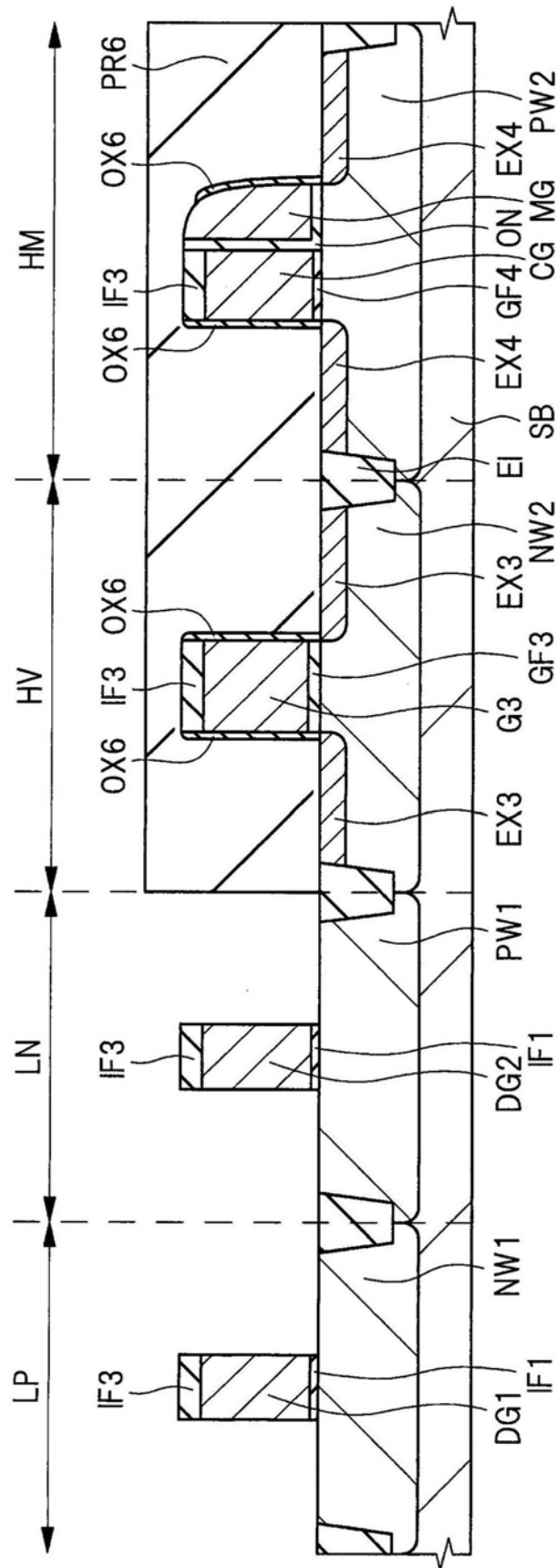


图47

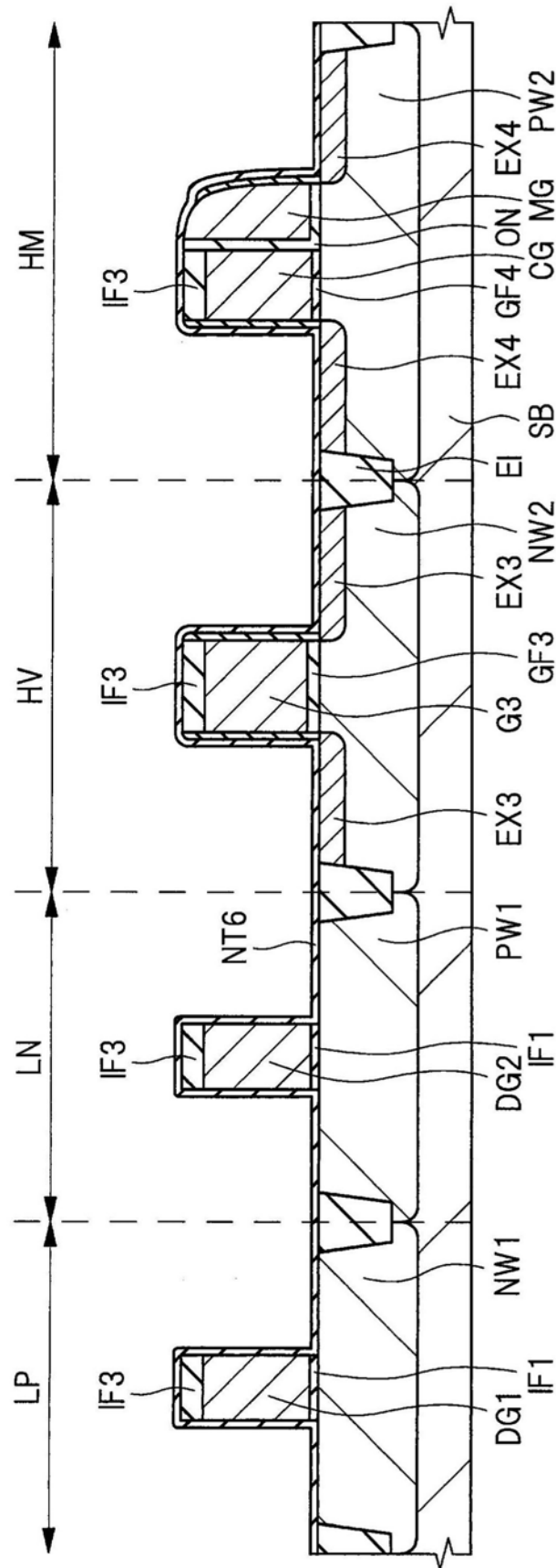


图48

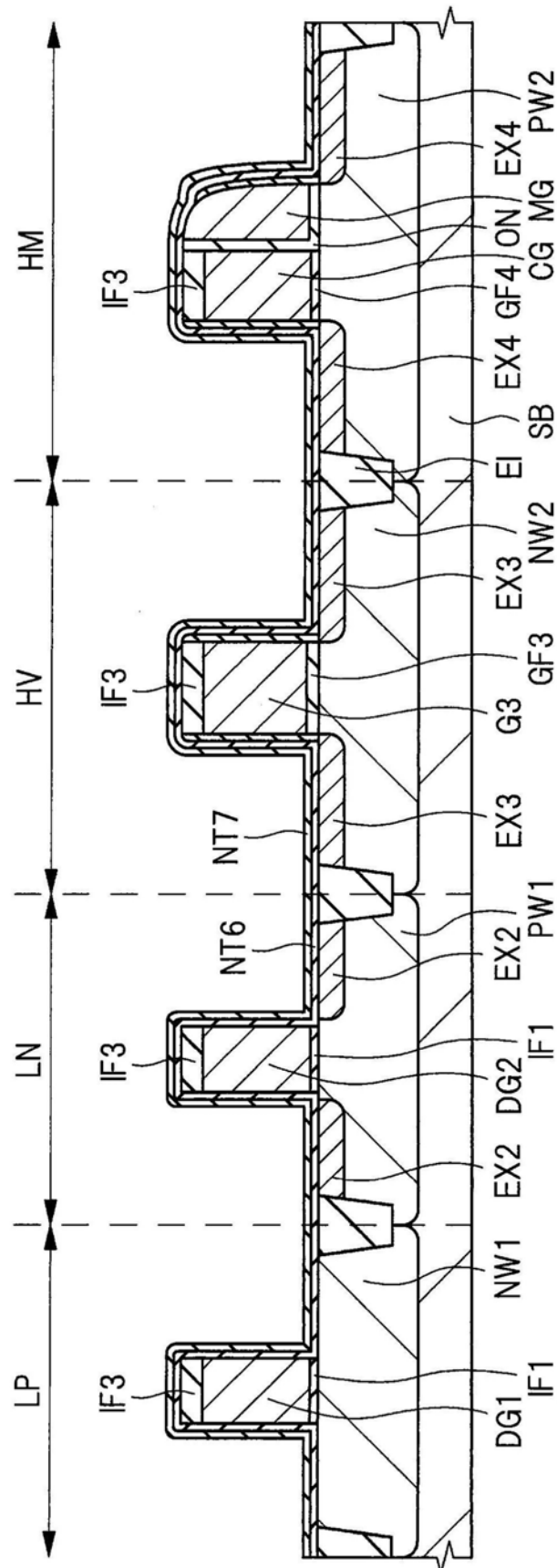


图49

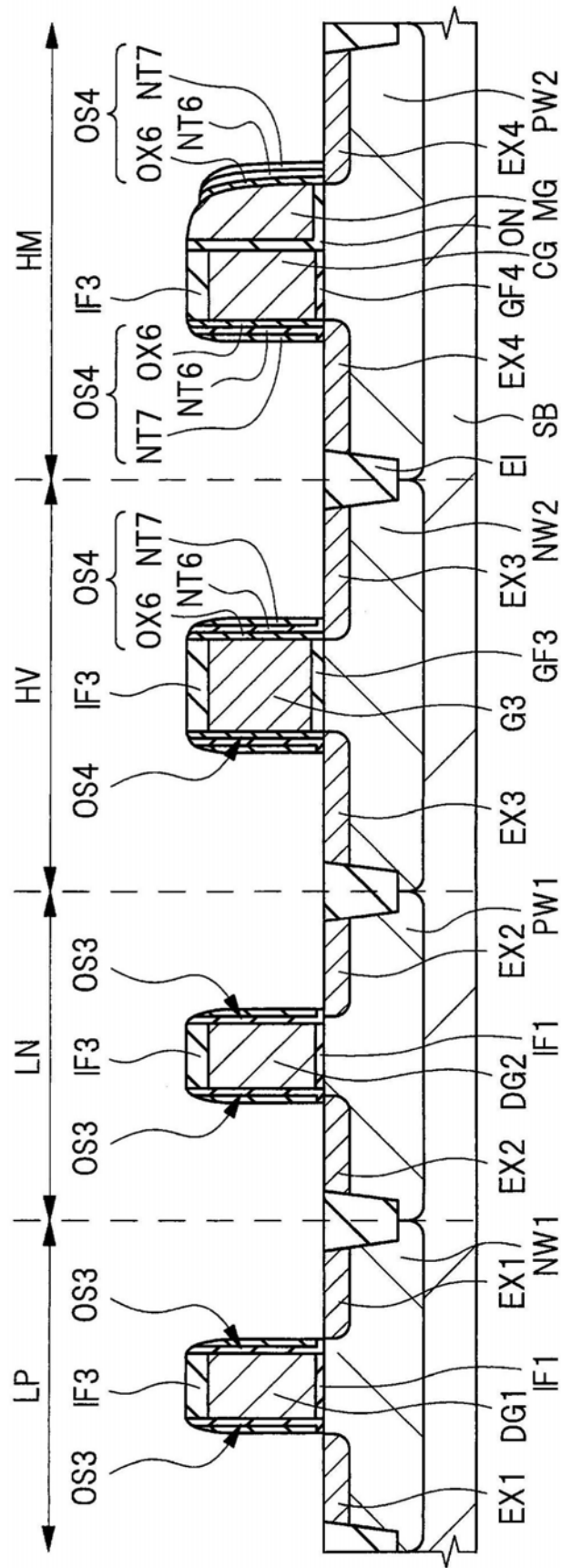


图50

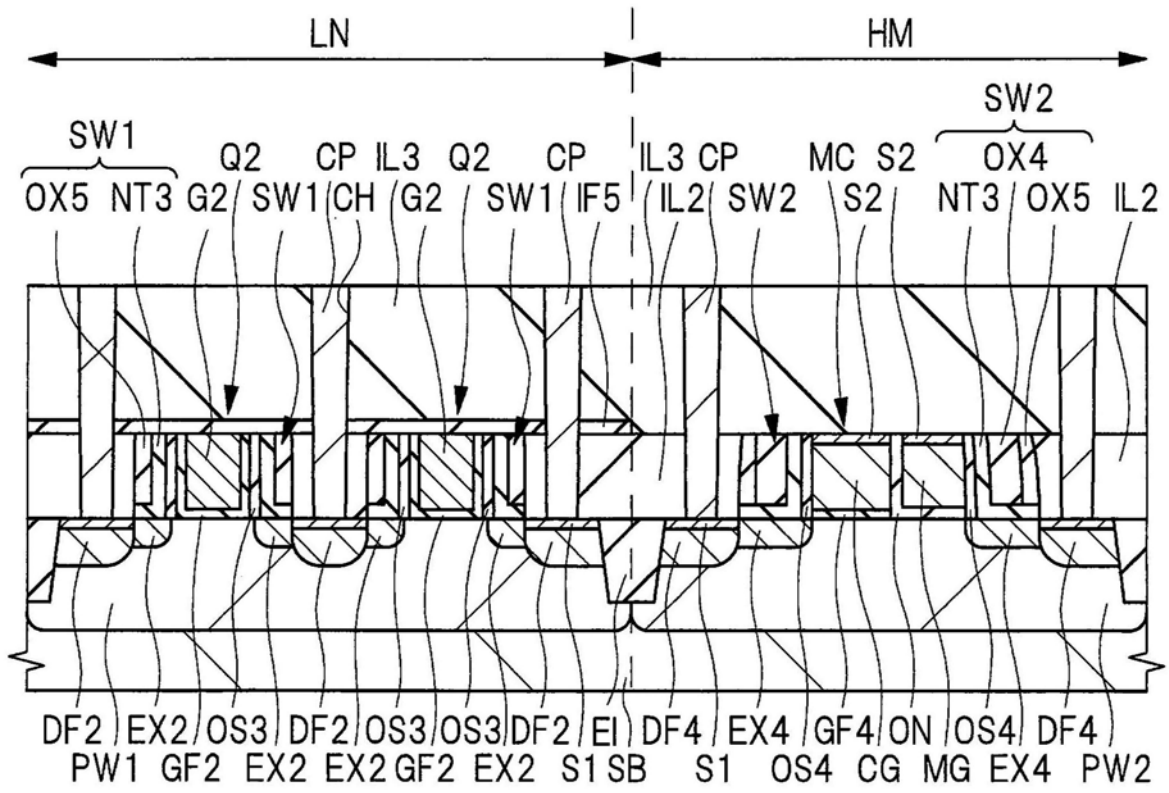


图51

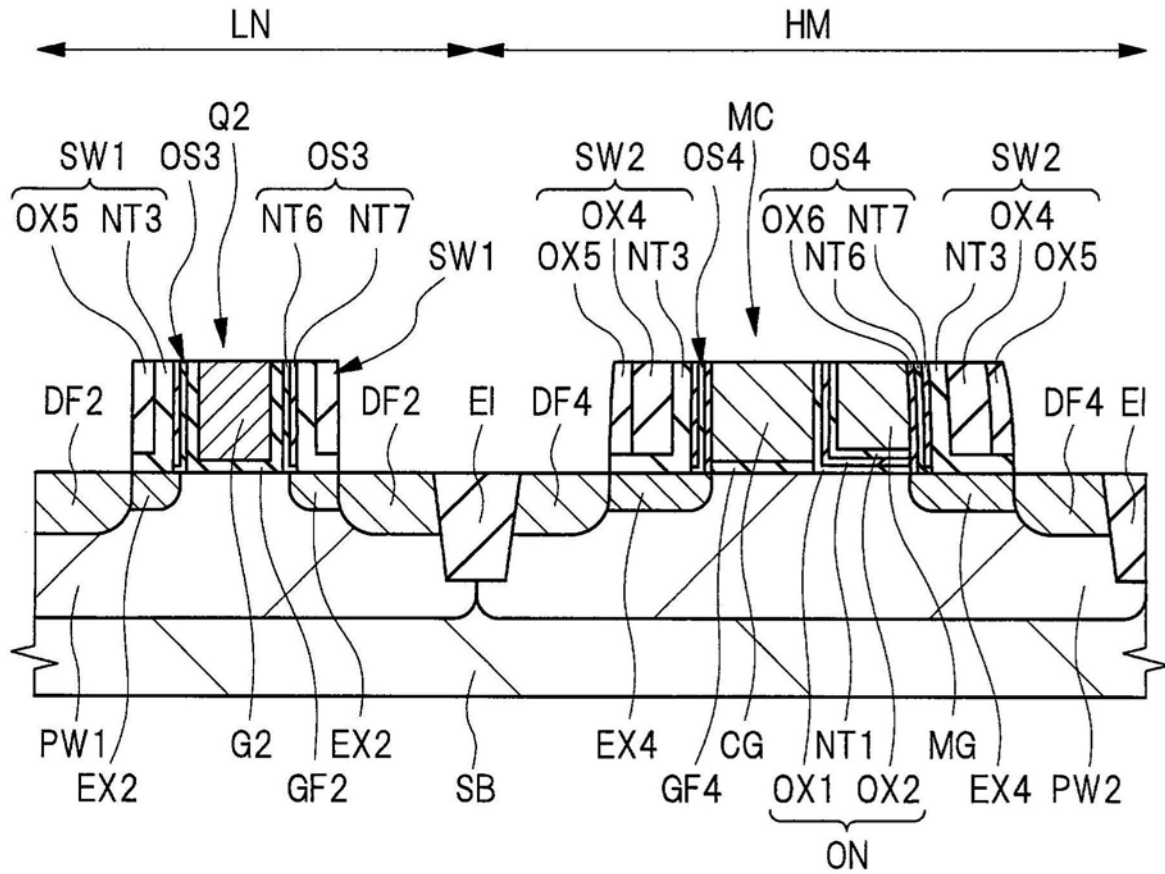


图52

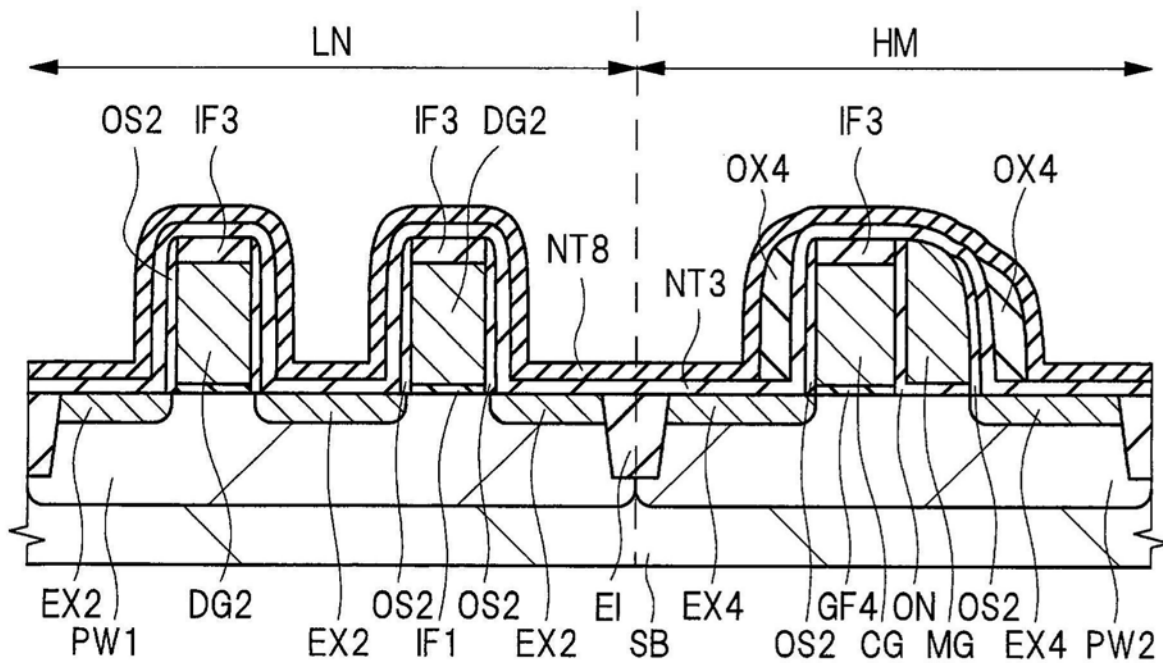


图53

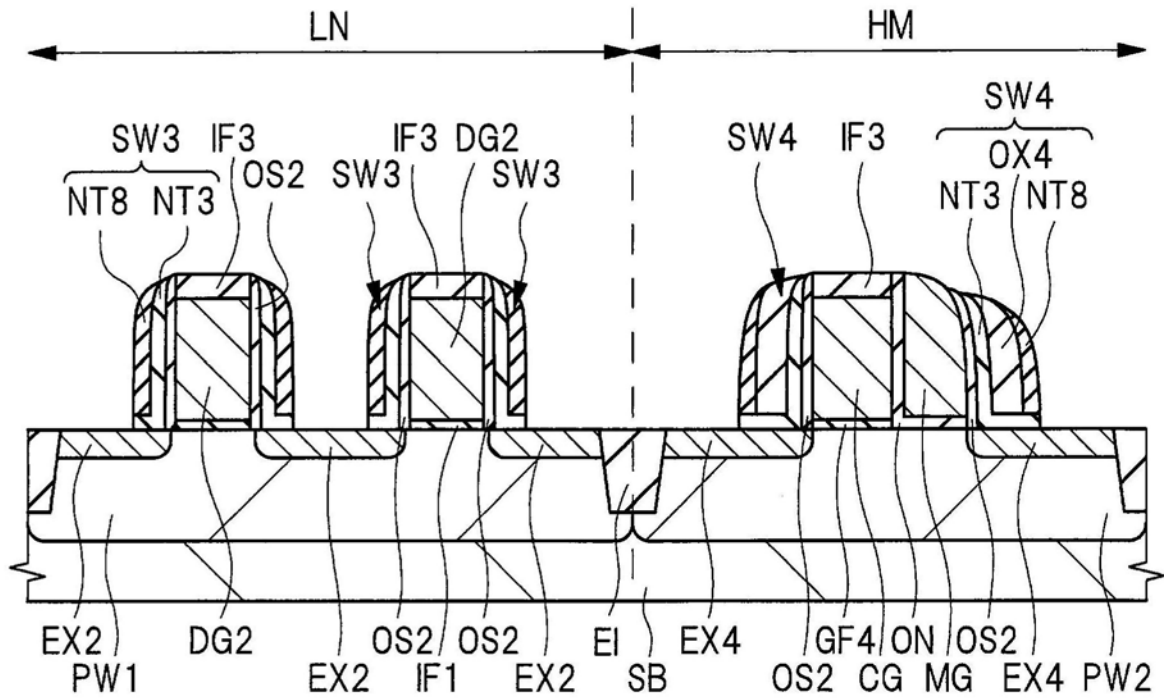


图54

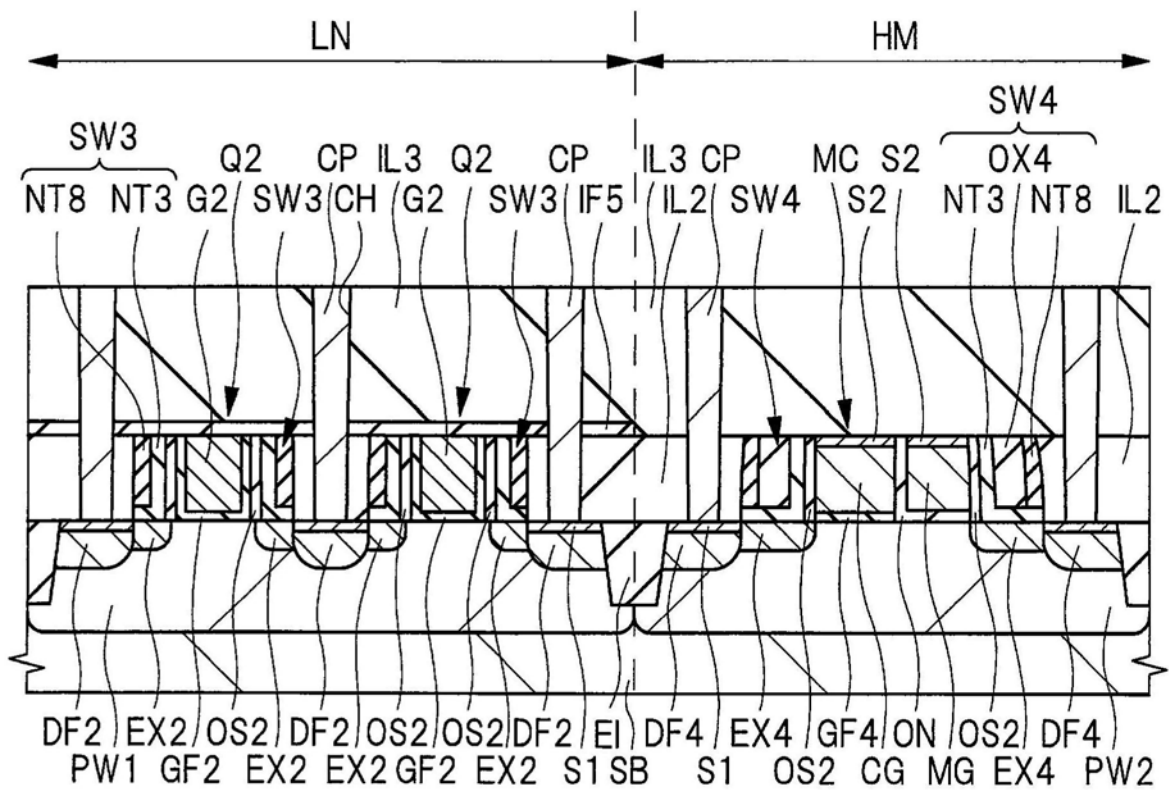


图55

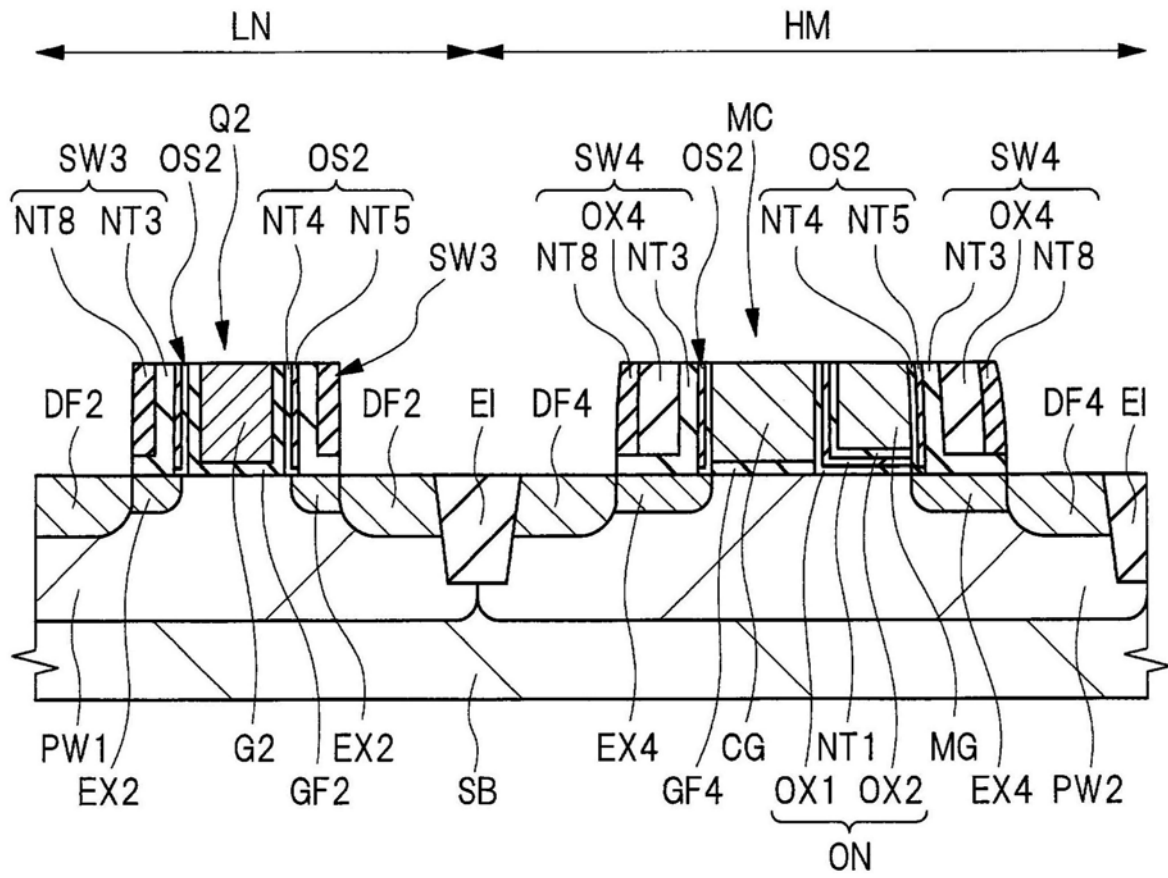


图56

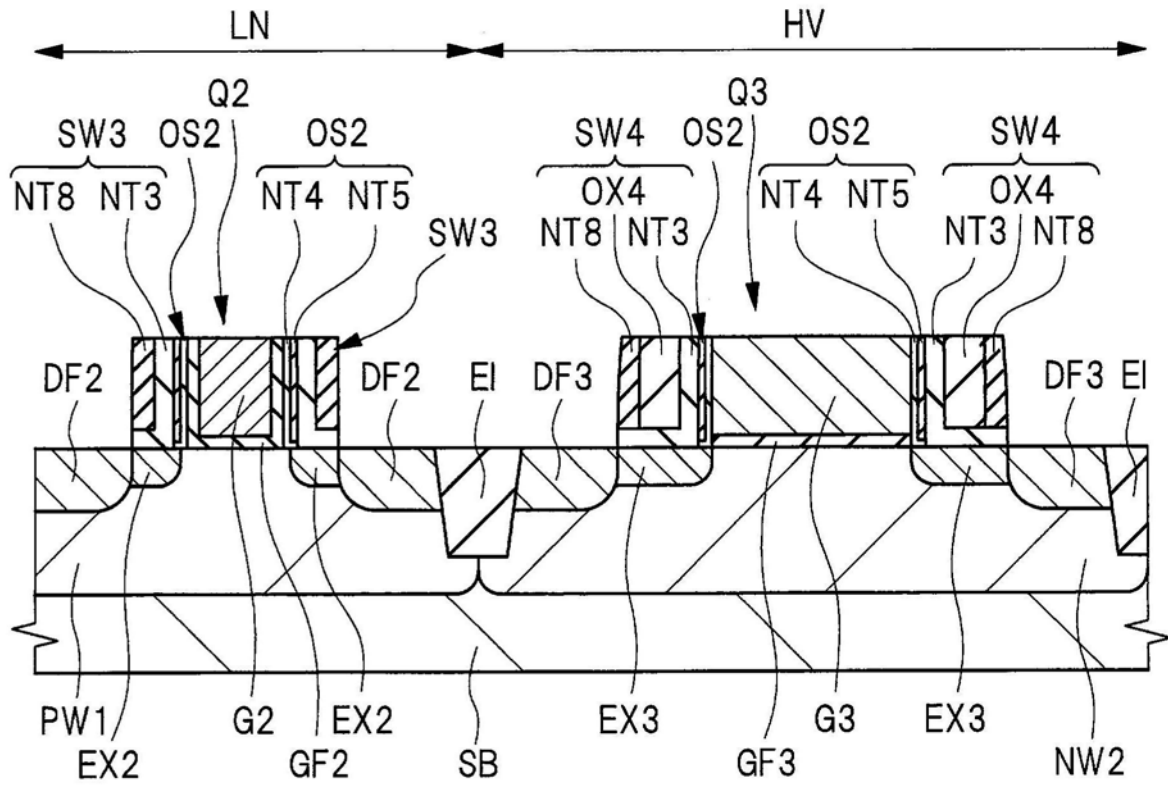


图57

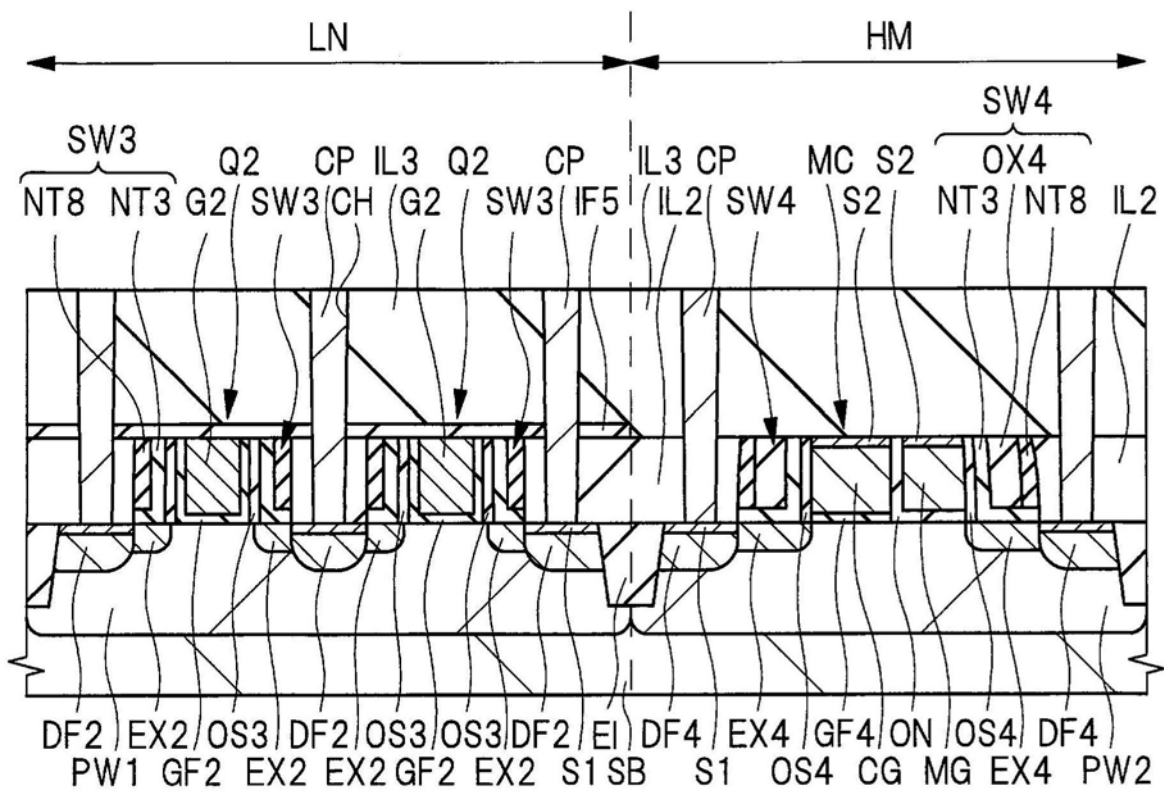


图58

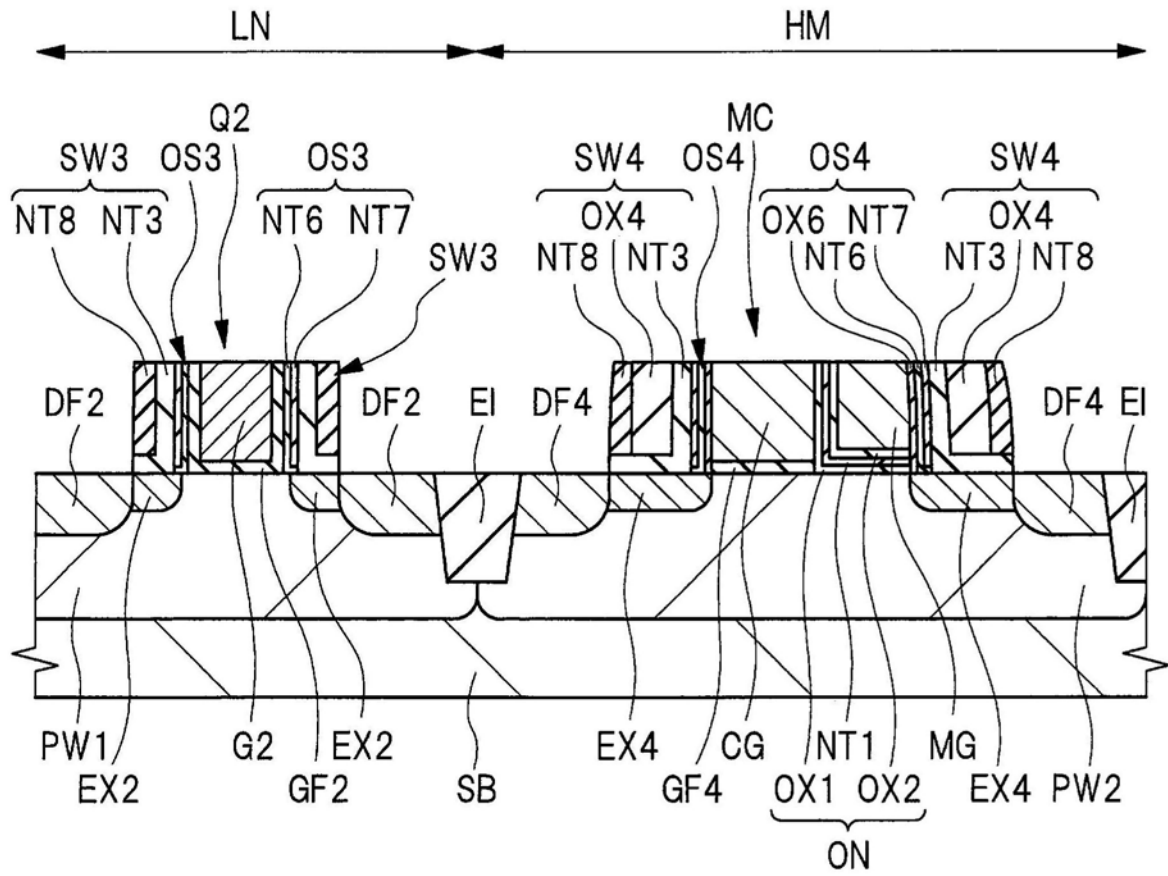


图59

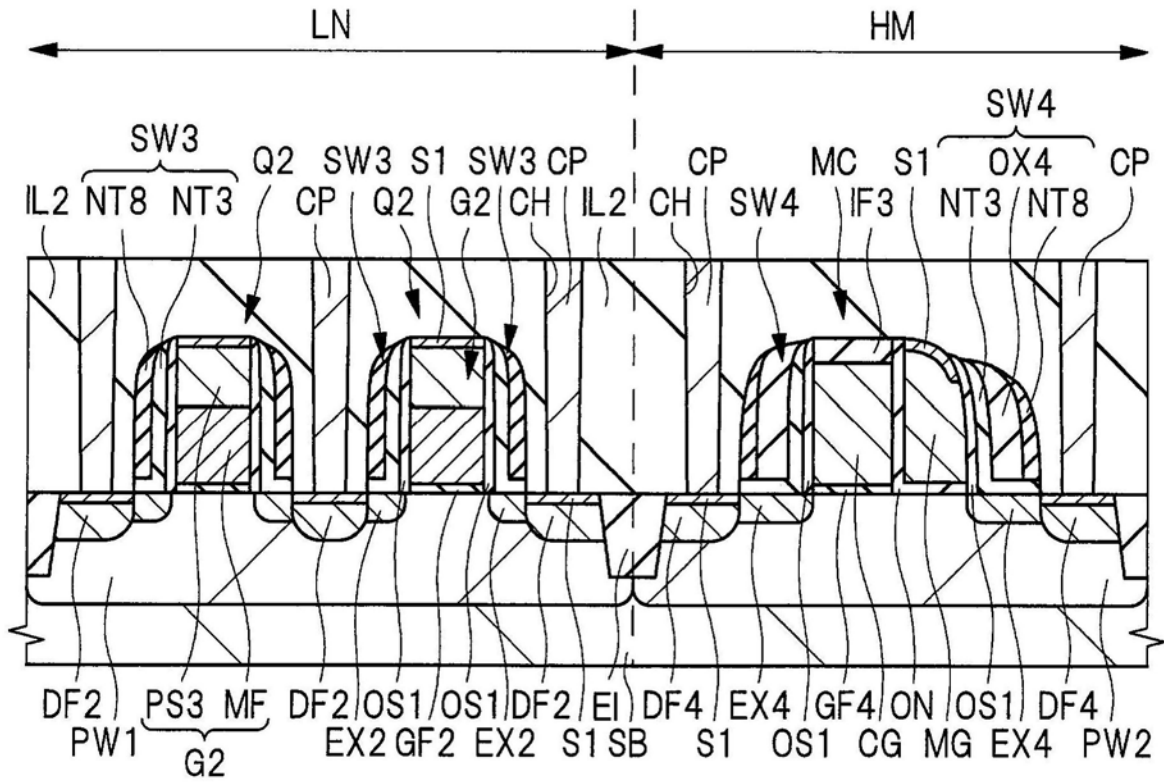


图60

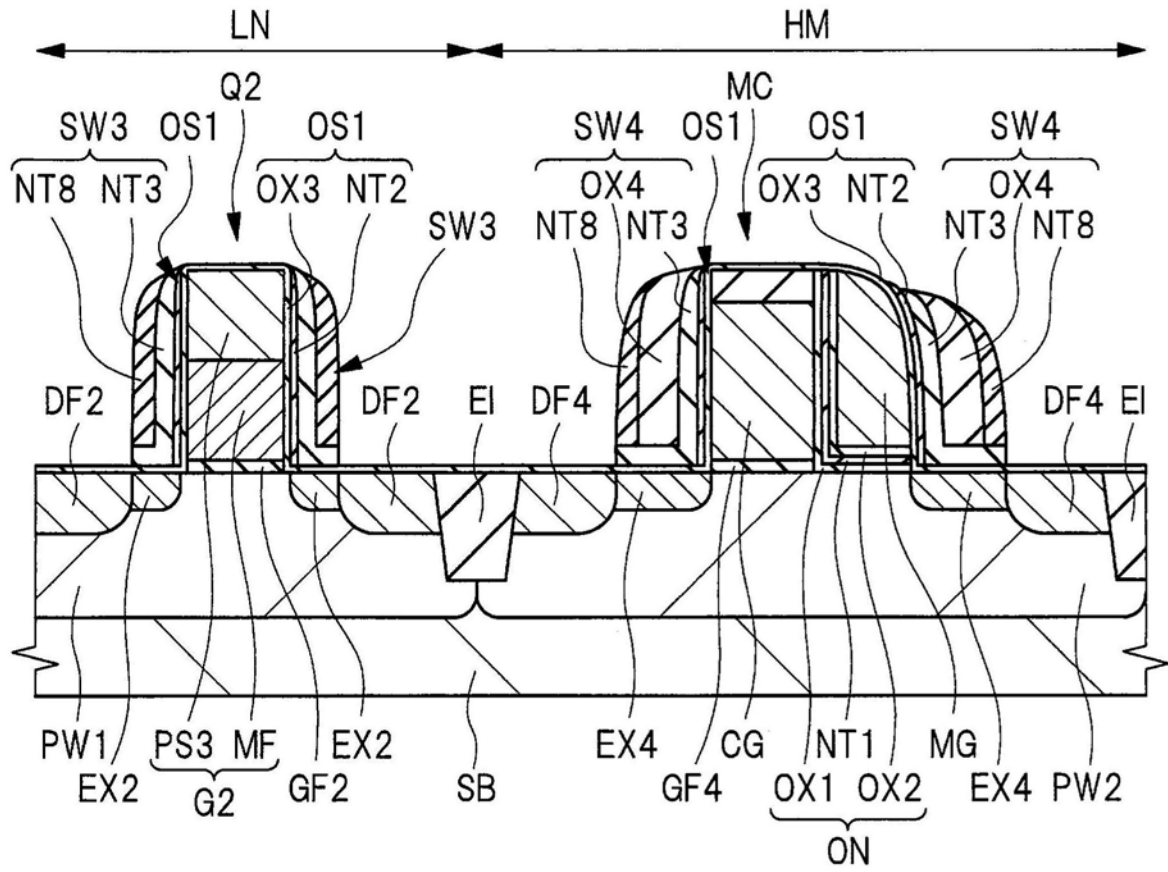


图61

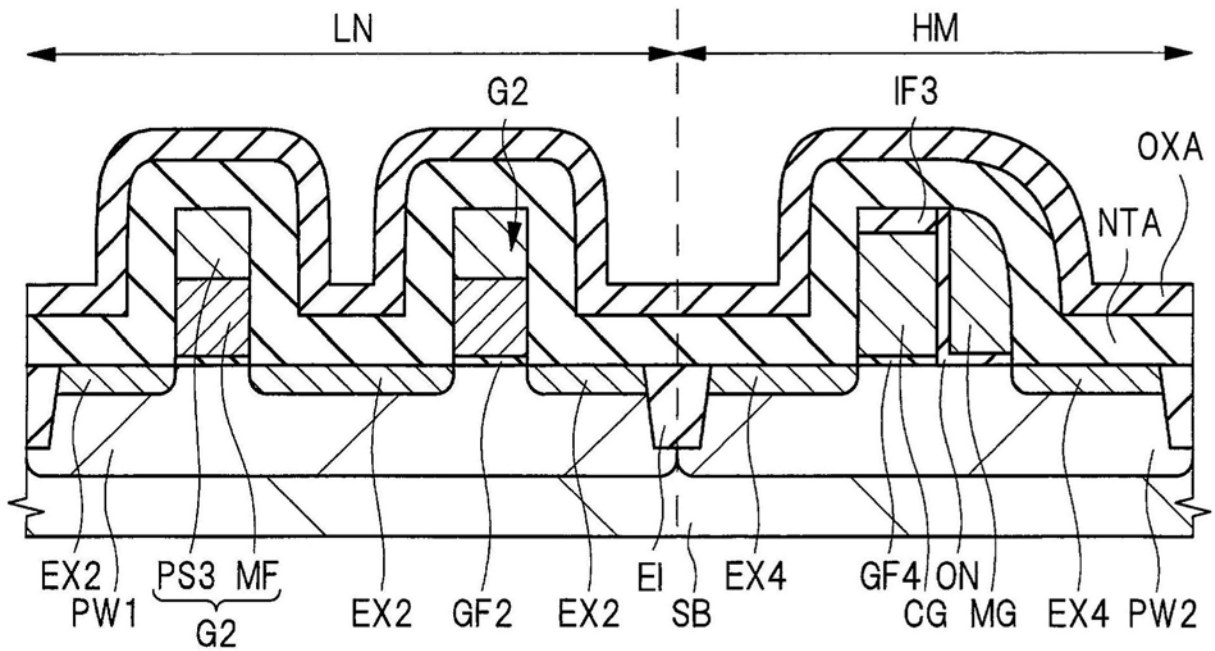


图62

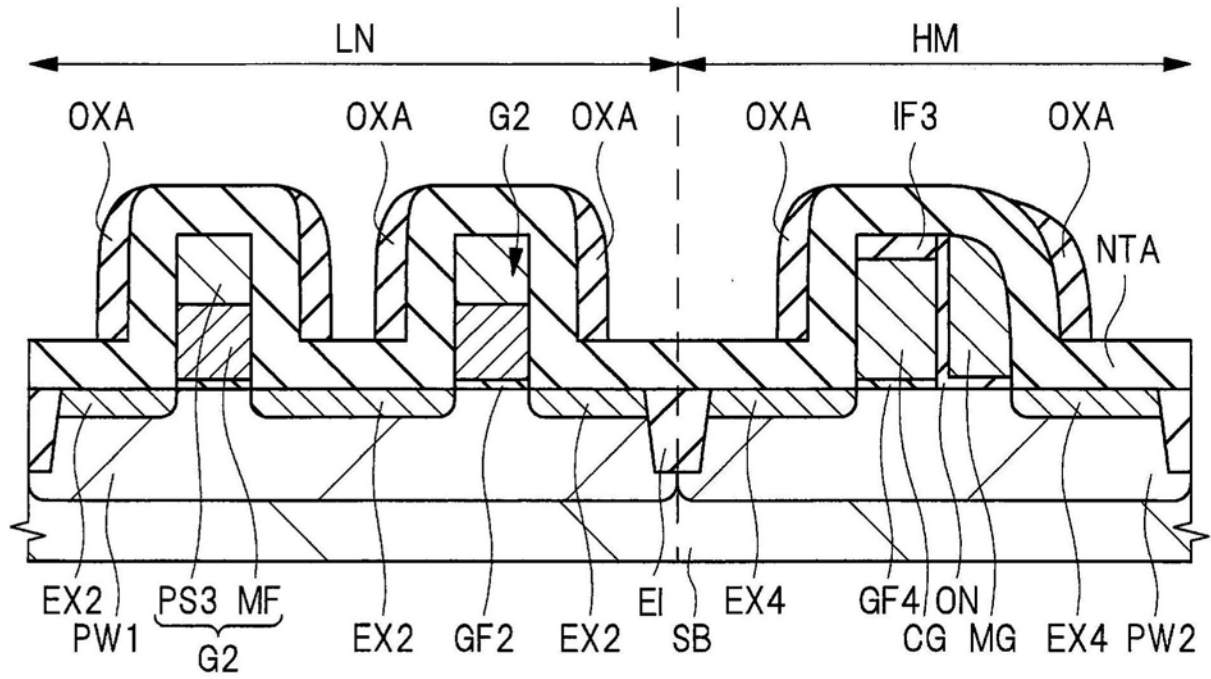


图63

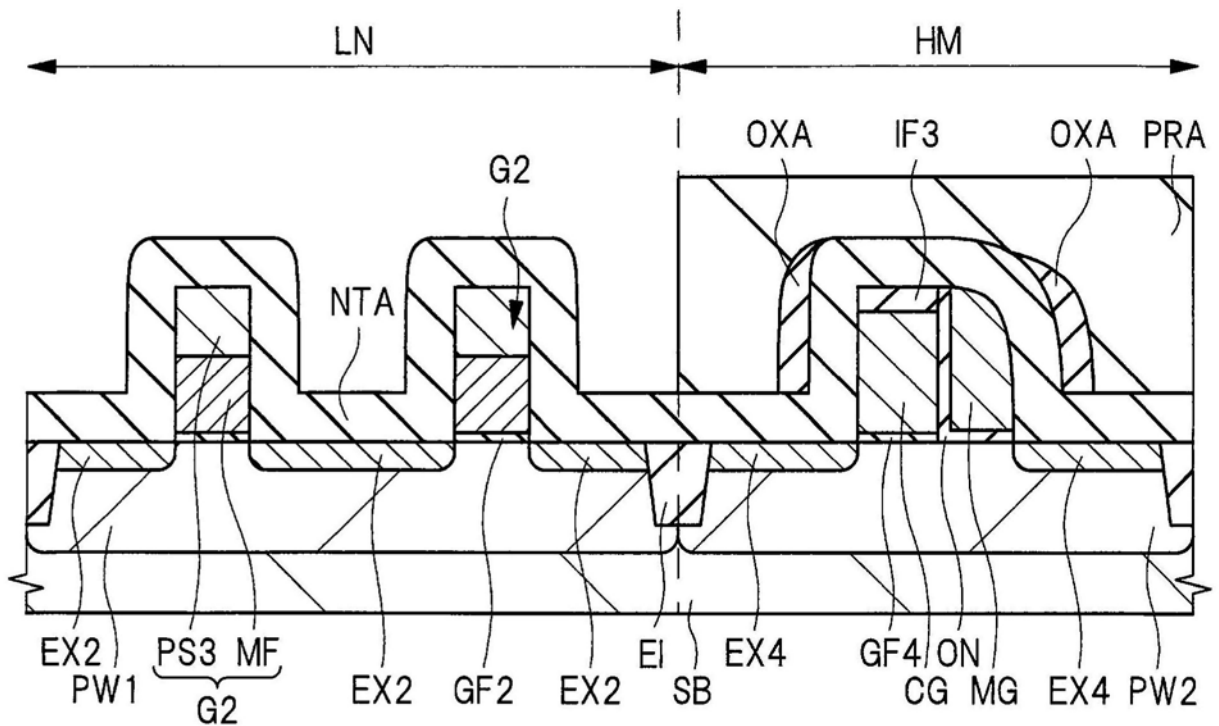


图64

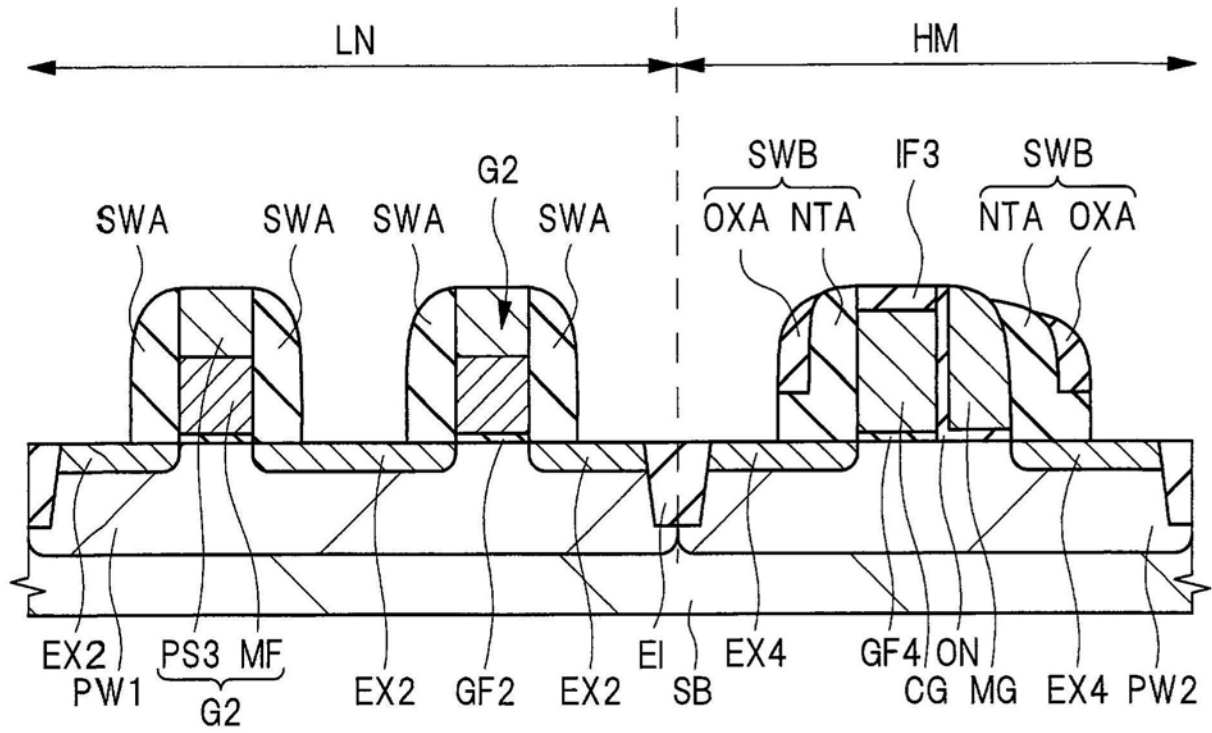


图65

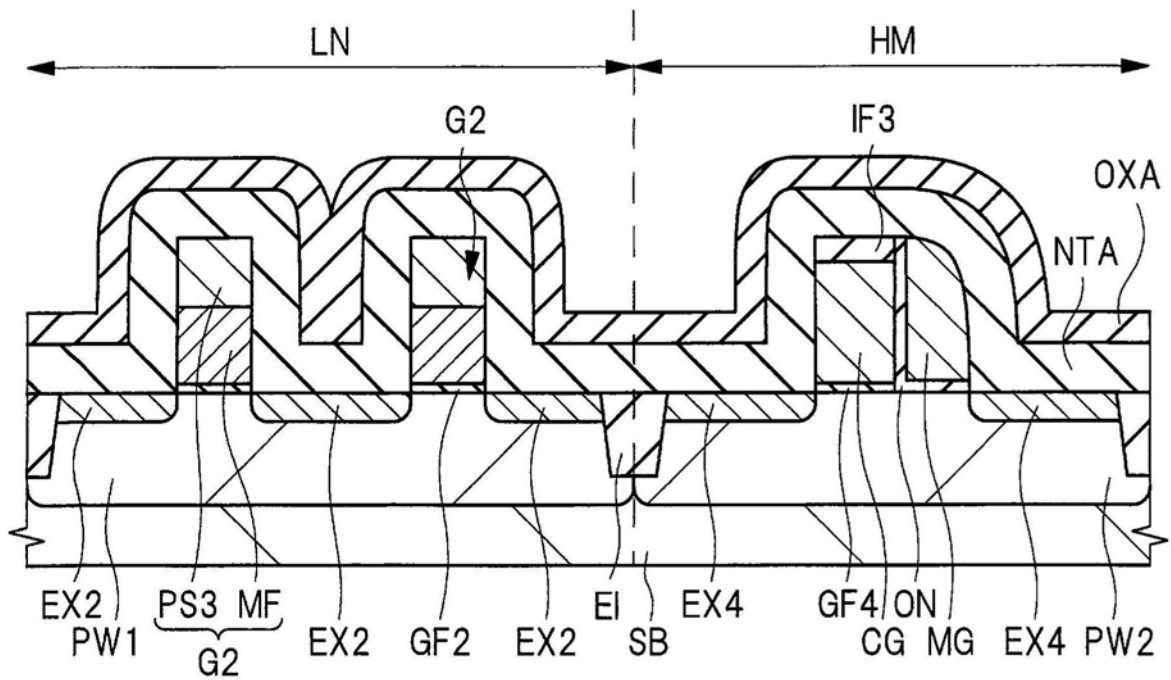


图66

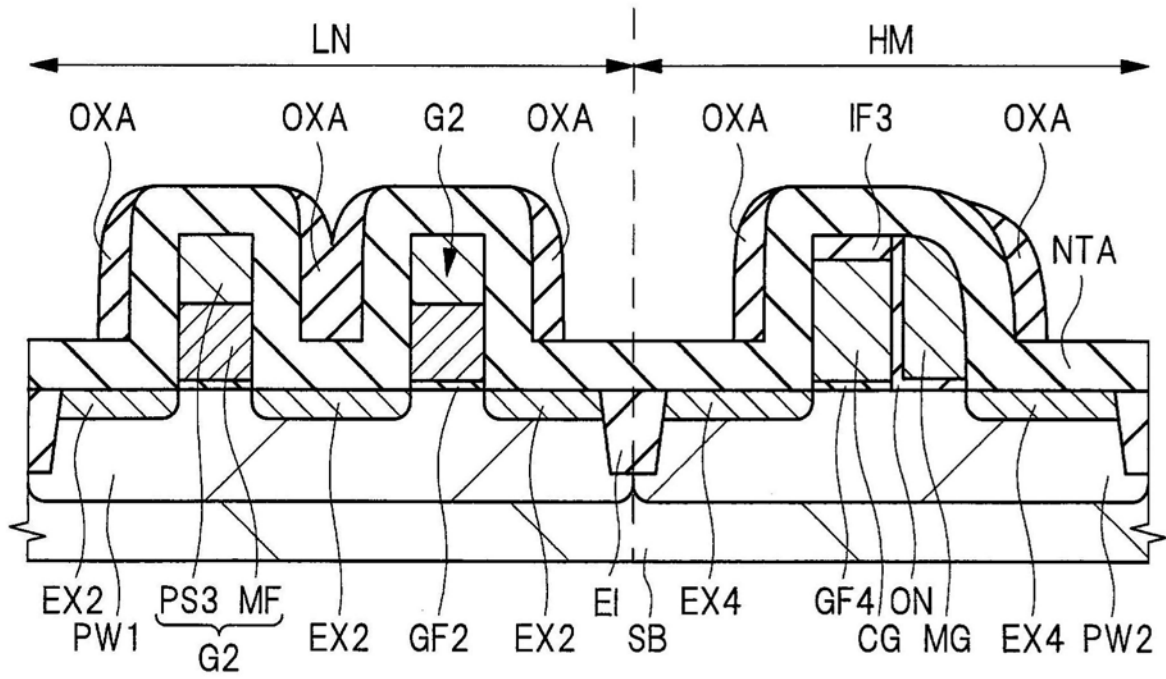


图67

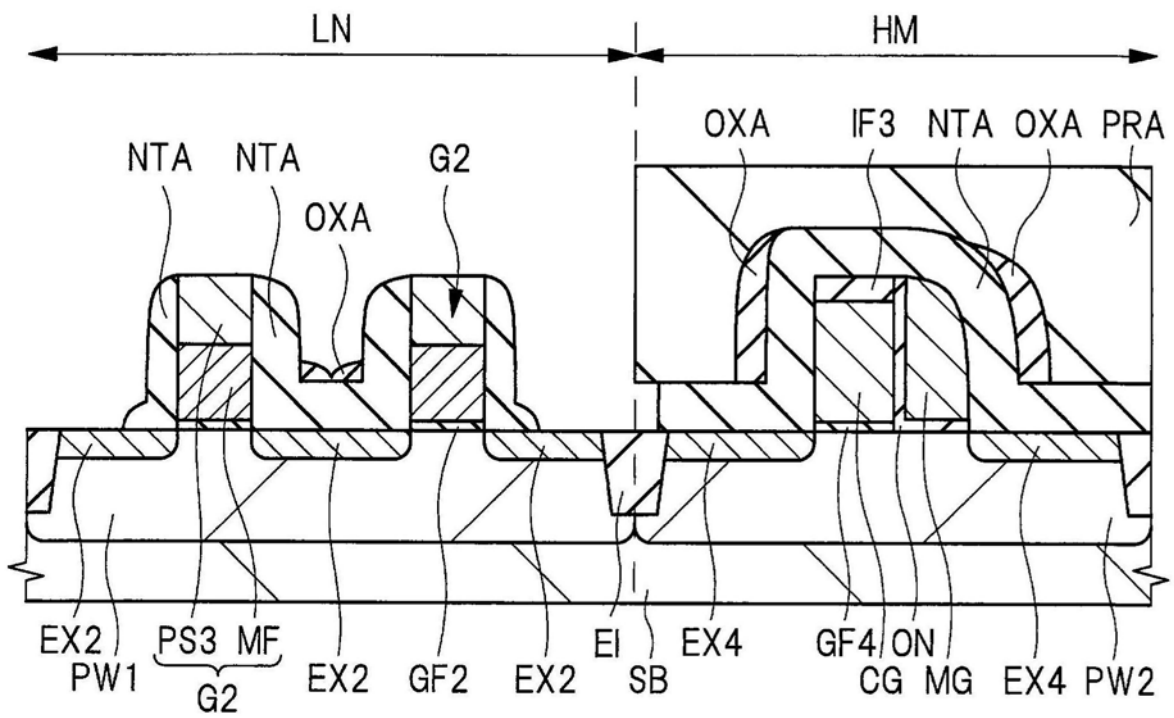


图68