

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年9月24日(24.09.2020)



(10) 国際公開番号

WO 2020/189103 A1

- (51) 国際特許分類:
H01L 27/146 (2006.01) H01L 31/107 (2006.01)
H01L 31/0232 (2014.01) H04N 5/335 (2011.01)
- (21) 国際出願番号: PCT/JP2020/005431
- (22) 国際出願日: 2020年2月13日(13.02.2020)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2019-050884 2019年3月19日(19.03.2019) JP
- (71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014

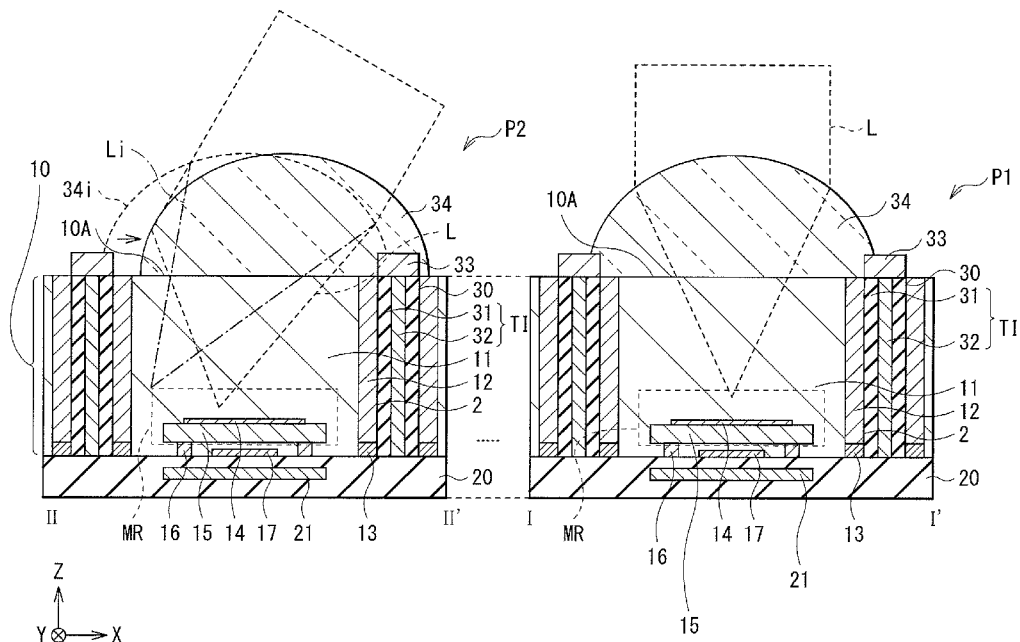
神奈川県厚木市旭町四丁目14番1号 Kanagawa (JP).

- (72) 発明者: 伊東 恭佑(ITO, Kyosuke); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 若野 壽史(WAKANO, Toshifumi); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 大竹 悠介(OTAKE, Yusuke); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

- (74) 代理人: 特許業務法人つばさ国際特許事務所 (TSUBASA PATENT PROFESSIONAL

(54) Title: SENSOR CHIP AND ELECTRONIC EQUIPMENT

(54) 発明の名称: センサチップ及び電子機器



(57) Abstract: A sensor chip according to an embodiment of the present disclosure comprises: a photoelectric conversion unit that has a multiplication region for the avalanche multiplication of a carrier by a high electric field region; a condensing unit that collects incident light toward a photoelectric conversion unit; and a pixel array in which a plurality of pixels, each having the photoelectric conversion unit and the condensing unit, are arranged in an array, and at least one among a structure of the photoelectric conversion unit and a structure of the condensing unit changes stepwise from a central

CORPORATION); 〒1600022 東京都新宿
区新宿 1 丁目 1 5 番 9 号 さわだビ
ル 3 階 Tokyo (JP).

- (81) 指定国(表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ,
BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH,
CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO,
DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT,
HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH,
KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,
MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, WS, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, GH, GM, KE, LR, LS,
MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM,
ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ,
TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ,
DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT,
LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS,
SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM,
GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告 (条約第21条(3))

portion to an outer peripheral portion.

(57) 要約: 本開示の一実施の形態のセンサチップは、高電界領域によりキャリアをアバランシェ増倍させ
る増倍領域を有する光電変換部と、入射光を光電変換部に向けて集光する集光部と、光電変換部および集
光部をそれぞれ有する複数の画素がアレイ状に配置されると共に、光電変換部の構造及び集光部の構造の
少なくともいずれかが中央部から外周部にかけて段階的に変化している画素アレイとを備える。

明 細 書

発明の名称： センサチップ及び電子機器

技術分野

[0001] 本開示は、センサチップ及びそれを備えた電子機器に関する。

背景技術

[0002] アバランシェフォトダイオード（A P D ; Avalanche Photodiode）には、ブレークダウン電圧よりも高いバイアス電圧で動作させるガイガーモード及びブレークダウン電圧近傍の少し高いバイアス電圧で動作させるリニアモードがある。ガイガーモードのA P Dは、シングルフォトンアバランシェダイオード（S P A D ; Single Photon Avalanche Diode）とも呼ばれている。

[0003] S P A Dは、光電変換により発生したキャリアを画素毎に設けられた高電界のP N接合領域でアバランシェ増倍させることで、1個のフォトン画素毎に検出することができるデバイスである。

[0004] 特許文献1には、アバランシェフォトダイオードを有する複数のセルからなり、セルのそれぞれにレンズが設けられた光検出素子アレイを備えた放射線検出装置が開示されている。

先行技術文献

特許文献

[0005] 特許文献1：特開2015-179087号公報

発明の概要

[0006] 複数のS P A Dを有する画素アレイでは、画素アレイの中央部及び外周部の特性を均一化することが望まれている。

[0007] 画素アレイの中央部及び外周部の特性を均一化することができるセンサチップ、及びそのようなセンサチップを有する電子機器を提供することが望ましい。

[0008] 本開示の一実施の形態におけるセンサチップは、高電界領域によりキャリアをアバランシェ増倍させる増倍領域を有する光電変換部と、入射光を光電

変換部に向けて集光する集光部と、光電変換部および集光部をそれぞれ有する複数の画素がアレイ状に配置されると共に、光電変換部の構造及び集光部の構造の少なくともいずれかが中央部から外周部にかけて段階的に変化している画素アレイとを備えたものである。

[0009] 本開示の一実施の形態における電子機器は、光学系と、センサチップと、信号処理回路とを備えたものであり、センサチップとして、上記本開示の一実施の形態のセンサチップを有する。

[0010] 本開示の一実施の形態におけるセンサチップ及び本開示の一実施の形態の電子機器では、画素アレイの複数の画素は、光電変換部の構造及び集光部の構造の少なくともいずれかが中央部から外周部にかけて段階的に変化しており、これにより、外周部の画素において光入射面に対して斜めに入射した光が、より増倍領域に近づくようになる。

図面の簡単な説明

[0011] [図1]本開示の第1の実施の形態に係るセンサチップの平面構成の一例を表す図である。

[図2]図1のセンサチップのⅠ-Ⅰ'及びⅡ-Ⅱ'における断面構成の一例を表す図である。

[図3A]図1のセンサチップのⅠ-Ⅰ'における断面構成の一例を表す図である。

[図3B]図1のセンサチップのⅡ-Ⅱ'における断面構成の一例を表す図である。

[図4A]図1のセンサチップの製造過程の断面構成の一例を表す図である。

[図4B]図4Aに続く製造過程の断面構成の一例を表す図である。

[図4C]図4Bに続く製造過程の断面構成の一例を表す図である。

[図4D]図4Cに続く製造過程の断面構成の一例を表す図である。

[図4E]図4Dに続く製造過程の断面構成の一例を表す図である。

[図5]参考形態に係るセンサチップの断面構成の一例を表す図である。

[図6]変形例Aに係るセンサチップの断面構成の一例を表す図である。

- [図7]変形例Bに係るセンサチップの断面構成の一例を表す図である。
- [図8]変形例Cに係るセンサチップの断面構成の一例を表す図である。
- [図9]図1のセンサチップの断面構成の他の一例を表す図である。
- [図10]変形例Dに係るセンサチップの断面構成の一例を表す図である。
- [図11A]図10のセンサチップの製造過程の断面構成の一例を表す図である。
- [図11B]図11Aに続く製造過程の断面構成の一例を表す図である。
- [図11C]図11Bに続く製造過程の断面構成の一例を表す図である。
- [図11D]図11Cに続く製造過程の断面構成の一例を表す図である。
- [図11E]図11Dに続く製造過程の断面構成の一例を表す図である。
- [図11F]図11Eに続く製造過程の断面構成の一例を表す図である。
- [図12]変形例Eに係るセンサチップの断面構成の一例を表す図である。
- [図13]変形例Fに係るセンサチップの断面構成の一例を表す図である。
- [図14]変形例Gに係るセンサチップの断面構成の一例を表す図である。
- [図15]変形例Hに係るセンサチップの断面構成の一例を表す図である。
- [図16]変形例Iに係るセンサチップの中央画素の断面構成の一例を表す図である。
- [図17]図16のセンサチップの外周画素の断面構成の一例を表す図である。
- [図18]変形例Jに係るセンサチップの断面構成の一例を表す図である。
- [図19]変形例Kに係るセンサチップの断面構成の一例を表す図である。
- [図20]変形例Lに係るセンサチップの断面構成の一例を表す図である。
- [図21]変形例Mに係るセンサチップの中央画素の断面構成の一例を表す図である。
- [図22]図21のセンサチップの外周画素の断面構成の一例を表す図である。
- [図23]変形例Nに係るセンサチップの断面構成の一例を表す図である。
- [図24]変形例Oに係るセンサチップの平面構成の一例を表す図である。
- [図25]図24のセンサチップの中央画素の断面構成の一例を表す図である。
- [図26]図24のセンサチップの外周画素の断面構成の一例を表す図である。
- [図27]変形例Pに係るセンサチップの断面構成の一例を表す図である。

[図28A]本開示の第2の実施の形態に係るセンサチップの断面構成の一例を表す図である。

[図28B]図28Aのセンサチップの外周画素の断面構成の一例を表す図である。

[図29]図28Aのセンサチップの製造過程の断面構成の一例を表す図である。

[図30]変形例Qに係るセンサチップの断面構成の一例を表す図である。

[図31]変形例Rに係るセンサチップの断面構成の一例を表す図である。

[図32]変形例Sに係るセンサチップの断面構成の一例を表す図である。

[図33]上記実施の形態及びその変形例に係るセンサチップを備えた電子機器の概略構成の一例を示すブロック図である。

[図34]車両制御システムの概略的な構成の一例を示すブロック図である。

[図35]車外情報検出部及び撮像部の設置位置の一例を示す説明図である。

発明を実施するための形態

[0012] 以下、本開示の実施の形態について、図面を参照して詳細に説明する。なお、説明は以下の順序で行う。

1. 第1の実施の形態…図1～図4E

複数のSPADを有する画素アレイを有し、SPADに対するオンチップレンズの位置が画素アレイの中央画素から外周画素にかけて段階的に変えられた例

2. 第1の実施の形態の変形例

変形例A：オンチップレンズの隣の画素にはみだした部分が除去された例…図6

変形例B：SPADに対するオンチップレンズの位置及びオンチップレンズの

大きさが画素アレイの中央画素から外周画素にかけて段階的に

変えられた例…図7

変形例C：画素間遮光膜が設けられておらず、画素分離膜が半導体基板の

光入射面から所定の深さには形成されていない例…図8

変形例D：第2の画素分離膜及びそれに接する画素間遮光膜が設けられた例…図10～図11F

変形例E：光入射面と平行な方向のオンチップレンズの幅が画素アレイの

中央画素から外周画素にかけて段階的に変えられた例…図

12

変形例F：オンチップレンズの曲率が画素アレイの中央画素から外周画素にかけて段階的に変えられた例…図13

変形例G：オンチップレンズの高さが画素アレイの中央画素から外周画素にかけて段階的に変えられた例…図14

変形例H：オンチップレンズの下層の画素間遮光膜の線幅が画素アレイの

中央画素から外周画素にかけて段階的に変えられた例…図

15

変形例I：SPADに対するインナーレンズの位置が画素アレイの中央画素から

外周画素にかけて段階的に変えられた例…図16～図17

変形例J：光入射面と平行な方向のインナーレンズの幅が画素アレイの

中央画素から外周画素にかけて段階的に変えられた例…図

18

変形例K：インナーレンズの曲率が画素アレイの中央画素から外周画素にかけて段階的に変えられた例…図19

変形例L：インナーレンズの高さが画素アレイの中央画素から外周画素にかけて段階的に変えられた例…図20

変形例M：SPADの光入射面に入射する光を拡散させる凹凸形状が設けられ、

凹凸形状の大きさが、画素アレイの中央画素から

外周画素にかけて段階的に変えられた例…図21～図22

変形例N：凹凸形状の数が、画素アレイの中央画素から

外周画素にかけて段階的に変えられた例…図23

変形例O：光反射膜の位置が画素アレイの中央画素から

外周画素にかけて段階的に変えられた例…図24～図26

変形例P：光入射面と平行な方向の光反射膜の幅が画素アレイの中央画素から

外周画素にかけて段階的に変えられた例…図27

3. 第2の実施の形態…図28A～図29

複数のSPADを有する画素アレイを有し、SPADの内部の増倍領域の位置が画素アレイの中央画素から外周画素にかけて段階的に変えられた例

4. 第2の実施の形態の変形例

変形例Q：電界緩和層が設けられた例…図30

変形例R：電界調整用不純物領域が設けられた例…図31

変形例S：電荷誘導用不純物領域が設けられた例…図32

5. 適用例：上記実施の形態及びその変形例に係るセンサチップを電子機器に適用した例…図33

6. 応用例：上記実施の形態及びその変形例に係るセンサチップを移動体に応用した例…図34、図35

7. その他の変形例

[0013] <1. 第1の実施の形態>

[センサチップ1の構成例]

図1は、本開示の第1の実施の形態に係るセンサチップ1の平面構成の一例を表したものである。センサチップ1は、複数の画素Pがアレイ状に配置

された画素アレイARを有する。画素Pは、本開示の「画素」の一具体例に対応する。画素アレイARは、本開示の「画素アレイ」の一具体例に対応する。

[0014] 各画素Pは、SPAD2と、オンチップレンズ34とが積層された構造を有する。このSPAD2が本開示の「光電変換部」の一具体例に対応し、オンチップレンズ34が本開示の「集光部」の一具体例に対応する。本実施の形態のセンサチップ1は、複数の画素Pがアレイ状に配置された画素アレイARの中央部3から外周部4にかけて各画素Pの構造が段階的に変化した構成を有するものである。具体的には、平面視において、SPAD2に対するオンチップレンズ34の位置が、画素アレイARの中央部3から外周部4にかけて段階的に変化した構成となっている。以下、一例として、画素アレイARの中央部3に配置された画素（中央画素P1）および画素アレイARの外周部4に配置された画素（外周画素P2）を用いて、本実施の形態のセンサチップ1について説明する。

[0015] 図2は、図1のセンサチップ1のI-I'及びII-II'における断面構成の一例を表したものである。なお、図1では、画素P及びオンチップレンズ34のレイアウトを示すために、画素間遮光膜33（後述）を省略して表している。図2ではセンサチップ1において離れた位置に配置された中央画素P1及び外周画素P2を並べて示しているが、中央画素P1と外周画素P2との間には中間の画素Pが配置されている。図3Aは図2の中央画素P1を拡大して示したものであり、図1のセンサチップ1のI-I'における中央画素P1の断面構成の一例に対応する。

[0016] 中央画素P1は、SPAD2及びオンチップレンズ34を有する。SPAD2は光入射面10Aを有し、オンチップレンズ34は光入射面10Aに対向するように設けられている。SPAD2は、高電界領域によりキャリア（電子）をアバランシェ増倍させる増倍領域MRを有する。SPAD2は、本開示の「光電変換部」の一具体例に対応する。SPAD2は半導体基板10に設けられており、半導体基板10の一方の面がSPAD2の光入射面10

Aに対応する。光入射面10Aは、後述のように半導体基板10の裏面を研磨した結果得られた面であり、光入射面10Aを半導体基板10の裏面とも称する。センサチップ1（画素アレイAR）は、半導体基板10の裏面から入射する光を検出する裏面照射型である。また、半導体基板10の他方の面を表面とも称する。

[0017] 半導体基板10には、隣接する画素P間を分離する画素分離溝30が設けられている。画素分離溝30には画素分離膜T1が埋設されている。画素分離膜T1は、例えば酸化シリコン（ SiO_2 ）、酸化タンタル（ Ta_2O_5 ）、酸化ハフニウム（ HfO_2 ）、及び酸化アルミニウム（ Al_2O_3 ）等の絶縁膜31と、タングステン（W）及びアルミニウム（Al）等の遮光性の金属膜32との積層構造を有する。これにより、隣接する画素P間が電氣的及び光学的に分離されている。

[0018] 半導体基板10に設けられるSPAD2について説明する。半導体基板10の画素分離膜T1により分離された領域にウェル層11が設けられている。ウェル層11の内部には、光入射面10A側のp型半導体領域14及び半導体基板10の表面側のn型半導体領域15がpn接合を構成するように設けられている。n型半導体領域15から半導体基板10の表面側に貫通するようにカソード16が設けられている。半導体基板10の表面にはp型半導体領域17が設けられている。また、ウェル層11の側面と画素分離膜T1との間にはp型半導体領域であるピニング層12が設けられている。半導体基板10の表面側のピニング層12の端部にp型半導体領域であるアノード13が設けられている。

[0019] 半導体基板10は、例えばシリコン（Si）で形成されている。ウェル層11は、n型半導体領域であってもよく、p型半導体領域であってもよい。ウェル層11は、例えば 1×10^{14} 原子/cm³程度以下の低濃度のn型またはp型の半導体領域であることが好ましく、これによりウェル層11を空乏化させやすくなり、SPAD2のPDE（Photon Detection Efficiency）を向上させることができる。

- [0020] p型半導体領域14は、不純物濃度が高いp型の半導体領域(p+)である。n型半導体領域15は、不純物濃度が高いn型の半導体領域(n+)である。
- [0021] カソード16は、不純物濃度が高いn型の半導体領域(n++)である。カソード16はn型半導体領域15に接続しており、n型半導体領域15に所定のバイアスを印加可能に設けられている。p型半導体領域17はp型の半導体領域(p)である。p型半導体領域17によるピニングによりここで発生する暗電流を抑制できる。
- [0022] ピニング層12は、p型の半導体領域(p)である。ピニング層12は、画素分離膜T1に沿ってウェル層11の側面を囲むように形成されている。ピニング層12は、ホールを蓄積する。ピニング層12には、アノード13が接続されており、アノード13からバイアス調整が可能である。これによりピニング層12のホール濃度が強化され、ピニングが強固になることにより、例えば画素分離膜T1とウェル層11との界面で発生する暗電流の発生を抑制できる。ピニング層12は、例えば、画素分離膜T1からみてp型の半導体領域(p+)及びp型半導体領域(p)が順に積層した構造であってもよい。
- [0023] アノード13は、不純物濃度が高いp型の半導体領域(p++)である。アノード13はピニング層12に接続しており、ピニング層12に所定のバイアスを印加可能に設けられている。
- [0024] 上記のSPAD2では、アノード13、ピニング層12、及びp型半導体領域14に印加される大きな負電圧によってp型半導体領域14及びn型半導体領域15のpn接合から空乏層が広がり、高電界領域が形成されるように構成されている。高電界領域が形成されると、キャリアをアバランシェ増倍させることが可能な増倍領域MRが形成される。SPAD2は、増倍領域MRで発生するアバランシェ増倍により、光入射面10Aから入射する1個のフォトンにより発生するキャリアを増倍して検出することが可能である。以上のようにSPAD2が構成されている。

- [0025] 半導体基板 10 の表面（光入射面 10A とは反対側の面）には、絶縁膜中に金属の配線が埋設されてなる配線層 20 が設けられている。配線層 20 中の配線は、例えばアノード 13 及びカソード 16 にそれぞれ接続されて所定のバイアスを印加できるように構成されている。また、配線層 20 には、配線を構成する金属膜により光反射膜 21 が埋設されている。光反射膜 21 は、SPAD 2 を通過して半導体基板 10 の表面側に到達した光を再度 SPAD 2 へと反射させるように構成されている。
- [0026] 半導体基板 10 の裏面には、画素分離膜 T1 に接して画素間遮光膜 33 が設けられている。画素間遮光膜 33 は、例えば W や A1 等の遮光性の金属で形成されている。画素間遮光膜 33 は、光入射面 10A に対して斜めに入射した光が入射すべき画素 P に入射せずに隣接する画素 P に入射することを抑制するように構成されている。
- [0027] 半導体基板 10 の裏面には、光入射面 10A を覆うようにオンチップレンズ 34 が設けられている。オンチップレンズ 34 は、例えば熱可塑性のポジ型感光性樹脂あるいは窒化シリコン等の光透過性の材料により形成されている。オンチップレンズ 34 は、光入射面 10A へ入射する入射光 L を増倍領域 MR へと集光するように構成されている。
- [0028] 図 3B は図 2 の外周画素 P2 を拡大したものであり、図 1 のセンサチップ 1 の 11-11' における外周画素 P2 の断面構成の一例に対応する。外周画素 P2 は、中央画素 P1 からみて -X 方向の画素アレイ AR の端部に位置する画素 P である。
- [0029] 外周画素 P2 は、半導体基板 10 に設けられた SPAD 2、半導体基板 10 の表面に形成された配線層 20、半導体基板の裏面に設けられた画素間遮光膜 33、及びオンチップレンズ 34 を有する。SPAD 2 を含む半導体基板 10 の内部構造、配線層 20、及び画素間遮光膜 33 については、外周画素 P2 は中央画素 P1 と同様の構造を有しており、説明を省略する。
- [0030] 図 3B では、中央画素 P1 での SPAD 2 に対するオンチップレンズ 34 の位置を点線 34i で示している。中央画素 P1 からみて -X 方向に位置す

る外周画素P 2では、オンチップレンズ3 4は、点線3 4 i からX方向にシフトした位置に設けられている。X方向にシフトしたオンチップレンズ3 4は、一部が隣接する画素Pにはみ出して設けられている。

[0031] センサチップ1では、SPAD2へ光を集光する集光部の構造が画素アレイARの中央画素P 1から外周画素P 2にかけて段階的に変化している。具体的には、オンチップレンズ3 4の位置が中央画素P 1から外周画素P 2にかけて段階的に変化している。図1に示したように、中央画素P 1からみてY方向に位置する外周画素P 3では、オンチップレンズ3 4は、-Y方向にシフトした位置に設けられている。中央画素P 1からみて(-X、Y)方向に位置する画素アレイARの角部の外周画素P 4では、オンチップレンズ3 4は、(X、-Y)方向にシフトした位置に設けられている。中央画素P 1と外周画素P 2、P 3、P 4との間に位置する中間の画素Pでも同様にオンチップレンズ3 4の位置がシフトしている。各画素Pにおけるオンチップレンズ3 4のシフトの方向は、いずれの画素Pからみても中央画素P 1の方向である。オンチップレンズ3 4がシフトされた大きさ(距離)を以降においてシフト幅とも称する。各画素Pにおけるオンチップレンズ3 4のシフト幅は、各画素Pの中央画素P 1からの距離に応じて設定され、中央画素P 1から遠いほどシフト幅は大きく、近いほどシフト幅は小さくなるように設けられている。このように、センサチップ1では、オンチップレンズ3 4の位置は、中央画素P 1から外周画素P 2、P 3、P 4にかけて段階的に変えられている。

[0032] [センサチップ1の製造方法]

次に、センサチップ1の製造方法について説明する。図4A~図4Eは、センサチップ1の製造過程の一例を表したものである。オンチップレンズ3 4を形成する工程を除いて中央画素P 1及び外周画素P 2は同様に製造可能であり、ここでは、外周画素P 2の製造過程について説明する。

[0033] まず、半導体基板10の表面に、イオン注入領域に対応する位置に開口を有するレジストマスクM 1及びイオン注入領域に対応する位置を覆うレジス

トマスクM2を形成したのち、所定のイオン注入エネルギーでn型不純物またはp型不純物を注入する。これにより、図4Aに示したように、ウェル層11、ピニング層12、アノード13、p型半導体領域14、n型半導体領域15、カソード16、及びp型半導体領域17をそれぞれ形成する。例えば、イオン注入エネルギーの大きさ及びレジストマスクM2の厚さによって、イオンが注入される深さを制御することが可能である。イオン注入ののち、レジストマスクM1、M2を除去する。

[0034] 次に、例えばCVD (Chemical Vapor Deposition) 法による絶縁膜の形成、スパッタリング法による金属膜の形成、及び金属膜のエッチング加工を繰り返すことにより、図4Bに示したように、半導体基板10の表面に、絶縁膜中に配線を埋設してなる配線層20を形成する。このとき、配線を構成する金属膜により、光反射膜21を形成する。

[0035] 続いて、図4Cに示したように、例えばCMP (Chemical Mechanical Polishing) 法により、半導体基板10を裏面（配線層20の形成面とは反対側の面）からピニング層12が露出するまで研磨する。図4Cは、図4Bとは上下を反転して示している。

[0036] 次に、画素分離領域に対応する位置に開口を有するレジストパターンを形成したのち、反応性イオンエッチング (RIE : Reactive Ion Etching) 等のエッチング処理を施すことにより、図4Dに示したように、画素分離溝30を形成する。画素分離溝30は、例えば半導体基板10を貫通するように形成する。エッチング処理ののち、レジストパターンを除去する。

[0037] 続いて、例えばCVD法あるいはALD (Atomic Layer Deposition) 法により、画素分離溝30に埋め込むように絶縁膜31及び金属膜32を積層して、画素分離膜T1を形成する。次に、例えばスパッタリング法により金属膜を形成し、光入射面10Aに対応する位置に開口を有するレジストパターンを形成したのち、RIE等のエッチング処理を施すことにより、図4Eに示したように、画素間遮光膜33を形成する。エッチング処理ののち、レジストパターンを除去する。続いて、光入射面10Aを覆うようにオンチップ

レンズ34を形成する。オンチップレンズ34の形成は、例えば、熱可塑性のポジ型感光性樹脂の成膜及びリフロー処理により行う。ここで、オンチップレンズ34の形成位置は、光入射面10Aの直上よりもX方向にシフトした位置とする。このようにして、外周画素P2が形成される。なお、オンチップレンズ34の形成位置を光入射面10Aの直上とすることで、中央画素P1を形成することができる。このようにして、センサチップ1が製造される。

[0038] [センサチップ1の動作]

センサチップ1では、各画素PのSPAD2において、アノード13、ピニング層12、及びp型半導体領域14に大きな負電圧が印加されると、p型半導体領域14及びn型半導体領域15のpn接合から空乏層が広がり、高電界領域が形成される。得られた高電界領域によりキャリアをアバランシェ増倍させることが可能な増倍領域MRが形成される。増倍領域MRは、光入射面10Aから入射する1個のフォトンにより発生するキャリアを増倍して、増倍された信号電荷を生成する。得られた信号電荷はSPAD2から取り出され、信号処理回路により信号処理が施される。

[0039] センサチップ1は、ToF (Time of Flight) 法による測距センサとして用いることができる。ToF法では、信号電荷による信号と基準信号との間の信号遅延時間が測定対象物までの距離に換算される。信号処理回路は、例えば、各画素PのSPAD2から得られた信号電荷による信号及び基準信号から信号遅延時間を算出する。得られた信号遅延時間は距離に換算され、これにより測定対象物までの距離が測定される。

[0040] [センサチップ1の作用・効果]

第1の実施の形態のセンサチップ1は、複数の画素Pがアレイ状に配置された画素アレイARを有する。各画素Pは、SPAD2、及びSPAD2の光入射面10Aに対向して設けられたオンチップレンズ34を有する。ここで、複数の画素Pは、瞳補正がされている。瞳補正について、以下に説明する。

- [0041] 中央画素P 1では、図3 Aに示したように光入射面1 0 Aに対して略垂直に入射する光が多くなる。光入射面1 0 Aに対して略垂直に入射した入射光Lは、オンチップレンズ3 4により増倍領域MRへ集光される。増倍領域MRでは、1個のフォトンにより発生するキャリアがアバランシェ増倍される。オンチップレンズ3 4により入射光Lが増倍領域MRへと集光されることにより、PDEが高められている。
- [0042] 外周画素P 2では、図3 Bに示したように光入射面1 0 Aに対して斜めの方向に入射する光が多くなる。入射光Lが入射する斜めの方向とは、光入射面1 0 Aに対して垂直な方向（-Z方向）から、-X方向に傾いた方向である。
- [0043] ここで、センサチップ1の作用・効果を説明するために、参考形態に係るセンサチップ1 0 1の外周画素P 1 0 2について説明する。図5は、参考形態のセンサチップ1 0 1の外周画素P 1 0 2の断面構成を表したものであり、図3 Aに示した中央画素P 1と同様に、半導体基板1 1 0の光入射面1 1 0 Aには、画素分離膜T 1に接して画素間遮光膜1 3 3が設けられている。また、光入射面1 1 0 Aを覆って、光入射面1 1 0 Aの直上にオンチップレンズ1 3 4が設けられている。外周画素P 1 0 2では、半導体基板1 0 0に画素分離溝1 3 0が設けられ、絶縁膜1 3 1及び金属膜1 3 2が積層された画素分離膜T 1が画素分離溝1 3 0に埋設されている。画素分離溝1 3 0で分離された半導体基板1 1 0には、ウェル層1 1 1、ピニング層1 1 2、アノード1 1 3、p型半導体領域1 1 4、n型半導体領域1 1 5、カソード1 1 6、及びp型半導体領域1 1 7が設けられ、SPAD 1 0 2が構成されている。半導体基板1 1 0一方の面（裏面）はSPAD 1 0 2の光入射面1 1 0 Aとなる。半導体基板1 1 0の他方の面（表面）には、絶縁膜中に配線を埋設してなる配線層1 2 0が設けられており、配線層1 2 0中には配線を構成する金属膜により光反射膜1 2 1が設けられている。
- [0044] 図5に示したように画素アレイの外周画素P 1 0 2では、光入射面1 1 0 Aに対して斜めに入射する入射光Lが多くなる。そのような斜めに入射する

入射光Lが集光された光電変換領域は、SPAD102の中の-X方向寄りとなり、増倍領域MRから離れた位置となる。これにより、外周画素P102ではPDEが低下してしまう。キャリアが発生しても増倍領域MRから離れているため増倍領域MRに到達しにくいこともPDE低下の要因となっている。

[0045] また、入射光Lが光入射面110Aに斜めに入射して増倍領域MRから離れた位置でキャリアが発生すると、増倍領域MRから離れた位置では高電界による作用が十分ではないのでキャリアの移動度は低く、キャリアは点線JTで示したように増倍領域MRへの最短経路よりも長い距離を移動する。このため、キャリアが増倍領域MRに到達するまでに時間がかかってしまい、ジッターが悪化する。

[0046] また、入射光Lが光入射面110Aに斜めに入射することで、アバランシェ増倍が外周画素P102の端部で発生することが多くなる。アバランシェ増倍の際には光LAが発生するが、外周画素P102の端部で発生した光LAは減衰する前に隣接画素に届いてしまう。この結果、クロストークが悪化する。

[0047] 図3Bに示したように、センサチップ1の外周画素P2では、オンチップレンズ34がX方向にシフトされている。これにより、光入射面10Aに対して斜めに入射する入射光が増倍領域MRに近づくように、入射光Lの光学経路が補正されている。なお、図3Bでは、点線34iは、図5に示した参考形態のセンサチップ101の外周画素P102のオンチップレンズ34の位置に対応する位置を示している。また、図3Bでは、一点鎖線Liは、図5に示した参考形態のセンサチップ101の外周画素P102で入射光が斜めに入射したときの光学経路に対応する位置を示している。外周画素P2においてオンチップレンズ34の位置をX方向にシフトすることで、光入射面10Aに対して斜めに入射する入射光が増倍領域MRに近づくように、入射光Lの光学経路を補正することができる。

[0048] 上記のセンサチップ1の外周画素P2では、光入射面10Aに対して斜め

に入射する入射光が増倍領域MRに近づくように入射光Lの光学経路が補正されているので、光電変換領域を増倍領域MRに近づけることができ、PDEを向上できる。また、キャリアの発生する位置を増倍領域MRに近づけることができ、ジッターを抑制することができる。また、アバランシェ増倍が発生する位置を外周画素P2の端部から遠ざけることができ、クロストークを抑制することができる。

[0049] センサチップ1では、例えば各画素Pのオンチップレンズ34の位置のシフト幅は、中央画素P1から外周画素P2にかけて段階的に変化するように設けられている。例えば、シフト幅は、各画素Pの中央画素P1からの距離に応じて設定され、中央画素P1から遠いほどシフト幅は大きく、近いほどシフト幅は小さくなるように設けられている。これは、光入射面10Aに対して光が斜めに入射する光が中央ほど少なく、外周ほど多くなり、斜めに傾く角度も大きくなるためである。このように、画素アレイAR中の位置に応じてオンチップレンズ34の位置のシフト幅を段階的に変化させることで、画素アレイAR中の位置に応じて入射光Lの光学経路を補正して画素Pの特性の不均一さを抑制でき、センサチップ1の瞳補正を実現できる。

[0050] なお、本開示の「集光部」とは、入射光Lの光路を変化させて入射光Lを増倍領域MRに近づける部材を意味するが、この他に、増倍領域MRから離れた領域に入射しないように入射光Lの一部を遮蔽する部材や、入射光Lが増倍領域MRを通過する機会を増加させる部材を含むものとする。具体的には、「集光部」は、オンチップレンズ34の他、以下の変形例において示すように、画素間遮光膜33、インナーレンズ36、光入射面10Aの凹凸形状50、及び光反射膜21に対応する。

[0051] 以上説明したように、第1の実施の形態のセンサチップ1では、外周画素においてPDEを向上することができ、また、ジッター及びクロストークを抑制することができ、これにより画素アレイの中央画素及び外周画素の特性を均一化することができる。

[0052] <2. 第1の実施の形態の変形例>

以下に、上記の第1の実施の形態に係るセンサチップ1の変形例について説明する。なお、以下の変形例において、上記の第1の実施の形態と共通の構成に対しては、同一の符号が付与されている。

[0053] [変形例A]

上記のセンサチップ1では、中央部3から外周部4にかけてオンチップレンズ34が段階的にX方向にシフトすることにより、その一部が隣接する画素Pにはみ出して設けられた構成であったが、本開示ではこれに限らず、隣接する画素Pにはみ出さないようにオンチップレンズ34の一部が除去された構成であってもよい。

[0054] 図6は、変形例Aとしてのセンサチップ1Aの外周画素PAの断面構成の一例を表したものである。オンチップレンズ34は、X方向に隣接する画素Pにはみ出した部分が除去されて、切り欠き部35が設けられている。切り欠き部35は、画素間遮光膜33上に位置する。上記を除いては、センサチップ1と同様の構成を有する。

[0055] センサチップ1Aの外周画素PAでは、センサチップ1と同様に、PDEを向上することができ、また、ジッター及びクロストークを抑制することができ、これにより画素アレイの中央画素及び外周画素の特性を均一化することができる。さらに、オンチップレンズ34が隣接画素にはみ出すことによる隣接画素への影響を抑制できる。

[0056] [変形例B]

上記のセンサチップ1では、中央部3から外周部4にかけてオンチップレンズ34が段階的にX方向にシフトすることにより、その一部が隣接する画素Pにはみ出して設けられた構成であったが、本開示ではこれに限らず、隣接する画素Pにはみ出さないように、光入射面10Aと平行な方向のオンチップレンズ34の幅W34を段階的に小さくした構成であってもよい。

[0057] 図7は、変形例Bとしてのセンサチップ1Bの外周画素PBの断面構成の一例を表したものである。オンチップレンズ34は、X方向にシフトするとともに、光入射面10Aと平行な方向の幅W34が小さくされて、隣接する

画素Pにはみ出さないように設けられている。上記を除いては、センサチップ1と同様の構成を有する。

[0058] センサチップ1Bの外周画素PBでは、センサチップ1と同様に、PDEを向上することができ、また、ジッター及びクロストークを抑制することができ、これにより画素アレイの中央画素及び外周画素の特性を均一化することができる。さらに、オンチップレンズが隣接画素にはみ出すことによる隣接画素への影響を抑制できる。

[0059] [変形例C]

上記のセンサチップ1では、画素分離膜T1が半導体基板10を貫通している例を示したが、これに限らない。例えば、画素間遮光膜33が設けられておらず、画素分離膜T1が半導体基板10の光入射面10Aから所定の深さには形成されていない構成であってもよい。

[0060] 図8は、変形例Cとしてのセンサチップ1Cの外周画素PCの断面構成の一例を表したものである。オンチップレンズ34は、X方向にシフトされている。画素間遮光膜33は設けられていない。また、画素分離溝30が半導体基板10の表面（光入射面10Aとは反対側の面）から半導体基板10の途中の深さまで形成されており、画素分離溝30に埋設されて画素分離膜T1が形成されている。このようにして、半導体基板10の裏面（光入射面10A）から所定の深さ30Aには画素分離膜T1が設けられていない構成となっている。上記を除いては、センサチップ1と同様の構成を有する。

[0061] ここで、センサチップ1Cの作用・効果を説明するために、センサチップ1の外周画素P2について説明する。図9は、センサチップ1の外周画素P2の断面構成を表したものである。図3Bに示した断面構成と同様であるが、図9では、入射光Lの一部が画素間遮光膜33に遮られ、影領域RSが構成されている点で異なっている。この影領域RSは、オンチップレンズ34のシフト幅の大きさ及び入射光Lの傾きによって発生することがあるものである。影領域RSが発生すると、当然ながらPDEが低下してしまう。

[0062] 図8に示したセンサチップ1Cの外周画素PCでは、画素間遮光膜33が

設けられていない。また、光入射面 10A から所定の深さには画素分離膜 T1 が設けられていない。これにより、画素間遮光膜 33 や画素分離膜 T1 の光入射面 10A 側の端部近傍で入射光 L が遮られないようになり、影領域 RS が形成されにくい構成となっている。

[0063] センサチップ 1C の外周画素 PC では、センサチップ 1 と同様に、PDE を向上することができ、また、ジッター及びクロストークを抑制することができ、これにより画素アレイの中央画素及び外周画素の特性を均一化することができる。さらに、入射光が遮られた影領域の形成が抑制され、PDE の低下が抑制されている。

[0064] [変形例 D]

上記のセンサチップ 1C では、画素間遮光膜 33 が設けられておらず、さらに光入射面 10A から所定の深さには画素分離膜 T1 が設けられていない構成であったが、本開示ではこれに限らない。例えば、光入射面 10A から所定の深さを有する第 2 の画素分離膜 T12 が設けられ、さらに第 2 の画素分離膜 T12 に接して画素間遮光膜 44 が設けられた構成であってもよい。

[0065] 図 10 は、変形例 D としてのセンサチップ 1D の外周画素 PD の断面構成の一例を表したものである。オンチップレンズ 34 は、X 方向にシフトされている。光入射面 10A から所定の深さには、画素分離膜 T1 は設けられていない。画素分離膜 T1 に接する画素間遮光膜 33 は形成されていない。また、画素分離膜 T1 から X 方向に離間した位置に、光入射面 10A から所定の深さを有する第 2 の画素分離膜 T12 が設けられている。第 2 の画素分離膜 T12 に接して、画素間遮光膜 44 が設けられている。上記を除いては、センサチップ 1 と同様の構成を有する。

[0066] 次に、センサチップ 1D の製造方法について説明する。図 11A～図 11F は、センサチップ 1D の外周画素 PD の製造過程の一例を表したものである。画素分離膜 T1 及び第 2 の画素分離膜 T12 を形成する工程を除いて中央画素及び外周画素 PD は同様に製造可能であり、ここでは、外周画素 PD の製造過程について説明する。

- [0067] まず、半導体基板 10 の表面に、イオン注入領域に対応する位置に開口を有するレジストマスク M3、及びイオン注入領域に対応する位置を覆うレジストマスク M4 を形成したのち、所定のイオン注入エネルギーで n 型不純物または p 型不純物を注入し、図 11A に示したように、ウェル層 11、ピニング層 12、アノード 13、p 型半導体領域 14、n 型半導体領域 15、カソード 16、p 型半導体領域 17、及び p 型半導体領域 40 をそれぞれ形成する。イオン注入ののち、レジストマスク M3、M4 を除去する。
- [0068] 次に、画素分離領域に対応する位置に開口を有するレジストパターンを形成したのち、RIE 等のエッチング処理を施すことにより、図 11B に示したように、画素分離溝 30 を形成する。画素分離溝 30 は、例えば半導体基板 10 の表面から半導体基板 10 の途中までの深さを有するように形成する。画素分離溝 30 内の底面及び側面には、ピニング層 12 の表面が露出している。エッチング処理ののち、レジストパターンを除去する。
- [0069] 続いて、例えば CVD 法あるいは ALD 法により、画素分離溝 30 に埋め込むように絶縁膜 31 及び金属膜 32 を積層して、画素分離膜 T1 を形成する。次に、例えば CVD 法による絶縁膜の形成、スパッタリング法による金属膜の形成、及び金属膜のエッチング加工を繰り返すことにより、図 11C に示したように、半導体基板 10 の表面に、絶縁膜中に配線を埋設してなる配線層 20 を形成する。このとき、配線を構成する金属膜により、光反射膜 21 を形成する。
- [0070] 続いて、図 11D に示したように、例えば CMP 法により、半導体基板 10 を裏面（配線層 20 の形成面とは反対側の面）から p 型半導体領域 40 が露出するまで研磨する。図 11D は、図 11C とは上下を反転して示している。
- [0071] 次に、第 2 の画素分離領域に対応する位置に開口を有するレジストパターンを形成したのち、RIE 等のエッチング処理を施すことにより、図 11E に示したように、第 2 の画素分離溝 41 を形成する。第 2 の画素分離溝 41 は、例えば半導体基板 10 の裏面から半導体基板 10 の途中までの深さを有

するように形成する。第2の画素分離溝41内の底面及び側面には、p型半導体領域40の表面が露出している。エッチング処理ののち、レジストパターンを除去する。

[0072] 続いて、例えばCVD法あるいはALD法により、第2の画素分離溝41に埋め込むように絶縁膜42及び金属膜43を積層して、第2の画素分離膜T12を形成する。次に、例えばスパッタリング法により金属膜を形成し、光入射面10Aに対応する位置に開口を有するレジストパターンを形成したのち、RIE等のエッチング処理を施すことにより、図11Fに示したように、画素間遮光膜44を形成する。エッチング処理ののち、レジストパターンを除去する。次に、光入射面10Aを覆うようにオンチップレンズ34を形成する。このようにして、外周画素PDが形成され、センサチップ1Dが製造される。

[0073] 図10に示したセンサチップ1Dの外周画素PDでは、画素間遮光膜33及び光入射面10Aから所定の深さには画素分離膜T1が設けられていない。これにより、画素間遮光膜33や画素分離膜T1の光入射面10A側の端部近傍で入射光Lが遮られないようになり、影領域RSが形成されにくい構成となっている。さらに、第2の画素分離膜T12が設けられているので、半導体基板10の内部における隣接画素への光の漏れを防止し、画素間の光学的分離を実現できる。さらに画素間遮光膜44が設けられており、光入射面10Aに対して斜めに入射した光が入射すべき画素Pに入射せずに隣接する画素Pに入射することを抑制することができる。

[0074] センサチップ1Dの外周画素PDでは、センサチップ1Cと同様に、PDEを向上することができ、また、ジッター及びクロストークを抑制することができ、これにより画素アレイの中央画素及び外周画素の特性を均一化することができる。さらに、入射光が画素間遮光膜等に遮られてなる影領域の形成が抑制され、影領域によるPDEの低下が抑制されている。

[0075] [変形例E]

上記のセンサチップ1では、中央画素P1のオンチップレンズ34及び外

周画素P 2のオンチップレンズ3 4の大きさは同じであったが、本開示ではこれに限らず、オンチップレンズ3 4の光入射面1 0 Aと平行な方向の幅W 3 4を中央画素P 1から外周画素P 2にかけて段階的に変化させるようにしてもよい。

[0076] 図1 2は、変形例Eとしてのセンサチップ1 Eの外周画素P Eの断面構成の一例を表したものである。外周画素P Eのオンチップレンズ3 4は、光入射面1 0 Aと平行な方向の幅W 3 4が中央画素のオンチップレンズ3 4より小さく設けられている。センサチップ1 Eでは、オンチップレンズ3 4の光入射面1 0 Aと平行な方向の幅W 3 4は、中央画素から外周画素P Eにかけて段階的に変えられている。外周画素P Eでは、オンチップレンズ3 4はX方向へシフトされていない。上記を除いては、センサチップ1と同様の構成を有する。

[0077] センサチップ1 Eの外周画素P Eでは、オンチップレンズ3 4の幅が小さく調整されることにより、光入射面1 0 Aに対して斜めに入射する入射光が増倍領域MRに近づくように入射光Lの光学経路が補正され、P D Eを向上できる。

[0078] センサチップ1 Eの外周画素P Eでは、センサチップ1と同様に、P D Eを向上することができ、また、ジッター及びクロストークを抑制することができ、これにより画素アレイの中央画素及び外周画素の特性を均一化することができる。

[0079] [変形例F]

上記のセンサチップ1では、中央画素P 1のオンチップレンズ3 4及び外周画素P 2のオンチップレンズ3 4の曲率は同じであったが、本開示ではこれに限らず、オンチップレンズ3 4の曲率を中央画素P 1から外周画素P 2にかけて段階的に変化させるようにしてもよい。

[0080] 図1 3は、変形例Fとしてのセンサチップ1 Fの外周画素P Fの断面構成の一例を表したものである。外周画素P Fのオンチップレンズ3 4の曲率は、中央画素のオンチップレンズ3 4より小さく設けられている。センサチッ

プ1 Fでは、オンチップレンズ3 4の曲率は、中央画素から外周画素P Fにかけて段階的に変えられている。外周画素P Fでは、オンチップレンズ3 4はX方向へシフトされていない。上記を除いては、センサチップ1と同様の構成を有する。

[0081] センサチップ1 Fの外周画素P Fでは、オンチップレンズ3 4の曲率が小さく調整されることにより、光入射面1 0 Aに対して斜めに入射する入射光が増倍領域MRに近づくように入射光Lの光学経路が補正され、P D Eを向上できる。

[0082] センサチップ1 Fの外周画素P Fでは、センサチップ1と同様に、P D Eを向上することができ、また、ジッター及びクロストークを抑制することができ、これにより画素アレイの中央画素及び外周画素の特性を均一化することができる。

[0083] [変形例G]

上記のセンサチップ1では、中央画素P 1のオンチップレンズ3 4及び外周画素P 2のオンチップレンズ3 4の大きさは同じであったが、本開示ではこれに限らず、オンチップレンズ3 4の高さH 3 4を中央画素P 1から外周画素P 2にかけて段階的に変化させるようにしてもよい。

[0084] 図1 4は、変形例Gとしてのセンサチップ1 Gの外周画素P Gの断面構成の一例を表したものである。外周画素P Gのオンチップレンズ3 4の高さH 3 4は、中央画素のオンチップレンズ3 4より低く設けられている。センサチップ1 Gでは、オンチップレンズ3 4の高さH 3 4は、中央画素から外周画素P Gにかけて段階的に変えられている。外周画素P Gでは、オンチップレンズ3 4はX方向へシフトされていない。上記を除いては、センサチップ1と同様の構成を有する。

[0085] センサチップ1 Gの外周画素P Gでは、オンチップレンズ3 4の高さが低く調整されることにより、光入射面1 0 Aに対して斜めに入射する入射光が増倍領域MRに近づくように入射光Lの光学経路が補正され、P D Eを向上できる。

[0086] センサチップ1 Gの外周画素P Gでは、センサチップ1と同様に、P D Eを向上することができ、また、ジッター及びクロストークを抑制することができ、これにより画素アレイの中央画素及び外周画素の特性を均一化することができる。

[0087] [変形例H]

上記のセンサチップ1では、中央画素P 1の画素間遮光膜3 3及び外周画素P 2の画素間遮光膜3 3の光入射面1 0 Aと平行な方向の幅は同じであったが、本開示ではこれに限らず、画素間遮光膜3 3の幅を中央画素P 1から外周画素P 2にかけて段階的に変化させるようにしてもよい。画素間遮光膜3 3は、本開示の「集光部」の他の一具体例に対応する。

[0088] 図1 5は、変形例Hとしてのセンサチップ1 Hの外周画素P Hの断面構成の一例を表したものである。外周画素P Hに設けられた画素間遮光膜3 3のうちの最も画素アレイの外周に近い（外周画素P Hからみて-X方向に位置する）画素間遮光膜3 3 Aの幅W 3 3 Aは、中央画素の画素間遮光膜3 3より大きく設けられている。センサチップ1 Hでは、最も画素アレイの外周に近い画素間遮光膜3 3 Aの幅W 3 3 Aは、中央画素から外周画素P Hにかけて段階的に変えられている。外周画素P Hでは、オンチップレンズ3 4はX方向へシフトされていない。上記を除いては、センサチップ1と同様の構成を有する。

[0089] 図1 5に示したように、センサチップ1 Hの外周画素P Hでは、光入射面1 0 Aに対して斜めに入射する入射光Lの一部を画素間遮光膜3 3 Aにより遮蔽することが可能である。画素間遮光膜3 3 Aにより遮蔽されるのは、増倍領域MRからより離れた位置に入射する光である。これにより、増倍領域MRに近い位置に入射する光を選別して入射させることができる。画素間遮光膜3 3 Aは、増倍領域MRに近い位置に光を集めるともいうことができ、本開示の「集光部」の1つに対応する。増倍領域MRからより離れた位置に入射する光を遮蔽することで、ジッター及びクロストークが抑制される。

[0090] センサチップ1 Hの外周画素P Hでは、センサチップ1と同様に、ジッタ

一及びクロストークを抑制することができ、これにより画素アレイの中央画素及び外周画素の特性を均一化することができる。

[0091] [変形例Ⅰ]

上記のセンサチップ1では、中央画素P1のオンチップレンズ34及び外周画素P2のオンチップレンズ34は単層のレンズであったが、本開示ではこれに限らず、SPAD2の光入射面10Aと対向するインナーレンズ36及びインナーレンズ36の上層に設けられたアウターレンズ38の積層構造を有していてもよい。インナーレンズ36及びアウターレンズ38の積層構造は、本開示の「集光部」の他の一具体例に対応する。

[0092] 図16は、変形例Ⅰとしてのセンサチップ11の中央画素P11の断面構成の一例を表したものである。SPAD2の光入射面10Aと対向して、インナーレンズ36、平坦化層37、及びアウターレンズ38が順に積層されている。上記を除いては、センサチップ1の中央画素P1と同様の構成を有する。

[0093] 図17は、センサチップ11の外周画素P12の断面構成の一例を表したものである。中央画素P11と同様に、SPAD2の光入射面10Aと対向して、インナーレンズ36、平坦化層37、及びアウターレンズ38が順に積層されている。図17では、中央画素P11でのSPAD2に対するインナーレンズ36の位置を点線36iで示している。中央画素P11からみて-X方向に位置する外周画素P12では、インナーレンズ36は、点線34iからX方向にシフトした位置に設けられている。センサチップ11では、インナーレンズ36の位置は、中央画素P11から外周画素P12にかけて段階的に変えられている。上記を除いては、センサチップ1と同様の構成を有する。

[0094] センサチップ11の外周画素P12では、インナーレンズ36の位置がX方向にシフトされていることにより、光入射面10Aに対して斜めに入射する入射光が増倍領域MRに近づくように入射光Lの光学経路が補正され、PDEを向上できる。インナーレンズ36の位置の調整が入射光Lの光学経路

に与える影響は大きく、外周画素P 1 2のインナーレンズ3 6のシフトの大きさは、センサチップ1の外周画素P 2のオンチップレンズ3 4のシフトの大きさより小さく抑えることができる。これにより、インナーレンズ3 6を画素間遮光膜3 3上にまでシフトしなくても効果を得ることができる。

[0095] センサチップ1 1の外周画素P 1 2では、センサチップ1と同様に、P D Eを向上することができ、また、ジッター及びクロストークを抑制することができ、これにより画素アレイの中央画素及び外周画素の特性を均一化することができる。

[0096] [変形例J]

上記のセンサチップ1 1では、中央画素P 1 1のインナーレンズ3 6及び外周画素P 1 2のインナーレンズ3 6の大きさは同じであったが、本開示ではこれに限らず、インナーレンズ3 6の光入射面1 0 Aと平行な方向の幅W 3 6を中央画素P 1 1から外周画素P 1 2にかけて段階的に変化させるようにしてもよい。

[0097] 図1 8は、変形例Jとしてのセンサチップ1 Jの外周画素P Jの断面構成の一例を表したものである。外周画素P Jのインナーレンズ3 6は、光入射面1 0 Aと平行な方向の幅W 3 6が中央画素のインナーレンズ3 6より小さく設けられている。センサチップ1 Jでは、インナーレンズ3 6の光入射面1 0 Aと平行な方向の幅W 3 6は、中央画素から外周画素P Jにかけて段階的に変えられている。外周画素P Jでは、インナーレンズ3 6はX方向へシフトされていない。上記を除いては、センサチップ1 1と同様の構成を有する。

[0098] センサチップ1 Jの外周画素P Jでは、インナーレンズ3 6の幅が小さく調整されることにより、光入射面1 0 Aに対して斜めに入射する入射光が増倍領域MRに近づくように入射光Lの光学経路が補正され、P D Eを向上できる。

[0099] センサチップ1 Jの外周画素P Jでは、センサチップ1 1と同様に、P D Eを向上することができ、また、ジッター及びクロストークを抑制すること

ができ、これにより画素アレイの中央画素及び外周画素の特性を均一化することができる。

[0100] [変形例K]

上記のセンサチップ1 Iでは、中央画素P I 1のインナーレンズ3 6及び外周画素P I 2のインナーレンズ3 6の大きさは同じであったが、本開示ではこれに限らず、インナーレンズ3 6の曲率を中央画素P I 1から外周画素P I 2にかけて段階的に変化させるようにしてもよい。

[0101] 図1 9は、変形例Kとしてのセンサチップ1 Kの外周画素P Kの断面構成の一例を表したものである。外周画素P Kのインナーレンズ3 6の曲率は、中央画素のインナーレンズ3 6より小さく設けられている。センサチップ1 Kでは、インナーレンズ3 6の曲率は、中央画素から外周画素P Kにかけて段階的に変えられている。外周画素P Kでは、インナーレンズ3 6はX方向へシフトされていない。上記を除いては、センサチップ1 Iと同様の構成を有する。

[0102] センサチップ1 Kの外周画素P Kでは、インナーレンズ3 6の曲率が小さく調整されることにより、光入射面1 0 Aに対して斜めに入射する入射光が増倍領域MRに近づくように入射光Lの光学経路が補正され、P D Eを向上できる。

[0103] センサチップ1 Kの外周画素P Kでは、センサチップ1 Iと同様に、P D Eを向上することができ、また、ジッター及びクロストークを抑制することができ、これにより画素アレイの中央画素及び外周画素の特性を均一化することができる。

[0104] [変形例L]

上記のセンサチップ1 Iでは、中央画素P I 1のインナーレンズ3 6及び外周画素P I 2のインナーレンズ3 6の大きさは同じであったが、本開示ではこれに限らず、インナーレンズ3 6の高さH 3 6を中央画素P I 1から外周画素P I 2にかけて段階的に変化させるようにしてもよい。

[0105] 図2 0は、変形例Lとしてのセンサチップ1 Lの外周画素P Lの断面構成

の一例を表したものである。外周画素P Lのインナーレンズ3 6の高さH 3 6は、中央画素のインナーレンズ3 6より低く設けられている。センサチップ1 Lでは、インナーレンズ3 6の高さH 3 6は、中央画素から外周画素P Lにかけて段階的に変えられている。外周画素P Lでは、インナーレンズ3 6はX方向へシフトされていない。上記を除いては、センサチップ1 Iと同様の構成を有する。

[0106] センサチップ1 Lの外周画素P Lでは、インナーレンズ3 6の高さが低く調整されることにより、光入射面1 0 Aに対して斜めに入射する入射光が増倍領域MRに近づくように入射光Lの光学経路が補正され、P D Eを向上できる。

[0107] センサチップ1 Lの外周画素P Lでは、センサチップ1 Iと同様に、P D Eを向上することができ、また、ジッター及びクロストークを抑制することができ、これにより画素アレイの中央画素及び外周画素の特性を均一化することができる。

[0108] [変形例M]

上記のセンサチップ1 では、中央画素P 1及び外周画素P 2の光入射面1 0 Aは平坦な面であったが、本開示ではこれに限らず、S P A D 2の光入射面1 0 Aに入射光Lを拡散させる凹凸形状5 0、5 1が設けられており、凹凸形状5 0、5 1の数を中央画素P M 1から外周画素P M 2にかけて段階的に変化させるようにしてもよい。凹凸形状5 0、5 1は、本開示の「集光部」の他の一具体例に対応する。

[0109] 図2 1は、変形例Mとしてのセンサチップ1 Mの中央画素P M 1の断面構成の一例を表したものである。S P A D 2の光入射面1 0 Aに凹凸形状5 0が設けられている。凹凸形状5 0は、例えば四角錐凹形状（逆ピラミッド形状）がアレイ状に並べられたものである。凹凸形状5 0は、入射光Lを回折・乱反射することで拡散させる。入射光Lを拡散させることにより、S P A D 2内での光路長を伸ばし、P D Eを向上させることが可能である。入射光Lの光路長を伸ばすことにより増倍領域MRで入射光Lが検知される機会が

増加することから、凹凸形状50は、増倍領域MRへと光を集めているとも言え、本開示の「集光部」の1つに対応する。凹凸形状50は、例えば半導体基板10の光入射面10Aにエッチング処理を施すことで形成される。上記を除いては、センサチップ1の中央画素P1と同様の構成を有する。

[0110] 図22は、センサチップ1Mの外周画素PM2の断面構成の一例を表したものである。中央画素PM1と同様にはSPAD2の光入射面10Aには凹凸形状51が設けられているが、外周画素PM2の凹凸形状51は中央画素PM1の凹凸形状50よりも数が多い構成である。センサチップ1Mでは、凹凸形状51の数は、中央画素PM1から外周画素PM2にかけて段階的に変えられている。中央画素PM1の凹凸形状50及び外周画素PM2の凹凸形状51の大きさは同じである。外周画素PM2では、オンチップレンズ34はX方向へシフトされていない。上記を除いては、センサチップ1と同様の構成を有する。

[0111] センサチップ1Mの外周画素PM2では、中央画素PM1よりも凹凸形状51による拡散の効果が大きくなり、光入射面10Aに対して斜めに入射する入射光が増倍領域MRに近づく機会が増加するように入射光Lの光学経路が長く補正され、PDEを向上できる。

[0112] センサチップ1Mの外周画素PM2では、センサチップ1と同様に、PDEを向上することができ、また、ジッター及びクロストークを抑制することができ、これにより画素アレイの中央画素及び外周画素の特性を均一化することができる。

[0113] [変形例N]

上記のセンサチップ1Mでは、中央画素PM1の光入射面10Aの凹凸形状50及び外周画素PM2の光入射面10Aの凹凸形状51の大きさは同じであったが、本開示ではこれに限らず、凹凸形状50、51の大きさを中央画素PM1から外周画素PM2にかけて段階的に変化させるようにしてもよい。

[0114] 図23は、変形例Nとしてのセンサチップ1Nの外周画素PNの断面構成

の一例を表したものである。外周画素P Nの凹凸形状5 2は中央画素の凹凸形状5 0よりも大きい構成である。センサチップ1 Nでは、凹凸形状5 2の大きさは、中央画素から外周画素P Nにかけて段階的に変えられている。中央画素の凹凸形状5 0及び外周画素P Nの凹凸形状5 2の数は同じである。上記を除いては、センサチップ1 Mと同様の構成を有する。

[0115] センサチップ1 Nの外周画素P Nでは、中央画素よりも凹凸形状5 2による拡散の効果が大きくなり、光入射面1 0 Aに対して斜めに入射する入射光が増倍領域MRに近づく機会が増加するように入射光Lの光学経路が長く補正され、PDEを向上できる。

[0116] センサチップ1 Nの外周画素P Nでは、センサチップ1 Mと同様に、PDEを向上することができ、また、ジッター及びクロストークを抑制することができ、これにより画素アレイの中央画素及び外周画素の特性を均一化することができる。

[0117] [変形例O]

上記のセンサチップ1 では、中央画素P 1の光反射膜2 1及び外周画素P 2の光反射膜2 1の位置は同じであったが、本開示ではこれに限らず、光反射膜2 1の位置を中央画素P 1から外周画素P 2にかけて段階的に変化させるようにしてもよい。光反射膜2 1は、本開示の「集光部」の他の具体例に対応する。

[0118] 図2 4は、変形例Oとしてのセンサチップ1 Oの平面構成の一例を表したものである。センサチップ1 Oは、複数の画素Pがアレイ状に配置された画素アレイARを有する。各画素P Oには、光反射膜2 1がそれぞれ設けられている。図2 4は、画素P O及び光反射膜2 1のレイアウトを示すために、画素間遮光膜3 3及びオンチップレンズ3 4を省略し、さらに各画素P Oに埋設された光反射膜2 1の位置を点線で表している。センサチップ1 Oは、画素アレイARの中央に配置された中央画素P O 1及び外周に配置された外周画素P O 2、P O 3、P O 4を有する。

[0119] 図2 5は、センサチップ1 Oの中央画素P O 1の断面構成の一例を表した

ものである。中央画素 $P O 1$ は、センサチップ 1 の中央画素 $P 1$ と同様の構成を有する。半導体基板 10 の表面に設けられた配線層 20 の内部に、光反射膜 21 が埋設されている。SPAD 2 を通過して半導体基板 10 の表面側に到達した入射光 L は、光反射膜 21 で反射して反射光 $L R$ となり、再度SPAD 2 を通過するように構成されている。

[0120] 図26は、センサチップ 10 の外周画素 $P O 2$ の断面構成の一例を表したものである。半導体基板 10 の表面に設けられた配線層 20 の内部に、光反射膜 22 が埋設されている。図26では、中央画素 $P O 1$ での光反射膜 21 の位置を点線 $21 i$ で示している。中央画素 $P O 1$ からみて $-X$ 方向に位置する外周画素 $P O 2$ では、光反射膜 22 は、点線 $21 i$ から $-X$ 方向にシフトした位置に設けられている。センサチップ 10 では、光反射膜 22 の位置は、中央画素 $P O 1$ から外周画素 $P O 2$ にかけて段階的に変えられている。外周画素 $P O 2$ では、オンチップレンズ 34 は X 方向へシフトされていない。また、図24に示したように、中央画素 $P O 1$ からみて Y 方向に位置する外周画素 $P O 3$ では、光反射膜 22 は Y 方向にシフトした位置に設けられている。中央画素 $P O 1$ からみて $(-X, Y)$ 方向に位置する外周画素 $P O 4$ では、光反射膜 22 は、 $(-X, Y)$ 方向にシフトした位置に設けられている。上記を除いては、センサチップ 1 と同様の構成を有する。

[0121] 外周画素 $P O 2$ では、入射光 L が光入射面 $10 A$ に対して斜めに入射すると、SPAD 2 の中の $-X$ 方向寄りに集光される。このため、入射光 L は、SPAD 2 を通過すると、SPAD 2 の中の $-X$ 方向寄りの部分で半導体基板 10 の表面側に到達する。光反射膜 22 の位置が $-X$ 方向にシフトしていない場合、入射光 L はSPAD 2 の外部へと抜けてしまう。外周画素 $P O 2$ では、光反射膜 22 の位置が $-X$ 方向にシフトされているので、SPAD 2 の中の $-X$ 方向寄りの部分で半導体基板 10 の表面側に到達した入射光 L を反射することができる。光反射膜 22 での反射光 $L R$ が再度SPAD 2 を通過することにより、PDEを向上できる。入射光 L を増倍領域MRへと反射することから、光反射膜 21 は、増倍領域MRへと光を集めているとも言え

、本開示の「集光部」の1つに対応する。

[0122] センサチップ10の外周画素P02では、センサチップ1と同様に、PDEを向上することができ、また、ジッター及びクロストークを抑制することができ、これにより画素アレイの中央画素及び外周画素の特性を均一化することができる。

[0123] [変形例P]

上記のセンサチップ10では、外周画素P02の光反射膜21の位置が中央画素P01の光反射膜21の位置から変えられていたが、本開示ではこれに限らず、光入射面10Aと平行な方向の光反射膜23の幅W23を中央画素P01から外周画素P02にかけて段階的に変化させるようにしてもよい。

[0124] 図27は、センサチップ1Pの外周画素PPの断面構成の一例を表したものである。半導体基板10の表面に設けられた配線層20の内部に、光反射膜23が埋設されている。図27では、中央画素での光反射膜21の位置を点線21iで示している。中央画素からみて-X方向に位置する外周画素PPでは、光反射膜23は、点線21iから-X方向に幅W23が広がられている。センサチップ1Pでは、光反射膜23の幅W23は、中央画素から外周画素PPにかけて段階的に変えられている。上記を除いては、センサチップ10と同様の構成を有する。

[0125] 外周画素PPでは、光反射膜23は-X方向に幅を広げて設けられており、これにより、SPAD2の中の-X方向寄りの部分で半導体基板10の表面側に到達した入射光Lを反射することができる。光反射膜23での反射光LRが再度SPAD2を通過することにより、PDEを向上できる。

[0126] センサチップ1Pの外周画素PPでは、センサチップ1と同様に、PDEを向上することができ、また、ジッター及びクロストークを抑制することができ、これにより画素アレイの中央画素及び外周画素の特性を均一化することができる。

[0127] <3. 第2の実施の形態>

[センサチップ5の構成例]

図28Aは、第2の実施の形態のセンサチップ5の断面構成の一例を表したものである。本実施の形態のセンサチップ5は、複数の画素Pがアレイ状に配置された画素アレイARの中央部3から外周部4にかけて各画素PのSPAD2の構造が段階的に変化した構成を有するものである。具体的には、増倍領域MRの位置が中央部3から外周部4にかけて段階的に変化している。以下、一例として、画素アレイARの中央部3に配置された画素（中央画素P1）および画素アレイARの外周部4に配置された画素（外周画素P5）を用いて、本実施の形態のセンサチップ5について説明する。図28Aではセンサチップ5において離れた位置に配置された中央画素P1及び外周画素P5を並べて示しているが、中央画素P1と外周画素P5との間には中間の画素Pが配置されている。

[0128] 中央画素P1は、第1の実施の形態のセンサチップ1の中央画素P1と同様の構成であり、説明を省略する。図28Bは、図28Aの外周画素P5を拡大して示したものであり、センサチップ5の外周画素P5の断面構成の一例を表したものである。図28Bでは、中央画素P1でのSPAD2におけるn型半導体領域15の位置を点線15iで示している。外周画素P5では、中央画素P1に対して、SPAD2の内部における増倍領域MRの位置（p型半導体領域14A及びn型半導体領域15Aの位置）が、-X方向にシフトしており、さらに半導体基板10の表面から遠ざかる方向（Z方向）にシフトしている。増倍領域MRの位置（p型半導体領域14A及びn型半導体領域15Aの位置）は、中央画素P1から外周画素P5にかけて段階的に変化している。カソード16Aはn型半導体領域15Aに接続するように形成されている。p型半導体領域17Aは、-X方向にシフトしている。このように、センサチップ5では、増倍領域MRの位置は、中央画素から外周画素P5にかけて段階的に変えられている。外周画素P5では、オンチップレンズ34はX方向へシフトされていない。上記を除いては、センサチップ1と同様の構成を有する。

[0129] [センサチップ5の製造方法]

次に、センサチップ5の製造方法について説明する。図29は、センサチップ5の中央画素及び外周画素P5の製造過程の一例を表したものである。半導体基板10の中央画素の形成領域R1において、半導体基板10の表面に、イオン注入領域に対応する位置に開口幅W1の開口を有するレジストマスクM5、及びイオン注入領域に対応する位置を覆う厚さT1のレジストマスクM6を形成する。また、半導体基板10の外周画素P5の形成領域R2において、半導体基板10の表面に、イオン注入領域に対応する位置に開口幅W2の開口を有するレジストマスクM7、及びイオン注入領域に対応する位置を覆う厚さT2のレジストマスクM8を形成する。レジストマスクM5の開口幅W1及びレジストマスクM7の開口幅W2を制御することにより、マイクロローディング効果によってレジストマスクM6の厚さT1及びレジストマスクM8の厚さT2を所望の厚さに制御することができる。次に、中央画素の形成領域R1では、上記のように厚さが制御されたレジストマスクM6を通してイオン注入することにより、ウェル層11、ピニング層12、アノード13、p型半導体領域14、n型半導体領域15、カソード16、及びp型半導体領域17をそれぞれ形成する。上記のイオン注入と同時に、外周画素P5の形成領域R2では、上記のように厚さが制御されたレジストマスクM8を通して、ウェル層11、ピニング層12、アノード13、p型半導体領域14A、n型半導体領域15A、カソード16A、及びp型半導体領域17Aをそれぞれ形成する。イオン注入エネルギーの大きさ及びレジストマスクM6、M8の厚さによって、イオンが注入される深さを制御可能である。ウェル層11、ピニング層12、及びアノード13については、中央画素及び外周画素P5で共通の構成であるので、上記の厚さが異なるレジストマスクの代わりに厚さが共通のレジストマスクを通してイオン注入してもよい。以降の工程は、センサチップ1と同様にして製造することができる。

[0130] 上記のセンサチップ5の製造方法では、厚さの異なるレジストマスクM6

、M 8 を中央画素の形成領域 R 1 及び外周画素 P 5 の形成領域 R 2 にそれぞれ形成し、中央画素の形成領域 R 1 及び外周画素 P 5 の形成領域 R 2 において同時にイオン注入しているが、中央画素の形成領域 R 1 及び外周画素 P 5 のそれぞれにおいて別工程でイオン注入してもよい。この場合には、中央画素の形成領域 R 1 及び外周画素 P 5 の形成領域 R 2 で共通の構成のレジストマスクを用いることができる。

[0131] [センサチップ 5 の動作]

センサチップ 5 の中央画素では、センサチップ 1 と同様に、アノード 1 3、ピニング層 1 2、及び p 型半導体領域 1 4 に大きな負電圧が印加されると、p 型半導体領域 1 4 及び n 型半導体領域 1 5 の p n 接合から空乏層が広がり、高電界領域が形成される。また、外周画素 P 5 では、同様に、アノード 1 3、ピニング層 1 2、及び p 型半導体領域 1 4 A に大きな負電圧が印加されると、p 型半導体領域 1 4 A 及び n 型半導体領域 1 5 A の p n 接合から空乏層が広がり、高電界領域が形成される。得られた高電界領域によりキャリアをアバランシェ増倍させることが可能な増倍領域 M R が形成され、光入射面 1 0 A から入射する 1 個のフォトンにより発生するキャリアを増倍して信号電荷を生成する。センサチップ 5 は、信号電荷による信号と基準信号との間の信号遅延時間を取得して測定対象物までの距離を測定する、T o F 法による測距センサとして用いることができる。

[0132] [センサチップ 5 の作用・効果]

図 2 8 A 及び図 2 8 B に示したように、センサチップ 5 の外周画素 P 5 では、増倍領域 M R の位置が、- X 方向及び Z 方向にシフトしている。このため、オンチップレンズ 3 4 により入射光 L が集光される領域に、増倍領域 M R を近づけることができる。これにより、P D E が向上し、また、ジッターが抑制される。

[0133] センサチップ 5 の外周画素 P 5 では、センサチップ 1 と同様に、P D E を向上することができ、また、ジッターを抑制することができ、これにより画素アレイの中央画素及び外周画素の特性を均一化することができる。

[0134] <4. 第2の実施の形態の変形例>

以下に、上記の第2の実施の形態に係るセンサチップ5の変形例について説明する。なお、以下の変形例において、上記の第2の実施の形態と共通の構成に対しては、同一の符号が付与されている。

[0135] [変形例Q]

上記のセンサチップ5では、中央画素から外周画素にかけて段階的に位置が変化するように設けられたn型半導体領域15Aと、ピニング層12との間に、ウェル層11のみが設けられていたが、本開示ではこれに限らず、n型半導体領域15Aとピニング層12との間に電界緩和層18が設けられていてもよい。

[0136] 図30は、変形例Qとしてのセンサチップ5Qの外周画素PQの断面構成の一例を表したものである。増倍領域MRの位置は、センサチップ5と同様に、中央画素から外周画素PQにかけて段階的に変化している。また、n型半導体領域15Aとピニング層12との間に電界緩和層18が設けられている。電界緩和層18は、例えばn型半導体領域で形成されている。電界緩和層18に含まれるn型不純物の濃度は、例えばn型半導体領域15Aよりも低く設けられている。電界緩和層18に含まれるn型不純物の濃度は、中央画素から外周画素PQにかけて段階的に変化していてもよく、中央画素から外周画素PQまで同じでもよい。上記を除いては、センサチップ5と同様の構成を有する。

[0137] n型半導体領域15Aとピニング層12とが近接すると、その間の電界強度が増加してブレイクダウンが発生する可能性があったが、センサチップ1Rの外周画素PRでは電界緩和層18が設けられているのでn型半導体領域15Aとピニング層12との間のブレイクダウンを防止することができる。

[0138] センサチップ5Qの外周画素PQでは、センサチップ5と同様に、PDEを向上することができ、また、ジッターを抑制することができ、これにより画素アレイの中央画素及び外周画素の特性を均一化することができる。

[0139] [変形例R]

上記のセンサチップ5では、増倍領域MRの位置が中央画素から外周画素P5にかけて変化する構成であったが、本開示ではこれに限らない。例えば、増倍領域MRの位置が変化する代わりに、中央画素から外周画素PRにかけて段階的に濃度が変化する電界調整用不純物領域19AがSPAD2に内部に設けられた構成であってもよい。

[0140] 図31は、変形例Rとしてのセンサチップ5Rの外周画素PRの断面構成の一例を表したものである。外周画素PRのSPAD2に内部に電界調整用不純物領域19Aが設けられている。電界調整用不純物領域19Aは、例えばn型半導体領域である。電界調整用不純物領域19Aは、増倍領域MRからみて、-X方向かつZ方向に離間した位置である。電界調整用不純物領域19Aの不純物濃度は、中央画素から外周画素PRにかけて段階的に変えられている。また、中央画素の増倍領域MRの位置及び外周画素PRの増倍領域MRの位置は同じである。上記を除いては、センサチップ5と同様の構成を有する。

[0141] 電界調整用不純物領域19Aが設けられていない場合には、増倍領域MRから離れた位置でキャリアが発生すると、図31中に点線JTで示したようにキャリアは増倍領域MRへの最短経路よりも長い距離を移動するので、ジッターが悪化する。センサチップ5Rの外周画素PRでは、電界調整用不純物領域19Aが設けられたことにより電界調整用不純物領域19Aと増倍領域MRとの間の電界勾配が調整され、電界調整用不純物領域19Aの近傍で発生したキャリアは速やかに増倍領域MRへと移動可能である。これにより、センサチップ5Rの外周画素PRではジッターを抑制可能である。また、これによりPDEの向上及びクロストークの低減も可能である。電界調整用不純物領域19Aの濃度及び位置を調整することで、電界調整用不純物領域19Aと増倍領域MRとの間の電界勾配を調整可能である。

[0142] センサチップ5Rの外周画素PRでは、センサチップ5と同様に、PDEを向上することができ、また、ジッター及びクロストークを抑制することができ、これにより画素アレイの中央画素及び外周画素の特性を均一化するこ

とができる。

[0143] [変形例 S]

上記のセンサチップ 5 R では、SPAD 2 に内部に電界調整用不純物領域 19 A が設けられた構成であったが、本開示ではこれに限らない。例えば、電界調整用不純物領域 19 A の代わりに、中央画素から外周画素 P R にかけて段階的に濃度が変化する電荷誘導用不純物領域 19 B が SPAD 2 に内部に設けられた構成であってもよい。

[0144] 図 3 2 は、変形例 S としてのセンサチップ 5 S の外周画素 P S の断面構成の一例を表したものである。外周画素 P S の SPAD 2 に内部に電荷誘導用不純物領域 19 B が設けられている。電荷誘導用不純物領域 19 B は、例えば p 型半導体領域である。電荷誘導用不純物領域 19 B は、増倍領域 MR からみて -X 方向にあるピニング層 1 2 沿いであり、増倍領域 MR より Z 方向側に設けられている。電荷誘導用不純物領域 19 B の不純物濃度は、中央画素から外周画素 P S にかけて段階的に変えられている。また、中央画素の増倍領域 MR の位置及び外周画素 P S の増倍領域 MR の位置は同じである。上記を除いては、センサチップ 5 R と同様の構成を有する。

[0145] 電荷誘導用不純物領域 19 B が設けられていない場合には、増倍領域 MR からみて -X 方向にあるピニング層 1 2 の近傍で発生したキャリアは、図 3 2 中に点線 CM で示したように、増倍領域 MR とピニング層 1 2 との間を通過して半導体基板 1 0 の表面側へと移動することがある。この場合には P D E の低下を招いてしまう。センサチップ 5 S の外周画素 P S では、電荷誘導用不純物領域 19 B が設けられているので、キャリアは増倍領域 MR とピニング層 1 2 との間を通らずに増倍領域 MR の方へと誘導される。これにより、センサチップ 5 S の外周画素 P S では P D E を向上可能である。また、これによりジッター及びクロストークの低減も可能である。電荷誘導用不純物領域 19 B の濃度及び位置を調整することで、キャリアを誘導する経路を調整可能である。

[0146] センサチップ 5 S の外周画素 P S では、センサチップ 5 R と同様に、P D

Eを向上することができ、また、ジッター及びクロストークを抑制することができ、これにより画素アレイの中央画素及び外周画素の特性を均一化することができる。

[0147] <5. 適用例>

上述したセンサチップ1、1A～1S（代表してセンサチップ1とする）は、例えば、デジタルスチルカメラやデジタルビデオカメラ等のカメラ、撮像機能を備えた携帯電話機、または、撮像機能を備えた他の機器といった各種の電子機器に適用することができる。

[0148] 図33は、上記実施の形態及びその変形例に係るセンサチップ1を備えた電子機器の概略構成の一例を示すブロック図である。

[0149] 図33に示される電子機器201は、光学系202、シャッタ装置203、センサチップ1、駆動回路205、信号処理回路206、モニタ207、及びメモリ208を備えて構成され、静止画像及び動画像を撮像可能である。

[0150] 光学系202は、1枚または複数枚のレンズを有して構成され、被写体からの光（入射光）をセンサチップ1に導き、センサチップ1の受光面に結像させる。

[0151] シャッタ装置203は、光学系202及びセンサチップ1の間に配置され、駆動回路205の制御に従って、センサチップ1への光照射期間及び遮光期間を制御する。

[0152] センサチップ1は、上述したセンサチップを含むパッケージにより構成される。センサチップ1は、光学系202及びシャッタ装置203を介して受光面に結像される光に応じて、信号電荷を生成する。センサチップ1で生成された信号電荷は、信号処理回路206に出力される。

[0153] 信号処理回路206は、センサチップ1から出力された信号電荷に対して各種の信号処理を施す。信号処理回路206が信号処理を施すことにより得られた画像（画像データ）は、モニタ207に供給されて表示されたり、メモリ208に供給されて記憶（記録）されたりする。

[0154] 上記のように構成されている電子機器201においても、センサチップ1を適用することにより、画素アレイの中央画素及び外周画素の特性を均一化して高精細な撮像画像を得ることが可能となる。

[0155] <6. 応用例>

本開示に係る技術（本技術）は、様々な製品へ応用することができる。例えば、本開示に係る技術は、自動車、電気自動車、ハイブリッド電気自動車、自動二輪車、自転車、パーソナルモビリティ、飛行機、ドローン、船舶、ロボット等のいずれかの種類の移動体に搭載される装置として実現されてもよい。

[0156] 図34は、本開示に係る技術が適用され得る移動体制御システムの一例である車両制御システムの概略的な構成例を示すブロック図である。

[0157] 車両制御システム12000は、通信ネットワーク12001を介して接続された複数の電子制御ユニットを備える。図34に示した例では、車両制御システム12000は、駆動系制御ユニット12010、ボディ系制御ユニット12020、車外情報検出ユニット12030、車内情報検出ユニット12040、及び統合制御ユニット12050を備える。また、統合制御ユニット12050の機能構成として、マイクロコンピュータ12051、音声画像出力部12052、及び車載ネットワークI/F（interface）12053が図示されている。

[0158] 駆動系制御ユニット12010は、各種プログラムにしたがって車両の駆動系に関連する装置の動作を制御する。例えば、駆動系制御ユニット12010は、内燃機関又は駆動用モータ等の車両の駆動力を発生させるための駆動力発生装置、駆動力を車輪に伝達するための駆動力伝達機構、車両の舵角を調節するステアリング機構、及び、車両の制動力を発生させる制動装置等の制御装置として機能する。

[0159] ボディ系制御ユニット12020は、各種プログラムにしたがって車体に装備された各種装置の動作を制御する。例えば、ボディ系制御ユニット12020は、キーレスエントリーシステム、スマートキーシステム、パワーウィ

ンドウ装置、あるいは、ヘッドランプ、バックランプ、ブレーキランプ、ウィンカー又はフォグランプ等の各種ランプの制御装置として機能する。この場合、ボディ系制御ユニット１２０２０には、鍵を代替する携帯機から発信される電波又は各種スイッチの信号が入力され得る。ボディ系制御ユニット１２０２０は、これらの電波又は信号の入力を受け付け、車両のドアロック装置、パワーウィンドウ装置、ランプ等を制御する。

[0160] 車外情報検出ユニット１２０３０は、車両制御システム１２０００を搭載した車両の外部の情報を検出する。例えば、車外情報検出ユニット１２０３０には、撮像部１２０３１が接続される。車外情報検出ユニット１２０３０は、撮像部１２０３１に車外の画像を撮像させると共に、撮像された画像を受信する。車外情報検出ユニット１２０３０は、受信した画像に基づいて、人、車、障害物、標識又は路面上の文字等の物体検出処理又は距離検出処理を行ってもよい。

[0161] 撮像部１２０３１は、光を受光し、その光の受光量に応じた電気信号を出力する光センサである。撮像部１２０３１は、電気信号を画像として出力することもできるし、測距の情報として出力することもできる。また、撮像部１２０３１が受光する光は、可視光であっても良いし、赤外線等の非可視光であっても良い。

[0162] 車内情報検出ユニット１２０４０は、車内の情報を検出する。車内情報検出ユニット１２０４０には、例えば、運転者の状態を検出する運転者状態検出部１２０４１が接続される。運転者状態検出部１２０４１は、例えば運転者を撮像するカメラを含み、車内情報検出ユニット１２０４０は、運転者状態検出部１２０４１から入力される検出情報に基づいて、運転者の疲労度合い又は集中度合いを算出してもよいし、運転者が居眠りをしていないかを判別してもよい。

[0163] マイクロコンピュータ１２０５１は、車外情報検出ユニット１２０３０又は車内情報検出ユニット１２０４０で取得される車内外の情報に基づいて、駆動力発生装置、ステアリング機構又は制動装置の制御目標値を演算し、駆

動系制御ユニット12010に対して制御指令を出力することができる。例えば、マイクロコンピュータ12051は、車両の衝突回避あるいは衝撃緩和、車間距離に基づく追従走行、車速維持走行、車両の衝突警告、又は車両のレーン逸脱警告等を含むADAS (Advanced Driver Assistance System) の機能実現を目的とした協調制御を行うことができる。

[0164] また、マイクロコンピュータ12051は、車外情報検出ユニット12030又は車内情報検出ユニット12040で取得される車両の周囲の情報に基づいて駆動力発生装置、ステアリング機構又は制動装置等を制御することにより、運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

[0165] また、マイクロコンピュータ12051は、車外情報検出ユニット12030で取得される車外の情報に基づいて、ボディ系制御ユニット12020に対して制御指令を出力することができる。例えば、マイクロコンピュータ12051は、車外情報検出ユニット12030で検知した先行車又は対向車の位置に応じてヘッドランプを制御し、ハイビームをロービームに切り替える等の防眩を図ることを目的とした協調制御を行うことができる。

[0166] 音声画像出力部12052は、車両の搭乗者又は車外に対して、視覚的又は聴覚的に情報を通知することが可能な出力装置へ音声及び画像のうちの少なくとも一方の出力信号を送信する。図34の例では、出力装置として、オーディオスピーカ12061、表示部12062及びインストルメントパネル12063が例示されている。表示部12062は、例えば、オンボードディスプレイ及びヘッドアップディスプレイの少なくとも一つを含んでもよい。

[0167] 図35は、撮像部12031の設置位置の例を示す図である。

[0168] 図35では、車両12100は、撮像部12031として、撮像部12101, 12102, 12103, 12104, 12105を有する。

[0169] 撮像部12101, 12102, 12103, 12104, 12105は

、例えば、車両１２１００のフロントノーズ、サイドミラー、リアバンパ、バックドア及び車室内のフロントガラスの上部等の位置に設けられる。フロントノーズに備えられる撮像部１２１０１及び車室内のフロントガラスの上部に備えられる撮像部１２１０５は、主として車両１２１００の前方の画像を取得する。サイドミラーに備えられる撮像部１２１０２，１２１０３は、主として車両１２１００の側方の画像を取得する。リアバンパ又はバックドアに備えられる撮像部１２１０４は、主として車両１２１００の後方の画像を取得する。撮像部１２１０１及び１２１０５で取得される前方の画像は、主として先行車両又は、歩行者、障害物、信号機、交通標識又は車線等の検出に用いられる。

[0170] なお、図３５には、撮像部１２１０１ないし１２１０４の撮影範囲の一例が示されている。撮像範囲１２１１１は、フロントノーズに設けられた撮像部１２１０１の撮像範囲を示し、撮像範囲１２１１２，１２１１３は、それぞれサイドミラーに設けられた撮像部１２１０２，１２１０３の撮像範囲を示し、撮像範囲１２１１４は、リアバンパ又はバックドアに設けられた撮像部１２１０４の撮像範囲を示す。例えば、撮像部１２１０１ないし１２１０４で撮像された画像データが重ね合わせられることにより、車両１２１００を上方から見た俯瞰画像が得られる。

[0171] 撮像部１２１０１ないし１２１０４の少なくとも１つは、距離情報を取得する機能を有していてもよい。例えば、撮像部１２１０１ないし１２１０４の少なくとも１つは、複数の撮像素子からなるステレオカメラであってもよいし、位相差検出用の画素を有する撮像素子であってもよい。

[0172] 例えば、マイクロコンピュータ１２０５１は、撮像部１２１０１ないし１２１０４から得られた距離情報を基に、撮像範囲１２１１１ないし１２１１４内における各立体物までの距離と、この距離の時間的变化（車両１２１００に対する相対速度）を求めることにより、特に車両１２１００の進行路上にある最も近い立体物で、車両１２１００と略同じ方向に所定の速度（例えば、０ｋｍ／ｈ以上）で走行する立体物を先行車として抽出することができ

る。さらに、マイクロコンピュータ１２０５１は、先行車の手前に予め確保すべき車間距離を設定し、自動ブレーキ制御（追従停止制御も含む）や自動加速制御（追従発進制御も含む）等を行うことができる。このように運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

[0173] 例えば、マイクロコンピュータ１２０５１は、撮像部１２１０１ないし１２１０４から得られた距離情報を元に、立体物に関する立体物データを、２輪車、普通車両、大型車両、歩行者、電柱等その他の立体物に分類して抽出し、障害物の自動回避に用いることができる。例えば、マイクロコンピュータ１２０５１は、車両１２１００の周辺の障害物を、車両１２１００のドライバが視認可能な障害物と視認困難な障害物とに識別する。そして、マイクロコンピュータ１２０５１は、各障害物との衝突の危険度を示す衝突リスクを判断し、衝突リスクが設定値以上で衝突可能性がある状況であるときには、オーディオスピーカ１２０６１や表示部１２０６２を介してドライバに警報を出力することや、駆動系制御ユニット１２０１０を介して強制減速や回避操舵を行うことで、衝突回避のための運転支援を行うことができる。

[0174] 撮像部１２１０１ないし１２１０４の少なくとも１つは、赤外線を検出する赤外線カメラであってもよい。例えば、マイクロコンピュータ１２０５１は、撮像部１２１０１ないし１２１０４の撮像画像中に歩行者が存在するかどうかを判定することで歩行者を認識することができる。かかる歩行者の認識は、例えば赤外線カメラとしての撮像部１２１０１ないし１２１０４の撮像画像における特徴点を抽出する手順と、物体の輪郭を示す一連の特徴点にパターンマッチング処理を行って歩行者か否かを判別する手順によって行われる。マイクロコンピュータ１２０５１が、撮像部１２１０１ないし１２１０４の撮像画像中に歩行者が存在すると判定し、歩行者を認識すると、音声画像出力部１２０５２は、当該認識された歩行者に強調のための方形輪郭線を重畳表示するように、表示部１２０６２を制御する。また、音声画像出力部１２０５２は、歩行者を示すアイコン等を所望の位置に表示するように表示

部 1 2 0 6 2 を制御してもよい。

[0175] 以上、本開示に係る技術が適用され得る移動体制御システムの一例について説明した。本開示に係る技術は、以上説明した構成のうち、撮像部 1 2 0 3 1 に適用され得る。具体的には、上記実施の形態及びその変形例に係るセンサチップ 1 は、撮像部 1 2 0 3 1 に適用することができる。撮像部 1 2 0 3 1 に本開示に係る技術を適用することにより、画素アレイの中央画素及び外周画素の特性を均一化して高精細な撮影画像を得ることができるので、移動体制御システムにおいて撮影画像を利用した高精度な制御を行うことができる。

[0176] < 7. その他の変形例 >

以上、実施の形態及びその変形例 A ~ S、適用例ならびに応用例を挙げて本開示を説明したが、本開示は上記実施の形態等に限定されるものではなく、種々変形が可能である。

[0177] 上記実施の形態及び変形例では、画素アレイ A R の中央部が 1 つの中央画素であり、外周部が 1 つの外周画素である例について説明したが、これに限定されるものではなく、これに代えて、中央部が画素アレイ A R の中央領域に配置された複数の画素である構成を有するセンサチップにも適用できる。また、外周部が画素アレイ A R の外周領域に配置された複数の画素である構成を有するセンサチップにも適用できる。さらに、複数の画素（または複数の列の画素）毎に、集光部の構造、光電変換部の内部構造、及び光反射部の構造の少なくともいずれかが段階的に変化している構成であってよい。図 1 及び図 2 4 では 5 行 × 5 列の 2 5 個の画素 P を有する画素アレイを示しているが、これは一例であり、画素アレイに含まれる画素 P の行の数、画素 P の列の数、及び画素 P の数に特に制限はない。実施の形態及びその変形例 A ~ S は、適宜組み合わせることができる。

[0178] なお、本明細書中に記載された効果は、あくまで例示である。本開示の効果は、本明細書中に記載された効果に限定されるものではない。本開示が、本明細書中に記載された効果以外の効果を持ってもよい。

[0179] なお、本技術は以下のような構成とすることができる。以下の構成の本技術によれば、画素アレイの中央部及び外周部の特性を均一化することができる。

[0180] (1)

高電界領域によりキャリアをアバランシェ増倍させる増倍領域を有する光電変換部と、

入射光を前記光電変換部に向けて集光する集光部と、

前記光電変換部および前記集光部をそれぞれ有する複数の画素がアレイ状に配置されると共に、前記光電変換部の構造及び前記集光部の構造の少なくともいずれかが中央部から外周部にかけて段階的に変化している画素アレイと

を備えたセンサチップ。

(2)

前記光電変換部に対する前記集光部の位置が、前記中央部から前記外周部にかけて段階的に変化している

前記(1)に記載のセンサチップ。

(3)

前記集光部がオンチップレンズを有し、

前記光電変換部の光入射面と平行な方向の前記オンチップレンズの幅が、前記中央部から前記外周部にかけて段階的に変化している

前記(1)または(2)に記載のセンサチップ。

(4)

前記集光部がオンチップレンズを有し、

前記オンチップレンズの曲率が、前記中央部から前記外周部にかけて段階的に変化している

前記(1)～(3)のいずれかに記載のセンサチップ。

(5)

前記集光部がオンチップレンズを有し、

前記オンチップレンズの高さが、前記中央部から前記外周部にかけて段階的に変化している

前記（１）～（４）のいずれかに記載のセンサチップ。

（６）

前記集光部が隣り合う前記集光部の間に設けられた画素間遮光部を有し、
前記光電変換部の光入射面と平行な方向の前記画素間遮光部の幅が、前記中央部から前記外周部にかけて段階的に変化している

前記（１）～（５）のいずれかに記載のセンサチップ。

（７）

前記集光部が、前記光電変換部の光入射面と対向するインナーレンズと、
前記インナーレンズの上層に設けられたアウターレンズとの積層構造を有する

前記（１）～（６）のいずれかに記載のセンサチップ。

（８）

前記光電変換部に対する前記インナーレンズの位置が、前記中央部から前記外周部にかけて段階的に変化している

前記（７）に記載のセンサチップ。

（９）

前記光電変換部の光入射面と平行な方向の前記インナーレンズの幅が、前記中央部から前記外周部にかけて段階的に変化している

前記（７）または（８）に記載のセンサチップ。

（１０）

前記インナーレンズの曲率が、前記中央部から前記外周部にかけて段階的に変化している

前記（７）～（９）のいずれかに記載のセンサチップ。

（１１）

前記インナーレンズの高さが、前記中央部から前記外周部にかけて段階的に変化している

前記（７）～（１０）のいずれかに記載のセンサチップ。

（１２）

前記光電変換部の光入射面に前記入射光を拡散させる凹凸形状が形成されており、

前記凹凸形状の数が、前記中央部から前記外周部にかけて段階的に変化している

前記（１）～（１１）のいずれかに記載のセンサチップ。

（１３）

前記光電変換部の光入射面に前記入射光を拡散させる凹凸形状が形成されており、

前記凹凸形状の大きさが、前記中央部から前記外周部にかけて段階的に変化している

前記（１）～（１２）のいずれかに記載のセンサチップ。

（１４）

前記集光部が前記入射光を反射する光反射部を有し、

前記光反射部の構造が中央部から外周部にかけて段階的に変化している

前記（１）～（１３）のいずれかに記載のセンサチップ。

（１５）

前記光電変換部に対する前記光反射部の位置が、前記中央部から前記外周部にかけて段階的に変化している

前記（１４）に記載のセンサチップ。

（１６）

前記光電変換部の光入射面と平行な方向の前記光反射部の幅が、前記中央部から前記外周部にかけて段階的に変化している

前記（１４）または（１５）に記載のセンサチップ。

（１７）

前記光電変換部における前記増倍領域の位置が、前記中央部から前記外周部にかけて段階的に変化している

前記（１）～（１６）のいずれかに記載のセンサチップ。

（１８）

前記光電変換部が電界調整用不純物領域を含み、

前記電界調整用不純物領域に含まれる不純物量が、前記中央部から前記外周部にかけて段階的に変化している

前記（１）～（１７）のいずれかに記載のセンサチップ。

（１９）

前記光電変換部が電荷誘導用不純物領域を含み、

前記電荷誘導用不純物領域に含まれる不純物量が、前記中央部から前記外周部にかけて段階的に変化している

前記（１）～（１８）のいずれかに記載のセンサチップ。

（２０）

光学系と、

センサチップと、

信号処理回路とを備え、

前記センサチップは、

高電界領域によりキャリアをアバランシェ増倍させる増倍領域を有する光電変換部と、

入射光を前記光電変換部に向けて集光する集光部と、

前記光電変換部および前記集光部をそれぞれ有する複数の画素がアレイ状に配置されると共に、前記光電変換部の構造及び前記集光部の構造の少なくともいずれかが中央部から外周部にかけて段階的に変化している画素アレイと

を有する電子機器。

[0181] 本出願は、日本国特許庁において２０１９年３月１９日に出願された日本特許出願番号２０１９－０５０８８４号を基礎として優先権を主張するものであり、この出願の全ての内容を参照によって本出願に援用する。

[0182] 当業者であれば、設計上の要件や他の要因に応じて、種々の修正、コンビ

ネーション、サブコンビネーション、および変更を想到し得るが、それらは添付の請求の範囲やその均等物の範囲に含まれるものであることが理解される。

請求の範囲

- [請求項1] 高電界領域によりキャリアをアバランシェ増倍させる増倍領域を有する光電変換部と、
入射光を前記光電変換部に向けて集光する集光部と、
前記光電変換部および前記集光部をそれぞれ有する複数の画素がアレイ状に配置されると共に、前記光電変換部の構造及び前記集光部の構造の少なくともいずれかが中央部から外周部にかけて段階的に変化している画素アレイと
を備えたセンサチップ。
- [請求項2] 前記光電変換部に対する前記集光部の位置が、前記中央部から前記外周部にかけて段階的に変化している
請求項1に記載のセンサチップ。
- [請求項3] 前記集光部がオンチップレンズを有し、
前記光電変換部の光入射面と平行な方向の前記オンチップレンズの幅が、前記中央部から前記外周部にかけて段階的に変化している
請求項1に記載のセンサチップ。
- [請求項4] 前記集光部がオンチップレンズを有し、
前記オンチップレンズの曲率が、前記中央部から前記外周部にかけて段階的に変化している
請求項1に記載のセンサチップ。
- [請求項5] 前記集光部がオンチップレンズを有し、
前記オンチップレンズの高さが、前記中央部から前記外周部にかけて段階的に変化している
請求項1に記載のセンサチップ。
- [請求項6] 前記集光部が隣り合う前記集光部の間に設けられた画素間遮光部を有し、
前記光電変換部の光入射面と平行な方向の前記画素間遮光部の幅が、前記中央部から前記外周部にかけて段階的に変化している

請求項 1 に記載のセンサチップ。

[請求項7] 前記集光部が、前記光電変換部の光入射面と対向するインナーレンズと、前記インナーレンズの上層に設けられたアウターレンズとの積層構造を有する

請求項 1 に記載のセンサチップ。

[請求項8] 前記光電変換部に対する前記インナーレンズの位置が、前記中央部から前記外周部にかけて段階的に変化している

請求項 7 に記載のセンサチップ。

[請求項9] 前記光電変換部の光入射面と平行な方向の前記インナーレンズの幅が、前記中央部から前記外周部にかけて段階的に変化している

請求項 7 に記載のセンサチップ。

[請求項10] 前記インナーレンズの曲率が、前記中央部から前記外周部にかけて段階的に変化している

請求項 7 に記載のセンサチップ。

[請求項11] 前記インナーレンズの高さが、前記中央部から前記外周部にかけて段階的に変化している

請求項 7 に記載のセンサチップ。

[請求項12] 前記光電変換部の光入射面に前記入射光を拡散させる凹凸形状が形成されており、

前記凹凸形状の数が、前記中央部から前記外周部にかけて段階的に変化している

請求項 1 に記載のセンサチップ。

[請求項13] 前記光電変換部の光入射面に前記入射光を拡散させる凹凸形状が形成されており、

前記凹凸形状の大きさが、前記中央部から前記外周部にかけて段階的に変化している

請求項 1 に記載のセンサチップ。

[請求項14] 前記集光部が前記入射光を反射する光反射部を有し、

前記光反射部の構造が中央部から外周部にかけて段階的に変化している

請求項 1 に記載のセンサチップ。

[請求項15] 前記光電変換部に対する前記光反射部の位置が、前記中央部から前記外周部にかけて段階的に変化している

請求項 1 4 に記載のセンサチップ。

[請求項16] 前記光電変換部の光入射面と平行な方向の前記光反射部の幅が、前記中央部から前記外周部にかけて段階的に変化している

請求項 1 4 に記載のセンサチップ。

[請求項17] 前記光電変換部における前記増倍領域の位置が、前記中央部から前記外周部にかけて段階的に変化している

請求項 1 に記載のセンサチップ。

[請求項18] 前記光電変換部が電界調整用不純物領域を含み、
前記電界調整用不純物領域に含まれる不純物量が、前記中央部から前記外周部にかけて段階的に変化している

請求項 1 に記載のセンサチップ。

[請求項19] 前記光電変換部が電荷誘導用不純物領域を含み、
前記電荷誘導用不純物領域に含まれる不純物量が、前記中央部から前記外周部にかけて段階的に変化している

請求項 1 に記載のセンサチップ。

[請求項20] 光学系と、
センサチップと、
信号処理回路とを備え、
前記センサチップは、
高電界領域によりキャリアをアバランシェ増倍させる増倍領域を有する光電変換部と、

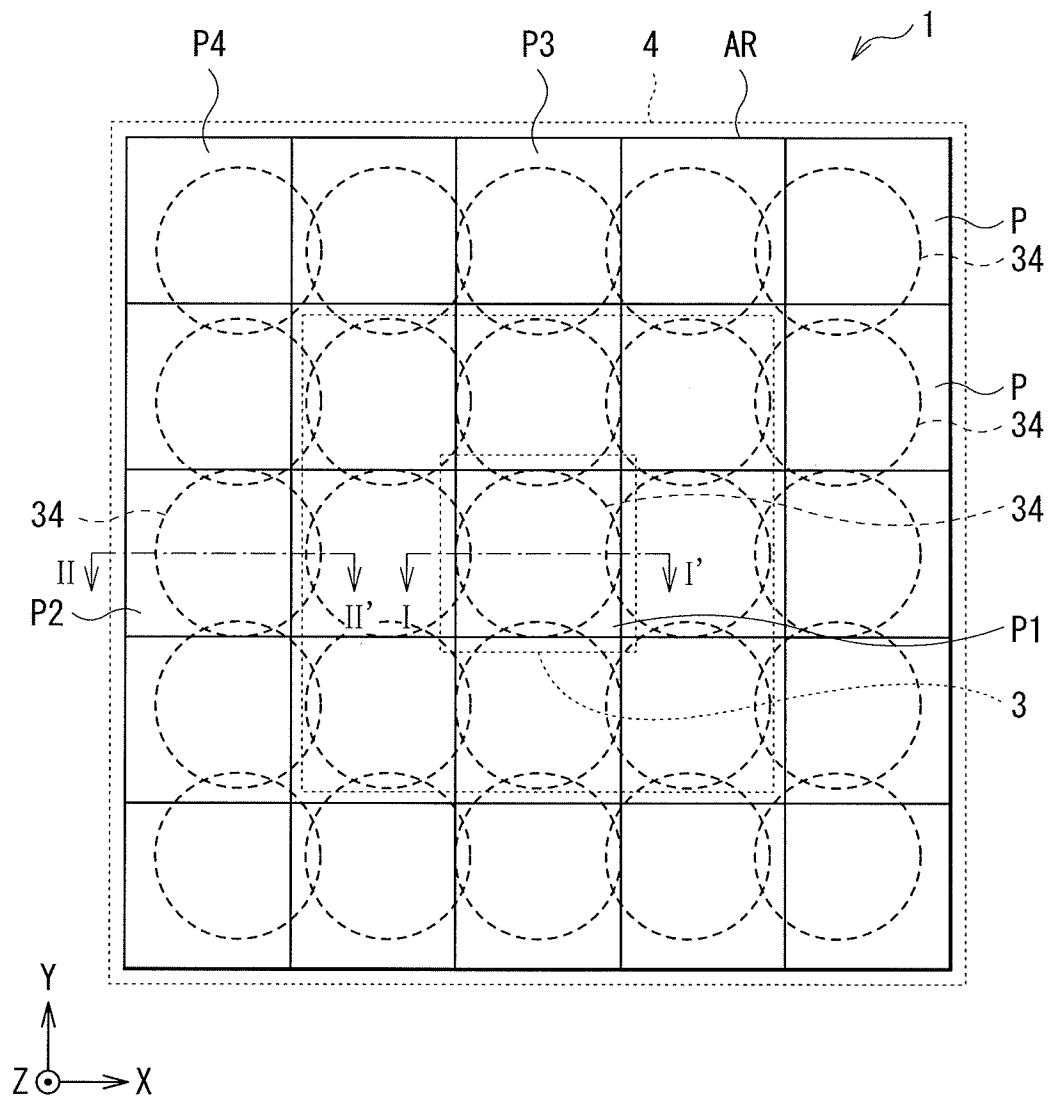
入射光を前記光電変換部に向けて集光する集光部と、

前記光電変換部および前記集光部をそれぞれ有する複数の画素がア

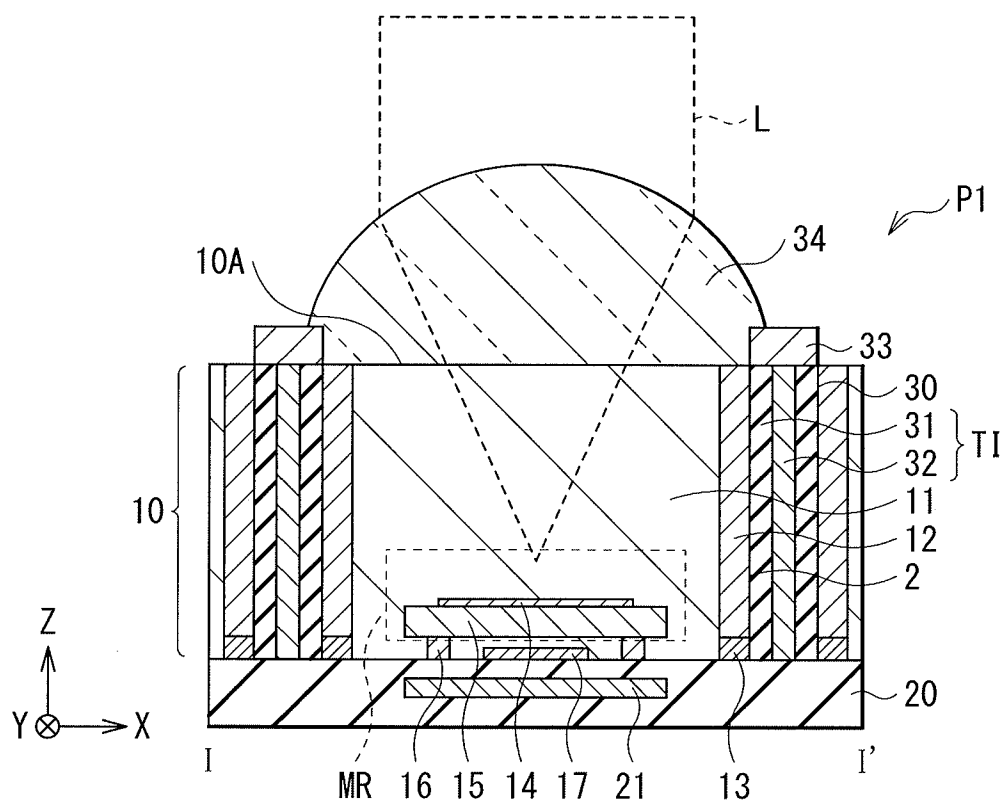
レイ状に配置されると共に、前記光電変換部の構造及び前記集光部の構造の少なくともいずれかが中央部から外周部にかけて段階的に変化している画素アレイと

を有する電子機器。

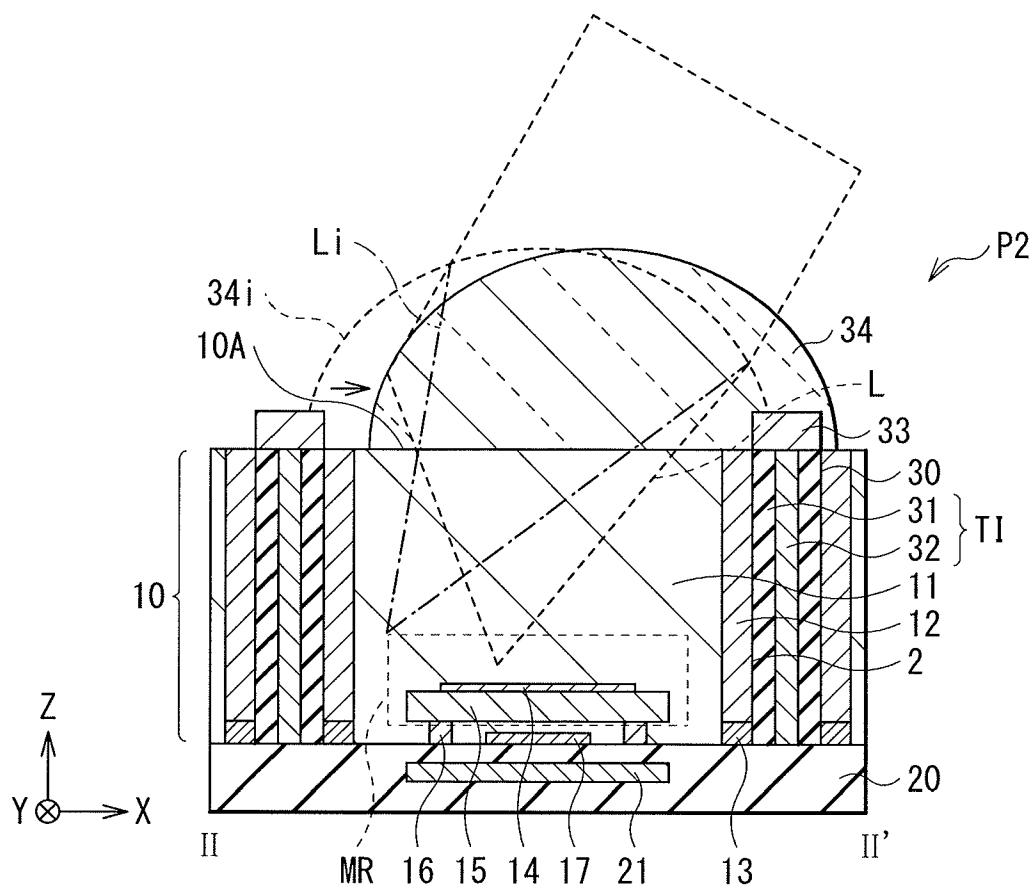
[図1]



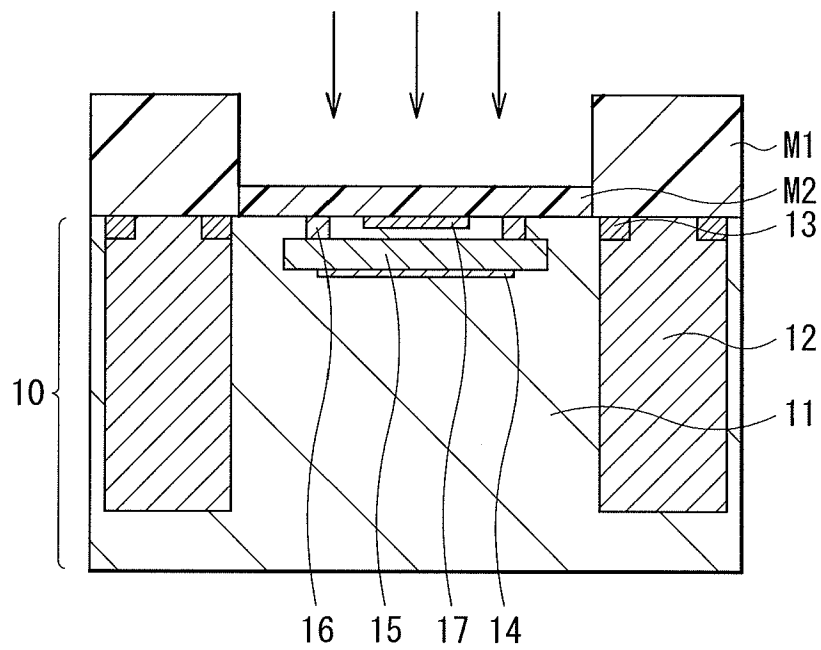
[図3A]



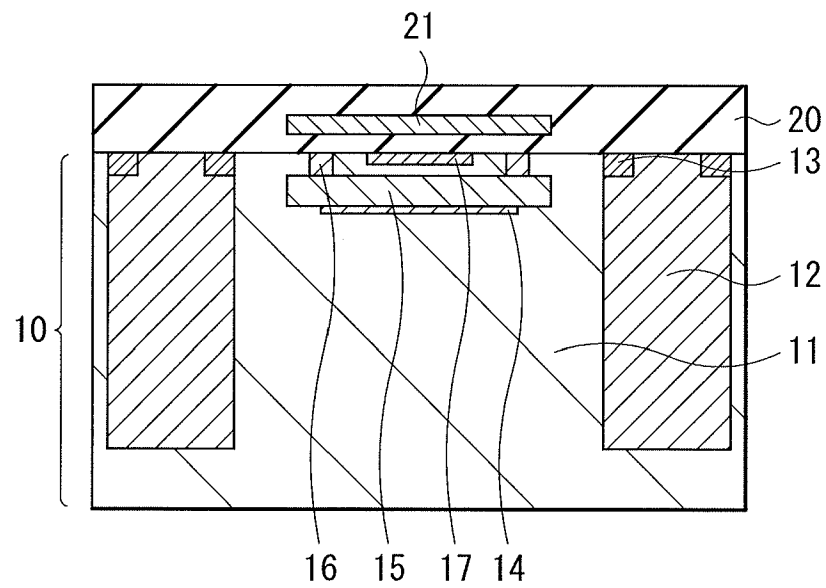
[図3B]



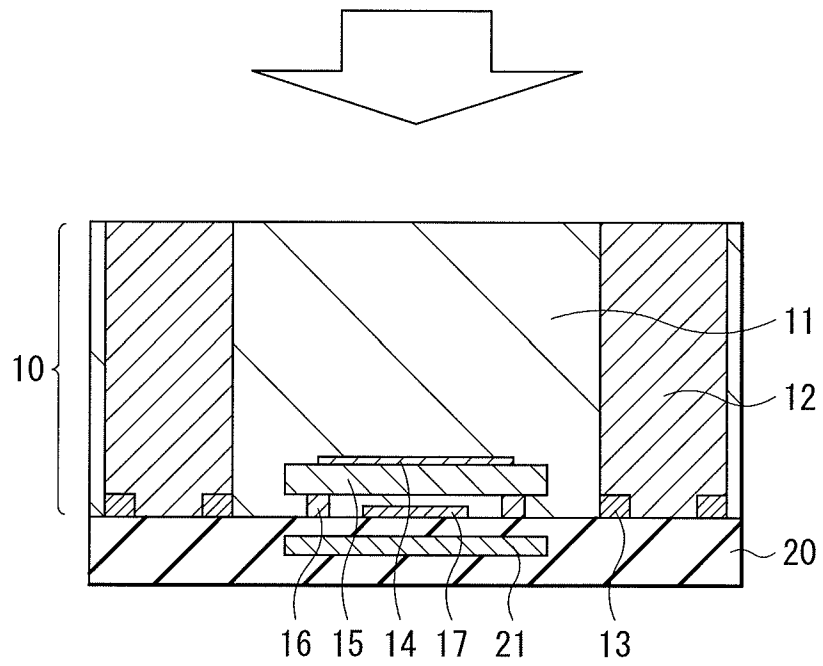
[図4A]



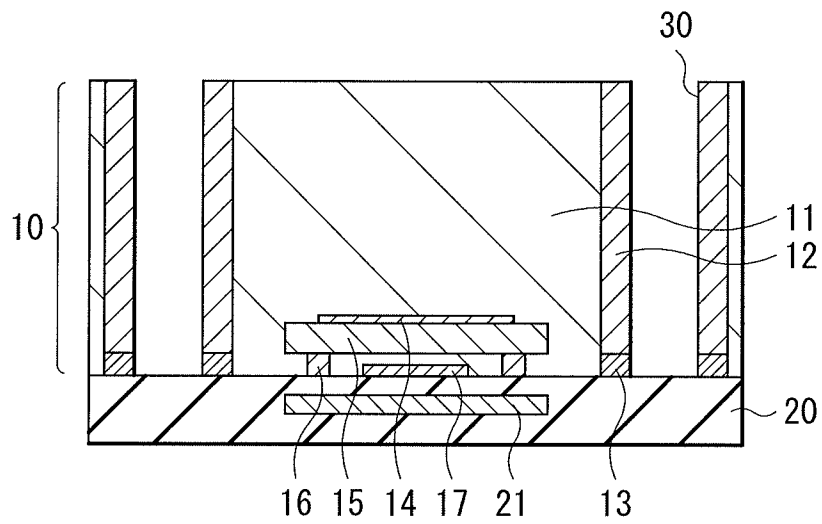
[図4B]



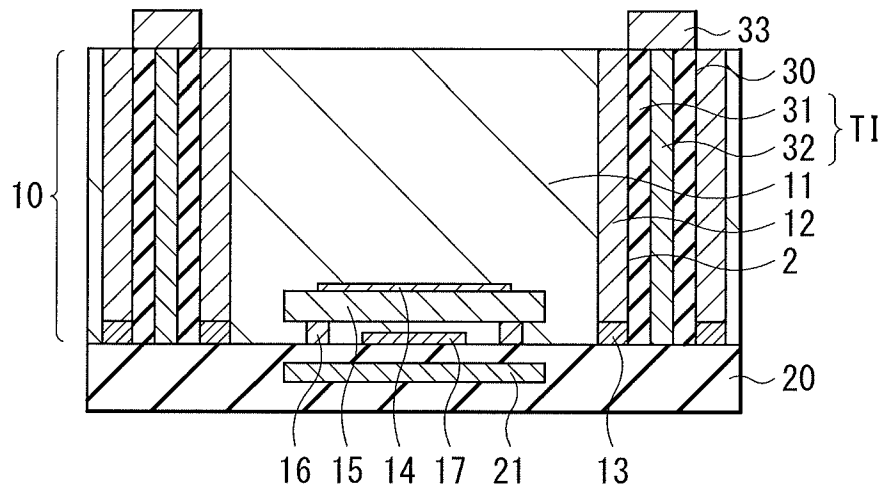
[図4C]



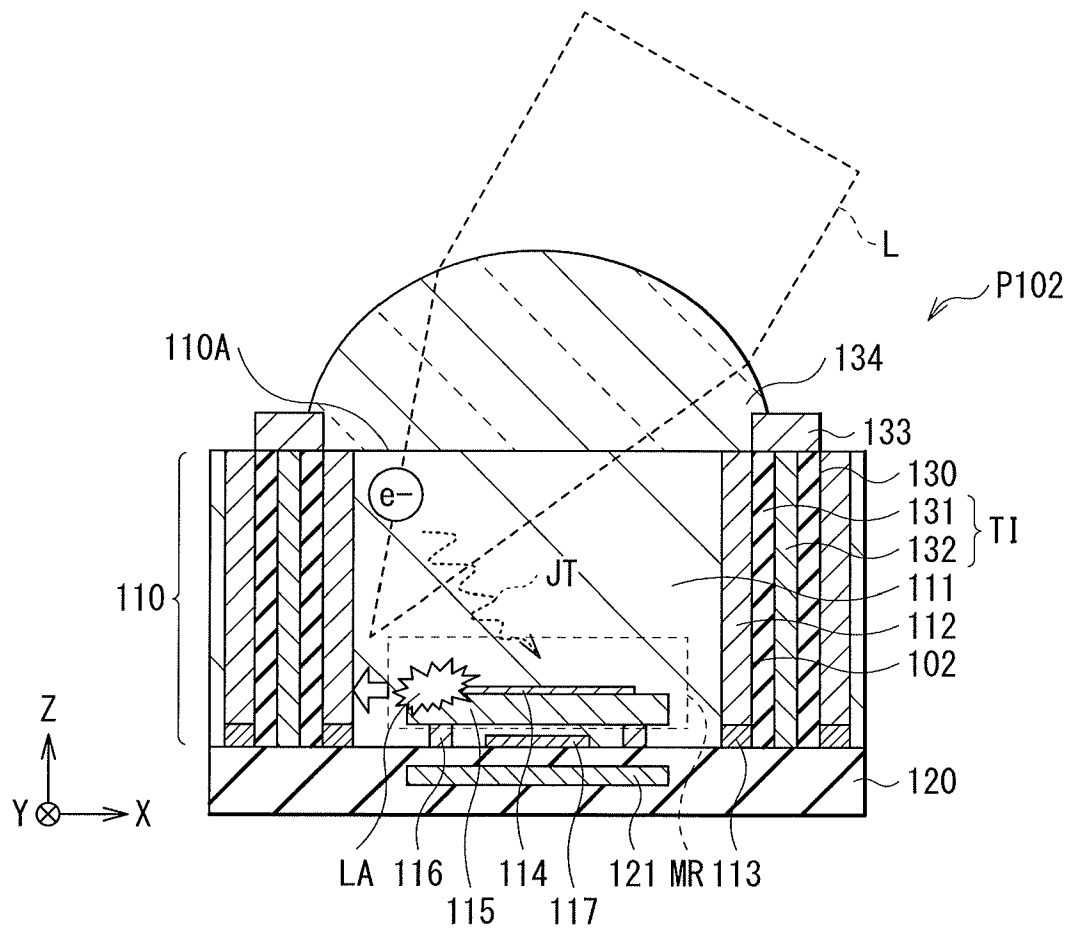
[図4D]



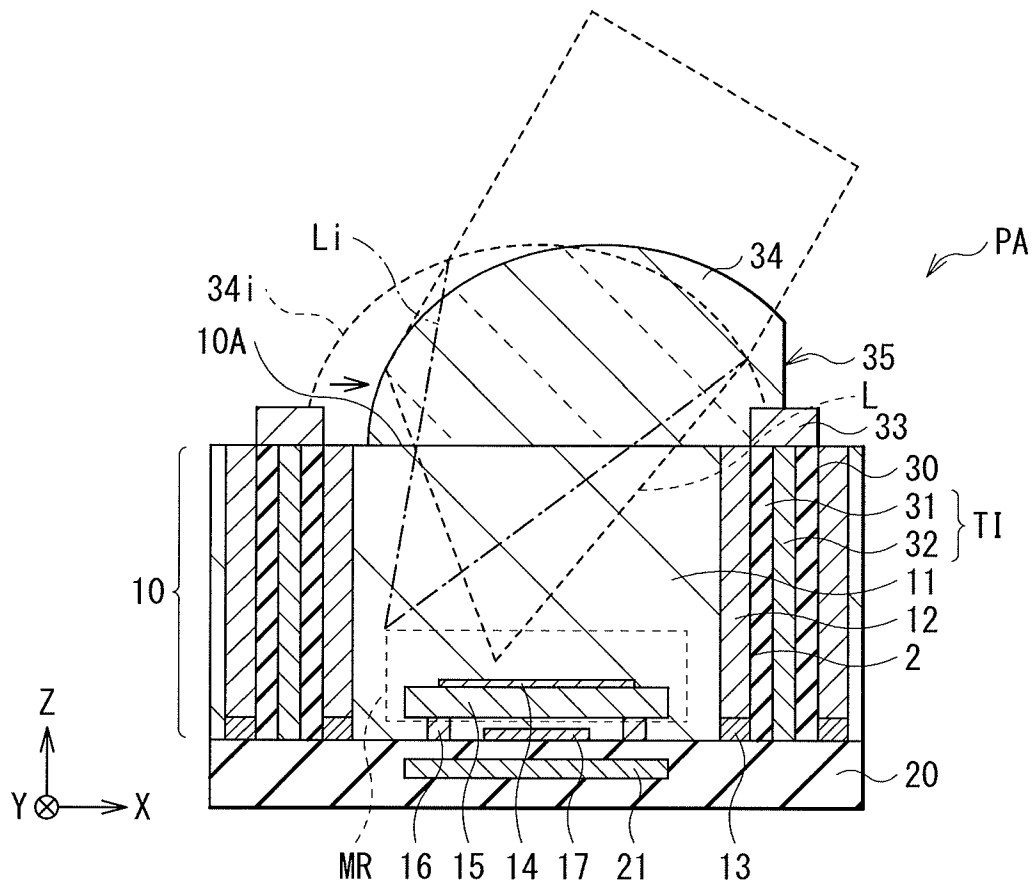
[図4E]



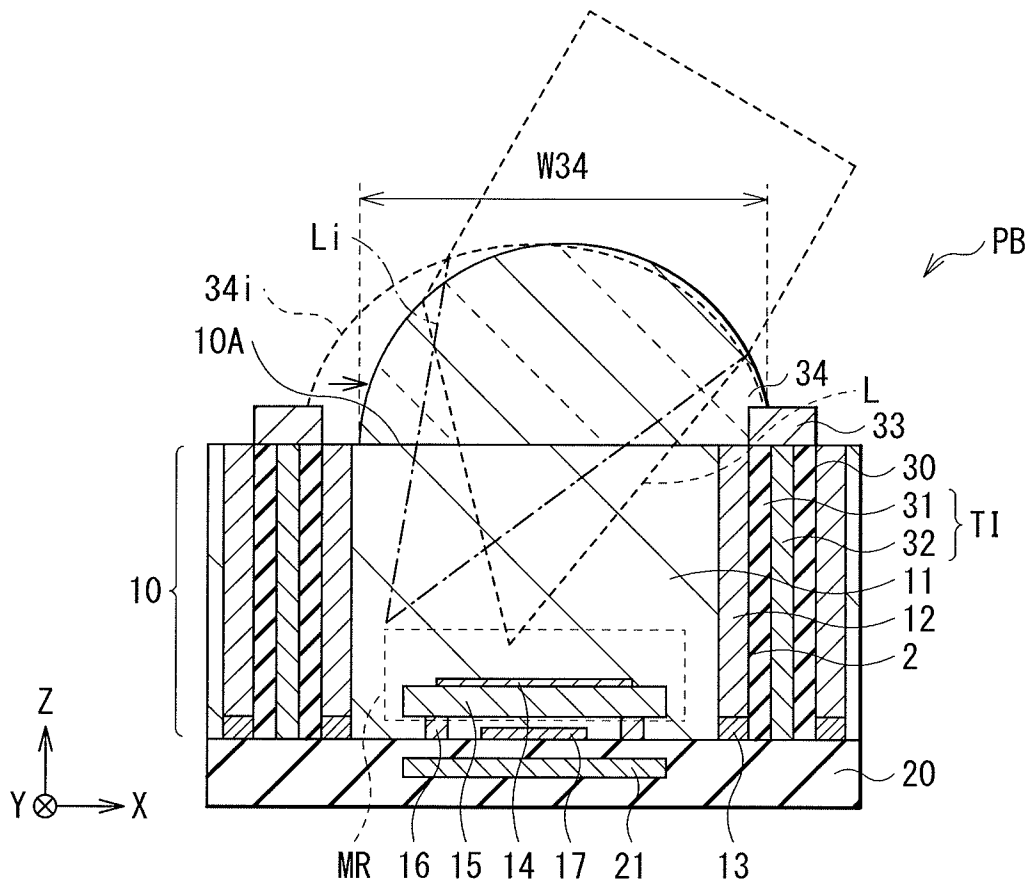
[図5]



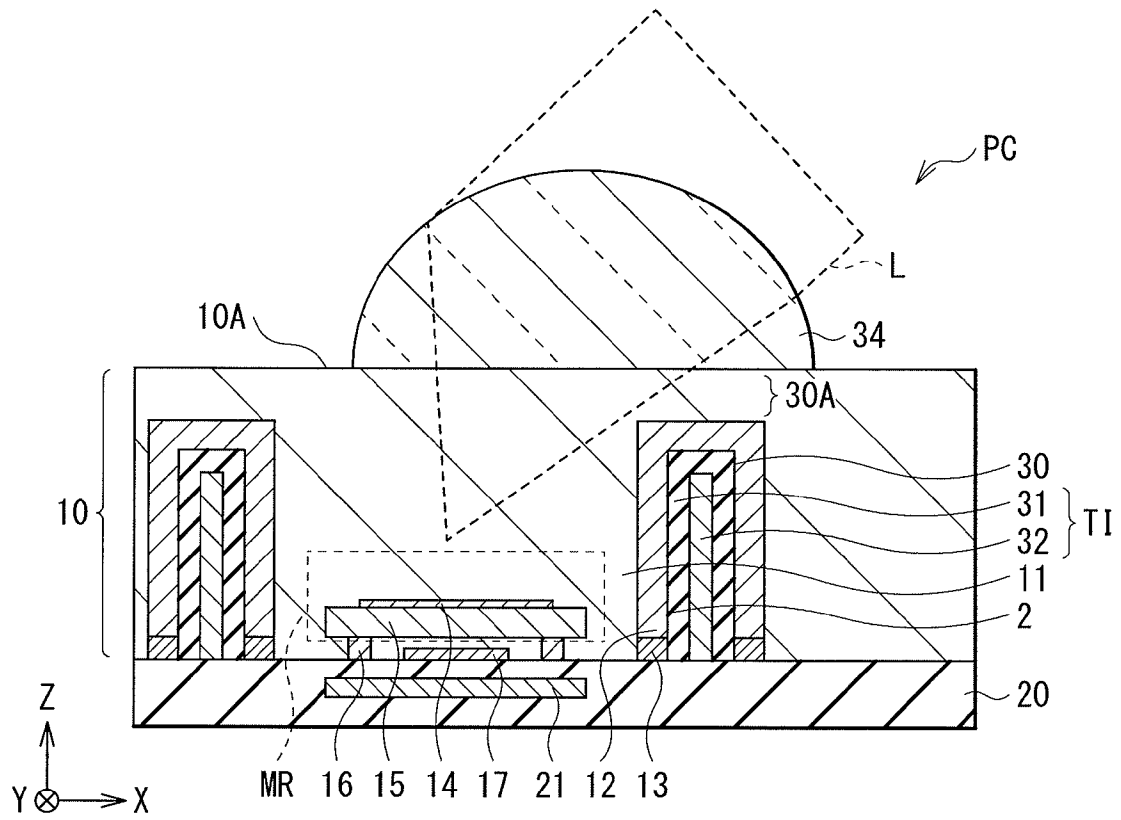
[図6]



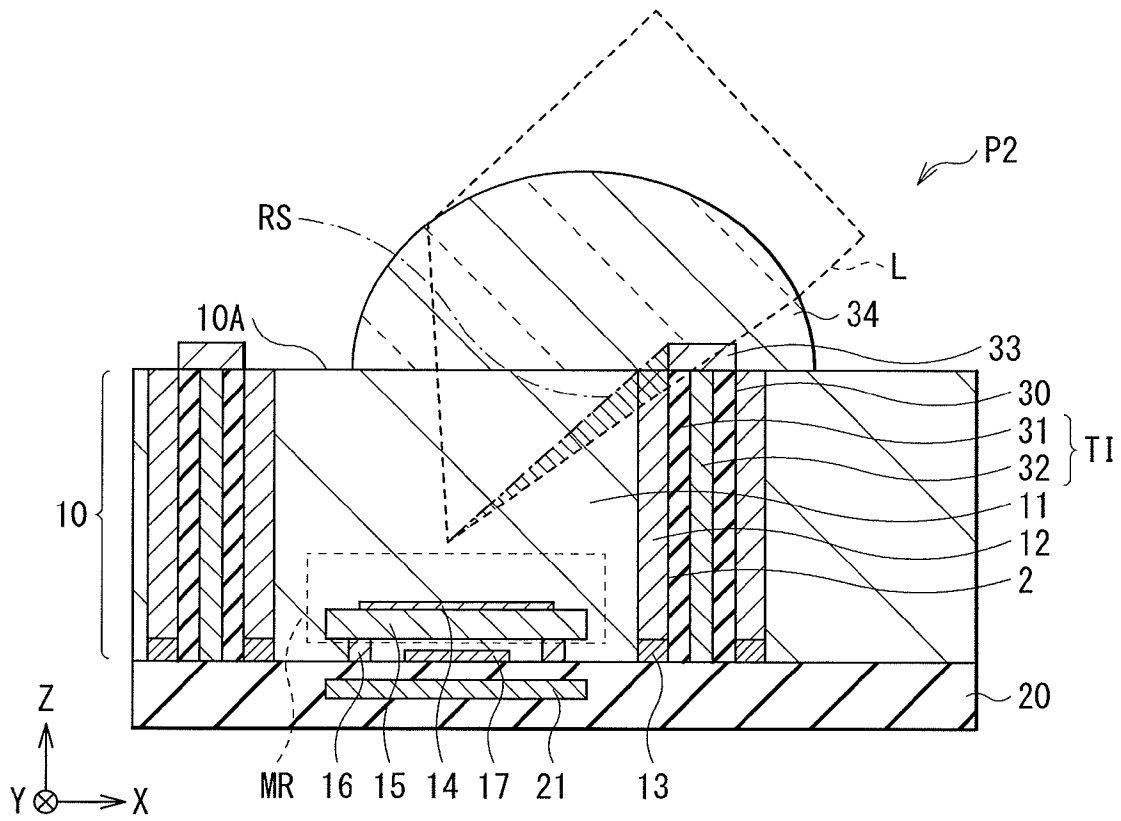
[図7]



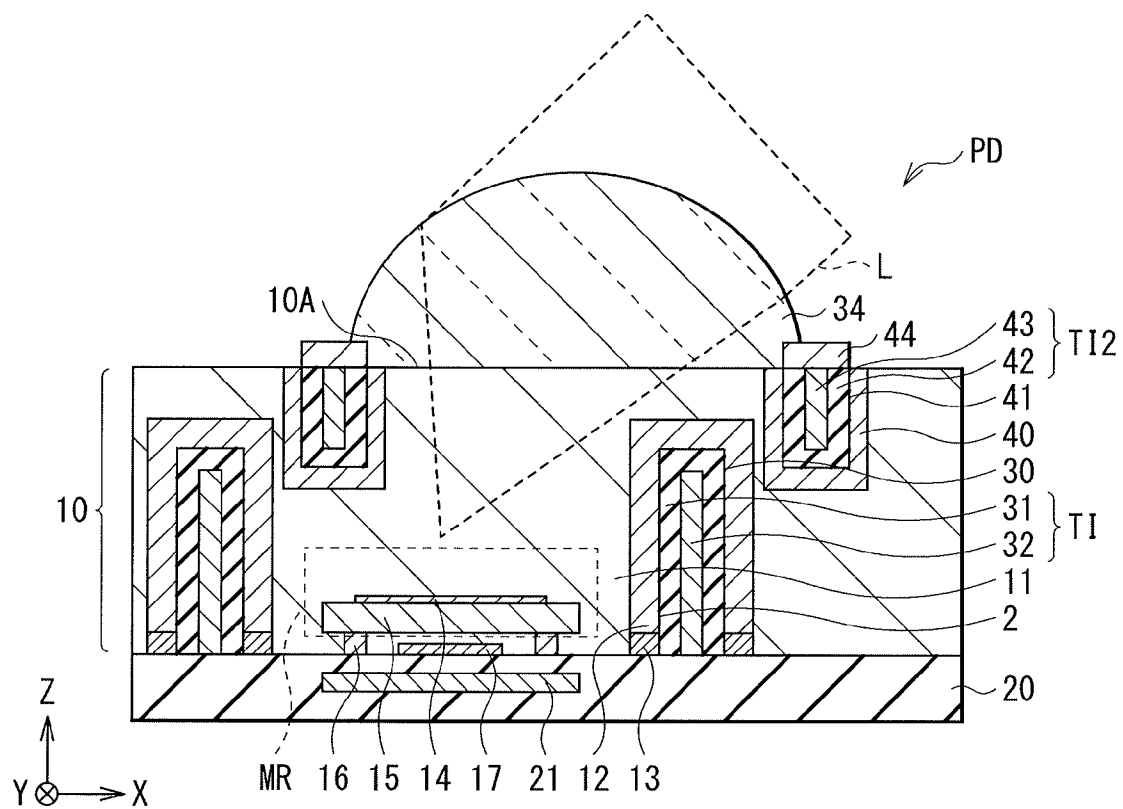
[図8]



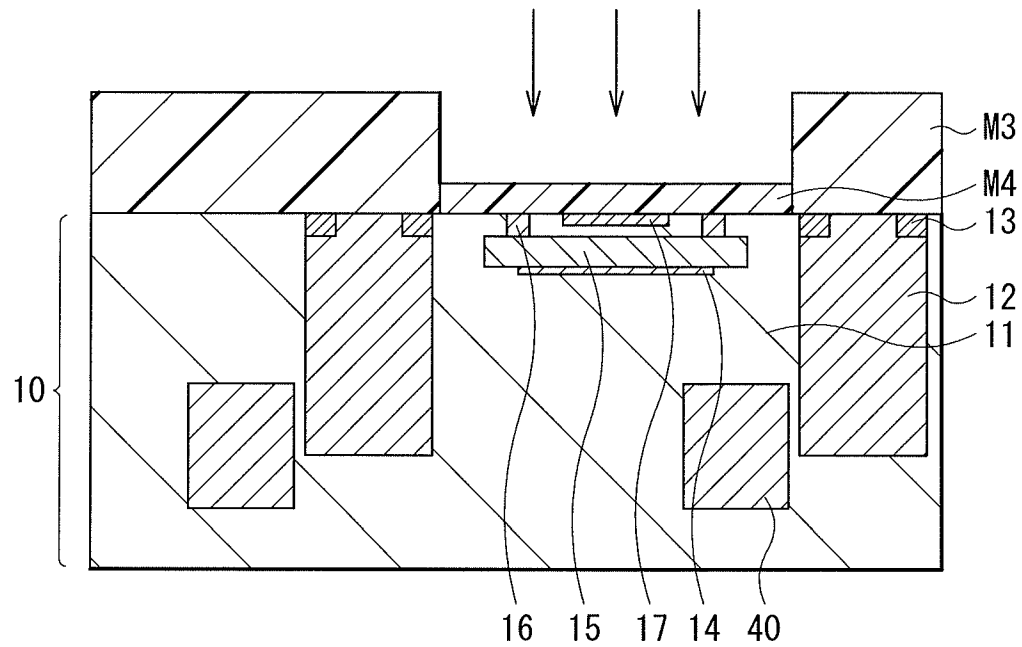
[図9]



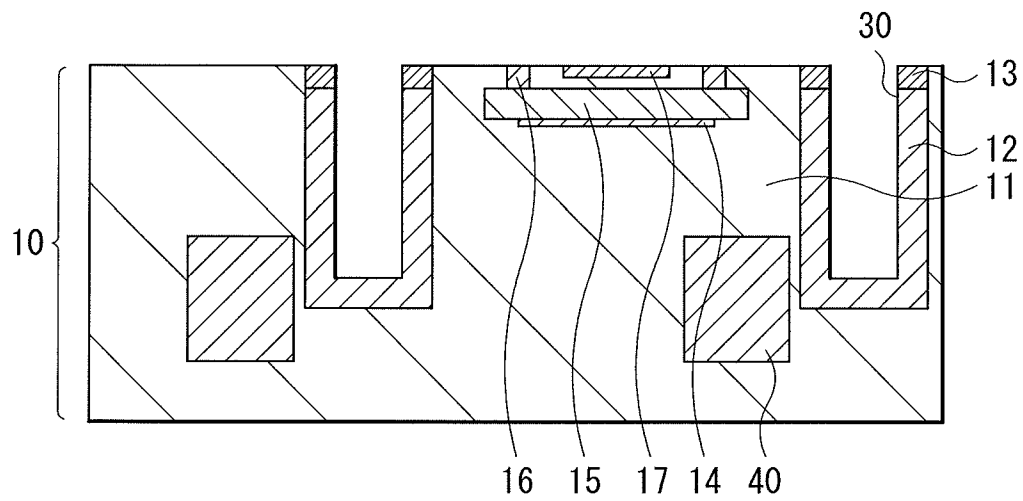
[図10]



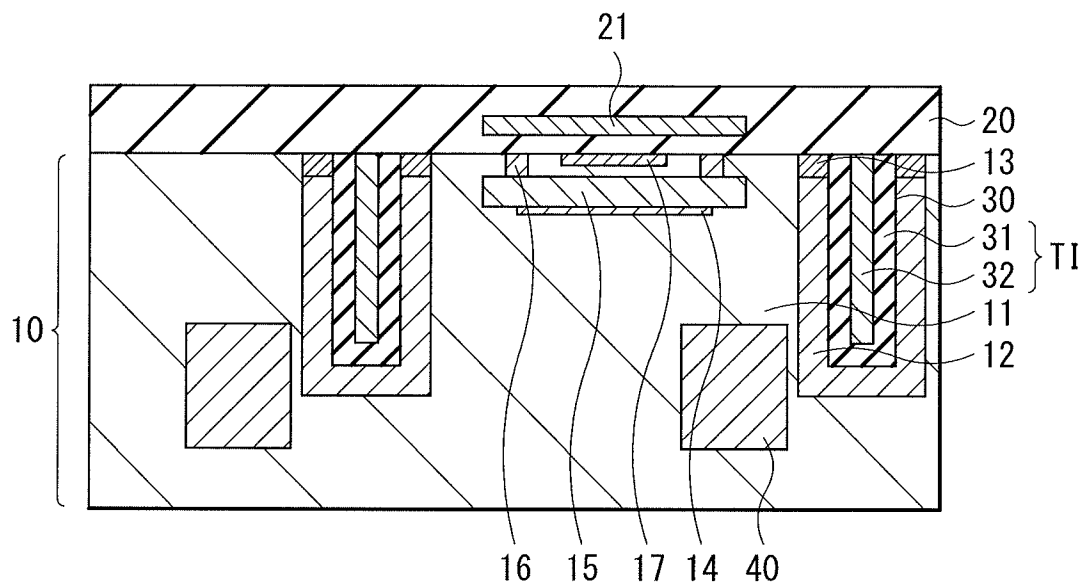
[図11A]



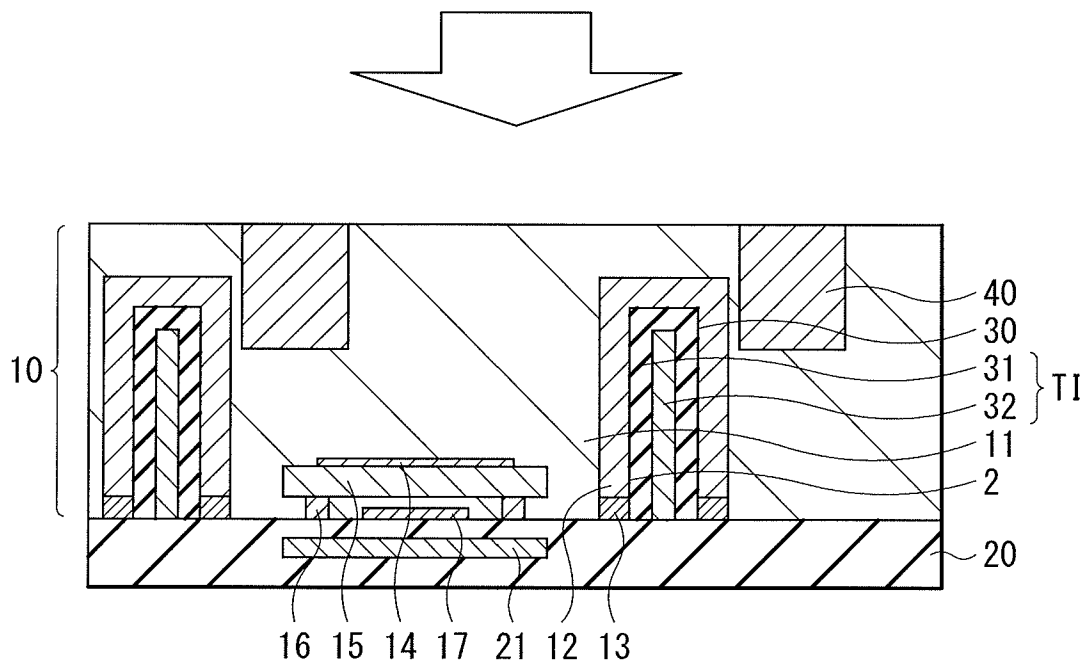
[図11B]



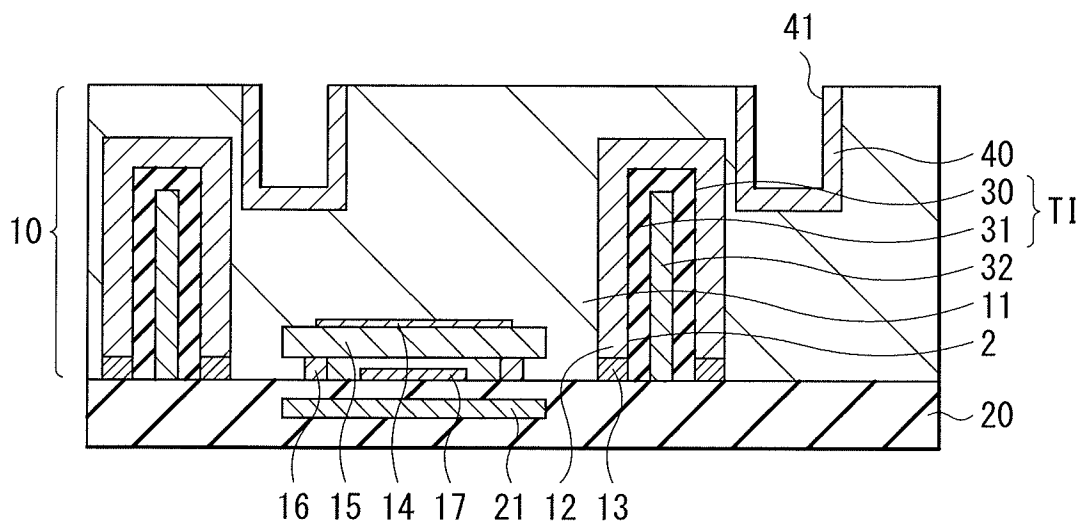
[図11C]



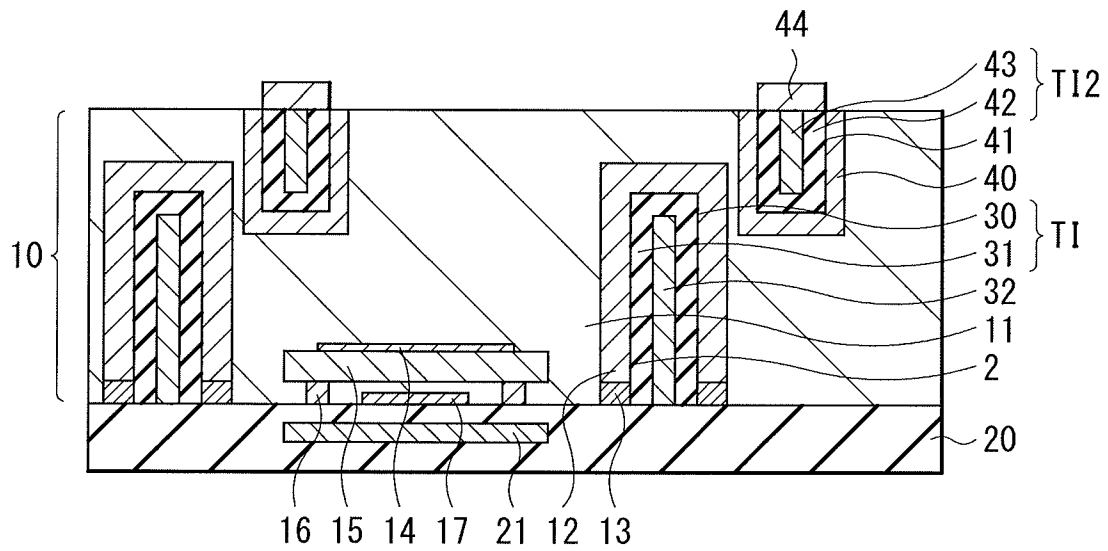
[図11D]



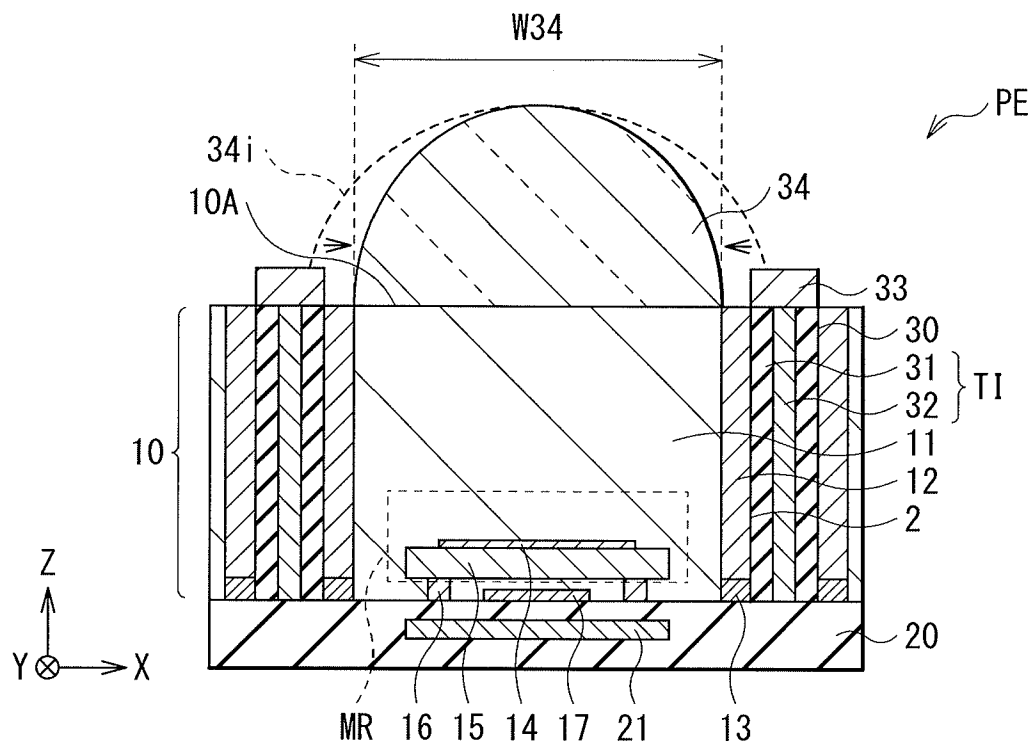
[図11E]



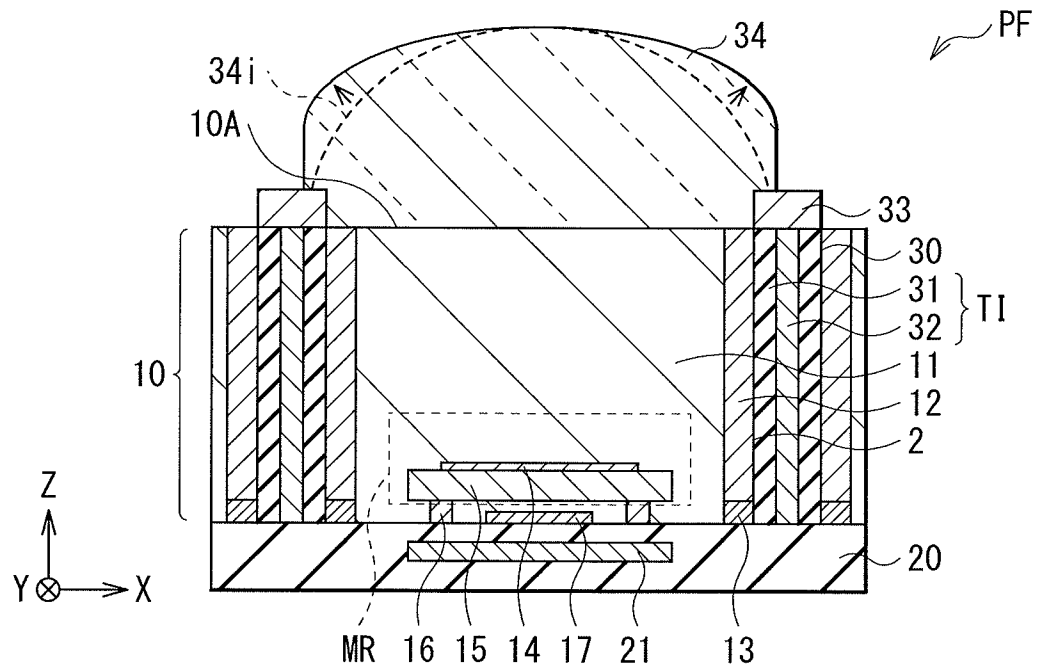
[図11F]



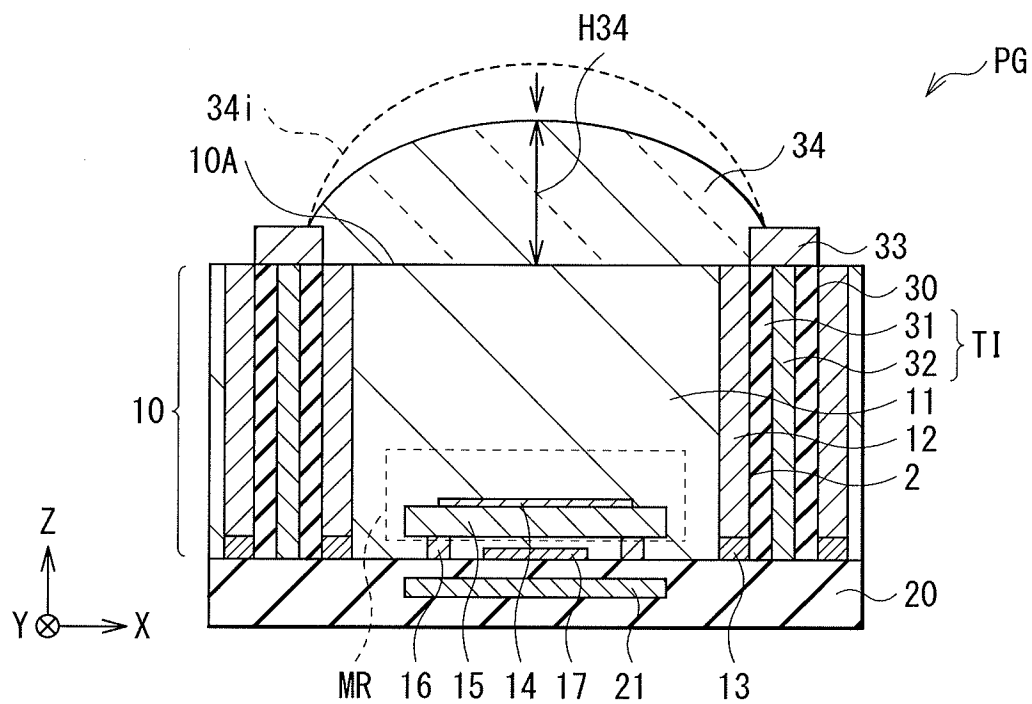
[図12]



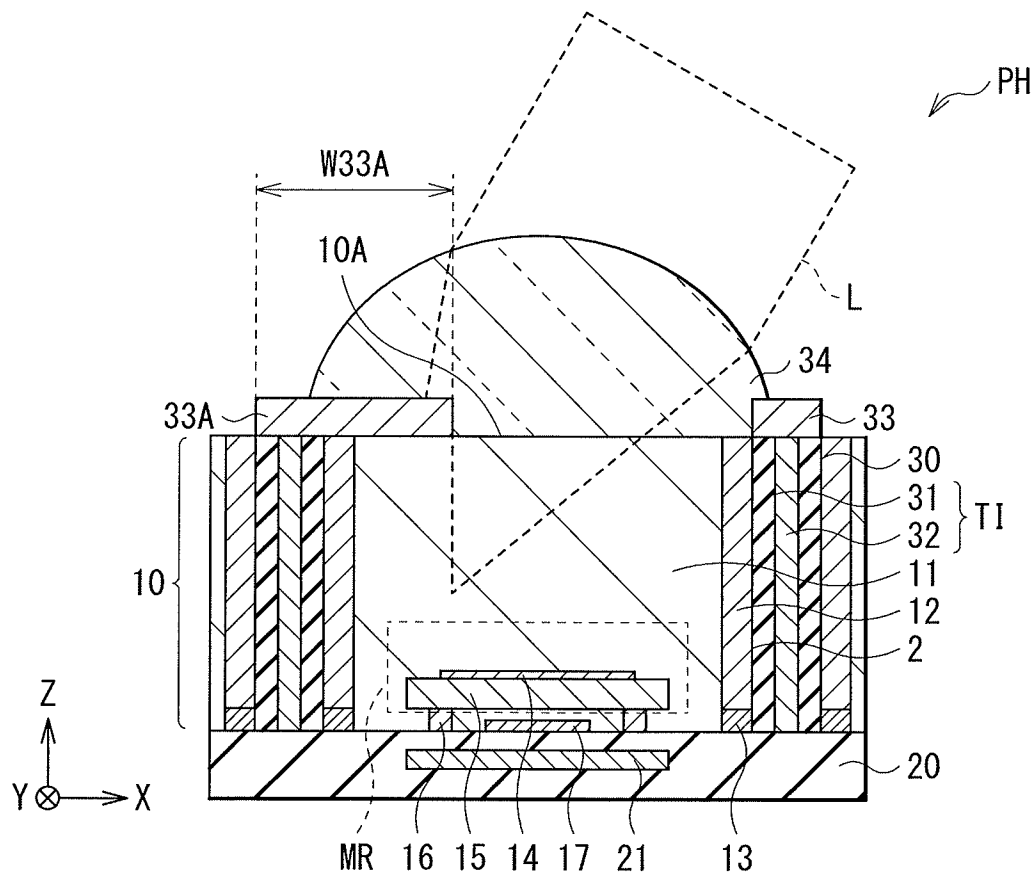
[図13]



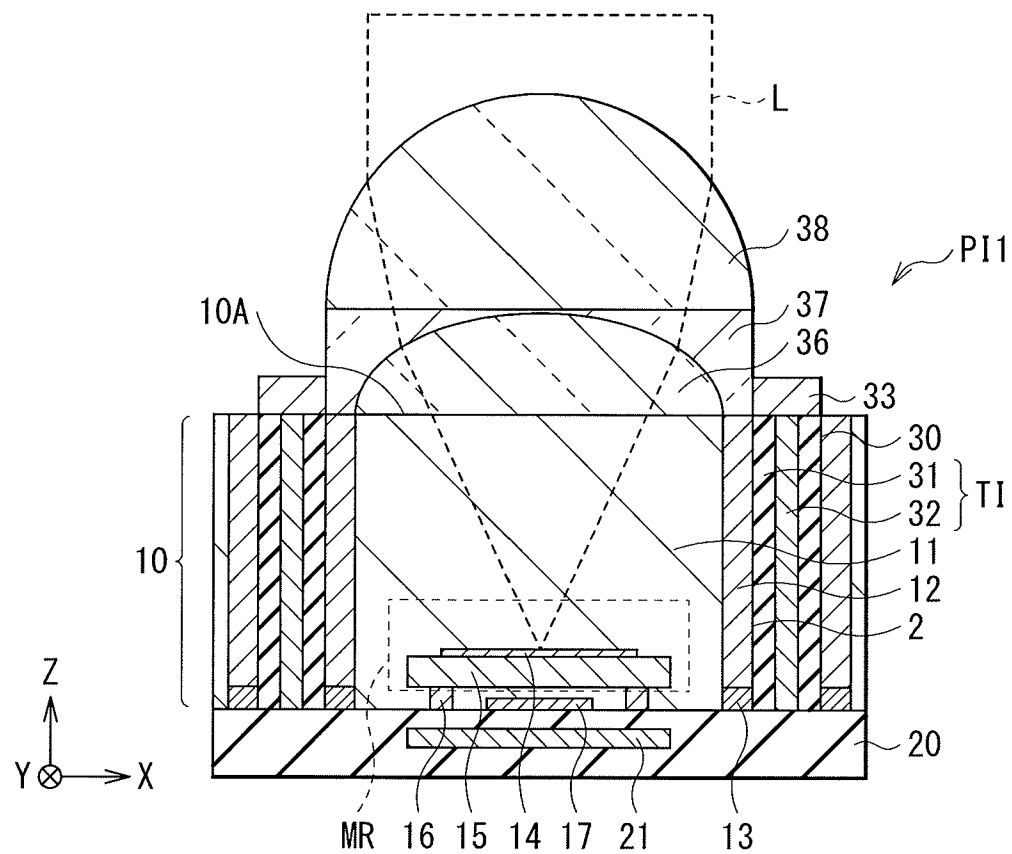
[図14]



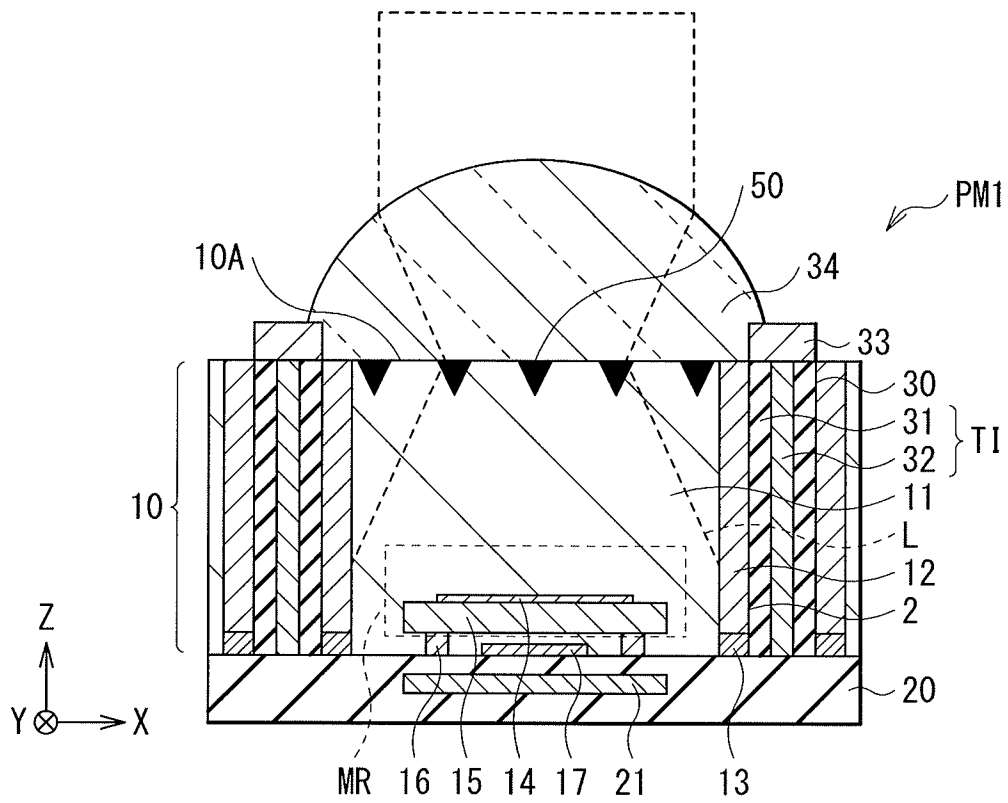
[図15]



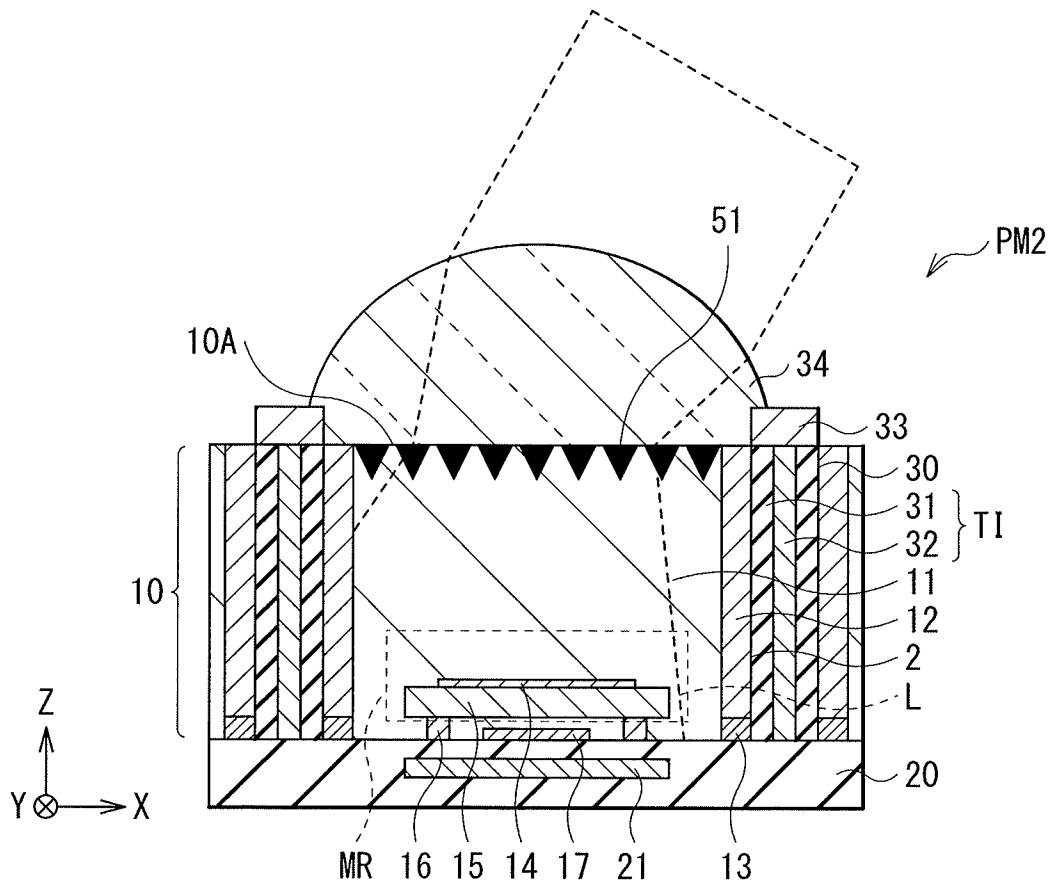
[図16]



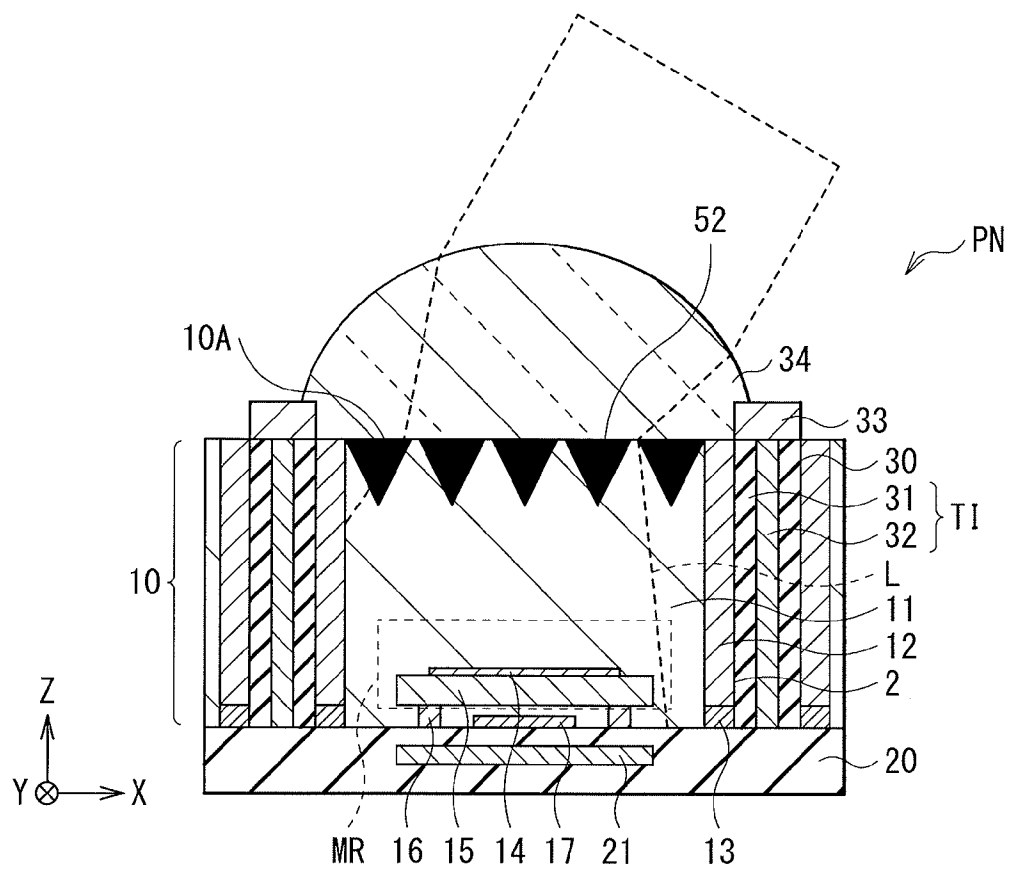
[図21]



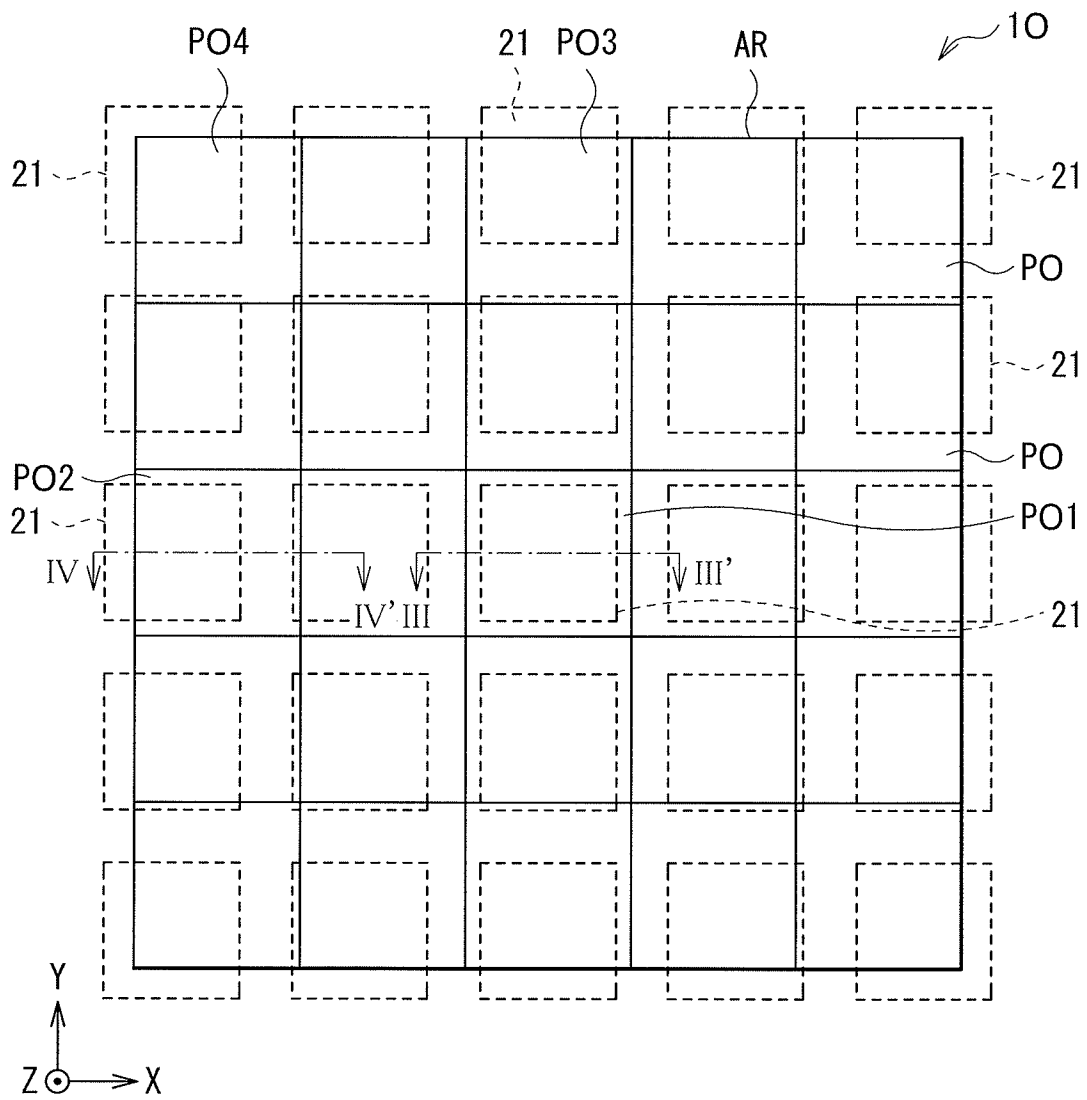
[図22]

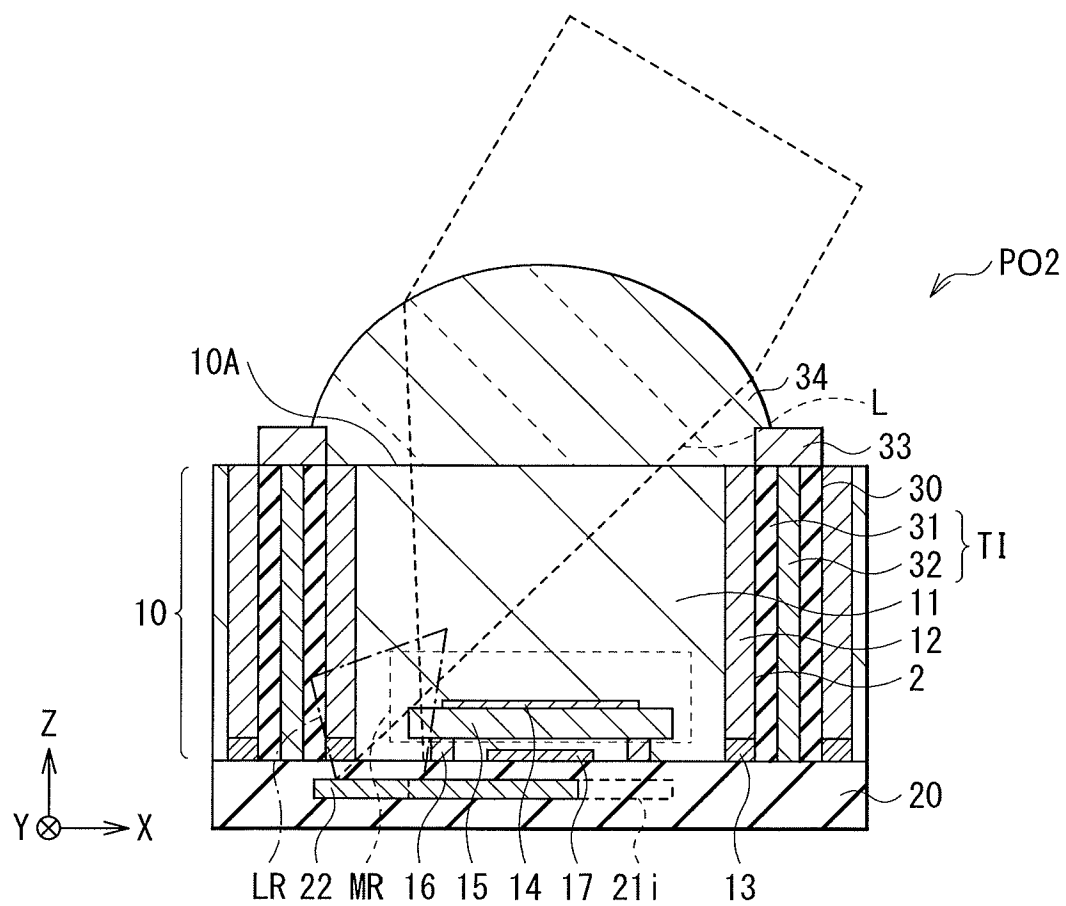
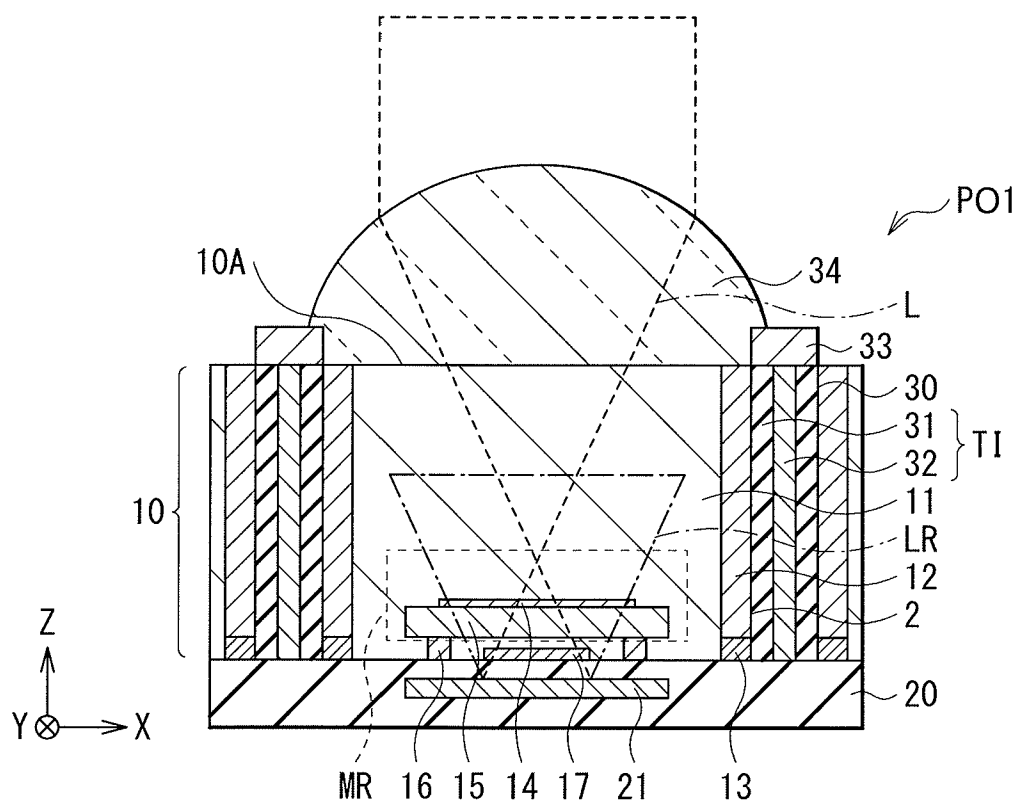


[図23]

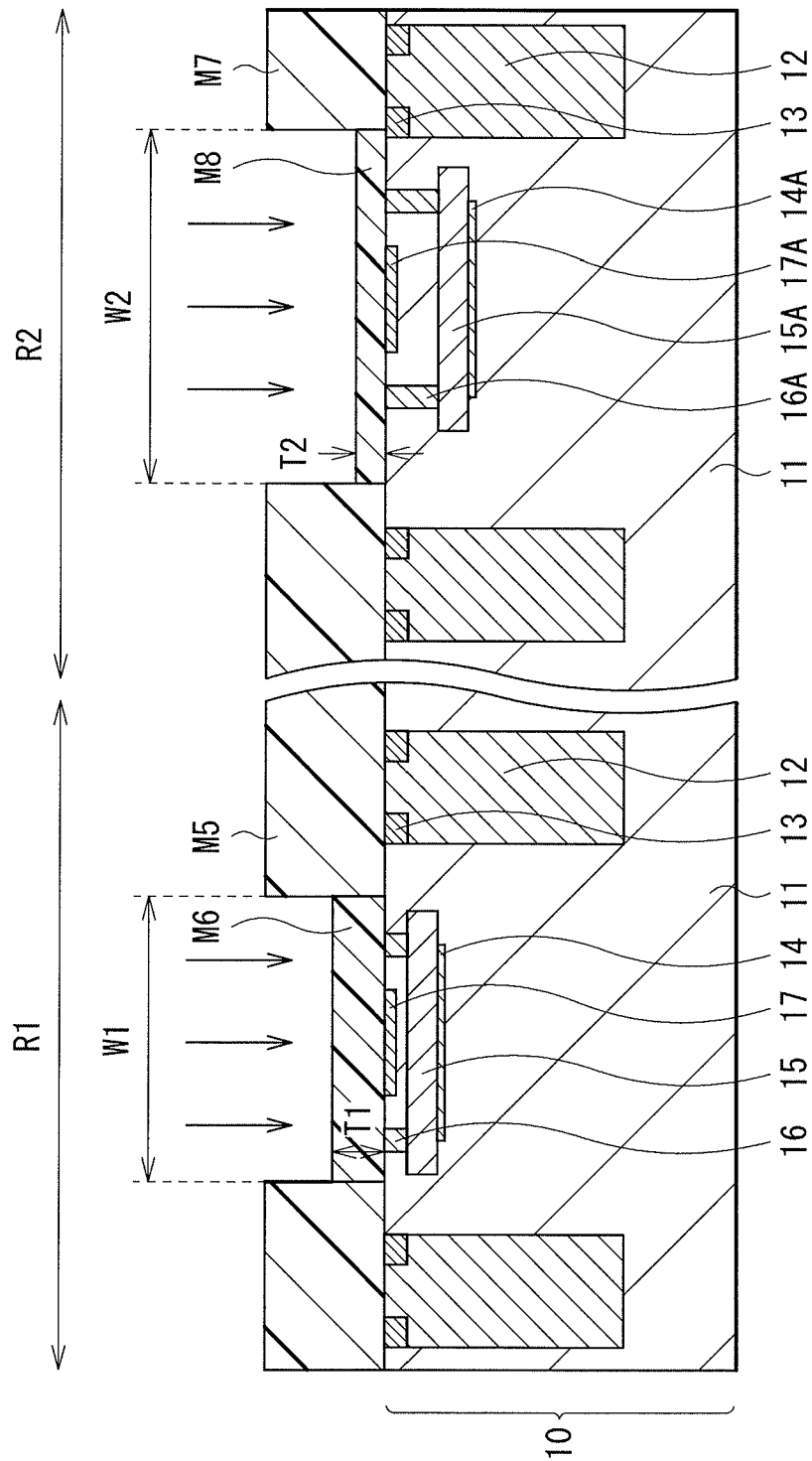


[図24]

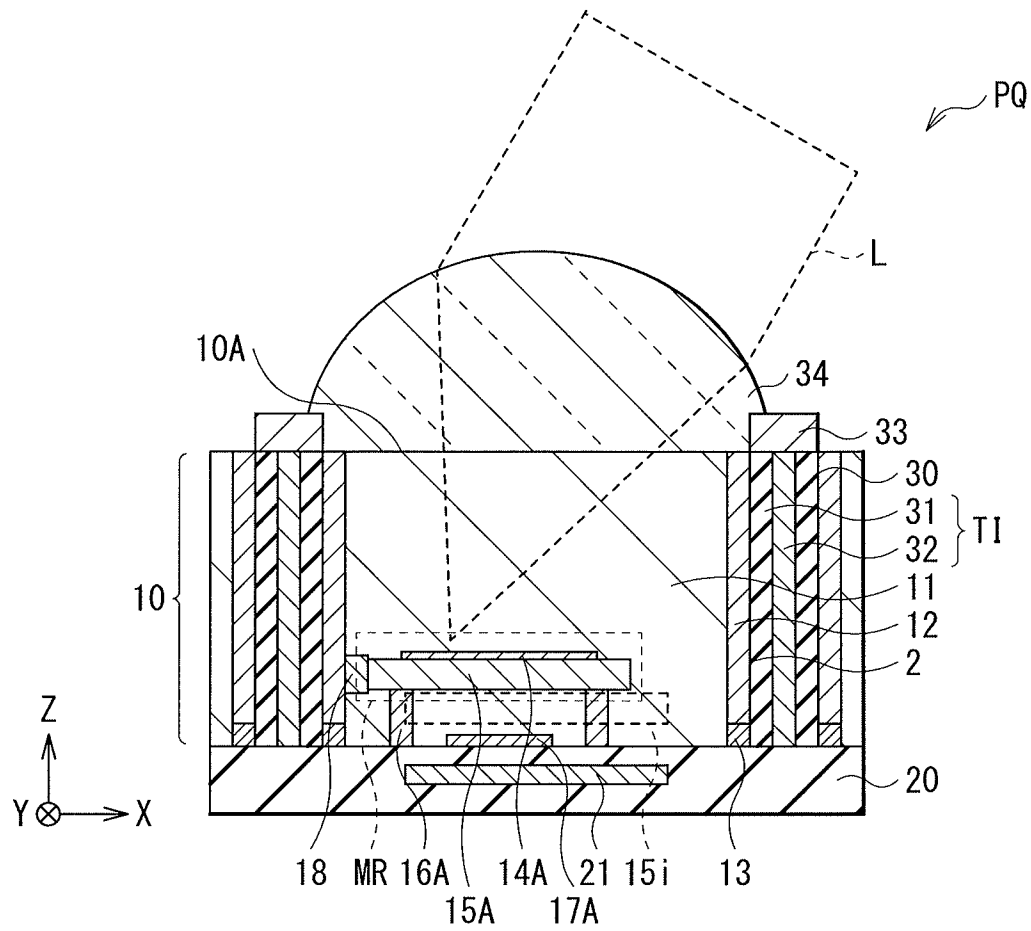




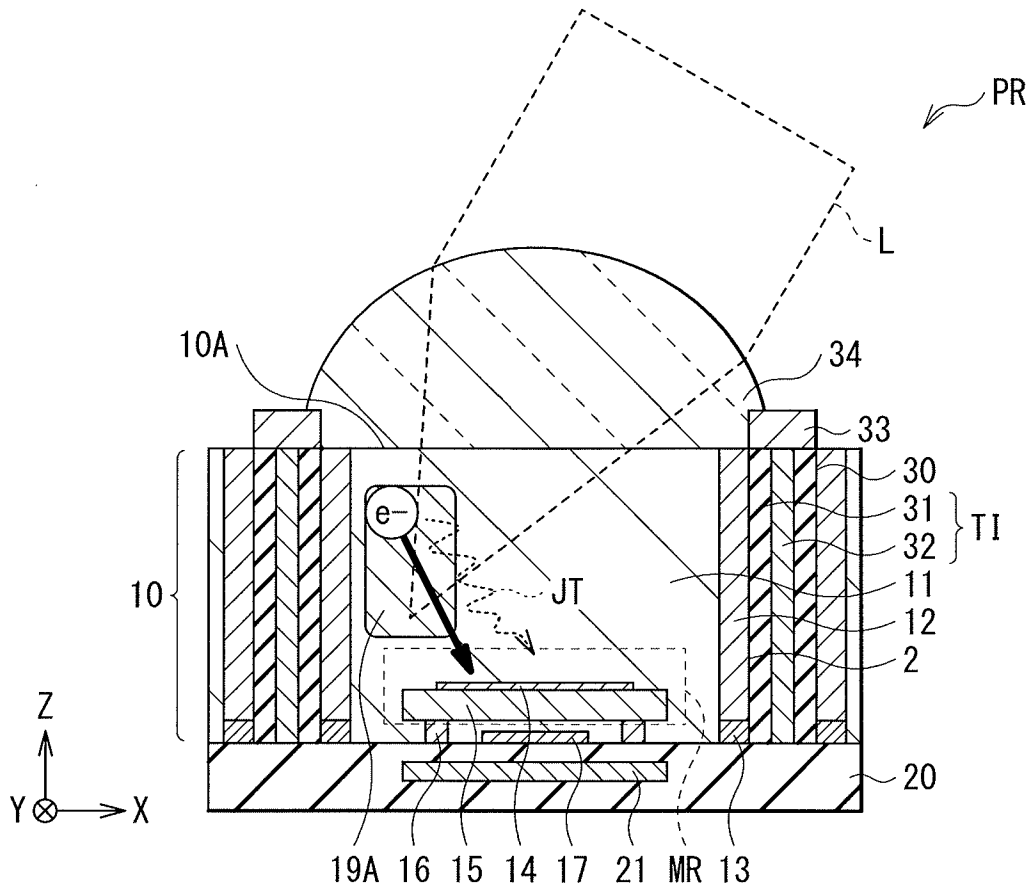
[図29]



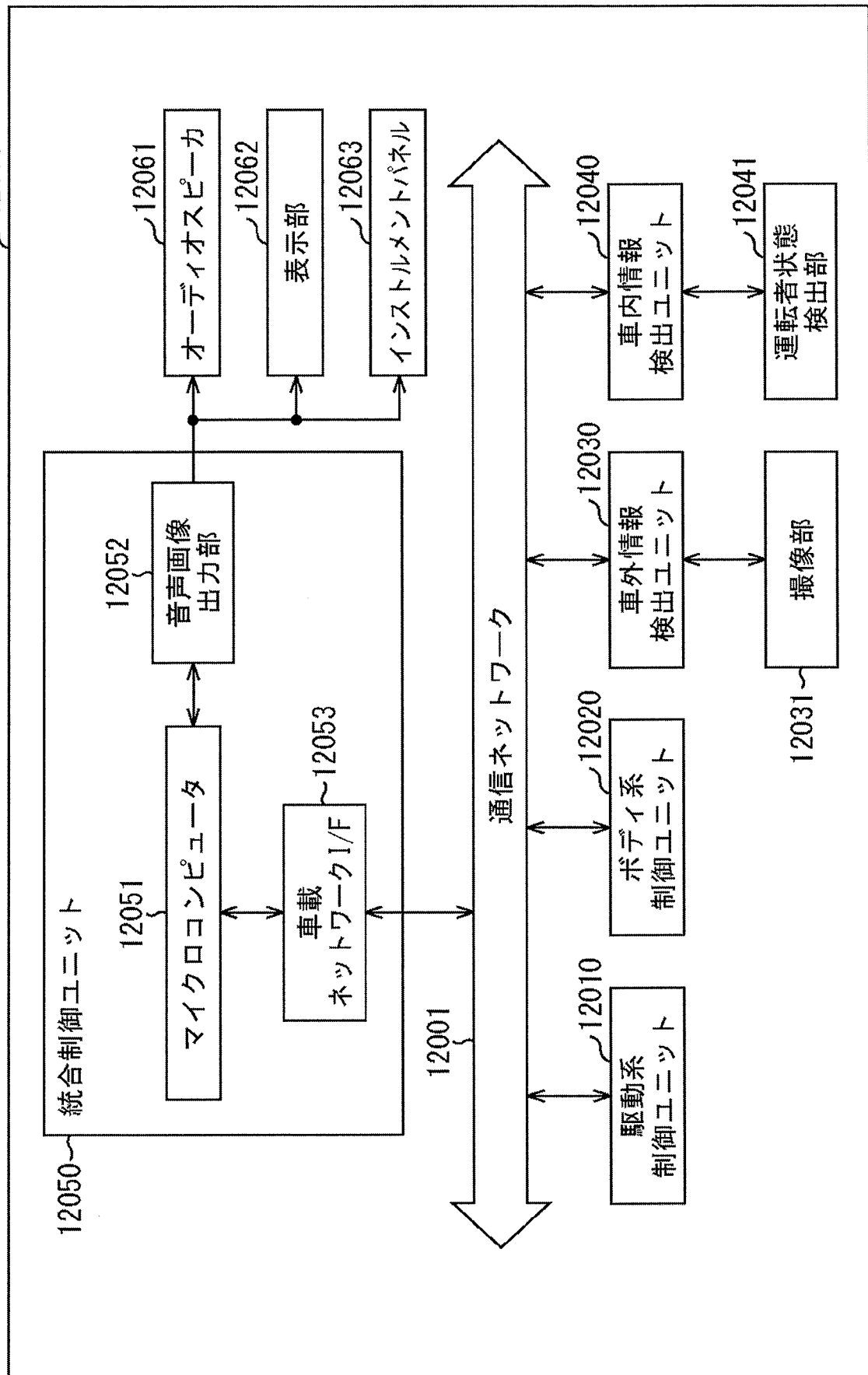
[図30]



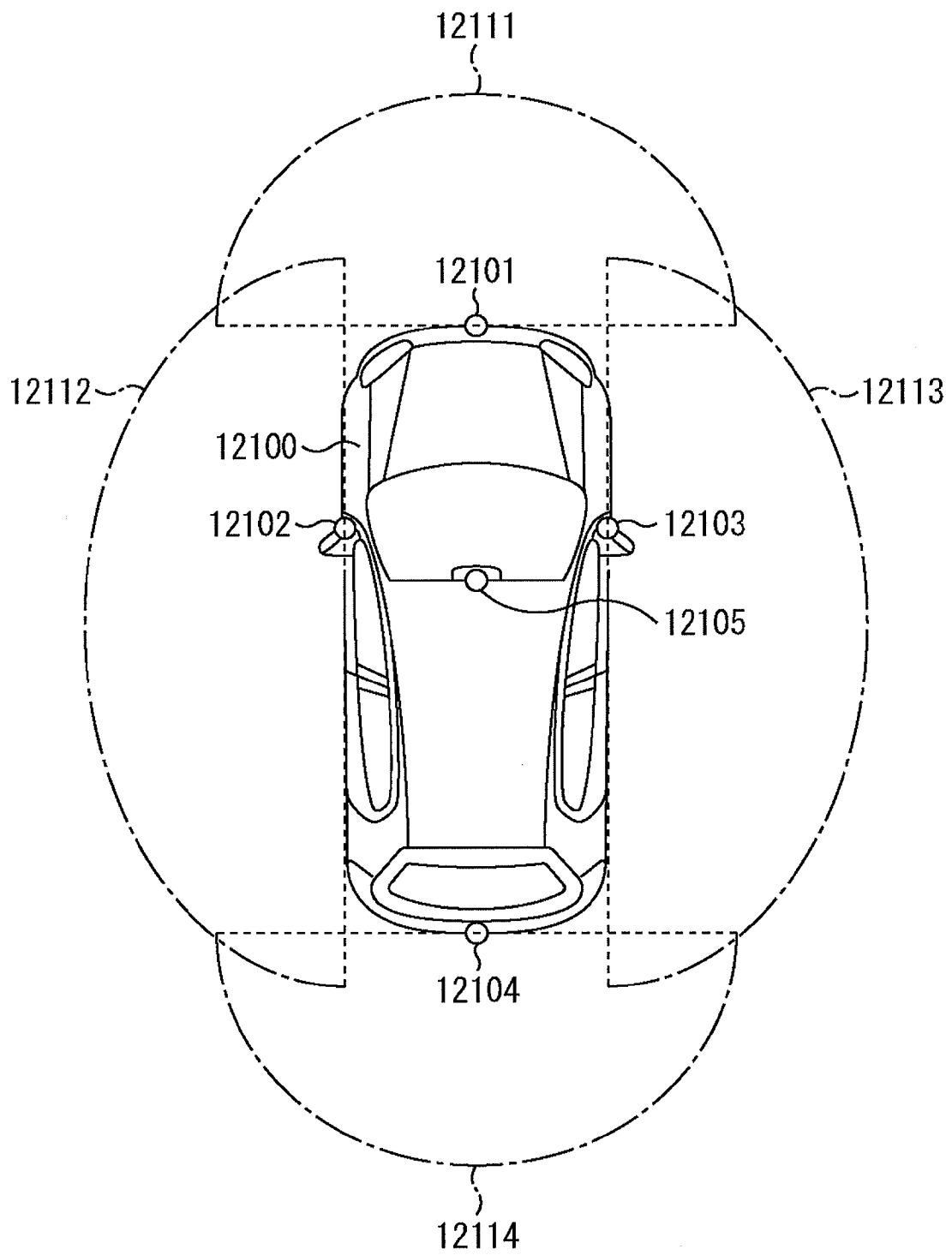
[図31]



[図34]



[図35]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2020/005431

A. CLASSIFICATION OF SUBJECT MATTER

H01L 27/146(2006.01)i; H01L 31/0232(2014.01)i; H01L 31/107(2006.01)i;
H04N 5/335(2011.01)i

FI: H01L27/146 D; H01L31/10 B; H01L31/02 D; H01L27/146 A; H04N5/335

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L27/146; H01L31/0232; H01L31/107; H04N5/335

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2020
Registered utility model specifications of Japan	1996-2020
Published registered utility model applications of Japan	1994-2020

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	WO 2018/057975 A1 (APPLE INC.) 29.03.2018 (2018-03-29) paragraphs [0027]-[0116], fig. 1-8	1-11, 14-17, 20
A		12-13, 18-19
Y	JP 11-186530 A (SONY CORP.) 09.07.1999 (1999-07-09) paragraphs [0012]-[0026], fig. 1-4, 7	1-11, 14-17, 20
Y	JP 2000-349268 A (SHARP CORP.) 15.12.2000 (2000-12-15) paragraphs [0020]-[0059], fig. 1-5	1-11, 14-17, 20
Y	JP 2015-75663 A (CANON INC.) 20.04.2015 (2015-04-20) paragraphs [0035]-[0047], fig. 4-6	1-11, 14-17, 20
Y	JP 2009-87983 A (FUJIFILM CORPORATION) 23.04.2009 (2009-04-23) paragraphs [0023]-[0072], fig. 1-17	1-11, 14-17, 20
Y	JP 2012-204354 A (SONY CORP.) 22.10.2012 (2012-10-22) paragraphs [0075]-[0088], fig. 11-14	1-11, 14-17, 20
Y	WO 2016/047282 A1 (SONY CORP.) 31.03.2016 (2016-03-31) paragraphs [0019]-[0037], fig. 1-2	1-11, 14-17, 20



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
03 March 2020 (03.03.2020)

Date of mailing of the international search report
17 March 2020 (17.03.2020)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2020/005431

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 11-150254 A (ASAHI OPTICAL CO., LTD.) 02.06.1999 (1999-06-02) paragraphs [0013]-[0024], fig. 1-5	1-11, 14-17, 20
Y	JP 2017-50467 A (TOSHIBA CORP.) 09.03.2017 (2017-03-09) paragraphs [0011]-[0046], fig. 1-3B	1-11, 14-17, 20
Y	JP 2011-91128 A (CANON INC.) 06.05.2011 (2011-05-06) paragraphs [0020]-[0025], fig. 6-8	1-11, 14-17, 20
A	WO 2017/038542 A1 (SONY SEMICONDUCTOR SOLUTIONS CORPORATION) 09.03.2017 (2017-03-09) entire text, all drawings	12-13
A	US 2018/0182806 A1 (SAMSUNG ELECTRONICS CO., LTD.) 28.06.2018 (2018-06-28) entire text, all drawings	12-13
A	JP 2018-64086 A (CANON INC.) 19.04.2018 (2018-04-19) entire text, all drawings	18-19
A	JP 2018-201005 A (SONY SEMICONDUCTOR SOLUTIONS CORPORATION) 20.12.2018 (2018-12-20) entire text, all drawings	18-19
P, X	JP 2020-17943 A (CANON INC.) 30.01.2020 (2020-01-30) paragraphs [0013]-[0058], [0095]-[0104], fig. 1-7, 12	1-2, 17, 20

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application no.

PCT/JP2020/005431

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
WO 2018/057975 A1	29 Mar. 2018	US 2018/0090526 A1 US 2018/0090536 A1 EP 3516692 A1 CN 109716525 A JP 2019-530215 A (Family: none)	
JP 11-186530 A	09 Jul. 1999	US 2005/0035377 A1	
JP 2000-349268 A	15 Dec. 2000	paragraphs [0031]-[0078], fig. 1-5 KR 10-2001-0007214 A	
JP 2015-75663 A	20 Apr. 2015	US 2015/0097996 A1 paragraphs [0052]-[0064], fig. 4A-6B EP 2860758 A2 CN 104570170 A RU 2014139261 A (Family: none)	
JP 2009-87983 A	23 Apr. 2009	US 2014/0267847 A1	
JP 2012-204354 A	22 Oct. 2012	paragraphs [0100]-[0113], fig. 11-14 US 8743265 B2 CN 102693997 A	
WO 2016/047282 A1	31 Mar. 2016	US 2017/0287976 A1 paragraphs [0033]-[0051], fig. 1-2 TW 201613084 A (Family: none)	
JP 11-150254 A	02 Jun. 1999	(Family: none)	
JP 2017-50467 A	09 Mar. 2017	(Family: none)	
JP 2011-91128 A	06 May 2011	US 2011/0090384 A1 paragraphs [0040]-[0045], fig. 6-8B (Family: none)	
WO 2017/038542 A1	09 Mar. 2017	KR 10-2018-0077393 A	
US 2018/0182806 A1	28 Jun. 2018	CN 108257985 A	
JP 2018-64086 A	19 Apr. 2018	US 2018/0108800 A1 entire text, all drawings EP 3309847 A1 CN 107946326 A BR 102017020861 A2 RU 2017134787 A	
JP 2018-201005 A	20 Dec. 2018	US 2019/0006399 A1 entire text, all drawings US 2019/0267414 A1 WO 2018/074530 A1 EP 3387676 A1 DE 112017005264 T5 CN 108475689 A KR 10-2019-0067127 A (Family: none)	
JP 2020-17943 A	30 Jan. 2020		

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 27/146(2006.01)i; H01L 31/0232(2014.01)i; H01L 31/107(2006.01)i; H04N 5/335(2011.01)i FI: H01L27/146 D; H01L31/10 B; H01L31/02 D; H01L27/146 A; H04N5/335														
B. 調査を行った分野														
調査を行った最小限資料（国際特許分類（IPC）） H01L27/146; H01L31/0232; H01L31/107; H04N5/335														
最小限資料以外の資料で調査を行った分野に含まれるもの														
<table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2020年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2020年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2020年</td> </tr> </table>			日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2020年	日本国実用新案登録公報	1996-2020年	日本国登録実用新案公報	1994-2020年				
日本国実用新案公報	1922-1996年													
日本国公開実用新案公報	1971-2020年													
日本国実用新案登録公報	1996-2020年													
日本国登録実用新案公報	1994-2020年													
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）														
C. 関連すると認められる文献														
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号												
Y	WO 2018/057975 A1 (APPLE INC.) 29.03.2018 (2018-03-29) 段落[0027]-[0116], 図1-8	1-11, 14-17, 20												
A		12-13, 18-19												
Y	JP 11-186530 A (ソニー株式会社) 09.07.1999 (1999-07-09) 段落[0012]-[0026], 図1-4, 7	1-11, 14-17, 20												
Y	JP 2000-349268 A (シャープ株式会社) 15.12.2000 (2000-12-15) 段落[0020]-[0059], 図1-5	1-11, 14-17, 20												
Y	JP 2015-75663 A (キヤノン株式会社) 20.04.2015 (2015-04-20) 段落[0035]-[0047], 図4-6	1-11, 14-17, 20												
Y	JP 2009-87983 A (富士フイルム株式会社) 23.04.2009 (2009-04-23) 段落[0023]-[0072], 図1-17	1-11, 14-17, 20												
Y	JP 2012-204354 A (ソニー株式会社) 22.10.2012 (2012-10-22) 段落[0075]-[0088], 図11-14	1-11, 14-17, 20												
Y	WO 2016/047282 A1 (ソニー株式会社) 31.03.2016 (2016-03-31) 段落[0019]-[0037], 図1-2	1-11, 14-17, 20												
☒ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。														
<table border="0"> <tr> <td>* 引用文献のカテゴリー</td> <td>"T" 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの</td> </tr> <tr> <td>"A" 特に関連のある文献ではなく、一般的な技術水準を示すもの</td> <td>"X" 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</td> </tr> <tr> <td>"E" 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</td> <td>"Y" 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</td> </tr> <tr> <td>"L" 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）</td> <td>"&" 同一パテントファミリー文献</td> </tr> <tr> <td>"O" 口頭による開示、使用、展示等に言及する文献</td> <td></td> </tr> <tr> <td>"P" 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献</td> <td></td> </tr> </table>			* 引用文献のカテゴリー	"T" 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの	"A" 特に関連のある文献ではなく、一般的な技術水準を示すもの	"X" 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの	"E" 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	"Y" 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの	"L" 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	"&" 同一パテントファミリー文献	"O" 口頭による開示、使用、展示等に言及する文献		"P" 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献	
* 引用文献のカテゴリー	"T" 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの													
"A" 特に関連のある文献ではなく、一般的な技術水準を示すもの	"X" 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの													
"E" 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	"Y" 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの													
"L" 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	"&" 同一パテントファミリー文献													
"O" 口頭による開示、使用、展示等に言及する文献														
"P" 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献														
国際調査を完了した日 03.03.2020	国際調査報告の発送日 17.03.2020													
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 今井 聖和 5F 4666 電話番号 03-3581-1101 内線 3516													

C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 11-150254 A (旭光学工業株式会社) 02.06.1999 (1999 - 06 - 02) 段落[0013]-[0024], 図1-5	1-11, 14-17, 20
Y	JP 2017-50467 A (株式会社東芝) 09.03.2017 (2017 - 03 - 09) 段落[0011]-[0046], 図1-3B	1-11, 14-17, 20
Y	JP 2011-91128 A (キヤノン株式会社) 06.05.2011 (2011 - 05 - 06) 段落[0020]-[0025], 図6-8	1-11, 14-17, 20
A	WO 2017/038542 A1 (ソニーセミコンダクタソリューションズ株式会社) 09.03.2017 (2017 - 03 - 09) 全文全図	12-13
A	US 2018/0182806 A1 (SAMSUNG ELECTRONICS CO., LTD.) 28.06.2018 (2018 - 06 - 28) 全文全図	12-13
A	JP 2018-64086 A (キヤノン株式会社) 19.04.2018 (2018 - 04 - 19) 全文全図	18-19
A	JP 2018-201005 A (ソニーセミコンダクタソリューションズ株式会社) 20.12.2018 (2018 - 12 - 20) 全文全図	18-19
P, X	JP 2020-17943 A (キヤノン株式会社) 30.01.2020 (2020 - 01 - 30) 段落[0013]-[0058], [0095]-[0104], 図1-7, 12	1-2, 17, 20

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2020/005431

引用文献			公表日	パテントファミリー文献			公表日
WO	2018/057975	A1	29.03.2018	US	2018/0090526	A1	
				US	2018/0090536	A1	
				EP	3516692	A1	
				CN	109716525	A	
				JP	2019-530215	A	
JP	11-186530	A	09.07.1999	(ファミリーなし)			
JP	2000-349268	A	15.12.2000	US	2005/0035377	A1	
				段落[0031]-[0078], 図1-5			
				KR	10-2001-0007214	A	
JP	2015-75663	A	20.04.2015	US	2015/0097996	A1	
				段落[0052]-[0064], 図4A-6B			
				EP	2860758	A2	
				CN	104570170	A	
				RU	2014139261	A	
JP	2009-87983	A	23.04.2009	(ファミリーなし)			
JP	2012-204354	A	22.10.2012	US	2014/0267847	A1	
				段落[0100]-[0113], 図11-14			
				US	8743265	B2	
				CN	102693997	A	
WO	2016/047282	A1	31.03.2016	US	2017/0287976	A1	
				段落[0033]-[0051], 図1-2			
				TW	201613084	A	
JP	11-150254	A	02.06.1999	(ファミリーなし)			
JP	2017-50467	A	09.03.2017	(ファミリーなし)			
JP	2011-91128	A	06.05.2011	US	2011/0090384	A1	
				段落[0040]-[0045], 図6-8B			
WO	2017/038542	A1	09.03.2017	(ファミリーなし)			
US	2018/0182806	A1	28.06.2018	KR	10-2018-0077393	A	
				CN	108257985	A	
JP	2018-64086	A	19.04.2018	US	2018/0108800	A1	
				全文全図			
				EP	3309847	A1	
				CN	107946326	A	
				BR	102017020861	A2	
				RU	2017134787	A	
JP	2018-201005	A	20.12.2018	US	2019/0006399	A1	
				全文全図			
				US	2019/0267414	A1	
				WO	2018/074530	A1	
				EP	3387676	A1	
				DE	112017005264	T5	
				CN	108475689	A	
				KR	10-2019-0067127	A	
JP	2020-17943	A	30.01.2020	(ファミリーなし)			