

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5294278号
(P5294278)

(45) 発行日 平成25年9月18日(2013.9.18)

(24) 登録日 平成25年6月21日(2013.6.21)

(51) Int.Cl.

F 1

HO1L 21/8238	(2006.01)	HO1L 27/08	321D
HO1L 27/092	(2006.01)	HO1L 27/08	321C
HO1L 29/786	(2006.01)	HO1L 29/78	613A
HO1L 21/336	(2006.01)	HO1L 29/78	617J
		HO1L 29/78	618B

請求項の数 5 (全 14 頁) 最終頁に続く

(21) 出願番号	特願2010-514910 (P2010-514910)
(86) (22) 出願日	平成20年5月20日 (2008.5.20)
(65) 公表番号	特表2010-532579 (P2010-532579A)
(43) 公表日	平成22年10月7日 (2010.10.7)
(86) 國際出願番号	PCT/US2008/064198
(87) 國際公開番号	W02009/005904
(87) 國際公開日	平成21年1月8日 (2009.1.8)
審査請求日	平成23年4月28日 (2011.4.28)
(31) 優先権主張番号	11/771,690
(32) 優先日	平成19年6月29日 (2007.6.29)
(33) 優先権主張国	米国(US)

(73) 特許権者	504199127 フリースケール セミコンダクター イン コーポレイテッド アメリカ合衆国 テキサス州 78735 オースティン ウィリアム キャノン ドライブ ウエスト 6501
(74) 代理人	100142907 弁理士 本田 淳
(72) 発明者	カーブ、ガウリ ブイ. アメリカ合衆国 12524 ニューヨー ク州 フィッシュキル ストーニー ブル ック ロード 117

最終頁に続く

(54) 【発明の名称】デュアルメタルゲート構造の形成方法

(57) 【特許請求の範囲】

【請求項 1】

半導体構造の形成方法であって、前記形成方法は、
第1ウェル領域(16)と第2ウェル領域(18)を有する半導体層上に、第1ゲート誘電体層(26)を形成する第1ゲート誘電体層形成ステップと；

前記第1ゲート誘電体層(26)上に、第1メタルゲート電極層(28)を形成する第1メタルゲート電極層形成ステップと；

前記第2ウェル領域(18)上に位置する前記第1ゲート誘電体層(26)と前記第1メタルゲート電極層(28)の部分を除去する第1ゲート除去ステップと；

前記第1メタルゲート電極層(28)上、及び、前記第1ゲート誘電体層(26)の誘電体層側壁と前記第1メタルゲート電極層(28)の電極層側壁とに隣接する箇所に、側壁保護層(36)を形成する側壁保護層形成ステップと；

前記側壁保護層(36)を形成後に、前記第2ウェル領域(18)上にチャネル領域層(40)を形成するチャネル領域層形成ステップと；

前記チャネル領域層(40)上に、第2ゲート誘電体層(42)を形成する第2ゲート誘電体層形成ステップと；

前記第2ゲート誘電体層(42)上に、前記第1メタルゲート電極層(28)とは異なる第2メタルゲート電極層(44)を形成する第2メタルゲート電極層形成ステップと；

前記第1ウェル領域(16)上に位置する前記第1ゲート誘電体層(26)と前記第1メタルゲート電極層(28)それぞれの部分を有する第1ゲートスタック(58)を形成

10

20

し、且つ前記チャネル領域上と前記第2ウェル領域(18)上に位置する前記第2ゲート誘電体層(42)と前記第2メタルゲート電極層(44)それぞれの部分を有する第2ゲートスタック(66)を形成するゲートスタック形成ステップとを備えることを特徴とする、半導体構造の形成方法。

【請求項2】

前記形成方法は更に、第1伝導型を有する第1デバイス(68)を、前記第1ゲートスタック(58)を用いて形成するステップと；

前記第1伝導型とは異なる第2伝導型を有する第2デバイス(70)を、前記第2ゲートスタック(66)を用いて形成するステップと
10
を備え、

前記第2デバイス(70)のチャネル領域は、前記チャネル領域層(40)に位置する、請求項1記載の形成方法。

【請求項3】

前記形成方法は更に、前記ゲートスタック形成ステップの前に、前記第1メタルゲート電極層(28)と前記第2メタルゲート電極層(44)にそれぞれ物理的接触する伝導ゲート厚膜化層(48)を、前記第1メタルゲート電極層(28)上と前記第2メタルゲート電極層(44)上に形成するステップを備える、請求項2記載の形成方法。

【請求項4】

前記チャネル領域層形成ステップは、前記半導体層の半導体材料とは異なる半導体材料を成長させる、請求項3記載の形成方法。
20

【請求項5】

半導体構造の形成方法であって、前記形成方法は、
第1ウェル領域(16)と第2ウェル領域(18)を有する半導体層上に、第1ゲート誘電体層(26)を形成する第1ゲート誘電体層(26)形成ステップと；

前記第1ゲート誘電体層(26)上に、第1メタルゲート電極層(28)を形成する第1メタルゲート電極層形成ステップと；

前記第2ウェル領域(18)上に位置する前記第1ゲート誘電体層(26)と前記第1メタルゲート電極層(28)の部分を除去する第1ゲート除去ステップと；

前記第1ゲート誘電体層(26)の側壁と前記第1メタルゲート電極層(28)の側壁とに隣接するように、側壁保護層(36)を、前記第1メタルゲート電極層(28)上と前記第2ウェル領域(18)上とに形成する側壁保護層形成ステップと；
30

前記第2ウェル領域(18)上に位置する前記側壁保護層(36)の部分を除去することによって、前記第2ウェル領域(18)を露出させる第2ウェル領域(18)露出ステップと；

前記第2ウェル領域(18)上に、チャネル領域層(40)を形成するチャネル領域層形成ステップと；

前記側壁保護層(36)上と前記チャネル領域層(40)上とに、第2ゲート誘電体層(42)を形成するステップと；

前記第2ゲート誘電体層(42)上に、前記第1メタルゲート電極層(28)とは異なる金属である第2メタルゲート電極層(44)を形成する第2メタルゲート電極層形成ステップと；
40

前記側壁保護層(36)の上に位置する前記第2メタルゲート電極層(44)と前記第2ゲート誘電体層(42)の部分を除去する第2ゲート除去ステップと；

前記第1ウェル領域(16)上に位置する前記第1ゲート誘電体層(26)と前記第1メタルゲート電極層(28)それぞれの部分を有する第1ゲートスタック(58)を形成し、前記チャネル領域層(40)上と前記第2ウェル領域(18)上に位置する前記第2ゲート誘電体層(42)と前記第2メタルゲート電極層(44)それぞれの部分を有する第2ゲートスタック(66)を形成するゲートスタック形成ステップと
50
を備えることを特徴とする、半導体構造の形成方法。

【発明の詳細な説明】**【技術分野】****【0001】**

この開示は、概して半導体プロセスに関する。より具体的には、デュアルメタルゲート構造の形成方法に関する。

【背景技術】**【0002】**

半導体プロセスの分野において、ゲート誘電体の厚さが徐々に小さくなるにつれて、ポリシリコンゲート構造は、適さなくなってきた。高誘電率を有する誘電体層（*high h-k* 誘電体とも呼ばれる）が好まれ、半導体プロセスがゲート誘電体としての二酸化シリコンの使用から離れるにつれて、ポリシリコンゲートは更に問題となる。ポリシリコンゲートによって生ずるいくつかの問題を解決する一つの解は、メタルゲートを使用することである。デュアルメタルゲートプロセスにおいて、第1金属は、PMOS（pチャネル金属酸化物半導体）デバイスのゲートを形成すべく使用され、第1金属とは異なる第2金属は、NMOS（nチャネル金属酸化物半導体）を形成すべく使用される。互いに異なる金属の使用を通じて、仕事関数は、デバイスの各タイプ（P型またはN型）用に最適化されうる。

【発明の概要】**【発明が解決しようとする課題】****【0003】**

20

しかしながら、従来のデュアルメタルゲート集積化において、金属エッチングやハードマスク除去といったいくつかのプロセスステップは、デュアルメタルゲート構造のゲート誘電体にダメージを与えるおそれがあり、したがってデバイス性能を劣化させうる。

【課題を解決するための手段】**【0004】**

一実施形態は、第1ウェル領域と第2ウェル領域を有する半導体層上に第1ゲート誘電体層を形成するステップと；第1ゲート誘電体上に第1メタルゲート電極層を形成するステップと；第1ゲート誘電体層の側壁と第1メタルゲート電極層の側壁とに隣接する側壁保護層を、第1メタルゲート電極層上に形成するステップと；側壁保護層形成後に第2ウェル領域上にチャネル領域層を形成するステップと；チャネル領域層上に第2ゲート誘電体層を形成するステップと；第1メタルゲート電極層とは異なる金属である第2メタルゲート電極層を第2ゲート誘電体層上に形成するステップと；第1ウェル領域上に位置する第1ゲート誘電体層と第1メタルゲート電極層それぞれの部分を含む第1ゲートスタックを形成するステップと；チャネル領域層上と第2ウェル領域上に位置する第2ゲート誘電体層と第2メタルゲート電極層それぞれの部分を含む第2ゲートスタックを形成するステップとを含む、半導体構造を形成する方法に関する。

30

【0005】

更なる実施形態において、方法は更に、第1ゲートスタックを用いて、第1伝導型を有する第1デバイスを形成するステップと；第2ゲートスタックを用いて、第1伝導型とは異なる第2伝導型を有する第2デバイスを形成するステップとを含む。ここで、第2デバイスのチャネル領域は、チャネル領域層に位置する。

40

【0006】

他の更なる実施形態において、方法は更に、第1ゲートスタックと第2ゲートスタックの形成前に、第1メタルゲート電極層と第2メタルゲート電極層にそれぞれ物理的接触するように、第1メタルゲート電極層上と第2メタルゲート電極層上に、伝導ゲート厚膜化層を形成するステップを含む。

【0007】

他の更なる実施形態において、チャネル領域層を形成するステップは、半導体層の半導体材料とは異なる半導体材料を成長させる。他の実施形態の更なる実施例において、チャネル領域層を形成するステップは、第2ウェル領域上にシリコンゲルマニウムをエピタキ

50

シャル成長させる。

【0008】

他の更なる実施形態において、方法は更に、チャネル領域層の形成後に、側壁保護層を除去するステップを含む。

他の更なる実施形態において、側壁保護層の形成ステップは、酸化物と窒化物から選択された材料を堆積させる。

【0009】

他の更なる実施形態において、第1ゲート誘電体層を形成するステップは、第1high - k誘電体層を形成するステップを含み、第2ゲート誘電体層を形成するステップは、第1high - k誘電体層とは異なるhigh - k誘電体層を含む第2high - k誘電体層を形成するステップを含む。10

【0010】

他の実施形態において、半導体構造の形成方法は、第1ウェル領域と第2ウェル領域を含む半導体層上に、第1ゲート誘電体層を形成するステップと；第1ゲート誘電体層上に第1メタルゲート電極層を形成するステップと；第2ウェル領域上に位置する第1ゲート誘電体層と第1メタルゲート電極層の部分を除去するステップと；第1ゲート誘電体層の側壁と第1メタルゲート電極層の側壁とに隣接する側壁保護層を、第1メタルゲート電極層上と第2ウェル領域上とに形成するステップと；側壁保護層を形成後に、第2ウェル領域上にチャネル領域層を形成するステップと；側壁保護層上とチャネル領域層上とに第2ゲート誘電体層を形成するステップと；第1メタルゲート電極層とは異なる第2メタルゲート電極層を、第2ゲート誘電体層上に形成するステップと；側壁保護層上に位置する第2メタルゲート電極層と第2ゲート誘電体層の部分を除去するステップと；第1ウェル領域上に位置する第1ゲート誘電体層と第1メタルゲート電極層それぞれの部分を有する第1ゲートスタックを形成するステップと；チャネル領域層上と第2ウェル領域上に位置する第2ゲート誘電体層と第2メタルゲート電極層それぞれの部分を有する第2ゲートスタックを形成するステップとを含む。20

【0011】

他の実施形態の更なる実施例において、方法は更に、第1ゲートスタックを用いて、第1伝導型を有する第1デバイスを形成するステップと；第2ゲートスタックを用いて、第1伝導型とは異なる第2伝導型を有する第2デバイスを形成するステップとを含む。ここで、第2デバイスのチャネル領域は、チャネル領域層に位置する。30

【0012】

他の実施形態の更なる他の実施例において、第1ゲートスタックと第2ゲートスタックとを形成する前に、方法は更に、側壁保護層を除去するステップと；第1メタルゲート電極層と第2メタルゲート電極層とにそれぞれ接触する伝導ゲート厚膜化層を、第1メタルゲート電極層上と第2メタルゲート電極層上に形成するステップとを含む。

【0013】

他の実施形態の他の更なる実施例において、チャネル領域層を形成するステップは、半導体層の半導体材料とは異なる半導体材料を成長させるステップを含む。他の更なる実施形態の更なる実施例において、チャネル領域層を形成するステップは、第2ウェル領域上にシリコンゲルマニウムをエピタキシャル成長させるステップを含む。40

【0014】

他の実施形態の他の更なる実施例において、方法は更に、側壁保護層上に位置する第2メタルゲート電極層と第2ゲート誘電体層の部分を除去した後に、側壁保護層を除去するステップを含む。

【0015】

他の実施形態の他の更なる実施例において、側壁保護層を形成するステップは、酸化膜と窒化膜のうちから選択された材料を堆積させるステップを含む。

他の実施形態の他の更なる実施例において、第1ゲート誘電体層を形成するステップは、第1high - k誘電体層を形成するステップを含み、第2ゲート誘電体層を形成する50

ステップは、第1high-k誘電体層とは異なるhigh-k誘電体を含む第2high-k誘電体層を形成するステップを含む。

【0016】

更に他の実施形態において、半導体構造の形成方法は、第1ウェル領域と第2ウェル領域を含む半導体層上に、第1high-kゲート誘電体層を形成するステップと；第1high-kゲート誘電体層上に第1メタルゲート電極層を形成するステップと；第1ゲート誘電体層の側壁と第1ゲート電極層の側壁とに隣接する側壁保護層を、第1メタルゲート電極層上に堆積するステップと；側壁保護層の形成後に、第2ウェル領域上にチャネル領域層を形成するステップと；第1high-kゲート誘電体層とは異なるhigh-k誘電体を有する第2high-kゲート誘電体層を、チャネル領域層上に形成するステップと；第1メタルゲート電極層とは異なる第2メタルゲート電極層を、第2ゲート誘電体層上に形成するステップと；第1ウェル領域上に位置する第1high-kゲート誘電体層と第1メタルゲート電極層それぞれ部分を含む第1ゲートスタックを形成するステップと；チャネル領域上と第2ウェル領域上に位置する第2high-kゲート誘電体層と第2メタルゲート電極層それぞれの部分を含む第2ゲートスタックを形成するステップと；第1ゲートスタックを用いて、第1伝導型を有する第1デバイスを形成するステップと；第2ゲートスタックを用いて、第1伝導型とは異なる第2伝導型を有する第2デバイスを形成するステップであって、第2デバイスのチャネル領域は、チャネル領域層に位置することを含む。

【0017】

他の更なる実施形態の更なる実施例において、第1ゲートスタックと第2ゲートスタックを形成する前に、方法は更に、第1メタルゲート電極層と第2メタルゲート電極層とにそれぞれ物理的接触する伝導ゲート厚膜化層を、第1メタルゲート電極層上と第2メタルゲート電極層上に形成するステップを含む。

【0018】

他の更なる実施形態の他の更なる実施例において、チャネル領域層を形成するステップは、半導体層の半導体材料とは異なる半導体材料を成長させるステップを含む。

他の更なる実施形態の他の更なる実施例において、方法は更に、チャネル領域層を形成した後に、側壁保護層を除去するステップを含む。

【0019】

本発明は、特定の伝導型またはポテンシャルの極性に関して記載されているが、伝導型とポテンシャルの極性は、逆でも良いことを、当業者は理解する。

NMOSデバイスには第1メタルゲートが使用され、且つPMOSデバイスには第1メタルゲートとは異なる第2メタルゲートが使用されるデュアルメタルゲート集積化は、ポリシリコンゲートに関連する問題に取り込むべく使用されうる。デュアルメタルゲート集積化は、デバイスの各タイプ用に仕事関数が最適化されることを可能にする。また、デバイスの各チャネル領域に、互いに異なる材料を使用することを通じて、PMOSデバイスとNMOSデバイスの性能は、更に改善されうる。例えばNMOSデバイスは、チャネル領域が（シリコンのような）或る半導体材料に形成された場合に、良い性能となりうる。一方、PMOSデバイスは、NMOSデバイスの半導体材料とは異なる半導体材料（シリコンゲルマニウムのような）にチャネル領域が形成された場合に、より良い性能となりうる。したがって、以下に記述される一実施形態は、NMOSデバイスとPMOSデバイスの互いに異なるチャネル領域を可能にするデュアルメタルゲート集積化を含む。

【0020】

本発明は、例によって説明されるが、付随の図面によって制限されない。図面では、参照記号が同様の要素を示す。図面中の要素は、簡単と明瞭のために説明されるが、必ずしも縮尺通りではない。

【図面の簡単な説明】

【0021】

【図1】一実施形態にしたがって、半導体層13上の第1ゲート誘電体層26と、第1ゲ

10

20

30

40

50

ート誘電体層 2 6 上の第 1 ゲート電極層 2 8 とを有する半導体構造 1 0 の断面図を示す。

【図 2】一実施形態にしたがって、第 1 ゲート電極層 2 8 上に、パターン化された第 1 マスク層 3 4 を形成後の図 1 の半導体構造の断面図を示す。

【図 3】一実施形態にしたがって、第 1 ゲート電極層 2 8 と第 1 ゲート誘電体層 2 6 の露光部分を除去した後の、図 2 の半導体構造 1 0 の断面図を示す。

【図 4】一実施形態にしたがって、図 2 において形成されたパターン化された第 1 マスク層 3 4 上と半導体層 1 3 上に側壁保護層 3 6 を形成し、そして側壁保護層 3 6 上にパターン化された第 2 マスク層 3 8 を形成した後の、図 3 の半導体構造 1 0 の断面図を示す。

【図 5】一実施形態にしたがって、図 4 において形成されたパターン化された第 2 マスク層 3 8 を用いて、側壁保護層 3 6 をパターン化した後の、図 4 の半導体構造 1 0 の断面図を示す。

【図 6】一実施形態にしたがって、チャネル領域層 4 0 を形成した後の図 5 の半導体構造 1 0 の断面図を示す。

【図 7】一実施形態にしたがって、チャネル領域層 4 0 上と側壁保護層 3 6 上に第 2 ゲート誘電体層 4 2 を形成し、そして第 2 ゲート誘電体層 4 2 上に第 2 ゲート電極層 4 4 を形成した後の、図 6 の半導体構造 1 0 の断面図を示す。

【図 8】一実施形態にしたがって、図 7 において形成された第 2 ゲート電極層 4 4 上に、パターン化された第 3 マスク層 4 6 を形成した後の、図 7 の半導体構造 1 0 の断面図を示す。

【図 9】一実施形態にしたがって、図 7 において形成された第 2 ゲート電極層 4 4 と第 2 ゲート誘電体層 4 2 の一部を除去し、そして側壁保護層 3 6 を除去した後の、図 8 の半導体構造 1 0 の断面図を示す。

【図 10】一実施形態にしたがって、図 8 において形成されたパターン化された第 3 マスク層 4 6 を除去した後の、図 9 の半導体構造 1 0 の断面図を示す。

【図 11】一実施形態にしたがって、図 2 において形成されたパターン化された第 1 マスク層 3 4 を除去した後の、図 10 の半導体構造 1 0 の断面図を示す。

【図 12】一実施形態にしたがって、第 1 ゲート電極層 2 8 上と第 2 ゲート電極層 4 4 上にゲート厚膜化層 4 8 を形成し、そしてゲート厚膜化層 4 8 上に、パターン化された第 4 マスク層 5 0 を形成した後の、図 11 の半導体構造 1 0 の断面図を示す。

【図 13】一実施形態にしたがって、第 1 ゲートスタック 5 8 と第 2 ゲートスタック 6 6 を形成した後の、図 12 の半導体構造 1 0 の断面図を示す。

【図 14】一実施形態にしたがって、図 13 の第 1 ゲートスタック 5 8 と第 2 ゲートスタック 6 6 を備えた実質的に完全な半導体デバイス 6 8 、 7 0 を形成した後の、図 13 の半導体構造 1 0 の断面図を示す

【発明を実施するための形態】

【0 0 2 2】

図 1 は、半導体基板 1 2 を有する半導体構造 1 0 を示す。半導体基板 1 2 は、埋込酸化層 1 4 と、埋込酸化層 1 4 上の半導体層 1 3 とを有する。半導体層 1 3 は、N M O S デバイスを形成すべく使用されるN M O S ウェル領域 1 6 と、P M O S デバイスを形成すべく使用されるP M O S ウェル領域 1 8 とを有する。半導体層 1 3 はまた、N M O S ウェル領域 1 6 とP M O S ウェル領域 1 8 をそれぞれ孤立させる孤立領域 2 0 、 2 2 、 2 4 を有する。N M O S ウェル領域 1 6 とP M O S ウェル領域 1 8 のような各ウェル領域は、任意の数のデバイスを形成すべく使用されうることを記す。図示された実施形態において、半導体基板 1 2 は、S O I (s e m i c o n d u c t o r - o n - i n s u l a t o r) 基板として示される。S O I 基板には、半導体層 1 3 は埋込酸化層 1 4 の上に位置する。しかしながら、代替実施形態において、半導体基板 1 2 は、埋込酸化層 1 4 の上が存在しないバルク半導体基板になりうる。半導体層 1 3 は、任意の半導体材料を有しうる。一実施形態において、半導体層 1 3 は、シリコン層である。

【0 0 2 3】

半導体層 1 3 は、1 以上のN M O S デバイスが形成されるN M O S デバイス形成領域 3

10

20

30

40

50

0と、1以上のPMOSデバイスが形成されるPMOSデバイス形成領域32とを有する。

【0024】

NMOSデバイス形成領域30は、NMOSウェル領域16のような任意の数のNMOSウェル領域と、PMOSウェル領域18のような任意の数のPMOSウェル領域とを有してもよい。

【0025】

図1はまた、半導体層13上の第1ゲート誘電体層26と、第1ゲート誘電体層26上の第1ゲート電極層28とを示す。一実施形態において、第1ゲート誘電体層26は半導体層13上に堆積されたベタ膜であり、第1ゲート電極層28は、第1ゲート誘電体層26上に堆積されたベタ膜である。一実施形態において、第1ゲート誘電体層26は、例えば、ハフニウム酸化物またはハフニウムジルコニウム酸化物を有するhigh-k誘電体である（ここで使用されるように、high-kは、誘電率kが二酸化シリコンの誘電率よりも大きい誘電体を指す）。更に、第1ゲート誘電体層26は、酸化膜でキャップされたhigh-k誘電体層のような1以上の層を有しうる。一実施形態において、第1ゲート誘電体層26は、約1ナノメートルから約5ナノメートルの範囲の厚さを有しうる。一実施形態において、第1ゲート電極層28は、例えば、炭化タンタル、窒化タンタル、窒化チタンといった金属を有する。一実施形態において、第1ゲート電極層28は、約2ナノメートルから約10ナノメートルの範囲の厚さを有する。図示された実施形態において、第1ゲート誘電体層26と第1ゲート電極層28は、NMOSデバイス形成領域30にNMOSデバイスを形成すべく使用される。

【0026】

図2は、NMOSデバイス形成領域30において第1ゲート電極層28上にパターン化された第1マスク層34を形成した後の、半導体構造10を示す。一実施形態において、パターン化された第1マスク層34は、例えば、プラズマ援用（plasma enhanced）窒化物またはプラズマ援用酸化物を有するハードマスクである。代替的に、パターン化された第1マスク層34は、フォトレジストを有しうる。一実施形態において、従来のプロセスが、パターン化された第1マスク層34を形成すべく使用されてもよい。

【0027】

図3は、パターン化された第1マスク層34を用いて、第1ゲート電極層28と第1ゲート誘電体層26の露光部分を除去した後の、半導体構造10を示す。したがって、パターン化された第1マスク層34の使用を通じて、PMOSデバイス形成領域32の第1ゲート電極層28と第1ゲート誘電体層26のこれらの露光部分は、半導体層13のPMOSウェル領域18を露光すべく除去されることを記す。一実施形態において、従来のエッチングプロセスと化学物質が、第1ゲート電極層28と第1ゲート誘電体層26の露光部分を除去すべく使用されうる。

【0028】

図4は、パターン化された第1マスク層34上と半導体層13の露光部分上に、側壁保護層36を形成した後の、半導体構造10を示す。側壁保護層36は、パターン化された第1マスク層34上に形成され、且つ第1ゲート電極層28と第1ゲート誘電体層26の側壁に隣接して形成されることを記す。また、パターン化された第1マスク層34と、第1ゲート電極層28と、第1ゲート誘電体層26とは、図3に関連して記述されたこれらの層のエッチング中に露光されたことを記す。一実施形態において、側壁保護層36は、ベタ膜として堆積される。また、一実施形態において、側壁保護層36は、第1ゲート電極層28と第1ゲート誘電体層26の側壁に物理的接触する。一実施形態において、側壁保護層36は、例えば、約5ナノメートルから約10ナノメートルの範囲の厚さを有する、酸化層または窒化層でありうる。図4はまた、NMOSデバイス形成領域30において、側壁保護層36上に形成されたパターン化された第2マスク層38の形成を含む。一実施形態において、パターン化された第2マスク層38は、フォトレジストを有し、そしてパターン化された第2マスク層38は、従来のプロセスを用いて形成されうる。

10

20

30

40

50

【0029】

図5は、パターン化された第2マスク層38を用いて側壁保護層36の露光部分を除去した後の、半導体構造10である。したがって、パターン化された第2マスク層38の使用を通じて、PMOSデバイス形成領域32の側壁保護層36の露光部分は、半導体層13のPMOSウェル領域18を露光すべく除去されうることを記す。この間、NMOSデバイス形成領域30における第1ゲート電極層28と第1ゲート誘電体層26の側壁は覆われ、つまり保護されうることが可能となる。次に、パターン化された第2マスク層38は、図5に示されるように、除去されうる。一実施形態において、従来のプロセスが、側壁保護層36をエッチすべく、且つパターン化された第2マスク層38を除去すべく、使用されうる。

10

【0030】

図6は、PMOSデバイス形成領域32のPMOSウェル領域18上にチャネル領域層40を形成した後の、半導体構造10を示す。チャネル領域層40は、PMOSデバイスのチャネル領域を有する層である。したがって、チャネル領域層40は、半導体層13（またはNMOSウェル領域16）の半導体材料とは異なる半導体材料を有する層でありうる。この異なる半導体材料は、PMOSデバイスに、より適していてもよい。例えば、半導体材料は、歪み、バンドギャップ、移動度等に影響する材料、または、歪みとバンドギャップと移動度とのうちの任意の組み合わせに影響する材料でありうる。例えば、一実施形態において、チャネル領域層40は、シリコンと比較してPMOSデバイスの性能を改善するシリコンゲルマニウム層である。したがって、一実施形態において、チャネル領域層40はシリコンゲルマニウムでありうる一方、半導体層13のNMOSウェル領域16とPMOSウェル領域18は、シリコンでありうる。一実施形態において、シリコンゲルマニウムは、摂氏約550度から摂氏約700度の範囲の温度において、約2ナノメートルから約15ナノメートルの範囲の厚さにエピタキシャル成長され、約10から約50パーセント（原子パーセント）の範囲のゲルマニウム濃度を有する。チャネル領域層40を形成中に、第1ゲート電極層28と第1ゲート誘電体層26の側壁は、側壁保護層36によって保護されることを記す。例えば、チャネル領域層40が、側壁保護層36なしにエピタキシャル成長される場合、第1ゲート電極層28と第1ゲート誘電体層26の側壁は、チャネル領域層40の形成中に影響されうる。この側壁への影響は、NMOSデバイスの形成またはNMOSデバイスの性能に悪影響を与える。

20

【0031】

図7は、NMOSデバイス形成領域30における側壁保護層36上と、PMOSデバイス形成領域32におけるチャネル領域層40上とに第2ゲート誘電体層42を形成し、そして第2ゲート誘電体層42上にPMOSゲート電極44を形成した後の、半導体構造10を示す。一実施形態において、第2ゲート誘電体層42は、側壁保護層36と、半導体層13と、チャネル領域層40との上に堆積されたベタ膜であり、第2ゲート電極層44は、第2ゲート誘電体層42上に堆積されたベタ膜である。一実施形態において、第2ゲート誘電体層42は、例えば、ハフニウム酸化物またはハフニウムジルコニウム酸化物を有するhigh-kゲート誘電体である。（一実施形態において、第2ゲート誘電体層42は、第1ゲート誘電体層26とは異なるhigh-kを用いて形成されることを記す。）更に、第2ゲート誘電体層42は、酸化膜でキャップされたhigh-k層のような1以上の層を含みうる。一実施形態において、第2ゲート誘電体層42は、約1ナノメートルから約5ナノメートルの範囲の厚さを有しうる。一実施形態において、第2ゲート電極層44は、例えば、窒化モリブデン、ルテニウムといった金属を含みうる。また、一実施形態において、第2ゲート電極層44は、第1ゲート電極層28の金属とは異なる金属で形成される。一実施形態において、第2ゲート電極層44は、約2ナノメートルから約10ナノメートルの範囲の厚さを有する。図示された実施形態において、第2ゲート誘電体層42と第2ゲート電極層44は、PMOSデバイス形成領域32においてPMOSデバイスを形成すべく使用されることを記す。

40

【0032】

50

NMOSデバイス形成領域30は、第1デバイス領域と呼ばれうことと、そして同様に、NMOSウェル領域16は、第1ウェル領域と呼ばれうことと、そしてPMOSデバイス形成領域32は、第2デバイス領域と呼ばれうことと、そして同様に、PMOSウェル領域18は、第2ウェル領域と呼ばれうることとを記す。また、第1デバイス領域がPMOSデバイス形成領域に対応し、且つ第2デバイス領域は、NMOSデバイス形成領域に対応するように、極性が逆になりうることを記す。同様に、本実施形態において、第1ウェル領域は、PMOSウェル領域に対応し、第2ウェル領域は、NMOSウェル領域に対応する。また、この場合において、第1ゲート誘電体層26は、PMOSデバイスの形成に使用されるゲート誘電体層に対応し、第1ゲート電極層28は、PMOSデバイスの形成に使用されるゲート電極層に対応しうる。一方で、第2ゲート誘電体層42は、NMOSデバイスが形成デバイスの形成に使用されるゲート誘電体層に対応し、第2ゲート電極層44は、NMOSデバイスが形成デバイスの形成に使用されるゲート電極層に対応しうる。

【0033】

図8は、PMOSデバイス形成領域32における第2ゲート電極層44上に、パターン化された第3マスク層46を形成した後の、半導体構造10を示す。一実施形態において、パターン化された第3マスク層46は、フォトレジストを用いて形成される。一実施形態において、従来のプロセスが、パターン化された第3マスク層46を形成すべく使用されうる。

【0034】

図9は、パターン化された第3マスク層46を用いて、第2ゲート電極層44と、第2ゲート誘電体層42と、側壁保護層36との露光部分を除去した後の、半導体構造10を示す。したがって、パターン化された第3マスク層46の使用を通じて、NMOSデバイス形成領域30に第2ゲート電極層44と、第2ゲート誘電体層42と、側壁保護層36との露光部分がエッチされうることを記す。ここで、一実施形態において、パターン化された第1マスク層34は、エッティングのためのエッチストップ層として作用することを記す。一実施形態において、従来のエッティングが、第2ゲート電極層44と、第2ゲート誘電体層42と、側壁保護層36との露光部分を除去すべく使用されうる。

【0035】

図10は、パターン化された第3マスク層46を除去した後の、半導体構造10を示す。従来のプロセスが、パターン化された第3マスク層46を除去すべく使用されうる。

図11は、パターン化された第1マスク層34を除去した後の、半導体構造10を示す。一実施形態において、フッ酸のようなウェットエッチが、パターン化された第1マスク層34を除去すべく使用されうる（パターン化された第1マスク層34は、上記において議論したように、プラズマ援用（plasma enhanced）窒化物またはプラズマ援用酸化物である）。

【0036】

図12は、第1ゲート電極層28と第2ゲート電極層44上にゲート厚膜化層48を形成し、そしてゲート厚膜化層48上にパターン化された第4マスク層50を形成した後の、半導体構造10を示す。一実施形態において、ゲート厚膜化層48は、例えば、ポリシリコンのような伝導材料を有し、したがって、伝導ゲート厚膜化層と呼ばれうる。また、ゲート厚膜化層48は、伝導材料の1以上の層を含みうる。一実施形態において、ソースとドレイン注入が実施されるときにチャネル領域への注入を防ぐのに十分なほどゲートスタックが厚くなるように、ゲート厚膜化層48は、形成されるデバイスのゲートスタックを厚くする働きをする。代替の実施形態において、ゲート厚膜化層48は形成されなくてもよい。パターン化された第4マスク層50は、形成されるデバイスのゲートスタックに対応する場所を明示する。図示された実施形態において、パターン化された第4マスク層50は、NMOSデバイス形成領域30におけるゲートスタック位置と、PMOSデバイス形成領域32におけるゲートスタック位置とを明示する。一実施形態において、パターン化された第4マスク層50は、フォトレジストを含む。一実施形態において、従来のブ

10

20

30

40

50

口セスが、ゲート厚膜化層48とパターン化された第4マスク層50を形成すべく使用されうる。

【0037】

図13は、パターン化された第4マスク層50を用いて第1ゲートスタック58と第2ゲートスタック66を形成し、そしてパターン化された第4マスク層50を除去した後の、半導体構造10を示す。したがって、パターン化された第4マスク層50を用いて、ゲート厚膜化層48の露光部分は、NMOSデバイス形成領域30とPMOSデバイス形成領域32から除去され、第1ゲート電極層28と第1ゲート誘電体層26は、NMOSデバイス形成領域30から除去され、第2ゲート電極層44と第2ゲート誘電体層42の露光部分は、PMOSデバイス形成領域32から除去され、したがって、NMOSデバイス形成領域30における第1ゲートスタック58と、PMOSデバイス形成領域32における第2ゲートスタック66とをもたらす。図13の実施形態のエッチング中に、両方のゲート電極層（第1ゲート電極層28と第2ゲート電極層44）は同時にエッチングされることを記す。一実施形態において、従来のプロセスが、第1ゲートスタック58と、第2ゲートスタック66と、パターン化された第4マスク層50とを形成すべく使用されうる。

【0038】

図13に示すように、第1ゲートスタック58は、NMOSウェル領域16上の（第1ゲート誘電体層26から形成された）第1ゲート誘電体52と、第1ゲート誘電体52上の（第1ゲート電極層28から形成された）第1ゲート電極54と、第1ゲート電極54上の（ゲート厚膜化層48から形成された）第1ゲート厚膜化部56とを有する。第2ゲートスタック66は、チャネル領域層40上の（第2ゲート誘電体層42から形成された）第2ゲート誘電体60と、第2ゲート誘電体60上の（第2ゲート電極層44から形成された）第2ゲート電極62と、第2ゲート電極62上の（ゲート厚膜化層48から形成された）第2ゲート厚膜化部64とを有する。

【0039】

図14は、実質的に完成したNMOSデバイス68と、実質的に完成したPMOSデバイス70とを形成した後の、半導体構造10を示す。NMOSデバイス68は、NMOSデバイス形成領域30における第1ゲートスタック58を用いて形成され、PMOSデバイス70は、PMOSデバイス形成領域32における第2ゲートスタック66を用いて形成される。各デバイスでは、従来のプロセスが、スペーサとソース／ドレイン領域を形成すべく使用されうる。NMOSデバイス68のチャネル領域は、第1ゲート誘電体52の下の半導体層13のNMOSウェル領域16の部分に位置することと、且つNMOSデバイス68のソース領域とNMOSデバイス68のドレイン領域との間に形成されることを記す。しかしながら、PMOSデバイス70のチャネル領域は、半導体層13の部分に位置するのではなく、第2ゲート誘電体60の下のチャネル領域層40の部分に位置し、且つPMOSデバイス70のソース領域とPMOSデバイス70のドレイン領域との間に位置する。このように、NMOSデバイス68とPMOSデバイス70は、互いに異なるゲート電極を有し、チャネル領域に互いに異なる半導体材料を有しつつ形成されうる。したがって、NMOSデバイス68とPMOSデバイス70は、互いに異なるメタルゲート電極の選択と互いに異なるチャネル領域材料の選択を通じて、別々に最適化されうる。

【0040】

したがって、前もってパターン化された第1ゲート電極層28の露出された側壁と、すでにパターン化された第1ゲート誘電体層26の露出された側壁とに損傷を与えることなく、側壁保護層36の使用を通じてチャネル領域層40が形成されうることが理解されるであろう。更に、第1ゲート電極層28と第1ゲート誘電体層26が前もってパターン化されているため、メタルゲート電極層は、チャネル領域層40上のPMOSデバイス形成領域32から続いてエッチングされる必要がない。このように、チャネル領域層40の形成後に、上に位置するメタルゲート電極層の続いてのエッチングは必要ではない。この続いてのエッチングは、第2ゲート誘電体層42とチャネル領域層40のいずれにも損傷を

10

20

30

40

50

与えるおそれがある。したがって、本実施形態によれば、チャネル領域／ゲート誘電体界面に損傷を与えないデュアルメタルゲート集積化を可能にしつつ、デバイス領域32において形成されるデバイスの特定の型に、更に適切なチャネル領域層40が、（デバイスがPMOSであるかNMOSであるかにかかわらず）形成されうる。

【0041】

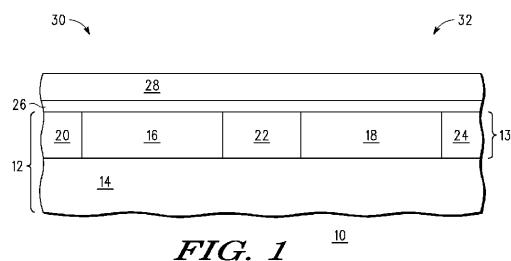
代替の実施形態において、チャネル領域層40のようなチャネル領域層は、PMOSデバイスが形成デバイスではなく、NMOSデバイスを形成するために使用されうることを記す。更に他の実施形態において、チャネル領域層40のようなチャネル領域層は、NMOSデバイスとPMOSデバイスの両方を形成するために使用されうる。例えば、チャネル領域層はまた、第1ゲート誘電体層26の形成前に、NMOSウェル領域16上に形成されうる。

10

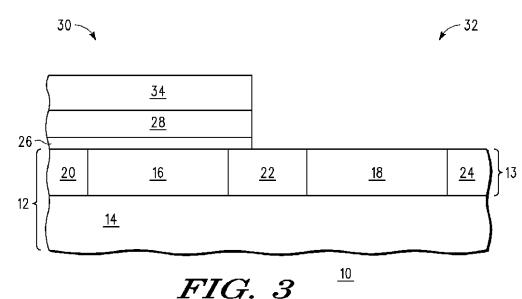
【0042】

本発明は、特定の実施形態に関連して記述されているが、以下の請求項に記載の本発明の範囲から逸脱することなく、様々な修正と様々な変化がなされうる。したがって、明細書と図面は、限定的な意味よりむしろ図示的な意味と見なされるべきである。そして、素全てのそのような修正は、本発明の範囲内に含まれるべく意図される。詳細な実施形態について、ここで記述されたいかなる利益、優位性、または問題に対する解は、重大な、必要とされる、または本質的な特徴として、または任意の要素として、または全ての請求項として、解釈されるよう意図されない。

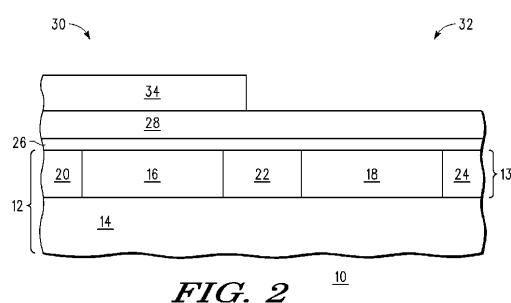
【図1】



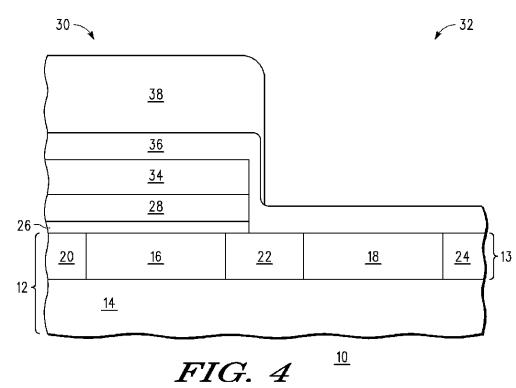
【図3】



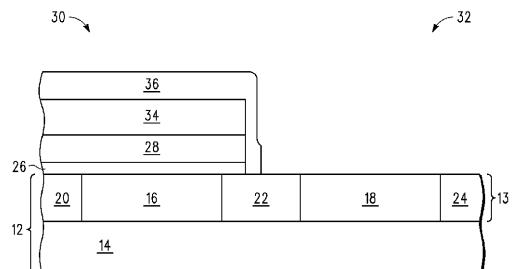
【図2】



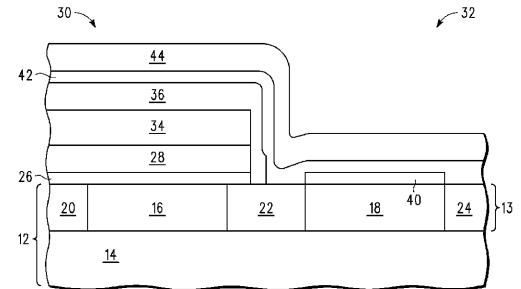
【図4】



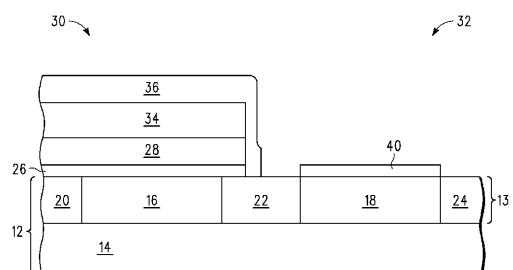
【図5】

FIG. 5 $\frac{10}{10}$

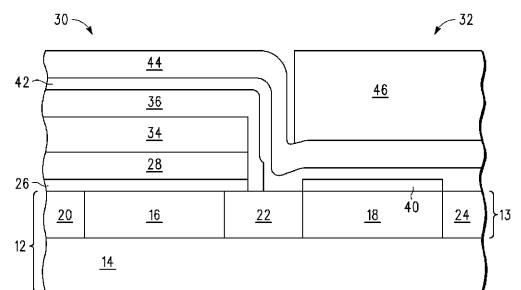
【図7】

FIG. 7 $\frac{10}{10}$

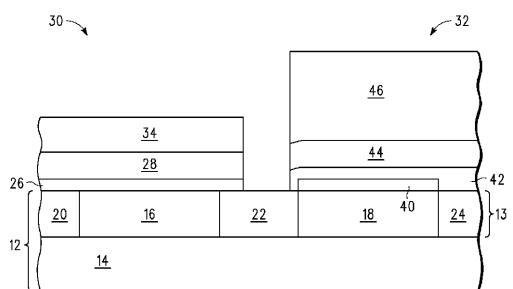
【図6】

FIG. 6 $\frac{10}{10}$

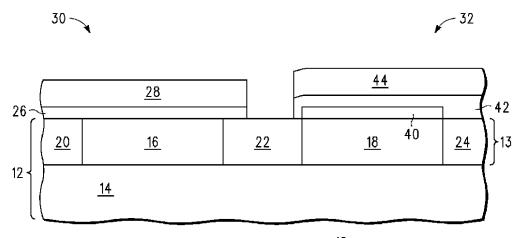
【図8】

FIG. 8 $\frac{10}{10}$

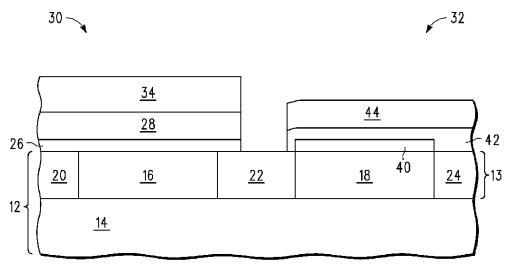
【図9】

FIG. 9 $\frac{10}{10}$

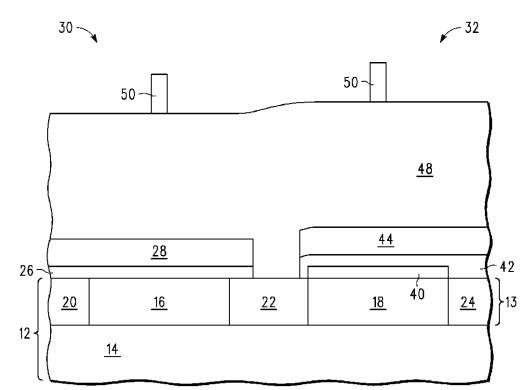
【図11】

FIG. 11 $\frac{10}{10}$

【図10】

FIG. 10 $\frac{10}{10}$

【図12】

FIG. 12 $\frac{10}{10}$

【図13】

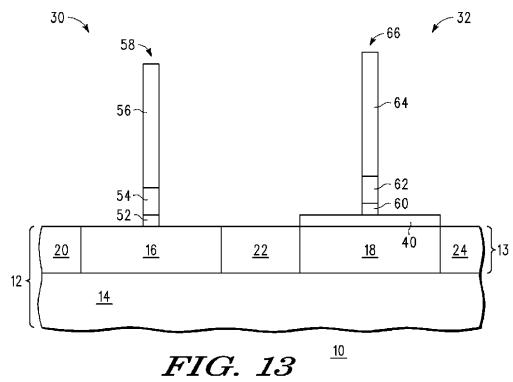


FIG. 13 10

【図14】

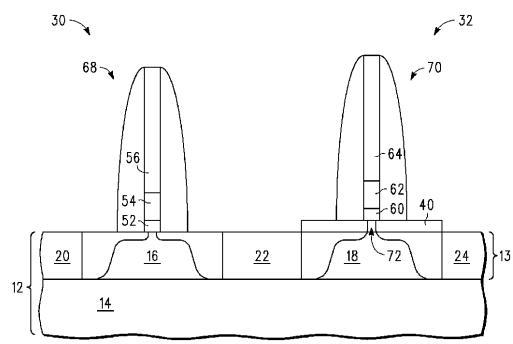


FIG. 14 10

フロントページの続き

(51)Int.Cl.

F I

H 01 L 29/78 617 T
H 01 L 29/78 618 E
H 01 L 29/78 618 A

(72)発明者 カパッソ、クリスチアーノ

アメリカ合衆国 78727 テキサス州 オースティン シンクリング レーン 12601

(72)発明者 サマベダム、スリカンス ビー.

アメリカ合衆国 12524 ニューヨーク州 フィッシュキル ストーニー ブルック ロード
117

(72)発明者 シーファー、ジェームズ ケイ.

アメリカ合衆国 12590 ニューヨーク州 ワピンジャーズ フォールズ アッシュ ロード
14

(72)発明者 テイラー、ウィリアム ジェイ. ジュニア

アメリカ合衆国 78681 テキサス州 ラウンド ロック シーダー ベンド ドライブ 1
905

審査官 安田 雅彦

(56)参考文献 特開2002-359295 (JP, A)

特開2007-088400 (JP, A)

米国特許出願公開第2007/0278590 (US, A1)

米国特許出願公開第2006/0084220 (US, A1)

(58)調査した分野(Int.Cl., DB名)

H 01 L 27/088

H 01 L 21/8234

H 01 L 29/786

H 01 L 21/336