(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2025-0054464
(43) 공개일자 2025년04월23일

(51) 국제특허분류(Int. Cl.)
H02M 7/483 (2007.01) *H02M 7/5387* (2007.01)
H02M 7/5395 (2006.01)
(52) CPC특허분류
H02M 7/483 (2023.05)
H02J 50/10 (2023.08)
(21) 출원번호 10-2023-0137743
(22) 출원일자 2023년10월16일
심사청구일자 2023년10월16일

(71) 출원인
고려대학교 산학협력단
서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)
(72) 발명자
이형민
서울특별시 성북구 길음로 16, 508동 1304호 (길음동, 길 음뉴타운)
이현수
서울특별시 동대문구 약령시로 12-1 (제기동) 401호
(74) 대리인
윤귀상

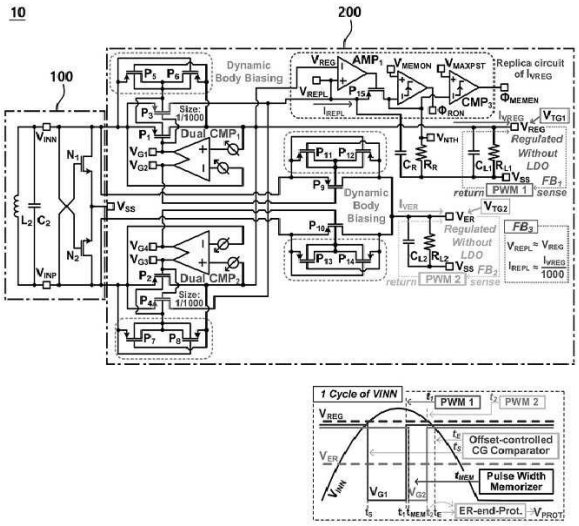
전체 청구항 수 : 총 6 항

(54) 발명의 명칭 **공진 조정 정류기**

(57) 요 약

본 발명은 공진 조정 정류기에 관한 것으로, 무선전력을 입력받는 입력부; 및 상기 수신된 무선전력의 전압 레벨을 제1 부하의 제1 요구전압과 제2 부하의 제2 요구전압에 따라 PWM 기반으로 조절 및 정류하여 제1 출력 트랜지스터를 통해 상기 제1 부하에 제1 타겟 전압을 인가하고, 제2 출력 트랜지스터를 통해 상기 제2 부하에 제2 타겟 전압을 인가하는 공진 조정 정류부를 포함한다. 이를 통해 전압 폭을 조절하는 PWM 방식에서 낭비되는 구간을 활용하여 다른 출력을 생성함으로써 낭비되는 에너지를 감소시킬 수 있다.

대 표 도 - 도4



(52) CPC특허분류
H02M 7/53873 (2013.01)
H02M 7/5395 (2013.01)

이 발명을 지원한 국가연구개발사업

과제고유번호	1415181687
과제번호	00154983
부처명	산업통상자원부
과제관리(전문)기관명	한국산업기술평가관리원
연구사업명	시장주도형 K-센서기술개발/시장선도를 위한 한국 주도형 K-Sensor 기술개발(R&D)
연구과제명	저전력 센서와 구동을 위한 자립형전원 센서 플랫폼 개발
기 여 율	1/1
과제수행기관명	고려대학교산학협력단
연구기간	2022.04.01 ~ 2024.12.31

명 세 서

청구범위

청구항 1

무선전력을 입력받는 입력부; 및

상기 무선전력의 전압 레벨을 제1 부하의 제1 요구전압과 제2 부하의 제2 요구전압에 따라 PWM 기반으로 조절 및 정류하여 제1 출력 트랜지스터를 통해 상기 제1 부하에 제1 타겟 전압을 인가하고, 제2 출력 트랜지스터를 통해 상기 제2 부하에 제2 타겟 전압을 인가하는 공진 조정 정류부를 포함하되,

상기 공진 조정 정류부는,

상기 전압 레벨이 상기 제1 요구전압보다 큰 구간 내에서 상기 제1 요구전압을 고려한 제1 게이트 신호를 상기 제1 출력 트랜지스터의 게이트 측에 인가하고, 상기 제2 요구 전압을 고려한 제2 게이트 신호를 상기 제2 출력 트랜지스터의 게이트 측에 인가하는 이중 출력 비교부를 포함하는, 공진 조정 정류기.

청구항 2

제1항에 있어서,

상기 이중 출력 비교부는,

상기 전압 레벨과 상기 제1 요구전압의 차로서, 상기 구간의 시점과 종점 정보를 포함하는 공통 게이트 전압신호를 출력하는 공통 게이트 비교기;

상기 제1 타겟 전압이 상기 제1 요구전압을 충족하게하는 상기 제1 게이트 신호의 종점 정보를 포함하는 제1 지연신호를 출력하는 제1 PWM;

상기 공통 게이트 전압신호와 상기 제1 지연신호에 따라 상기 제1 게이트 신호를 생성하는 제1 요구전압 드라이버;

상기 제2 타겟 전압이 상기 제2 요구전압을 충족하게하는 상기 제2 게이트 신호의 종점 정보를 포함하는 제2 지연신호를 출력하는 제2 PWM; 및

상기 제1 게이트 신호와 상기 제2 지연신호에 따라 상기 제2 게이트 신호를 생성하는 제2 요구전압 드라이버를 포함하는, 공진 조정 정류기.

청구항 3

제2항에 있어서,

상기 공진 조정 정류부는,

상기 제1 게이트 신호에 후속하는 제2 게이트 신호가 상기 구간 내에 존재하기 위한 임계지점 정보를 포함하는 상기 제1 게이트 신호의 종점 한계점 신호를 상기 제1 요구전압 드라이버에 전달하여 상기 제1 게이트 신호의 펄스폭을 제한하는 제1 펄스폭 제한부와,

상기 제2 지연신호와 공통 게이트 전압신호를 입력받아 상기 제2 요구전압을 충족하게 하는 지점과 상기 구간의 종점 정보를 포함하는 상기 제2 게이트 신호의 종점 한계점 신호를 상기 제2 요구전압 드라이버에 전달하여 상기 제2 게이트 신호의 펄스폭을 제한하는 제2 펄스폭 제한부를 더 포함하는, 공진 조정 정류기

청구항 4

제3항에 있어서,

상기 제1 요구전압 드라이버는,

상기 공통 게이트 전압 신호를 입력받아 상기 구간의 시점에서 하강 에지를 발생시키고,

상기 제1 지연 신호와 상기 제1 게이트 신호의 종점 한계점 신호 중 앞선 지점을 가리키는 신호를 선택하고, 상기 선택된 신호에 대응하는 지점에서 상승 에지를 발생시켜 상기 제1 게이트 신호를 생성하는, 공진 조정 정류기.

청구항 5

제3항에 있어서,

상기 제2 요구전압 드라이버는,

상기 제1 게이트 신호를 입력받아 상기 제1 게이트 신호의 종점에서 하강 에지를 발생시키고,

상기 제2 게이트 신호의 종점 한계점 신호를 입력받아 상기 제2 요구전압을 충족하게 하는 지점과 상기 구간의 종점 중 앞선 지점에서 상승 에지를 발생시켜 상기 제2 게이트 신호를 생성하는, 공진 조정 정류기.

청구항 6

제3항에 있어서,

상기 제1 펄스폭 제한부는,

상기 제1 출력 트랜지스터와 병렬 연결되어 상기 제1 출력 트랜지스터에 흐르는 전류를 복사하는 복사 트랜지스터와. 상기 복사 트랜지스터의 드레인 전류를 전압값으로 변환하는 전류-전압 컨버터를 포함하여 상기 변환된 전압값이 임계치를 넘으면 이를 알리는 신호를 출력하는 전류 복사기와,

상기 공통 게이트 전압을 상기 구간의 시점에서부터 일정 딜레이 단위만큼 딜레이시키는 딜레이 라인과, 상기 제1 게이트 신호의 폭을 상기 딜레이 단위를 기준으로 디지털 값으로 변환하는 제1 D 플립플롭그룹과, 상기 변환된 디지털 값을 업데이트하는 제2 D 플립플롭그룹을 포함하여 상기 전류 복사기로부터 신호가 수신되면 상기 디지털 값을 잠금하여 잠금된 시점의 전압폭을 상기 임계지점 정보로 기억하는 전압폭 저장장치를 포함하는 공진 조정 정류기.

발명의 설명

기 술 분 야

[0001] 본 발명은 무선 전송 전력의 수신량을 증가시킬 수 있는 공진 조정 정류기에 관한 것이다.

배 경 기 술

[0002] 전자기기에 유선으로 전력을 공급하는 기술 대신 무선으로 전력을 공급하는 무선전력 전송인 WPT (Wireless power transfer)로 전력을 공급하는 기술이 대두되고 있다.

[0003] WPT 시스템은 송신단과 수신단에서 코일의 자기장 변화를 통해 전력을 주고받는다. 수신단은 대게 2단 구조 형태로 AC-DC 정류기(rectifier)와 DC-DC 컨버터(converter)로 이루어져있다.

[0004] AC-DC 정류기는 AC 전압(VINN)을 DC 전압(VREC)으로 바꾸는데, 이때 VREC은 피드백을 통해 목표로 하는 전압값으로 설정되는 게 아니라 코일 간의 거리, 각도, 로드(RL)에 따라 변한다.

[0005] 따라서 뒷단에 DC-DC 컨버터가 필수적으로 필요하며, 이러한 DC-DC 컨버터는 피드백(feedback)을 통해 불안정한 DC 전압(VREC)을 안정적이고 목표로 하는 DC 전압(VREG)으로 전환한다.

[0006] 이러한 2단 구조의 시스템은 2개의 구조를 거치기 때문에 로드(RL)로 가는 전력/정류기로 입력되는 AC 전력으로 산출되는 전력 변환 효율(power conversion efficiency)이 낮다는 단점이 있다.

[0007] 또한 DC 전압(VREC)/AC 전압(VINN) 최댓값으로 산출되는 전압 변환율(voltage conversion ratio)이 낮다는 단점과 함께 2단 구조이기 때문에 칩 사이즈가 크다는 단점이 있다.

[0008] 이에 2단 구조 형태를 1단 구조 형태로 감소시킨 공진 조정 정류기가 제안되었다. 도 1은 종래의 전압 폭 조절 기술(이하 PWM, Pulse Width Modulation)을 적용한 공진 조정 정류기를 설명하기 위한 도면이다. 이러한 1단 구조의 공진 조정 정류기는 AC 전압(VINN)을 DC 전압(VREG)로 변환할 때, 안정적이고 목표로 하는 DC 전압으로 변환하기 위해 도 1에 도시된 바와 같이 PWM 기술을 적용하였다. 도 1에서 VTG는 목표로 하는 DC 전압을 의미할

수 있다.

[0009] 즉, PWM 기술은 VREG와 목표 전압인 VTG를 비교하여 펄스폭 신호인 게이트 전압(V_{G1})의 길이를 조절함으로써 DC 전압(VREG)과 목표 전압(VTG)을 동일하게 하는 기술이다.

[0010] 도 2는 종래의 PWM 기술을 적용한 1단 구조의 공진 조정 정류기의 단점을 설명하기 위한 도면이다. 종래의 PWM 기술은 도 2에 도시된 바와 같이 게이트 전압(V_{G1})이 DC 전압(VREG)으로 전력을 전달하는 구간 외에 존재하는 AC 전압(VINN)이 DC 전압(VREG)보다 큰 구간에서의 전력이 L2C2 공진단의 기생 저항(ESR, Equivalent Series Resistor)에서 열로 전환되어 발열 이슈(Heat issue)를 발생시키고, 기존 PWM에서 낭비되는 구간(Energy Waste)이 발생한다는 문제가 있다.

[0011] 따라서 종래의 PWM 기술에서 낭비되는 구간을 활용할 필요가 있다.

선행기술문헌

특허문헌

[0012] (특허문헌 0001) 한국공개특허공보 제10-2013-0132624호

발명의 내용

해결하려는 과제

[0013] 본 발명은 상기와 같은 문제를 해결하기 위해 안출된 것으로, 본 발명의 목적은 전압 폭을 조절하는 PWM 방식에서 낭비되는 구간을 활용하여 다른 출력을 생성함으로써 낭비되는 에너지를 감소시킬 수 있는 공진 조정 정류기를 제공하는 것이다.

과제의 해결 수단

[0014] 상기 목적을 달성하기 위한 본 발명의 일 실시예에 따른 공진 조정 정류기는, 무선전력을 입력받는 입력부; 및 상기 수신된 무선전력의 전압 레벨을 제1 부하의 제1 요구전압과 제2 부하의 제2 요구전압에 따라 PWM 기반으로 조절 및 정류하여 제1 출력 트랜지스터를 통해 상기 제1 부하에 제1 타겟 전압을 인가하고, 제2 출력 트랜지스터를 통해 상기 제2 부하에 제2 타겟 전압을 인가하는 공진 조정 정류부를 포함하되, 상기 공진 조정 정류부는, 상기 전압 레벨이 상기 제1 요구전압보다 큰 구간 내에서 상기 제1 요구전압을 고려한 제1 게이트 신호를 상기 제1 출력 트랜지스터의 게이트 측에 인가하고, 상기 제2 요구 전압을 고려한 제2 게이트 신호를 상기 제2 출력 트랜지스터의 게이트 측에 인가하는 이중 출력 비교부를 포함한다.

[0015] 그리고 상기 이중 출력 비교부는, 상기 전압 레벨과 상기 제1 요구전압의 차로서, 상기 구간의 시점과 종점 정보를 포함하는 공통 게이트 전압신호를 출력하는 공통 게이트 비교기; 상기 제1 타겟 전압이 상기 제1 요구전압을 충족하게하는 상기 제1 게이트 신호의 종점 정보를 포함하는 제1 지연신호를 출력하는 제1 PWM; 상기 공통 게이트 전압신호와 상기 제1 지연신호에 따라 상기 제1 게이트 신호를 생성하는 제1 요구전압 드라이버; 상기 제2 타겟 전압이 상기 제2 요구전압을 충족하게하는 상기 제2 게이트 신호의 종점 정보를 포함하는 제2 지연신호를 출력하는 제2 PWM; 및 상기 제1 게이트 신호와 상기 제2 지연신호에 따라 상기 제2 게이트 신호를 생성하는 제2 요구전압 드라이버를 포함할 수 있다.

[0016] 또한 상기 공진 조정 정류부는, 상기 제1 게이트 신호에 후속하는 제2 게이트 신호가 상기 구간 내에 존재하기 위한 임계지점 정보를 포함하는 상기 제1 게이트 신호의 종점 한계점 신호를 상기 제1 요구전압 드라이버에 전달하여 상기 제1 게이트 신호의 펄스폭을 제한하는 제1 펄스폭 제한부와, 상기 제2 지연신호와 공통 게이트 전압신호를 입력받아 상기 제2 요구전압을 충족하게 하는 지점과 상기 구간의 종점 정보를 포함하는 상기 제2 게이트 신호의 종점 한계점 신호를 상기 제2 요구전압 드라이버에 전달하여 상기 제2 게이트 신호의 펄스폭을 제한하는 제2 펄스폭 제한부를 더 포함할 수 있다.

[0017] 그리고 상기 제1 요구전압 드라이버는, 상기 공통 게이트 전압 신호를 입력받아 상기 구간의 시점에서 하강 에지를 발생시키고, 상기 제1 지연 신호와 상기 제1 게이트 신호의 종점 한계점 신호 중 앞선 지점을 가리키는 신호를 선택하고, 상기 선택된 신호에 대응하는 지점에서 상승 에지를 발생시켜 상기 제1 게이트 신호를 생성할

수 있다.

[0018] 또한 상기 제2 요구전압 드라이버는, 상기 제1 게이트 신호를 입력받아 상기 제1 게이트 신호의 종점에서 하강 에지를 발생시키고, 상기 제2 게이트 신호의 종점 한계점 신호를 입력받아 상기 제2 요구전압을 충족하게 하는 지점과 상기 구간의 종점 중 앞선 지점에서 상승 에지를 발생시켜 상기 제2 게이트 신호를 생성할 수 있다.

[0019] 그리고 상기 제1 펄스폭 제한부는, 상기 제1 출력 트랜지스터와 병렬 연결되어 상기 제1 출력 트랜지스터에 흐르는 전류를 복사하는 복사 트랜지스터와. 상기 복사 트랜지스터의 드레인 전류를 전압값으로 변환하는 전류-전압 컨버터를 포함하여 상기 변환된 전압값이 임계치를 넘으면 이를 알리는 신호를 출력하는 전류 복사기와, 상기 공통 게이트 전압을 상기 구간의 시점에서부터 일정 딜레이 단위만큼 딜레이시키는 딜레이 라인과, 상기 제1 게이트 신호의 폭을 상기 딜레이 단위를 기준으로 디지털 값으로 변환하는 제1 D 플립플롭그룹과, 상기 변환된 디지털 값을 업데이트하는 제2 D 플립플롭그룹을 포함하여 상기 전류 복사기로부터 신호가 수신되면 상기 디지털 값을 잠금하여 잠금된 시점의 전압폭을 상기 임계지점 정보로 기억하는 전압폭 저장장치를 포함할 수 있다.

발명의 효과

[0020] 상술한 본 발명의 일측면에 따르면, 공진 조정 정류기를 제공함으로써, 전압 폭을 조절하는 PWM 방식에서 낭비되는 구간을 활용하여 다른 출력을 생성함으로써 낭비되는 에너지를 감소시킬 수 있다.

도면의 간단한 설명

[0021] 도 1은 종래의 전압 폭 조절 기술을 적용한 공진 조정 정류기를 설명하기 위한 도면,

도 2는 종래의 PWM 기술을 적용한 1단 구조의 공진 조정 정류기의 단점을 설명하기 위한 도면,

도 3은 본 발명의 일 실시예에 따른 공진 조정 정류기를 종래의 PWM 기술과 대비하여 설명하기 위한 도면,

도 4는 본 발명의 일 실시예에 따른 공진 조정 정류기를 설명하기 위한 회로도,

도 5는 본 발명의 일 실시예에 따른 이중 출력 비교부를 설명하기 위한 회로도,

도 6은 본 발명의 일 실시예에 따른 전류 복사기를 설명하기 위한 회로도,

도 7은 본 발명의 일 실시예에 따른 전압폭 저장장치를 설명하기 위한 회로도 및 타이밍도, 그리고,

도 8은 본 발명의 일 실시예에 따른 제2 펄스폭 제한부를 구체적으로 설명하기 위한 회로도 및 타이밍도이다.

발명을 실시하기 위한 구체적인 내용

[0022] 후술하는 본 발명에 대한 상세한 설명은, 본 발명이 실시될 수 있는 특정 실시예를 예시로서 도시하는 첨부 도면을 참조한다. 이들 실시예는 당업자가 본 발명을 실시할 수 있기에 충분하도록 상세히 설명된다. 본 발명의 다양한 실시예는 서로 다르지만 상호 배타적일 필요는 없음이 이해되어야 한다. 예를 들어, 여기에 기재되어 있는 특정 형상, 구조 및 특성은 일 실시예와 관련하여 본 발명의 정신 및 범위를 벗어나지 않으면서 다른 실시예로 구현될 수 있다. 또한, 각각의 개시된 실시예 내의 개별 구성요소의 위치 또는 배치는 본 발명의 정신 및 범위를 벗어나지 않으면서 변경될 수 있음이 이해되어야 한다. 따라서, 후술하는 상세한 설명은 한정적인 의미로서 취하려는 것이 아니며, 본 발명의 범위는, 적절하게 설명된다면, 그 청구항들이 주장하는 것과 균등한 모든 범위와 더불어 첨부된 청구항에 의해서만 한정된다. 도면에서 유사한 참조부호는 여러 측면에 걸쳐서 동일하거나 유사한 기능을 지칭한다.

[0023] 본 발명에 따른 구성요소들은 물리적인 구분이 아니라 기능적인 구분에 의해서 정의되는 구성요소들로써 각각이 수행하는 기능들에 의해서 정의될 수 있다. 각각의 구성요소들은 하드웨어 또는 각각의 기능을 수행하는 프로그램 코드 및 프로세싱 유닛으로 구현될 수 있을 것이며, 두 개 이상의 구성요소의 기능이 하나의 구성요소에 포함되어 구현될 수도 있을 것이다. 따라서 이하의 실시예에서 구성요소에 부여되는 명칭은 각각의 구성요소를 물리적으로 구분하기 위한 것이 아니라 각각의 구성요소가 수행되는 대표적인 기능을 암시하기 위해서 부여된 것이며, 구성요소의 명칭에 의해서 본 발명의 기술적 사상이 한정되지 않는 것임에 유의하여야 한다.

[0024] 이하에서는 도면들을 참조하여 본 발명의 바람직한 실시예들을 보다 상세하게 설명하기로 한다.

[0025] 도 3은 본 발명의 일 실시예에 따른 공진 조정 정류기를 종래의 PWM 기술과 대비하여 설명하기 위한 도면, 도 4는 본 발명의 일 실시예에 따른 공진 조정 정류기(10)를 설명하기 위한 회로도이다.

[0026] 본 실시예에 따른 공진 조정 정류기(10)는 도 3에 도시된 바와 같이 기존 PWM 에서 낭비되는 구간을 최대한 활용하여 다른 출력을 추가로 생성함으로써 낭비되는 에너지를 감소시키기 위해 마련된다.

[0027] 이를 위해 본 실시예에 따른 공진 조정 정류기(10)는 입력부(100) 및 공진 조정 정류부(200)를 포함할 수 있다.

[0028] 입력부(100)는 무선 전력을 입력받기 위해 마련된다.

[0029] 입력부(100)는 수신한 무선 전력, 즉 AC 전압(V_{INN}, V_{INP})을 크로스-커플(Cross-coupled) 구조(N1, N2)가 반파장으로 변경할 수 있다.

[0030] 공진 조정 정류부(200)는 입력부(100)로부터 수신된 무선전력의 전압 레벨(V_{INN})을 조절 및 정류하여 전압을 부하에 인가하기 위해 마련될 수 있다.

[0031] 구체적으로 본 실시예에 따른 공진 조정 정류부(200)는 제1 부하의 제1 요구전압(V_{REG})과 제2 부하의 제2 요구전압(VER)에 따라 PWM 기반으로 무선전력의 전압 레벨을 조절 및 정류하여 제1 출력 트랜지스터(P_1)를 통해 제1 부하에 제1 타겟 전압(V_{TG1})을 인가하고, 제2 출력 트랜지스터(P_9)를 통해 상기 제2 부하에 제2 타겟 전압(V_{TG2})을 인가할 수 있다.

[0032] 도 5는 본 발명의 일 실시예에 따른 이중 출력 비교부(210)를 설명하기 위한 회로도로, 도 5에 도시된 바와 같이 공진 조정 정류부(200)는 이중 출력 비교부((Dual output comparator)(210), 제1 펄스폭 제한부(230) 및 제2 펄스폭 제한부(250)를 포함할 수 있다.

[0033] 본 실시예에 따른 공진 조정 정류부(200)는 도 3에서 낭비되는 구간에서 다른 출력을 생성시키기 위해 2개의 출력을 생성한다. 따라서 공진 조정 정류부(200)는 2개의 출력을 조정하기 위해 2개의 펄스폭 신호, 즉 제1 게이트 신호(V_{G1}) 및 제2 게이트 신호(V_{G2})가 필요하다.

[0034] 본 실시예에 따른 이중 출력 비교부(210)는 이러한 제1 및 제2 게이트 신호(V_{G1}, VG2)를 발생시키기 위해 마련된다.

[0035] 이러한 이중 출력 비교부(210)는 전압 레벨(V_{INN})이 제1 요구전압(V_{TG1})보다 큰 구간 내에서 제1 요구전압(V_{REG})을 고려한 제1 게이트 신호(V_{G1})를 제1 출력 트랜지스터(P_1)의 게이트 측에 인가할 수 있다.

[0036] 그리고 이중 출력 비교부(210)는 전압 레벨(V_{INN})이 제1 요구전압(V_{REG})보다 큰 구간 내에서 제2 요구 전압(V_{ER})을 고려한 제2 게이트 신호(V_{G2})를 제2 출력 트랜지스터(P_9)의 게이트 측에 인가할 수 있다.

[0037] 이를 위해 이중 출력 비교부(210)는 공통 게이트 비교기(Offset Controlled CG(common gate) Comparator)(211), 제1 PWM(Pulse Width Mod.1)(213), 제1 요구전압 드라이버(VREG Driver)(215), 제2 PWM(Pulse Width Mod.2)(217) 및 제2 요구전압 드라이버(VER Driver)(219)를 포함한다.

[0038] 공통 게이트 비교기(211)는 도 4에 도시된 전압 레벨의 한 사이클(1 Cycle of VINN)과 같이 전압 레벨(V_{INN})과 제1 요구전압(V_{REG})의 차로서, 구간의 시점(T_S)과 종점(T_E) 정보를 포함하는 공통 게이트 전압신호(V_{CG})를 출력할 수 있다.

[0039] 이러한 공통 게이트 비교기(211)는 구간의 시점(Ts)에서는 하강(fall), 구간의 종점(t_E)에서는 상승(rise)하는 공통 게이트 전압신호(V_{CG})를 출력하기 때문에, 공통 게이트 전압신호(V_{CG})는 구간의 시점(t_S)과 종점(t_E)의 정보를 포함할 수 있다.

[0040] 일반적으로 2개의 출력을 내기 위해서는 두 쌍의 오프셋 조절 공통-게이트 비교기를 사용하는 기존 시스템과는 달리, 본 실시예에 따른 이중 출력 비교부(210)는 한 쌍의 공통 게이트 비교기(211)만을 사용하여 소요되는 전력소모를 감소시킬 수 있다.

[0041] 한편 제1 PWM(213)은 제1 타겟 전압(V_{TG1})이 제1 요구전압(V_{REG})을 충족하게하는 제1 게이트 신호(V_{G1})의 종점(t_1) 정보를 포함하는 제1 지연신호(V_{E1})를 출력할 수 있다.

[0042] 이를 위해 본 실시예에 따른 제1 PWM(213)은 제1 타겟 전압(V_{TG1})과 제1 요구전압(V_{REG}), 그리고 구간의 시점(t_S)

정보를 포함하는 공통 게이트 전압신호(V_{CG})을 함께 입력받을 수 있다.

[0043] 그리고 제1 PWM(213)은 제1 요구전압(V_{REG})과 제1 타겟 전압(V_{TG1})이 동일해지도록 하는 제1 게이트 신호(V_{G1})의 종점(t1)만큼 공통 게이트 전압신호(V_{CG})를 미뤄 종점(t1)에서 하강하는 지연신호(V_{E1})을 출력한다.

[0044] 한편 제1 요구전압 드라이버(215)는, 공통 게이트 전압신호(V_{CG})와 제1 지연신호(V_{E1})에 따라 제1 게이트 신호(V_{G1})를 생성할 수 있다.

[0045] 이러한 제1 요구전압 드라이버(215)는 공통 게이트 전압신호(V_{CG})를 입력받아 구간의 시점(t_S)에서 하강 에지(STR)를 발생시킬 수 있다.

[0046] 그리고 제1 요구전압 드라이버(215)는 제1 지연 신호(V_{E1})와 제1 게이트 신호(V_{G1})의 종점 한계점 신호(Φ_{PWMEM}) 중 앞선 지점을 가리키는 신호를 선택(MUX)할 수 있다. 이를 위해 제1 요구전압 드라이버(215)는 제1 펄스폭 제한부(230)로부터 제1 게이트 신호(V_{G1})의 종점 한계점 신호(Φ_{PWMEM})를 전달받을 수 있다. 이때 제1 게이트 신호(V_{G1})의 종점 한계점 신호(Φ_{PWMEM})는 제1 게이트 신호(V_{G1})의 최대값을 의미할 수 있다.

[0047] 또한 제1 요구전압 드라이버(215)는 선택된 신호에 대응하는 지점에서 상승 에지(END)를 발생시켜 제1 게이트 신호(V_{G1})를 생성할 수 있다.

[0048] 한편 제2 PWM(217)은 제2 타겟 전압(V_{TG2})이 제2 요구전압(V_{ER})과 동일해지도록 하는 제2 게이트 신호(V_{G2})의 종점(t_2) 정보를 포함하는 제2 지연신호(V_{E2})를 출력할 수 있다.

[0049] 본 실시예에 따른 제2 PWM(217)은 제2 타겟 전압(V_{TG2})와 제2 요구 전압(V_{ER})과 함께 제1 게이트 신호(V_{G1})의 종점(t_1) 정보를 포함하는 제1 지연신호(V_{E1})를 입력받을 수 있다.

[0050] 그리고 제2 PWM(217)은 제2 게이트 신호(V_{G2})의 종점(t_2)에서 제1 게이트 신호(V_{G1})의 종점(t_1)을 뺀 만큼 제1 지연신호(V_{E1})를 미뤄 제2 게이트 신호(V_{G2})의 종점(t_2)에서 하강하는 제2 지연신호(V_{E2})를 출력할 수 있다.

[0051] 한편 제2 요구전압 드라이버(219)는 제1 게이트 신호(V_{G1})와 제2 지연신호(V_{E2})에 따라 제2 게이트 신호(V_{G2})를 생성할 수 있다.

[0052] 이러한 제2 요구전압 드라이버(219)는 제1 게이트 신호(V_{G1})를 입력받아 제1 게이트 신호(V_{G1})의 종점(t_1)에서 하강 에지(STR)를 발생시킬 수 있다.

[0053] 그리고 제2 요구전압 드라이버(219)는 제2 펄스폭 제한부(250)로부터 제2 게이트 신호((V_{G2})의 종점 한계점 신호(t_2)를 입력받아 제2 요구전압(V_{ER})을 충족하게 하는 지점과 구간의 종점(t_E) 중 앞선 지점에서 상승 에지(END)를 발생시켜 제2 게이트 신호(V_{G2})를 생성할 수 있다.

[0054] 이러한 제2 요구전압 드라이버(219)는 후술할 도 8에서 제2 펄스폭 제한부(250)와 함께 구체적으로 설명하기로 한다.

[0055] 한편 본 실시예에 따라 인가되는 제1 게이트 신호(V_{G1})의 펄스폭이 너무 길면 제2 게이트 신호(V_{G2})가 존재할 공간이 없어지게 되고, 반대로 제2 게이트 신호(V_{G2})의 펄스폭이 너무 길어 전압 레벨(V_{INN})과 DC 전압(V_{REC})가 동일한 시점을 초과하면 역전류(Back current)가 발생하게 된다.

[0056] 따라서 제1 게이트 신호(V_{G1}) 및 제2 게이트 신호(V_{G2})의 펄스폭 최댓값을 각각 제어할 장치가 필요하며, 이러한 펄스폭 최댓값을 제어하기 위해 본 실시예에 따른 공진 조정 정류부(200)는 제1 펄스폭 제한부(230)와 제2 펄스폭 제한부(250)를 포함할 수 있다.

[0057] 한편 제1 펄스폭 제한부(230)는 제1 게이트 신호(V_{G1})에 후속하는 제2 게이트 신호(V_{G2})가 구간(t_S-t_E) 내에 존재하기 위한 임계지점(T_{mem}) 정보를 포함하는 제1 게이트 신호(V_{G1})의 종점 한계점 신호(Φ_{PWMEM})를 제1 요구전압

드라이버(215)에 전달하여 제1 게이트 신호(V_{G1})의 펄스폭을 제한할 수 있다.

[0058] 이를 위해 제1 펄스폭 제한부(230)는 전류 복사기(Replica circuit of I_{VREG})(231) 및 전압폭 저장장치(233)를 포함한다.

[0059] 도 6은 본 발명의 일 실시예에 따른 전류 복사기(231)를 설명하기 위한 회로도이다.

[0060] 본 실시예에 따른 전류 복사기(231)는 복사 트랜지스터(P_3) 및 전류-전압 컨버터(Cur-Vol Converter)를 포함할 수 있다.

[0061] 먼저 복사 트랜지스터(P_3)는 제1 출력 트랜지스터(P_1)와 병렬 연결되어 제1 출력 트랜지스터(P_1)에 흐르는 전류를 복사할 수 있다.

[0062] 예컨대 복사 트랜지스터(P_3)는 제1 출력 트랜지스터(P_1)의 1000분의 1 크기만큼의 전류를 복사하기 위해 제1 출력 트랜지스터(P_1)의 1000분의 1 만큼의 사이즈를 가지도록 할 수 있다.

[0063] 한편 전류-전압 컨버터(Cur-Vol Converter)는 복사 트랜지스터(P_3)의 드레인 전류를 전압값 V_{NTH}으로 변환할 수 있다.

[0064] 즉 전류-전압 컨버터(Cur-Vol Converter)는 복사 트랜지스터(P_3)에서 복사한 전류값의 해석을 용이하게 하기 위해 전압값인 V_{NTH}으로 변환하는 것일 수 있다.

[0065] 이러한 구성을 통해 전류 복사기(231)는 변환된 전압값이 임계치를 넘으면 이를 알리는 신호를 출력할 수 있다.

[0066] 보다 구체적으로 전류 복사기(231)는 도 6에 도시된 바와 같이 첫번째 출력(R_{L1})으로 흘러가는 전류를 1/N만큼 복사해서 전압값 V_{NTH}을 생성할 수 있다.

[0067] 그리고 전류 복사기(231)는 생성된 전압값 V_{NTH}을 이용해 첫번째 출력(R_{L1})으로 흘러가는 전력이 특정 지정된 전력(예컨대 100mW)에 도달되면, Φ_{MEMEM} 신호가 0에서 1로 바뀌어 전압폭 저장장치(233)로 현재 제1 게이트 신호(V_{G1})의 전압폭을 기억하라는 명령을 전달할 수 있다.

[0068] 따라서 현재 파악하고 있던 제1 게이트 신호(V_{G1})의 종점(t1)-구간의 시점(t_S)의 차이값을 고정하여 앞으로 제1 게이트 신호(V_{G1})의 길이는 더 이상 변경하지 말고 구간의 시점(t_S)에서 하강을, 제1 게이트 신호(V_{G1})의 종점(t1)에서 상승하도록 고정할 수 있다.

[0069] 도 7은 본 발명의 일 실시예에 따른 전압폭 저장장치(233)를 설명하기 위한 회로도 및 타이밍도이다.

[0070] 본 실시예에 따른 전압폭 저장장치(233)는 이중 출력 비교부(210)에 구비될 수도 있으며, 전류 복사기(231)를 활용하여 제1 게이트 신호(V_{G1})의 전압폭 길이를 잠금하고 기억하기 위해 마련된다.

[0071] 이러한 전압폭 저장장치(233)는 딜레이 라인(Delay Line)(2331), 제1 D 플립플롭(D-flipflop)그룹(2333) 및 제2 D 플립플롭그룹(2333)을 포함할 수 있다.

[0072] 딜레이 라인(2331)은 공통 게이트 전압(V_{CG})을 구간(t_S-t_E)의 시점(t_S)에서부터 일정 딜레이 단위만큼 딜레이시킬 수 있다.

[0073] 그리고 제1 D 플립플롭그룹(2333)은 제1 게이트 신호(V_{G1})의 폭을 딜레이 단위를 기준으로 지속적으로 디지털 값으로 변환할 수 있다

[0074] 제2 D 플립플롭그룹(2335)은 변환된 디지털 값을 지속적으로 업데이트할 수 있다. 또한 제2 D 플립플롭그룹(2335)은 제1 출력 트랜지스터의 드레인 전류값이 임계치에 도달하였을 때, 즉 0에서 1로 바뀌었을 때, 제1 게이트 신호(V_{G1})의 전압폭 길이를 제1 D 플립플롭그룹(2333)의 디지털 값으로 고정할 수 있다.

[0075] 구체적으로 예컨대 도 7에 도시된 바와 같이 구간(t_S-t_E)의 시점(t_S)이 100초이고, 일정 딜레이 단위인 d가 1초라고 가정하면, 딜레이 라인(2331)은 100초(구간(t_S-t_E)의 시점(t_S)), 101초(t_S+d), 102초(t_S+2d), 10초(t_S+3d),

쪈, 100+N초(t_S+Nd)로 공통 게이트 전압(V_{CG})을 딜레이시킬 수 있다.

[0076] 이에 제2 D 플립플롭그룹(2335)의 D_{ST}[0] 내지 D_{ST}[N] 어레이는 제1 게이트 신호(V_{G1})의 종점(t1) 시점이 딜레이된 시간 중 어디에 해당하는 값인지를 파악할 수 있다.

[0077] 예컨대 제1 게이트 신호(V_{G1})의 종점(t1)이 현재 t_S+5d이면 105초임을 알 수 있다.

[0078] 이를 통해 전압폭 저장장치(233)는 전류 복사기(231)로부터 신호가 수신되면 변환된 디지털 값을 잠금하여 잠금된 시점의 전압폭을 임계지점 정보(Φ_{PWMEM})로 기억할 수 있다.

[0079] 다시 말해 전압폭 저장장치(233)는 제1 요구전압(V_{REG})가 미리 지정된 한계치를 능가하는 순간, Φ_{Lock}가 0에서 1이 되고 제2 D 플립플롭그룹(2335)의 D_{ND}[0] 내지 D_{ND}[N] 어레이는 직전에 파악한 105초로 고정(locking)할 수 있다.

[0080] 따라서 전압폭 저장장치(233)는 임계지점 정보(Φ_{PWMEM})는 t_S+5d만 출력하여 제1 게이트 신호(V_{G1})은 구간의 시점(t_S)부터 t_S+5d 구간으로만 고정되도록 할 수 있다.

[0081] 한편 제2 펄스폭 제한부(ER END Protector)(250)는 제2 게이트 신호(V_{G2})의 펄스폭을 제한하기 위해 마련될 수 있다.

[0082] 도 8은 본 발명의 일 실시예에 따른 제2 펄스폭 제한부(250)를 구체적으로 설명하기 위한 회로도 및 타이밍도이다.

[0083] 이러한 제2 펄스폭 제한부(250)는 공통 게이트 비교기(211)가 도출하는 제1 요구전압(VREG)와 전압 레벨(V_{INN})가 일치하는 구간의 시점(tS) 및 종점(t_E) 중 종점(t_E)를 제2 게이트 신호(V_{G2})가 끝나는 시점의 최댓값으로 설정하기 위해 마련된다.

[0084] 이를 위해 본 실시예에 따른 제2 펄스폭 제한부(250)는 제2 지연신호(V_{E2})와 공통 게이트 전압신호(VCG)를 입력받아 제2 요구전압(V_{TG2})을 충족하게 하는 지점과 구간의 종점(t_E) 정보를 포함하는 제2 게이트 신호(V_{G2})의 종점 한계점 신호(V_{prot})를 제2 요구전압 드라이버(219)에 전달하여 제2 게이트 신호(V_{G2})의 펄스폭을 제한할 수 있다.

[0085] 이를 통해 제2 게이트 신호(V_{G2})의 종점 한계점 신호(V_{prot})가 제2 요구전압 드라이버(219)로 입력되면, 제2 요구전압(V_{TG2})을 충족하게 하는 지점(t_2)과 구간의 종점(t_E) 중 가장 앞선 신호가 제2 게이트 신호(V_{G2})의 상승 시간으로 설정될 수 있다.

[0086] 보다 구체적으로 제2 요구전압 드라이버(219)는 도 8의 타이밍도에 도시된 바와 같이 t_2가 tE보다 앞서면 제2 게이트 신호(V_{G2})는 t_1에서 하강하고, t_2에서 상승하도록 하고, t_E가 t_2보다 앞서면 제2 게이트 신호(V_{G2})는 t_1에서 하강하고, t_E에서 상승하도록 할 수 있다. 이때 제2 게이트 신호(V_{G2})의 최대 끝 지점이 t_E로 제한되는 것일 수 있다.

[0087] 이러한 본 실시예에 따른 공진 조정 정류기(10)는 에너지가 낭비되는 구간을 해결하여 발열을 감소시킬 수 있다.

[0088] 이상에서는 본 발명의 다양한 실시예에 대하여 도시하고 설명하였지만, 본 발명은 상술한 특정의 실시예에 한정되지 아니하며, 청구범위에서 청구하는 본 발명의 요지를 벗어남이 없이 당해 발명이 속하는 기술분야에서 통상의 지식을 가진 자에 의해 다양한 변형실시가 가능한 것은 물론이고, 이러한 변형실시들은 본 발명의 기술적 사상이나 전망으로부터 개별적으로 이해되어져서는 안될 것이다.

부호의 설명

[0089] 10 : 공진 조정 정류기 100 : 입력부

200 : 공진 조정 정류부 210 : 이중 출력 비교부

211 : 공통 게이트 비교기 213 : 제1 PWM

215 : 제1 요구전압 드라이버 217 : 제2 PWM

219 : 제2 요구전압 드라이버 230 : 제1 펄스폭 제한부

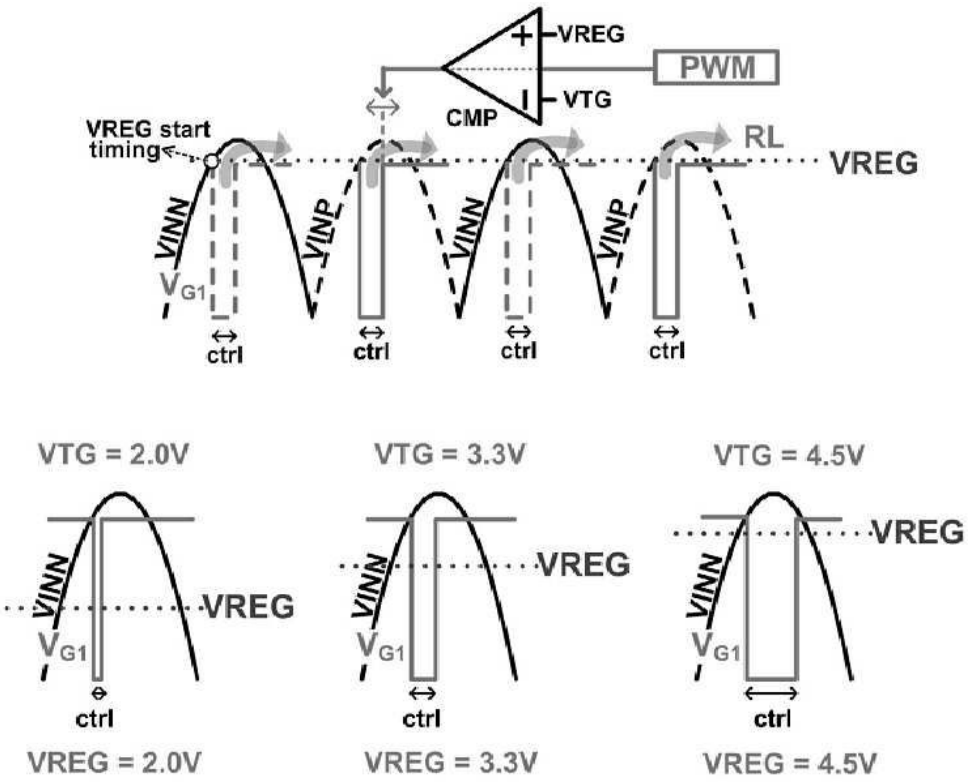
231 : 전류 복사기 233 : 전압폭 저장장치

2331 : 딜레이 라인 2333 : 제1 D 폴리플롭그룹

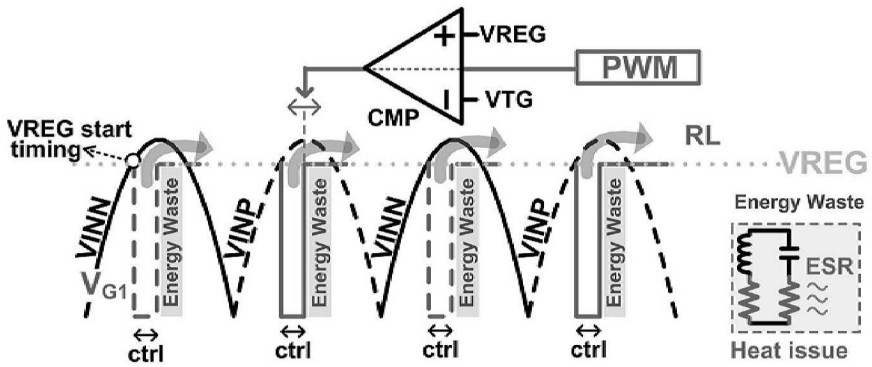
2335 : 제2 D 폴리플롭그룹 250 : 제2 펄스폭 제한부

도면

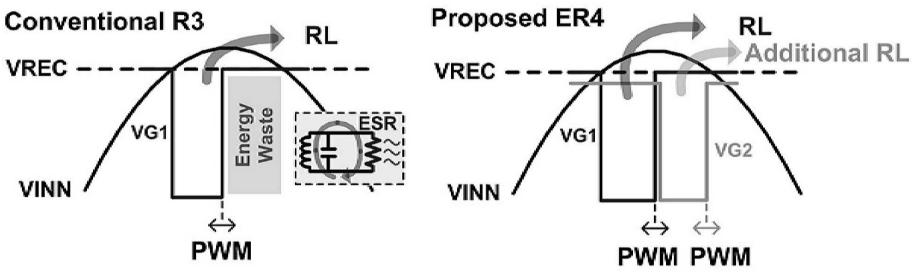
도면1



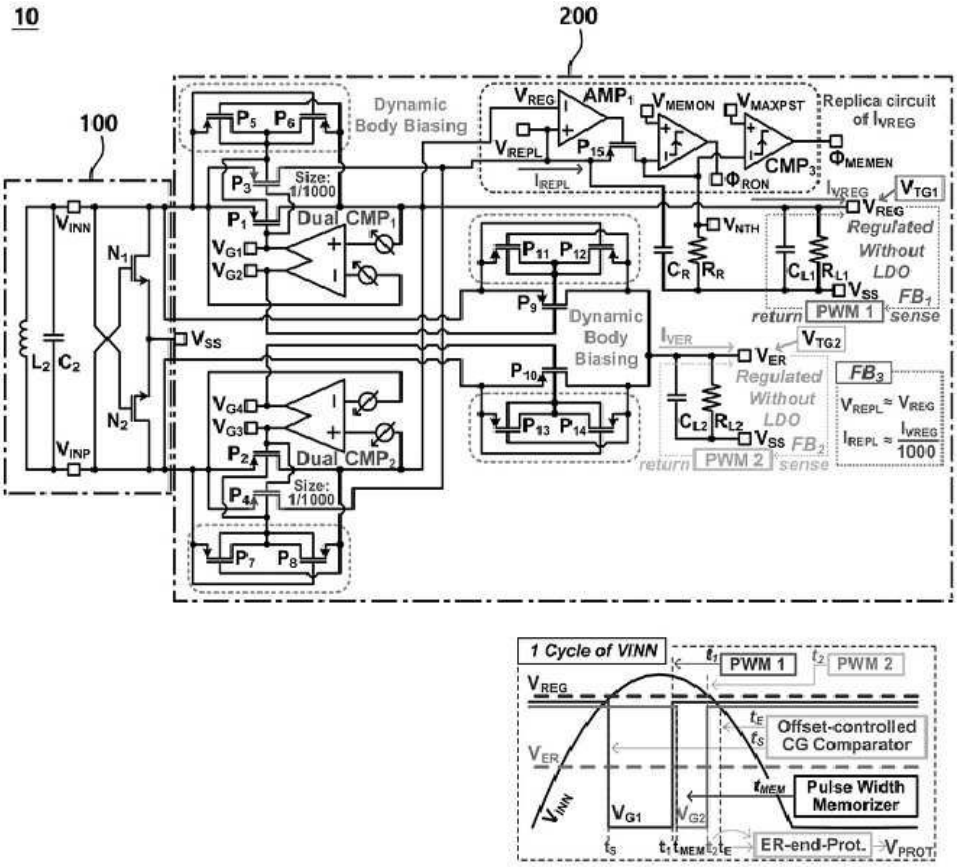
도면2



도면3

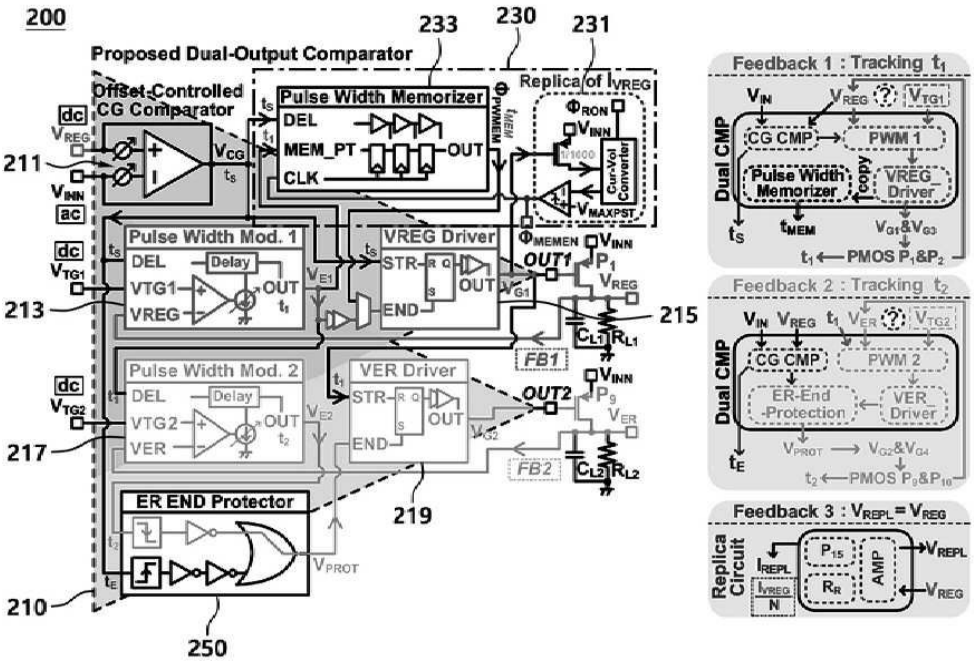

Conventional R3
RL
VREC
VG1
Energy Waste
ESR
VINN
PWM
Proposed ER4
RL
Additional RL
VREC
VG1
VG2
VINN
PWM
PWM

도면4

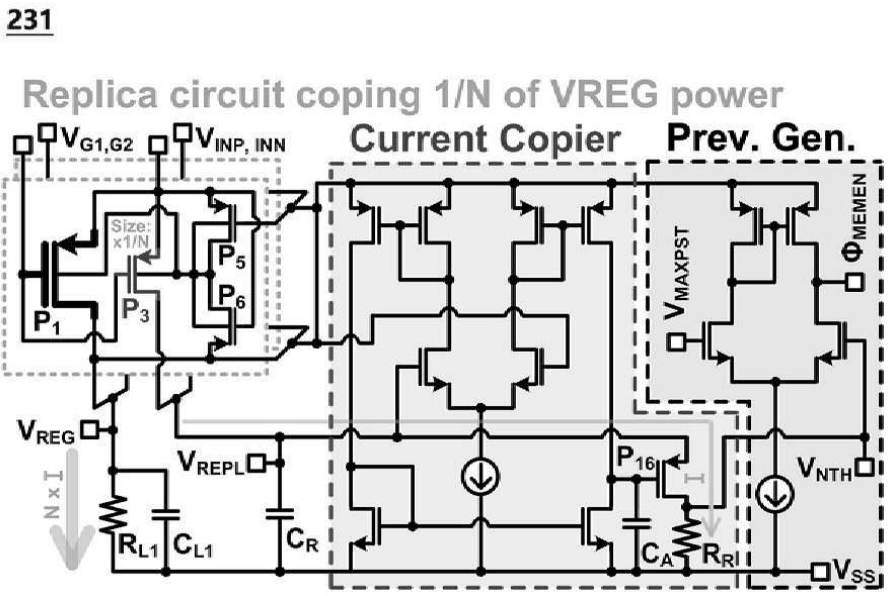

10
200
100
Dynamic Body Biasing
Replica circuit of IVREG
Size: 1/1000
Dual CMP1
Dual CMP2
Regulated Without LDO
return
PWM 1
PWM 2
sense
Dynamic Body Biasing
Regulated Without LDO
VINN
VINP
VSS
VG1
VG2
VG3
VG4
VREG
VREPL
AMP1
VMEMON
VMAXPST
CMP3
VNTH
VTG1
VTG2
VER
FB1
FB2
FB3
VREPL ≈ VREG
IREPL ≈ IVREG / 1000

1 Cycle of VINN
PWM 1
PWM 2
VREG
VER
VINN
VG1
VG2
Offset-controlled CG Comparator
Pulse Width Memorizer
ER-end-Prot.
VPROT

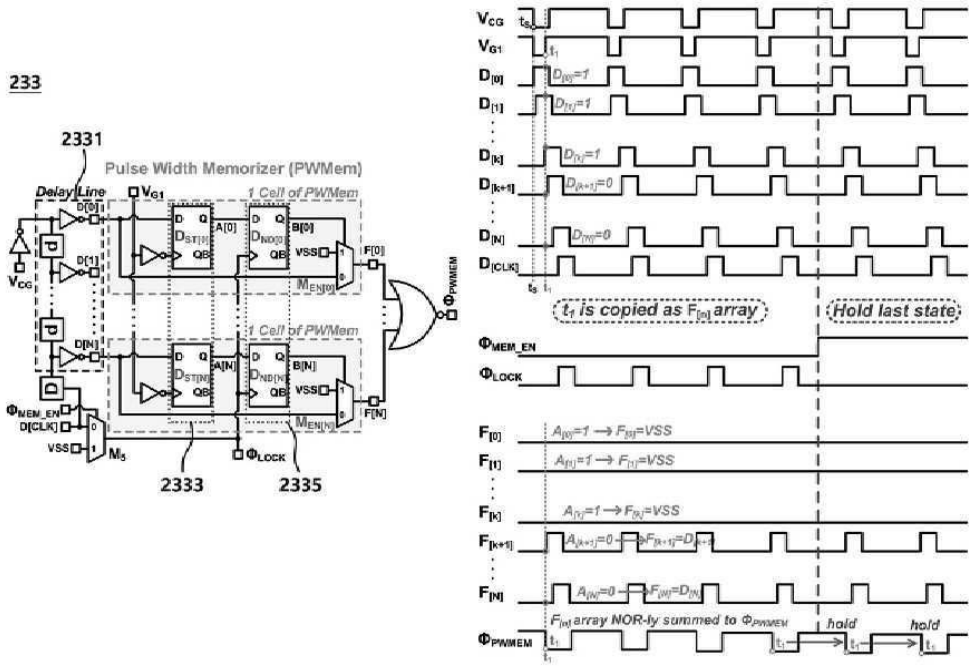
도면5


200
Proposed Dual-Output Comparator
233
230
231
Offset-Controlled CG Comparator
Pulse Width Memorizer
DEL
MEM_PT
CLK
OUT
Replica of I_VREG
211
213
215
217
219
210
250
Pulse Width Mod. 1
Pulse Width Mod. 2
VREG Driver
VER Driver
ER END Protector
OUT1
OUT2
FB1
FB2
Feedback 1 : Tracking t1
Feedback 2 : Tracking t2
Feedback 3 : V_REPL = V_REG
Dual CMP
CG CMP
PWM 1
PWM 2
ER-End -Protection
Pulse Width Memorizer
VREG Driver
VER Driver
copy
Replica Circuit
AMP

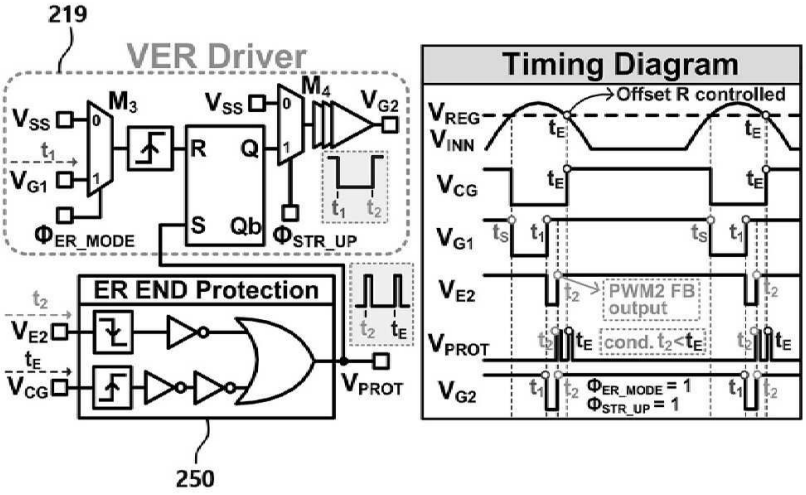
도면6


231
Replica circuit coping 1/N of VREG power
Current Copier
Prev. Gen.
V_G1,G2
V_INP, INN
Size: x1/N
P1
P3
P5
P6
P16
V_REG
V_REPL
V_MAXPST
V_NTH
V_SS
N x I
R_L1
C_L1
C_R
C_A
R_RI

도면7


233
2331
Pulse Width Memorizer (PWMem)
Delay Line
1 Cell of PWMem
2333
2335
t1 is copied as F[n] array
Hold last state
hold
hold

도면8


219
VER Driver
ER END Protection
250
Timing Diagram
Offset R controlled
PWM2 FB output
cond. t2<tE