



(12) 发明专利

(10) 授权公告号 CN 102142426 B

(45) 授权公告日 2015. 12. 09

(21) 申请号 201110032751. 8

(22) 申请日 2011. 01. 27

(30) 优先权数据

2010-016732 2010. 01. 28 JP

(73) 专利权人 瑞萨电子株式会社

地址 日本东京都

(72) 发明人 松村明

(74) 专利代理机构 北京市金杜律师事务所

11256

代理人 王茂华 董典红

(51) Int. Cl.

H01L 23/522(2006. 01)

H01L 21/02(2006. 01)

(56) 对比文件

CN 101171669 A, 2008. 04. 30, 说明书第 4 页第 13 行 - 第 9 页第 28 行, 附图 4-5.

CN 101171669 A, 2008. 04. 30, 说明书第 4 页第 13 行 - 第 9 页第 28 行, 附图 4-5.

JP 特开 2002-270776 A, 2002. 09. 20, 说明书第 9 页第 7 行 - 第 21 行, 附图 5.

WO 2009/150814 A1, 2009. 12. 17, 说明书第

[0246] 段, 附图 1.

US 2009/0302993 A1, 2009. 10. 10, 全文.

US 2004/0056326 A1, 2004. 03. 25, 全文.

US 2009/0206982 A1, 2009. 08. 20, 全文.

JP 特开 2004-304068 A, 2004. 10. 28, 全文.

US 2007/0063813 A1, 2007. 03. 22, 全文.

审查员 马伟彬

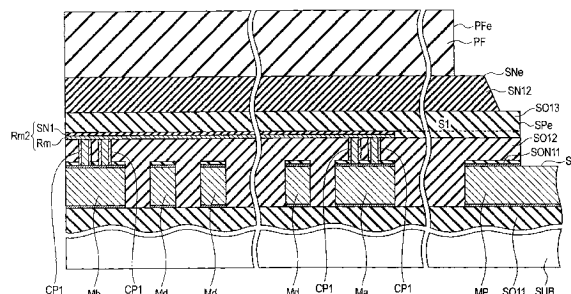
权利要求书2页 说明书15页 附图32页

(54) 发明名称

半导体器件及其制造方法

(57) 摘要

本发明提供半导体器件及其制造方法, 该半导体器件具有即使当对其施加应力时也无电阻变化的结构。该半导体器件在钝化膜与最上层铝互连之间的区域中具有金属电阻器层。这使得可以实现具有由于在封装步骤中或者在封装步骤之后出现的模压应力所致的小的电阻变化的高精度电阻器, 并因此使得可以形成高精度模拟电路。



1. 一种半导体器件,包括:

第一层间绝缘膜,其置于衬底之上;

多个第一虚层,其置于所述第一层间绝缘膜之上,布置成在第一方向中在其任意相邻两个层之间具有预定间隔,并且在平面视图中在与所述第一方向垂直的第二方向中延伸;

置于所述第一层间绝缘膜之上的最上层互连层;

第二层间绝缘膜,其覆盖所述第一虚层以及所述最上层互连层,并且具有平坦化表面;

多个金属电阻器层,其置于所述第二层间绝缘膜之上,并且在平面视图中在所述第一方向中延伸;

第三层间绝缘膜,其覆盖所述金属电阻器层;

钝化膜,置于所述第三层间绝缘膜之上;以及

其中所述多个金属电阻器层形成于所述钝化膜和所述最上层互连层之间的区域中。

2. 根据权利要求 1 所述的半导体器件,

其中所述第一虚层在与所述半导体器件的最上层互连层的相同制造步骤中形成。

3. 根据权利要求 1 所述的半导体器件,

其中所述金属电阻器层具有两层结构,所述两层结构具有金属互连层和抗氧化膜层。

4. 根据权利要求 1 所述的半导体器件,

其中所述钝化膜具有平坦表面。

5. 根据权利要求 1 所述的半导体器件,还包括多个垫层,其置于所述第一层间绝缘膜之上,布置在所述第一方向中从所述第一虚层两侧将所述第一虚层夹在中间的位置处,并且在所述第二方向中以预定间隔布置,

其中所述金属电阻器层在所述第一方向中延伸并且布置成在平面视图中在所述第二方向中在其任意相邻两个层之间具有预定间隔,以及

其中所述金属电阻器层经由穿透所述第二层间绝缘膜的接触插塞电耦合到所述垫层,从而形成串联连接。

6. 根据权利要求 1 所述的半导体器件,还包括多个焊盘开口部分,所述最上层互连层的表面从所述焊盘开口部分暴露,

其中在所述焊盘开口部分的边缘部分与所述金属电阻器层之间的距离为 100 μm 或更大。

7. 根据权利要求 1 所述的半导体器件,还包括:

第三层间绝缘膜,其覆盖所述金属电阻器层;以及

多个第二虚层,其置于所述第三层间绝缘膜之上,以在所述第一方向中在所述第二虚层的任意相邻两个层之间具有预定间隔并且在所述第二方向中延伸,

其中所述第一虚层在与所述第一层间绝缘膜之上形成的第一互连层的相同制造步骤中形成,以及

其中所述第二虚层在与所述第三层间绝缘膜之上形成的第二互连层的相同制造步骤中形成。

8. 根据权利要求 7 所述的半导体器件,其中所述金属电阻器层具有两层结构,所述两层结构具有金属互连层和抗氧化膜层。

9. 根据权利要求 7 所述的半导体器件,还包括多个垫层,其设置在所述第一层间绝缘膜之上,置于在所述第一方向中从所述第一虚层两侧将所述第一虚层夹在中间的位置处,并且在所述第二方向中以预定间隔布置,

其中所述金属电阻器层在所述第一方向中延伸并且布置成在所述第二方向中在其任意相邻两个层之间具有预定间隔,以及

其中所述金属电阻器层经由穿透所述第二层间绝缘膜的接触插塞电耦合到所述垫层,从而形成串联连接。

10. 根据权利要求 7 所述的半导体器件,其中所述第一虚层和所述第二虚层在平面图中交替布置。

11. 根据权利要求 7 所述的半导体器件,还包括多个垫层,其设置在所述第三层间绝缘膜之上,布置在所述第一方向中从所述第二虚层两侧将所述第二虚层夹在中间的位置处,并且在所述第二方向中以预定间隔布置,

其中所述金属电阻器层在所述第一方向中延伸并且布置成在所述第二方向中在其任意相邻两个层之间具有预定间隔,以及

其中所述金属电阻器层经由穿透所述第三层间绝缘膜的接触插塞电耦合到所述垫层,从而形成串联连接。

12. 根据权利要求 7 所述的半导体器件,

其中所述第一虚层和所述第二虚层在平面图中交替布置。

13. 一种半导体器件的制造方法,包括以下步骤:

在衬底之上形成第一层间绝缘膜;

在所述第一层间绝缘膜之上形成最上层互连层;

将所述互连层构图为多个第一虚层、多个垫层和多个焊盘区域层,所述多个第一虚层布置成在第一方向中在其任意相邻两个层之间具有预定间隔并且在平面视图中在与所述第一方向垂直的第二方向中延伸,所述多个垫层置于在所述第一方向中从所述第一虚层两侧将所述第一虚层夹在中间的位置处并且在所述第二方向中以预定间隔布置;

形成第二层间绝缘膜,以其覆盖所述第一虚层、所述垫层和所述焊盘区域层和所述最上层互连层;

在所述第二层间绝缘膜中形成分别与所述垫层相连通的接触孔;

在所述接触孔中分别形成接触插塞;

在所述第二层间绝缘膜之上形成金属电阻器层;

将所述金属电阻器层构图为多个条,使得所述金属电阻器层条在所述第一方向中延伸,在所述第二方向中在其任意相邻两个条之间具有预定间隔,并且经由所述接触插塞电耦合到所述垫层从而形成串联连接;

在所述第二层间绝缘膜之上形成第三层间绝缘膜,以用所述第三层间绝缘膜覆盖所述金属电阻器层;

在所述第三层间绝缘膜之上形成钝化膜;以及

选择性地去除所述第二层间绝缘膜、所述第三层间绝缘膜和所述钝化膜,以形成焊盘开口部分,所述焊盘区域层从所述焊盘开口部分中部分地暴露。

半导体器件及其制造方法

[0001] 相关申请的交叉引用

[0002] 这里通过参考引入 2010 年 1 月 28 日提交的日本专利申请 No. 2010-16732 的全部公开内容,包括说明书、附图和摘要。

技术领域

[0003] 本发明涉及半导体器件及其制造方法,具体地涉及具有金属电阻器层的半导体器件和该器件的制造方法。

背景技术

[0004] 微计算机产品和振荡器通常作为单独结构提供。近年来,为了缩小版图面积、降低生产成本等的目的,已将振荡器集成在微计算机芯片中。为了实现振荡器在微计算机芯片中的集成,需要振荡频率在任何环境(电压/温度)下稳定输出。因此需要微计算机产品的高速 OCO(片上振荡器)电路实现作为目标精确度的例如 40MHz $\pm$ 1%。

[0005] 作为高速 OCO(片上振荡器)电路(其为模拟电路)中的恒定电流生成器电路的电阻器,使用多晶硅电阻器。然而,由于所谓的压阻效应,多晶硅电阻器的电阻根据应力变化。具体地,电阻根据封装步骤中以及封装步骤之后的模压应力而显著地变化。因此高速 OCO 电路的频率极大地变化,并且结果,可能难以实现高速 OCO 电路的目标精确度。

[0006] 作为现有技术文献,专利文献 1 公开了一种振荡器电路,其能够缩小版图面积、减少对电源电压的依赖性以及减少在启动时的上升时间。该电路通过使用低阻电阻器的恒定电流电路而实现。

[0007] 作为另一现有技术文献,专利文献 2 公开了一种具有如下结构的半导体集成电路,即使当电阻由于压阻效应而改变时,该结构也不会使检测电压的设定值变化,其中所述压阻效应根据非均匀分布在芯片上的模压应力而出现。

[0008] 作为又一现有技术文献,专利文献 3 公开了一种具有如下配置的半导体器件,在光刻中曝光以限定金属电阻器的形成位置时,该配置能够防止在抗蚀剂膜中生成驻波,并由此减少金属电阻器的尺寸变化。

[0009] 作为另一现有技术文献,专利文献 4 公开了一种具有电阻器的半导体器件,该电阻器的特征是低的寄生电容和小的由于热处理所致的电阻变化。

[0010] [专利文献 1] 日本专利公开 No. 64699/1997

[0011] [专利文献 2] 日本专利公开 No. 17113/1999

[0012] [专利文献 3] 日本专利公开 No. 2008-251616

[0013] [专利文献 4] 日本专利公开 No. 2009-021509

发明内容

[0014] 本发明所要解决的问题在于,当在半导体器件中的电路中使用多晶硅电阻器时,多晶硅电阻器的电阻由于施加的应力(为所谓的压阻效应)而变化。因此,本发明的一个

目的在于提供一种具有即使当施加应力时也免于电阻变化的结构的半导体器件和该半导体器件的制造方法。

[0015] 根据本发明的一个例子的半导体器件具有以下配置。该配置具有第一层间绝缘膜,和设置在第一层间绝缘膜之上的多个第一虚层,该多个第一虚层布置成在第一方向中在其任意相邻两个层之间具有预定间隔并且在与第一方向垂直的第二方向中延伸。该配置还具有第二层间绝缘膜,其覆盖第一虚层并具有平坦化平面。该配置还具有金属电阻器层,其设置在第二层间绝缘膜之上并在第一方向(X)中延伸。

[0016] 本例使得能够提供一种即使当施加应力时也免于电阻变化的半导体器件和该器件的制造方法。

附图说明

[0017] 图1是示出其上具有本发明实施例1的半导体器件的微计算机芯片的整个结构的平面图;

[0018] 图2是在图1中围绕有II的区域的放大平面图;

[0019] 图3是沿着图2中的线III-III在箭头方向中所取的横截面图;

[0020] 图4是示出本发明实施例1的半导体器件的制造方法的第一步骤的示意性横截面图;

[0021] 图5是示出本发明实施例1的半导体器件的制造方法的第二步骤的示意性横截面图;

[0022] 图6是示出本发明实施例1的半导体器件的制造方法的第三步骤的示意性横截面图;

[0023] 图7是示出本发明实施例1的半导体器件的制造方法的第四步骤的示意性横截面图;

[0024] 图8是示出本发明实施例1的半导体器件的制造方法的第五步骤的示意性横截面图;

[0025] 图9是示出本发明实施例1的半导体器件的制造方法的第六步骤的示意性横截面图;

[0026] 图10是示出本发明实施例1的半导体器件的制造方法的第七步骤的示意性横截面图;

[0027] 图11是示出本发明实施例1的半导体器件的制造方法的第八步骤的示意性横截面图;

[0028] 图12是示出本发明实施例1的半导体器件的制造方法的第九步骤的示意性横截面图;

[0029] 图13是示出本发明实施例1的半导体器件的制造方法的第十步骤的示意性横截面图;

[0030] 图14是示出根据背景技术的半导体器件的结构的示意性横截面图;

[0031] 图15是示出振荡器电路的一个例子的电路图;

[0032] 图16示出根据本发明实施例2的半导体器件的平面结构;

[0033] 图17是沿着图16中的线XVII-XVII在箭头方向中所取的横截面图;

- [0034] 图 18 是示出本发明实施例 2 的半导体器件的制造方法的第一步骤的示意性横截面图；
- [0035] 图 19 是示出本发明实施例 2 的半导体器件的制造方法的第二步骤的示意性横截面图；
- [0036] 图 20 是示出本发明实施例 2 的半导体器件的制造方法的第三步骤的示意性横截面图；
- [0037] 图 21 是示出本发明实施例 2 的半导体器件的制造方法的第四步骤的示意性横截面图；
- [0038] 图 22 是示出本发明实施例 2 的半导体器件的制造方法的第五步骤的示意性横截面图；
- [0039] 图 23 是示出本发明实施例 2 的半导体器件的制造方法的第六步骤的示意性横截面图；
- [0040] 图 24 是示出本发明实施例 2 的半导体器件的制造方法的第七步骤的示意性横截面图；
- [0041] 图 25 是示出本发明实施例 2 的半导体器件的制造方法的第八步骤的示意性横截面图；
- [0042] 图 26 是示出本发明实施例 2 的半导体器件的制造方法的第九步骤的示意性横截面图；
- [0043] 图 27 是示出本发明实施例 2 的半导体器件的制造方法的第十步骤的示意性横截面图；
- [0044] 图 28 是示出本发明实施例 2 的半导体器件的制造方法的第十一步骤的示意性横截面图；
- [0045] 图 29 是示出本发明实施例 2 的半导体器件的制造方法的第十二步骤的示意性横截面图；
- [0046] 图 30 示出根据本发明实施例 3 的半导体器件的平面结构；
- [0047] 图 31 是沿着图 30 中的线 XXXI-XXXI 在箭头方向中所取的横截面图；
- [0048] 图 32 是示出本发明实施例 3 的半导体器件的制造方法的第一步骤的示意性横截面图；
- [0049] 图 33 是示出本发明实施例 3 的半导体器件的制造方法的第二步骤的示意性横截面图；
- [0050] 图 34 是示出本发明实施例 3 的半导体器件的制造方法的第三步骤的示意性横截面图；
- [0051] 图 35 是示出本发明实施例 3 的半导体器件的制造方法的第四步骤的示意性横截面图；
- [0052] 图 36 是示出本发明实施例 3 的半导体器件的制造方法的第五步骤的示意性横截面图；
- [0053] 图 37 是示出本发明实施例 3 的半导体器件的制造方法的第六步骤的示意性横截面图；
- [0054] 图 38 是示出本发明实施例 3 的半导体器件的制造方法的第七步骤的示意性横截面图；

面图；

[0055] 图 39 是示出本发明实施例 3 的半导体器件的制造方法的第八步骤的示意性横截面图；

[0056] 图 40 是示出本发明实施例 3 的半导体器件的制造方法的第九步骤的示意性横截面图；

[0057] 图 41 是示出本发明实施例 3 的半导体器件的制造方法的第十步骤的示意性横截面图；

[0058] 图 42A 和图 42B 是示出本发明每个实施例的半导体器件的金属电阻器层的一种布线图案的示意图,其中图 42A 是金属电阻器层的布线图案的平面图,而图 42B 是示出电流流动的视图;以及

[0059] 图 43A 和图 43B 是示出本发明每个实施例的半导体器件的金属电阻器层的另一布线图案的示意图,其中图 43A 是金属电阻器层的布线图案的平面图,而图 43B 是示出电流流动的视图。

具体实施方式

[0060] 接下来将参照附图描述根据基于本发明的每个实施例的半导体器件。首先,接下来将参照图 1 简要地描述其上具有下述每个实施例的半导体器件的微计算机芯片的整个结构。虚线指示每个附图中省略的部分。

[0061] 微计算机芯片 MC1 包括 RAM 形成区域 MC11、CPU 形成区域 MC12、外围电路形成区域 MC13 和 MC15、ROM 形成区域 MC14 和电源电路区域 MC16。电源电路区域 MC16 包括高速 OCO 电路。本版图配置仅是微计算机芯片的版图配置的例子,微计算机芯片的版图配置并不限于此。

[0062] (实施例 1) 参照图 2 和图 3,作为半导体器件的一个例子,接下来将描述高速 OCO 电路的局部结构。图 3 示出沿着图 2 的线 III-III 在箭头方向中所取的横截面图。

[0063] 如图 3 所示,该半导体器件具有设置在衬底 SUB 之上的第一层间绝缘膜 S011 和设置在第一层间绝缘膜 S011 之上的多个虚层 Md,该多个虚层 Md 布置成在第一方向(图 2 中的 X 方向)中在任意相邻的两个虚层之间具有预定间隔,并在与第一方向(X 方向)垂直的第二方向(图 2 中的 Y 方向)中延伸。

[0064] 第一层间绝缘膜 S011 之上具有垫层(tap layer)Ma 和 Mb,该垫层 Ma 和 Mb 在第二方向(Y 方向)中具有预定间隔地置于在第一方向(X 方向)中从虚层 Md 两侧将虚层 Md 夹在中间的位置处。在图 2 所示平面图中,提供垫层 Mi、Ma 至 Mc 和 Mo。

[0065] 如图 3 所示,第一层间绝缘膜 S011 之上具有在与形成虚层 Md 以及垫层 Ma 和 Mb 的步骤相同的步骤中形成的焊盘层 MP。

[0066] 多个虚层 Md 以及垫层 Ma 和 Mb 覆盖有具有平坦化表面的第二层间绝缘膜 S012。第二层间绝缘膜 S012 之上具有在第一方向(X 方向)中延伸的金属电阻器层 Rm2。金属电阻器层 Rm2 具有两层结构,该两层结构包括金属互连层 Rm 和抗氧化膜层 SN1。这里使用的术语“金属”涵盖过渡金属和除了过渡金属之外的金属,并且同时不涵盖半金属、半导体和非金属。

[0067] 在图 2 所示的平面图中,金属电阻器层 Rm1 至 Rm4 在第一方向(X 方向)中延伸,

并且布置成在第二方向(Y方向)中在任意相邻两个层之间具有预定间隔。金属电阻器层 Rm1 至 Rm4 在其两端均具有穿透第二层间绝缘膜 S012 并链接到垫层 Mi、Ma 至 Mb 和 Mo 的接触插塞 CP1。

[0068] 从提高光刻中的制造精度的角度而言,金属电阻器层 Rm1 和 Rm4 在其相应外侧上具有虚金属电阻器层 Rmd 和虚垫层 Mde。

[0069] 结果,金属电阻器层 Rm1 至 Rm4 以下列方式串联电耦合:垫层 Mi → 接触插塞 CP1 → 金属电阻器层 Rm1 → 接触插塞 CP1 → 垫层 Ma → 接触插塞 CP1 → 金属电阻器层 Rm2 → 接触插塞 CP1 → 垫层 Mb → 接触插塞 CP1 → 金属电阻器层 Rm3 → 接触插塞 CP1 → 垫层 Mc → 接触插塞 CP1 → 金属电阻器层 Rm4 → 接触插塞 CP1 → 垫层 Mo。

[0070] 如图 3 所示,金属电阻器层 Rm2 覆盖有具有平坦表面的第三层间绝缘膜 S013,并且该第三层间绝缘膜 S013 覆盖有具有平坦表面的钝化膜 SN12,并且该钝化膜 SN12 覆盖有具有平坦表面的保护膜 PF。

[0071] 存在于多个焊盘层 MP 之上的第二层间绝缘膜 S012、第三层间绝缘膜 S013、钝化膜 SN12 和保护膜 PF 具有开口部分,通过该开口部分定义焊盘开口部分 SP,焊盘层 MP 的表面从该焊盘开口部分 SP 暴露。第二层间绝缘膜 S012 和第三层间绝缘膜 S013 的开口端面 SPe 置于钝化膜 SN12 的开口边缘 SNe 的内部;并且钝化膜 SN12 的开口边缘 SNe 置于保护膜 PF 的开口端面 PFe 的内部。

[0072] 从防止由于水穿透开口端面 SPe 而将另外出现的金属电阻器层 Rm1 至 Rm4 的抗潮性恶化的观点出发,从第二层间绝缘膜 S012 和第三层间绝缘膜 S013 的开口端面 SPe 到金属电阻器层 Rm1 至 Rm4 的距离(S1)为 100 μm 或更大。

[0073] 顺便提及,第一层间绝缘膜 S011 之下具有已知的多层互连结构。

[0074] (制造方法)接下来,参照图 4 至图 13,将描述图 2 和图 3 所示的半导体器件的制造方法。下述制造方法的每个步骤对应于沿着图 2 和图 3 中的线 III-III 在箭头方向中所取的横截面。

[0075] 如图 4 所示,在衬底 SUB 之上形成已知的多层互连结构之后,形成具有平坦化表面的第一层间绝缘膜 S011。作为第一层间绝缘膜 S011,使用氧化硅膜。作为氧化硅膜,使用在台阶差覆盖方面优良并且使用高密度等离子体 CVD 形成的 USG(未掺杂硅酸盐玻璃)膜和使用等离子体 CVD 形成的 TEOS 膜(P-TEOS)。衬底 SUB 可以是其中集成有半导体元件的半导体衬底或由除了半导体之外的材料制成的衬底。

[0076] 接下来,在第一层间绝缘膜 S011 之上形成互连层 M。互连层 M 为最上层铝互连并且使用溅射形成。互连层 M 具有以 TiN/Ti 膜作为底层 M1、添加有铜的铝(Al-Cu)膜作为互连层 M2 以及 TiN/Ti 膜作为顶层 M3 的堆叠结构。互连层 M 具有从约几百纳米到 1 微米的厚度。

[0077] 接下来,在互连层 M 之上形成抗反射膜 SON11。作为抗反射膜 SON11,使用 CVD 形成等离子体氮氧化物膜(P-SiON)。

[0078] 接下来,参照图 5,对互连层 M 和抗反射膜 SON11 进行构图。针对该构图,采用光刻和干法刻蚀。将它们构图为多个虚层 Md、垫层 Ma 和 Mb 以及焊盘区域层 Mp,该多个虚层 Md 布置成在第一方向(X方向)中在其任意相邻两个层之间具有预定间隔并且在与第一方向(X方向)垂直的第二方向(Y方向)中延伸,该垫层 Ma 和 Mb 置于在第一方向(X方向)中

从虚层 Md 两侧将虚层 Md 夹在中间的位置处。

[0079] 接下来,参照图 6,形成第二层间绝缘膜 S012,以其覆盖虚层 Md、垫层 Ma 和 Mb 以及焊盘区域层 Mp。作为第二层间绝缘膜 S012,使用由 HDP-USG 和 P-TEOS 制成的氧化硅膜。该氧化硅膜的表面使用 CMP(化学机械抛光)来进行平坦化。

[0080] 需要 HDP-USG 膜具有 $1\mu\text{m}$ 或更大的膜厚度,以便以其覆盖铝互连的台阶差。对于平坦化,需要约为台阶差 1.5 倍的抛光量。以相等距离例如以约 $3\mu\text{m}$ 的线宽和约 $3\mu\text{m}$ 的间隔放置虚层 Md,以实现稍后将形成的金属电阻器层 Rm 的良好平坦度。

[0081] 接下来,如图 7 所示,通过使用光刻和干法刻蚀,在第二层间绝缘膜 S012 中形成分别与垫层 Ma 和 Mb 连通的接触孔 Va1。为了确保接触电阻的稳定性,优选地在每个垫层上的两个或更多个位置处设置接触孔 Va1。

[0082] 接下来,如图 8 所示,在接触孔 Va1 中形成接触插塞 CP1。在接触孔 Va1 中,通过使用溅射形成 TiN/Ti 膜堆叠 CP11 作为势垒金属,之后通过使用 CVD 形成钨 (W) 膜 CP12。然后,使用 CMP 将 TiN/Ti 膜堆叠 CP11 和钨 (W) 膜 CP12 的上表面平坦化。

[0083] 接下来,如图 9 所示,在第二层间绝缘膜 S012 之上形成金属电阻器层 Rm2。金属电阻器层 Rm2 具有两层结构,该两层结构具有金属互连层 Rm 和抗氧化膜层 SN1。作为金属互连层 Rm,通过使用溅射形成 TiN 膜作为耐熔金属膜的一个例子。为了实现约 $40\Omega/\square$ 的电阻,金属互连层具有例如约 30nm 的膜厚度。

[0084] 作为抗氧化膜层 SN1,使用等离子体氮化物 (P-SiN) 膜,并且该膜是使用 CVD 形成。膜厚度例如约为 45nm。

[0085] 接下来,如图 10 所示,使用光刻和干法刻蚀,对金属电阻器层 Rm2 进行构图。

[0086] 通过这一步骤,执行构图以获得如图 2 的平面图所示的条状的金属电阻器层 Rm1 至 Rm4(包括虚金属电阻器层 Rmd)。同时,金属电阻器层 Rm1 至 Rm4 经由接触插塞 CP1 电耦合到垫层 Mi、Ma、Mb、Mc 和 Mo,由此它们串联耦合。

[0087] 在本实施例中,金属电阻器层 Rm 的宽度调整为约 $0.8\mu\text{m}$,以满足对于提高处理尺寸稳定性的需求和对于减小版图面积的需求。此外,图案到图案的宽度(电阻器之间的距离)约为 $0.6\mu\text{m}$ 。

[0088] 根据所需的电阻值,确定串联链接的单元电阻器的数目以及单元电阻器的长度。然而,当单元电阻器的长度极短时,垫层在总电阻中的影响变得过大,导致电阻精确度的恶化。因此,金属电阻器层(单元电阻器)的长度控制为优选约 $40\mu\text{m}$ 或更大。

[0089] 当在氧等离子体气氛中去除抗蚀剂时,抗氧化膜层 SN1 防止金属电阻器层 Rm2 的表面暴露于氧化气氛。

[0090] 接下来,如图 11 所示,在第二层间绝缘膜 S012 之上形成第三层间绝缘膜 S013,以覆盖金属电阻器层 Rm2。作为第三层间绝缘膜 S013,使用由 P-TEOS 膜制成的氧化硅膜并且该膜是使用 CVD 形成的。

[0091] 接下来,在第三层间绝缘膜 S013 之上形成钝化膜 SN12。作为钝化膜 SN12,使用 P-SiN 膜并且该膜是使用 CVD 形成的。钝化膜 SN12 是这样的膜:其用于保护半导体器件的表面以免受在完成布线步骤之后的外部损坏。

[0092] 接下来,如图 12 所示,通过光刻和干法刻蚀,选择性地去除第二层间绝缘膜 S012、第三层间绝缘膜 S013 和钝化膜 SN12,以形成焊盘开口部分 SP,焊盘区域层 MP 的一部分从

该焊盘开口部分 SP 暴露。由于在干法刻蚀钝化膜 SN12 时采用各向同性刻蚀,所以钝化膜 SN12 的开口边缘 SNe 从第二层间绝缘膜 S012 和第三层间绝缘膜 S013 的开口端面 SPe 凹进。

[0093] 接下来,如图 13 所示,通过涂覆形成光敏聚酰亚胺膜作为在钝化膜 SN12 上的保护膜 PF,并且然后执行光刻以形成聚酰亚胺图案。保护膜 PF 的开口端面 PFe 从钝化膜 SN12 的开口边缘 SNe 凹进。

[0094] 通过使用上述这些步骤,完成图 2 和图 3 所示的半导体器件。参照图 14,接下来将描述围绕最上层铝互连的常规结构。该结构在用作其最上层铝互连的互连层 M 上不具有金属电阻器层 Rm。

[0095] 在 $0.15\ \mu\text{m}$ 设计规则之后的半导体器件中,考虑到最上层铝互连 M 的厚度或布线间距,通常的做法是在形成作为钝化膜 SN 的 P-SiN 膜之前形成 HDP-USG 膜 S0 来消除来自最上层铝互连 M 的台阶差。然而,由于最上层铝互连 M 的台阶差大,所以钝化膜 SN 和保护膜 PF 的台阶差也保持。

[0096] 从图 13 和图 14 之间的比较可见,在本实施例的结构中,金属电阻器层 Rm 形成在钝化膜 SN12 和最上层铝互连 M 之间。此外,在形成金属电阻器层 Rm 之前,使用 CMP 将第二层间绝缘膜 S012 的表面平坦化。作为该处理的结果,钝化膜 SN12 具有改善的平坦度。

[0097] 与图 14 所示的常规结构相比,在图 13 所示的本实施例的结构中,氧化物膜(第二层间绝缘膜 S012 和第三层间绝缘膜 S013)从焊盘开口部分 SP 的侧壁到芯片的内部具有连续性,所以该结构促使由于水从焊盘开口部分 SP 穿透所致的金属电阻器层 Rm 的抗潮性恶化。

[0098] 因此,从防止由于水从开口端面 SPe 穿透而将另外出现的金属电阻层 Rm1 至 Rm4 的抗潮性恶化的角度出发,为了防止金属电阻器层 Rm 的抗潮性恶化,优选调整第二层间绝缘膜 S012 和第三层间绝缘膜 S013 的开口端面 SPe 与金属电阻器层 Rm1 至 Rm4 之间的距离(S1)为 $100\ \mu\text{m}$ 或更大。

[0099] 用于防止抗潮性恶化的上述结构不仅适于本发明的该结构,而且适于其金属电阻器层等由于水从焊盘开口部分穿透而具有恶化的抗潮性的半导体器件的结构,因为它可以有效地克服这个问题。

[0100] 在本实施例中,如图 3 所示,描述开始于最上层铝互连的结构。该器件之下具有使用已知结构和已知形成方法得到并经由钨插塞等耦合的多层互连结构。如上面在描述铝互连结构时已经描述的,在高技术器件中近来已经采用的铜互连结构中也可以实现类似的金属电阻器层。

[0101] 同样如上所述,在提高金属电阻器层 Rm 的平坦度和电阻精确度的角度,将具有约 $3\ \mu\text{m}$ 线宽和约 $3\ \mu\text{m}$ 间隔的虚层 Md 垂直地置于金属电阻器层 Rm 的阵列布置之下。这些虚层 Md 接地并用作 GND 线。

[0102] 以上描述是在其中使用作为耐熔金属的 TiN 作为金属电阻器层 Rm 的一个例子的情况下作出的,但该材料不限于此。用于金属电阻器层的材料通常具有比诸如多晶硅的半导体材料的电阻率更小的电阻率。需要特定水平的高电阻的电路(例如 OCO 电路)常规地由多晶硅制成。

[0103] 然而,将金属材料应用于电路(例如 OCO 电路)的电阻器需要薄膜数目的大幅增

加,以便实现等于多晶硅电阻值的电阻值。这不利地造成版图面积的加宽。用于电阻器的金属材料因此优选为具有较高电阻率的材料。另一方面,对于作为高精度电阻器的使用,当电阻值的变化在半导体器件产品的温度保证范围内较小时,可以提高电路的与温度有关的精确度。

[0104] 因此用于电阻器的金属材料优选地具有尽可能小的电阻温度系数 (TCR)。

[0105] 在本实施例中,使用氮化钛 (TiN) 作为满足这些要求的耐熔金属。相反,可以使用具有不同氮浓度的与 Ti 或氮化钛的膜堆叠来控制电阻值。此外,可以使用诸如氮化钽 (TaN) 的另一材料代替氮化钛 (TiN) 作为满足上述要求的材料。

[0106] 根据本实施例的半导体器件及其制造方法,在半导体器件中将金属电阻器层 Rm 置于钝化膜 SN12 和最上层铝互连 M 之间的区域中。这使得可以实现其中由于在封装步骤中或者在封装步骤之后的模压应力所致的电阻值变化很小的高精度电阻器,并由此形成高精度模拟电路。

[0107] 此外,由于最上层铝互连 M 的上部被平坦化,所以钝化膜 SN12 可以具有提高的平坦度并因此具有提高的抗机械故障诸如钝化破裂的能力。结果,可以获得可靠性提高的半导体器件产品。

[0108] 具有由拥有较低薄膜电阻的金属制成的电阻器材料的版图通常使版图面积变宽,并且同时,使用不用由该金属材料制成的电阻器的另一元件制作版图,这带来芯片面积的增加。然而,在本实施例中,金属电阻器层 Rm 被置于最上层铝互连 M 之上,使得除了其中放置焊盘开口部分的区域之外,几乎所有区域都可以自由地用于它。因此可以在不增加芯片面积的情况下形成金属电阻器层 Rm。

[0109] (具体电路配置) 参照图 15,接下来将描述使用上述金属电阻器层 Rm 的振荡器电路的具体配置。该振荡器电路例如为通过因电容器的充电 / 放电的重复所产生的振荡操作来生成具有预定振荡周期的输出信号的电路。

[0110] 振荡器电路具有恒定电流电路 CVC,该恒定电流电路 CVC 包括耗尽型第一 MOSFET Q1、具有小电阻的电阻器 R1 (配置为上述金属电阻器层 Rm) 和增强型第二 MOSFET Q2、第三 MOSFET Q3 和第四 MOSFET Q4、增强型 MOSFET Q5 至 Q7、电容器 C1 (电容器)、差分放大器电路 DAC、延迟电路 DC 以及升压电路 PRC。

[0111] 在恒定电流电路 CVC 中,MOSFET Q1 的源极与电阻器 R1 的一端、MOSFET Q1 的漏极与 MOSFET Q2 的漏极、MOSFET Q2 的栅极和漏极与 MOSFET Q3 的栅极、MOSFET Q3 的漏极与 MOSFET Q4 的漏极、MOSFET Q4 的栅极和漏极与 MOSFET Q1 的栅极、MOSFET Q2 和 Q3 的源极与电源电压 Vcc、电阻器 R1 的另一端与 MOSFET Q4 的源极和接地电压彼此耦合。

[0112] 上述电路配置使得能够输出恒定电压电平信号。MOSFET Q1 和 MOSFET Q4 具有 N 沟道 MOS 结构,而 MOSFET Q2 和 MOSFET Q3 具有 P 沟道 MOS 结构。

[0113] MOSFET Q5 的栅极耦合到恒定电流电路 CVC 的 MOSFET Q3 的栅极与 MOSFET Q2 的栅极的连接点,该 MOSFET Q5 的源极耦合到电源电压 Vcc。此外,该 MOSFET Q5 的漏极耦合到 MOSFET Q6 的源极,MOSFET Q6 的漏极耦合到 MOSFET Q7 的漏极,MOSFET Q7 的源极耦合到接地电压。

[0114] 此外,MOSFET Q6 的栅极和 MOSFET Q7 的栅极共同耦合到延迟电路 DC 的输出端子。MOSFET Q6 的漏极和 MOSFET Q7 的漏极从其之间的连接点耦合到电容器 C1 的一端,并且然

后耦合到差分放大器电路 DAC 的正输入端子。

[0115] 在差分放大器电路 DAC 中,将恒定电流电路 CVC 处生成的恒定电压电平与电容器 C1 的电压电平进行比较。基于比较结果,对电容器 C1 进行充电或放电。

[0116] 升压电路 PRC 具有反相器 IV1、增强型 n 沟道 MOSFET Q12 和 Q13 以及电容器 C2 和 C3。占用信号 (seizing signal) CLK 输入到该电路,并且由此升高的输出电压施加到恒定电流电路 CVC 中的 MOSFET Q4 的栅极与 MOSFET Q1 的栅极之间的连接点。

[0117] 在升压电路 PRC 中,占用信号 CLK 输入到反相器 IV1 和 MOSFET Q12 的栅极。该反相器 IV1 的输出端子与电容器 C2 的一端、电容器 C2 的另一端与 MOSFET Q12 的漏极、MOSFET Q13 的栅极与漏极、MOSFET Q13 的源极与电容器 C3 的一端相互耦合。MOSFET Q12 的源极和电容器 C3 的另一端分别耦合到接地电压。

[0118] (实施例 2) 接下来,参照图 16 和图 17,作为半导体器件的一个例子,将描述高速 OCO 电路的局部结构。微计算机芯片的整个结构类似于图 1 的结构。图 17 是沿着图 16 中的线 XVII-XVII 在箭头方向中所取的横截面。

[0119] 如图 17 所示,该半导体器件具有设置在衬底 SUB 之上的第一层间绝缘膜 S021 和设置在第一层间绝缘膜 S021 之上的多个第一虚层 MLd,该多个第一虚层 MLd 布置成在第一方向(图 17 中的 X 方向)中在任意相邻两个第一虚层之间具有预定间隔,并且在与第一方向(X 方向)垂直的第二方向(图 16 中的 Y 方向)中延伸。

[0120] 第一层间绝缘膜 S021 之上具有垫层 MLa 和 MLb,该垫层 MLa 和 MLb 在第二方向(Y 方向)中具有预定间隔地设置在第一方向(X 方向)中从该多个第一虚层 MLd 两侧将多个第一虚层 MLd 夹在中间的位置处。在图 16 所示的平面图中,提供垫层 MLi、MLa 至 MLc 以及 MLo。

[0121] 如图 17 所示,第一层间绝缘膜 S021 之上具有在与形成第一虚层 MLd 以及垫层 MLa 和 MLb 的相同步骤中形成的下层互连层 ML。

[0122] 多个第一虚层 MLd、垫层 MLa 和 MLb、下层互连层 ML 覆盖有具有平坦化表面的第二层间绝缘膜 S022。第二层间绝缘膜 S022 之上具有在第一方向(X 方向)中延伸的金属电阻器层 RLm2。金属电阻器层 RLm2 具有两层结构,该两层结构具有金属电阻器层 RLm 和抗氧化膜层 SN21。

[0123] 在图 16 的平面图中,金属电阻器层 RLm1 至 RLm4 在第一方向(X 方向)中延伸并且在第二方向(Y 方向)中在其任意相邻两个层之间具有预定间隔。金属电阻器层 RLm1 至 RLm4 在其两端具有穿透第二层间绝缘膜 S022 并链接到垫层 MLi、MLa 至 MLc 和 MLo 的接触插塞 CP21。

[0124] 从提高光刻中的制造精度的角度出发,金属电阻器层 RLm1 和 RLm4 在其相应外侧上具有虚金属电阻器层 RLmd 和虚垫层 MLde。

[0125] 结果,金属电阻器层 RLm1 至 RLm4 以下列方式串联电耦合:垫层 MLi → 接触插塞 CP21 → 金属电阻器层 RLm1 → 接触插塞 CP21 → 垫层 MLa → 接触插塞 CP21 → 金属电阻器层 RLm2 → 接触插塞 CP21 → 垫层 MLb → 接触插塞 CP21 → 金属电阻器层 RLm3 → 接触插塞 CP21 → 垫层 MLc → 接触插塞 CP21 → 金属电阻器层 RLm4 → 接触插塞 CP21 → 垫层 MLo。

[0126] 如图 17 所示,金属电阻器层 RLm2 覆盖有具有平坦化表面的第三层间绝缘膜 S023。该第三层间绝缘膜 S023 之上具有多个第二虚层 Mhd,该多个第二虚层 Mhd 布置成在第一方

向（图 16 中的 X 方向）中在其任意相邻两个层之间具有预定间隔并且在与第一方向（X 方向）垂直的第二方向（图 16 中的 Y 方向）中延伸。

[0127] 关于多个第一虚层 MLd 和多个第二虚层 Mhd, 在平面图中彼此相邻的两个第一虚层 MLd 之间具有第二虚层 Mhd。多个第一虚层 MLd 和多个第二虚层 Mhd 接地并用作 GND 线。

[0128] 第三层间绝缘膜 S023 之上具有在与形成第二虚层 Mhd 的相同步骤中形成的上层互连层 Mh。下层互连层 ML 和上层互连层 Mh 经由穿透第二层间绝缘膜 S022 和第三层间绝缘膜 S023 的接触插塞 CP22 而彼此电耦合。

[0129] 根据本实施例中的配置, 金属电阻器层 RLm 形成在多层铝互连结构的中间层的层间膜中, 所以对于在第一层间绝缘膜 S021 之下的层和在第三层间绝缘膜 S023 之上的层, 采用已知的多层互连结构。

[0130] （制造方法）接下来, 参照图 18 至图 29, 将描述图 16 和图 17 所示的半导体器件的制造方法。下述制造方法的每个步骤对应于沿着图 16 中的线 XVII-XVII 在箭头方向中所取的横截面。

[0131] 如图 18 所示, 在衬底 SUB 之上形成已知的多层互连结构之后, 形成具有平坦化表面的第一层间绝缘膜 S021。作为第一层间绝缘膜 S021, 使用由 HDP-USG 和 P-TEOS 制成的氧化硅膜。衬底 SUB 可以是具有集成在其中的半导体元件的半导体衬底或者由除了半导体之外的材料制成的衬底。

[0132] 接下来, 在第一层间绝缘膜 S021 之上形成中间互连层 ML。互连层 ML 是中间铝互连并且使用溅射形成。互连层 ML 具有 TiN/Ti 膜作为底层 ML1、添加有铜的铝 (Al-Cu) 膜作为互连层 ML2 以及 TiN/Ti 膜作为顶层 ML3 的膜堆叠结构。互连层 ML 具有从约 300nm 到约 400nm 的厚度。

[0133] 接下来, 在中间互连层 ML 之上形成抗反射膜 SON21。作为抗反射膜 SON21, 使用 CVD 形成等离子体氮氧化物膜 (P-SiON)。

[0134] 接下来, 如图 19 所示, 对中间互连层 ML 和抗反射膜 SON21 进行构图。对于该构图, 采用光刻和干法刻蚀。作为构图的结果, 形成: 多个第一虚层 MLd, 其布置成在第一方向 (X 方向) 中在其任意相邻两个层之间具有预定间隔并且在与第一方向 (X 方向) 垂直的第二方向 (Y 方向) 中延伸; 垫层 MLa 和 MLb, 其布置在第一方向 (X 方向) 中从该多个第一虚层 MLd 两侧将多个第一虚层 MLd 夹在中间的位置处; 以及中间互连层 ML, 其具有预定形状。

[0135] 接下来, 如图 20 所示, 形成覆盖第一虚层 MLd、垫层 MLa 和 MLb 以及中间互连层 ML 的第二层间绝缘膜 S022。作为第二层间绝缘膜 S022, 使用由 HDP-USG 和 P-TEOS 制成的氧化硅膜。使用 CMP 将氧化硅膜的表面平坦化。

[0136] 要求 HDP-USG 膜具有约 500nm 或更大的膜厚度, 以便使之覆盖铝互连的台阶差。作为用于平坦化的抛光量, 需要为台阶差的约 1.5 倍。以相等距离例如以约 $3\mu\text{m}$ 的线宽和约 $3\mu\text{m}$ 的间隔放置第一虚层 MLd, 以实现稍后将形成的金属电阻器层 RLm 的良好平坦度。

[0137] 接下来, 如图 21 所示, 通过使用光刻和干法刻蚀, 在第二层间绝缘膜 S022 中形成分别与垫层 MLa 和 MLb 相连通的接触孔 VLa1。为了保证接触电阻的稳定性, 优选地在每个垫层上的两个或更多个位置处设置接触孔 VLa1。

[0138] 接下来, 如图 22 所示, 在接触孔 VLa1 中形成接触插塞 CP21。在接触孔 VLa1 中, 通过使用溅射形成 TiN/Ti 膜堆叠 CP211 作为势垒金属, 之后通过使用 CVD 形成钨 (W) 膜

CP212。然后,使用 CMP 将 TiN/Ti 膜堆叠 CP211 和钨 (W) 膜 CP212 的上表面平坦化。

[0139] 接下来,如图 23 所示,在第二层间绝缘膜 S022 之上形成金属电阻器层 RLm2。金属电阻器层 RLm2 具有两层结构,该两层结构具有金属互连层 RLm 和抗氧化膜层 SN21。作为金属互连层 RLm,通过使用溅射形成 TiN 膜作为耐熔金属的一个例子。为了实现约 $40\ \Omega/\square$ 的电阻,金属电阻器层具有例如约 30nm 的膜厚度。

[0140] 作为抗氧化膜层 SN21,使用等离子体氮化物 (P-SiN) 膜并且其是使用 CVD 形成的。膜厚度例如为约 45nm。

[0141] 接下来,如图 24 所示,使用光刻和干法刻蚀对金属电阻器层 RLm2 进行构图。

[0142] 通过这一步骤,执行构图以获得如图 16 的平面图所示的条状的金属电阻器层 RLm1 至 RLm4 (包括虚金属电阻器层 RLmd)。同时,金属电阻器层 RLm1 至 RLm4 经由接触插塞 CP21 电耦合到垫层 MLi、MLa、MLb、MLc 和 MLo,由此它们串联耦合。

[0143] 在本实施例中,金属电阻器层 RLm 的宽度约为 $0.8\ \mu\text{m}$,以满足提高处理尺寸稳定性的需求和减小版图面积的需求。此外,图案到图案的宽度 (电阻器的距离) 约为 $0.6\ \mu\text{m}$ 。

[0144] 串联链接的单元电阻器的数目和单元电阻器的长度根据所需的电阻值确定。然而,当单元电阻器的长度极短时,垫层对总电阻的影响变得过大,导致电阻精确度的恶化。因此,将金属电阻器层 (单元电阻器) 的长度控制为优选约 $40\ \mu\text{m}$ 或更大。

[0145] 当在氧等离子体气氛中去除抗蚀剂时,抗氧化膜层 SN21 防止金属电阻器层 RLm2 的表面暴露于氧化气氛。

[0146] 接下来,如图 25 所示,在第二层间绝缘膜 S022 之上形成第三层间绝缘膜 S023,以覆盖金属电阻器层 RLm2。作为第三层间绝缘膜 S023,使用由 P-TEOS 膜制成的氧化硅膜并且该膜使用 CVD 形成。

[0147] 接下来,如图 26 所示,通过使用光刻和干法刻蚀,在第二层间绝缘膜 S022 和第三层间绝缘膜 S023 中形成与中间互连层 ML 相连通的接触孔 Vh1。优选地,将接触孔 Vh1 设置在两个或更多的位置处,以便保证接触电阻的稳定性。

[0148] 接下来,如图 27 所示,在接触孔 Vh1 中形成接触插塞 CP22。具体而言,通过溅射在接触孔 Vh1 中形成 TiN/Ti 膜堆叠 CP221 作为势垒金属,并且然后通过 CVD 沉积钨 (W) 膜 CP222。然后通过 CMP 将 TiN/Ti 膜堆叠 CP221 和钨 (W) 膜 CP222 的上表面平坦化。

[0149] 接下来,如图 28 所示,在第三层间绝缘膜 S023 之上形成上层互连层 Mh。上层互连层 Mh 是上层铝互连并且使用溅射而形成。上层互连层 Mh 具有 TiN/Ti 膜作为底层 Mh1、添加有铜的铝 (Al-Cu) 膜作为互连体 Mh2 以及 TiN/Ti 膜作为顶层 Mh3 的堆叠结构。上层互连层 Mh 当它不是最上层互连层时具有约从 300nm 到 400nm 的厚度,并且当它是最上层互连层时具有约从几百 nm 到 $1\ \mu\text{m}$ 的膜厚度。

[0150] 接下来,在上层互连层 Mh 之上形成抗反射膜 SON22。作为抗反射膜 SON22,使用 CVD 形成等离子体氮氧化物膜 (P-SiON)。

[0151] 接下来如图 29 所示,对上层互连层 Mh 和抗反射膜 SON22 进行构图。将光刻和干法刻蚀用于构图。它们构图为多个第二虚层 Mhd 和具有预定形状的上层互连层 Mh,该多个第二虚层 Mhd 布置成在第一方向 (X 方向) 中在其任意相邻两个层之间具有预定间隔并且在垂直于第一方向 (X 方向) 的第二方向 (Y 方向) 中延伸。

[0152] 执行该构图,使得关于多个第一虚层 MLd 和多个第二虚层 Mhd,在平面图中第二虚

层 Mhd 置于两个相邻的第一虚层 MLd 之间。例如,氢从互连层间膜扩散到在衬底侧上且位于层间膜之下的 MOS 晶体管等中可能使元件的特性恶化。然而,期望在平面图中第一虚层 MLd 和第二虚层 Mhd 交替布置,以防止氢的向下穿透并由此克服这样的问题。

[0153] 通过上述步骤完成图 16 和图 17 所示的半导体器件。同样在本实施例的半导体器件中,使用 TiN 耐熔金属作为金属互连层 RLm 的材料的一个例子进行了描述,但该材料并不限于此。作为用于电阻器的金属材料,需要具有尽可能小的电阻温度系数的材料。也可以使用诸如氮化钽 (TaN) 的另一材料代替氮化钛 (TiN)。

[0154] 根据本实施例中的半导体器件及其制造方法,在半导体器件中将金属电阻器层 RLm 形成在中间互连层 ML 和上层互连层 Mh 之间的区域中。这使得能够实现具有由于在封装步骤中和在封装步骤之后的模压应力所致的小的电阻变化的高精度电阻器,使得可以形成高精度模拟电路。顺便提及,使用上述金属电阻器层 RLm 的振荡器电路的具体配置类似于图 15 中所示的振荡器电路。

[0155] (实施例 3) 其次,参照图 30 和图 31,作为半导体器件的一个例子,将描述高速 OCO 电路的局部结构。微计算机芯片的整个结构与图 1 中的结构相同。图 31 示出了沿着图 30 中的线 XXXI-XXXI 在箭头方向中所取的横截面。

[0156] 如图 31 所示,该半导体器件具有设置在衬底 SUB 之上的第一层间绝缘膜 S021 和设置在第一层间绝缘膜 S021 之上的多个第一虚层 MLd,该多个第一虚层 MLd 布置成在第一方向(图 30 中的 X 方向)中在任意两个相邻层之间具有预定间隔并且在与第一方向(X 方向)垂直的第二方向(图 30 中的 Y 方向)中延伸。

[0157] 第一层间绝缘膜 S021 之上具有在与形成第一虚层 MLd 的相同步骤中形成的下层互连层 ML。

[0158] 多个第一虚层 MLd 和下层互连层 ML 覆盖有具有平坦化表面的第二层间绝缘膜 S022。第二层间绝缘膜 S022 之上具有在第一方向(X 方向)中延伸的金属电阻器层 RLm2。金属电阻器层 RLm2 具有两层结构,该两层结构包括金属互连层 RLm 和抗氧化膜层 SN21。

[0159] 在图 30 所示的平面图中,金属电阻器层 RLm1 至 RLm4 在第一方向(X 方向)中延伸并且布置成在第二方向(Y 方向)中在其任意相邻两个层之间具有预定间隔。

[0160] 从提高光刻中的制造精度的角度,金属电阻器层 RLm1 和 RLm4 在其相应外侧上具有虚金属电阻器层 RLmd。

[0161] 如图 31 所示,金属电阻器层 RLm2 覆盖有具有平坦表面的第三层间绝缘膜 S023。第三层间绝缘膜 S023 之上具有多个第二虚层 Mhd,该多个第二虚层 Mhd 布置成在第一方向(图 30 中的 X 方向)中在其任意相邻两个层之间具有预定间隔并且在与第一方向(X 方向)垂直的第二方向(图 30 中的 Y 方向)中延伸。

[0162] 多个第一虚层 MLd 和多个第二虚层 Mhd 放置成使得在平面图中每个第二虚层 Mhd 放置在两个相邻的第一虚层 MLd 之间。多个第一虚层 MLd 和多个第二虚层 Mhd 接地并用作 GND 线。

[0163] 第三层间绝缘膜 S023 之上具有垫层 Mha 和 Mhb,该垫层 Mha 和 Mhb 在第二方向(Y 方向)中具有预定间隔地布置在第一方向(X 方向)中从该多个第二虚层 Mhd 两侧将多个第二虚层 Mhd 夹在中间的位置处。在图 30 所示的平面图中,设置垫层 Mhi、Mha 至 Mhc 和 Mho。此外,从提高光刻中的制造精度的角度,设置虚垫层 Mhde。

[0164] 金属电阻器层 RLm1 至 RLm4 在其两侧具有穿透第三层间绝缘膜 S023 并链接到垫层 Mhi、Mha 至 Mhc 和 Mho 的接触插塞 CP31。

[0165] 结果,金属电阻器层 RLm1 至 RLm4 以下列方式串联电耦合:垫层 Mhi → 接触插塞 CP31 → 金属电阻器层 RLm1 → 接触插塞 CP31 → 垫层 Mha → 接触插塞 CP31 → 金属电阻器层 RLm2 → 接触插塞 CP31 → 垫层 Mhb → 接触插塞 CP31 → 金属电阻器层 RLm3 → 接触插塞 CP31 → 垫层 Mhc → 接触插塞 CP31 → 金属电阻器层 RLm4 → 接触插塞 CP31 → 垫层 Mho。

[0166] 此外,第三层间绝缘膜 S023 之上具有在与形成第二虚层 Mhd 的相同步骤中形成的上层互连层 Mh。下层互连层 ML 和上层互连层 Mh 经由穿透第二层间绝缘膜 S022 和第三层间绝缘膜 S023 的接触插塞 CP32 而彼此电耦合。

[0167] 根据本实施例的配置,金属电阻器层 RLm 形成在多层铝互连结构的中间层的层间膜中,所以对于在第一层间绝缘膜 S021 之下的层和在第三层间绝缘膜 S023 之上的层采用已知的多层互连结构。

[0168] (制造方法) 参照图 32 至图 41,接下来将描述图 30 和图 31 所示的半导体器件的制造方法。下述制造方法的每个步骤对应于沿着图 30 中的线 XXXI-XXXI 在箭头方向中所取的横截面。

[0169] 如图 32 所示,在衬底 SUB 之上形成已知多层互连结构之后,形成具有平坦化表面的第一层间绝缘膜 S021。作为第一层间绝缘膜 S021,使用由 HDP-USG 和 P-TEOS 制成的氧化硅膜。顺便提及,衬底 SUB 可以是具有集成在其中的半导体元件的半导体衬底或者由除了半导体之外的材料制成的衬底。

[0170] 接下来,在第一层间绝缘膜 S021 之上形成中间互连层 ML。互连层 ML 是中间铝互连并且使用溅射形成。互连层 ML 具有 TiN/Ti 膜作为底层 ML1、添加有铜的铝 (Al-Cu) 膜作为互连体 ML2 以及 TiN/Ti 膜作为顶层 ML3 的膜堆叠结构。互连层 ML 具有约从 300nm 到 400nm 的厚度。

[0171] 接下来,在中间互连层 ML 之上形成抗反射膜 SON21。作为抗反射膜 SON21,使用 CVD 形成等离子体氮氧化物膜 (P-SiON)。

[0172] 接下来,如图 33 所示,对中间互连层 ML 和抗反射膜 SON21 进行构图。对于构图,采用光刻和干法刻蚀。它们构图为多个虚层 MLd 和预定形状的中间互连层 ML,该多个虚层 MLd 布置成在第一方向 (X 方向) 中在其间具有预定间隔并在与第一方向 (X 方向) 垂直的第二方向 (Y 方向) 中延伸。

[0173] 接下来,如图 34 所示,形成第二层间绝缘膜 S022,以其覆盖虚层 MLd 和中间互连层 ML。作为第二层间绝缘膜 S022,使用由 HDP-USG 和 P-TEOS 制成的氧化硅膜。该氧化硅膜的表面使用 CMP 平坦化。

[0174] 这里使用的 HDP-USG 需要具有 500nm 或更大的厚度,以便覆盖铝互连的台阶差,并且平坦化所需的抛光量为该台阶差的约 1.5 倍。虚层 MLd 以相同间隙例如以约 3 μ m 的线宽和约 3 μ m 的间隔放置,以便提高稍后将形成的金属电阻器层 RLm 的平坦度。

[0175] 接下来,如图 35 所示,在第二层间绝缘膜 S022 之上形成金属电阻器层 RLm2。该金属电阻器层 RLm2 具有两层结构,该两层结构具有金属互连层 RLm 和抗氧化膜层 SN21。作为金属互连层 RLm,通过使用溅射形成 TiN 膜作为耐熔金属的一个例子。其作为电阻器形成有约 30nm 的厚度,以便具有约 40 Ω / $\square$ 的电阻。

[0176] 作为抗氧化膜层 SN21, 使用等离子体氮化物 (P-SiN) 膜, 并且其使用 CVD 形成。其具有例如约 45nm 的膜厚度。

[0177] 接下来, 如图 36 所示, 使用光刻和干法刻蚀对金属电阻器层 RLm2 进行构图。

[0178] 通过这一步骤, 如图 30 的平面图中所示, 执行构图以获得条状的金属电阻器层 RLm1 至 RLm4 (包括虚金属电阻器层 RLmd)。

[0179] 在本实施例中金属电阻器层 RLm 的宽度调整为约 $0.8 \mu\text{m}$ 以满足对于提高处理尺寸稳定性的需求和减小版图面积的需求。此外, 图案到图案的宽度 (电阻器的距离) 约为 $0.6 \mu\text{m}$ 。

[0180] 当在氧等离子体气氛中去除抗蚀剂时, 抗氧化膜层 SN21 防止金属电阻器层 RLm2 的表面暴露于氧化气氛。

[0181] 接下来, 如图 37 所示, 在第二层间绝缘膜 S022 之上形成第三层间绝缘膜 S023, 以覆盖金属电阻器层 RLm2。作为第三层间绝缘膜 S023, 使用由 P-TEOS 膜制成的氧化硅膜并且其使用 CVD 形成。

[0182] 接下来, 如图 38 所示, 执行光刻和干法刻蚀以同时在第二层间绝缘膜 S022 中形成链接到金属互连层 RLm 的接触孔 Vha1 以及在第二层间绝缘膜 S022 和第三层间绝缘膜 S023 中形成与中间互连层 ML 相连通的接触孔 Vh1。优选地, 接触孔 Vha1 和接触孔 Vh1 均设置在两个或更多个位置处以确保接触电阻的稳定性。

[0183] 顺便提及, 接触孔 Vha1 和接触孔 Vh1 在刻蚀深度上彼此不同, 但它们可以被同时开口, 因为使用等离子体氮化物 (P-SiN) 膜和等离子体氮氧化物膜 (P-SiON) SON22 的抗氧化膜层 SN21 充当刻蚀停止层。

[0184] 接下来, 如图 39 所示, 同时进行接触插塞 CP31 在接触孔 Vha1 中的形成和接触插塞 CP32 在接触孔 Vh1 中的形成。在接触孔 Vha1 和 Vh1 中, 通过溅射同时形成 TiN/Ti 膜堆叠 CP311 和 CP321 作为势垒金属。

[0185] 接下来, 通过 CVD 同时在接触孔 Vha1 和 Vh1 中分别形成钨 (W) 膜 CP312 和 CP322。然后, 通过 CMP 将 TiN/Ti 膜堆叠 CP311 和 CP321 以及钨 (W) 膜 CP312 和 CP322 的上表面平坦化。

[0186] 接下来, 如图 40 所示, 在第三层间绝缘膜 S023 之上形成上层互连层 Mh。上层互连层 Mh 是上层铝互连并且使用溅射形成。上层互连层 Mh 具有 TiN/Ti 膜作为底层 Mh1、添加有铜的铝 (Al-Cu) 膜作为互连体 Mh2 以及 TiN/Ti 膜作为顶层 Mh3 的膜堆叠结构。上层互连层 Mh 当它不是最上层互连层时具有约从 300nm 到 400nm 的厚度, 并且当它是最上层互连层时具有约从几百 nm 到 $1 \mu\text{m}$ 的厚度。

[0187] 接下来, 在上层互连层 Mh 之上形成抗反射膜 SON22。作为抗反射膜 SON22, 使用 CVD 形成等离子体氮氧化物膜 (P-SiON)。

[0188] 接下来, 如图 41 所示, 对上层互连层 Mh 和抗反射膜 SON22 进行构图。对于该构图, 采用光刻和干法刻蚀。它们构图为多个第二虚层 Mhd、垫层 Mha 和 Mhb 以及预定形状的上层互连层 Mh, 该多个第二虚层 Mhd 布置成在第一方向 (X 方向) 中在其任意相邻两个层之间具有预定间隔并且在与第一方向 (X 方向) 垂直的第二方向 (Y 方向) 中延伸, 该垫层 Mha 和 Mhb 放置在第一方向 (X 方向) 中从该多个第二虚层 Mhd 两侧将多个第二虚层 Mhd 夹在中间的位置处。

[0189] 结果,金属电阻器层 RLm1 至 RLm4 经由接触插塞 CP31 而电耦合到垫层 Mhi、Mha、Mhb、Mhc 和 Mho,由此它们串联耦合。

[0190] 串联链接的单元电阻器的数目以及单元电阻器的长度根据所需的电阻值确定。然而,当单元电阻器的长度极短时,垫层在总电阻中的影响变得过大,导致电阻精确度的恶化。因此,将金属电阻器层(单元电阻器)的长度控制为优选约 40 μm 或更大。

[0191] 对多个第一虚层 MLd 和多个第二虚层 Mhd 进行构图,使得在平面图中第二虚层 Mhd 放置在两个相邻的第一虚层 MLd 之间。例如,氢从互连层间膜扩散到位于该层间膜之下且在衬底侧上的 MOS 晶体管等中可能使元件的特性恶化。然而,期望在平面图中第一虚层 MLd 和第二虚层 Mhd 交替放置,以防止氢的向下穿透并由此克服这样的问题。

[0192] 通过上述步骤完成图 30 和图 31 中所示的半导体器件。同样在本实施例的半导体器件中,使用 TiN 耐熔金属作为金属互连层 RLm 的材料的一个例子进行了描述,但该材料并不限于此。作为用于电阻器的金属材料,需要具有尽可能小的电阻温度系数(TCR)的材料。也可以使用诸如氮化钽(TaN)的另一材料代替氮化钛(TiN)。

[0193] 根据本实施例中的半导体器件及其制造方法,在半导体器件中将金属电阻器层 RLm 形成在中间互连层 ML 和上层互连层 Mh 之间的区域中。这使得能够实现具有由于在封装步骤中和在封装步骤之后的模压应力所致的小的电阻变化的高精度电阻器,使得可以形成高精度模拟电路。

[0194] 此外,由于在第三层间绝缘膜 S023 之上形成垫层 Mhi、Mha、Mhb、Mhc 和 Mho,所以可以与接触插塞 CP32 同时地形成接触插塞 CP31。这使得能够简化工艺流程。产品产量的提高也是可以期望的。使用上述金属电阻器层 RLm 的振荡器电路的具体配置类似于图 15 所示的振荡器电路。

[0195] (金属电阻器层的另一布置)在上述实施例中,如图 42 所示,金属电阻器层通过交替地电耦合彼此并行布置的端部而串联耦合。图 42A 示意性地示出根据实施例 1 的金属电阻器层的布置。结果,如图 42B 所示,在平面图中电流以曲折方式流动。金属电阻器层的布置和耦合方式并不限于此。

[0196] 例如,如图 43A 所示,可以采用串联耦合结构,其中关于彼此并行布置的金属电阻器层 Rm1 至 Rm4,金属电阻器层 Rm1 和金属电阻器层 Rm3 使用垫层 Ma1 耦合;金属电阻器层 Rm2 和金属电阻器层 Rm4 使用垫层 Mc1 耦合;金属电阻器层 Rm3 和金属电阻器层 Rm4 使用垫层 Mb1 耦合。

[0197] 更具体而言,它们以下列方式串联电耦合:垫层 Mi $\rightarrow$ 接触插塞 CP1 $\rightarrow$ 金属电阻器层 Rm1 $\rightarrow$ 接触插塞 CP1 $\rightarrow$ 垫层 Ma1 $\rightarrow$ 接触插塞 CP1 $\rightarrow$ 金属电阻器层 Rm3 $\rightarrow$ 接触插塞 CP1 $\rightarrow$ 垫层 Mb1 $\rightarrow$ 接触插塞 CP1 $\rightarrow$ 金属电阻器层 Rm4 $\rightarrow$ 接触插塞 CP1 $\rightarrow$ 垫层 Mc1 $\rightarrow$ 接触插塞 CP1 $\rightarrow$ 金属电阻器层 Rm2 $\rightarrow$ 接触插塞 CP1 $\rightarrow$ 垫层 Mo。在这种情况下,在平面图中电流如图 43B 所示流动。

[0198] 这里公开的实施例仅旨在于示例而非进行限制。本发明的范围不通过以上描述给出而是通过权利要求给出。本发明旨在涵盖具有与权利要求等同意义或者在权利要求内的所有修改。

[0199] 本发明尤其可以有利地适用于具有金属电阻器层的半导体器件和该器件的制造方法。

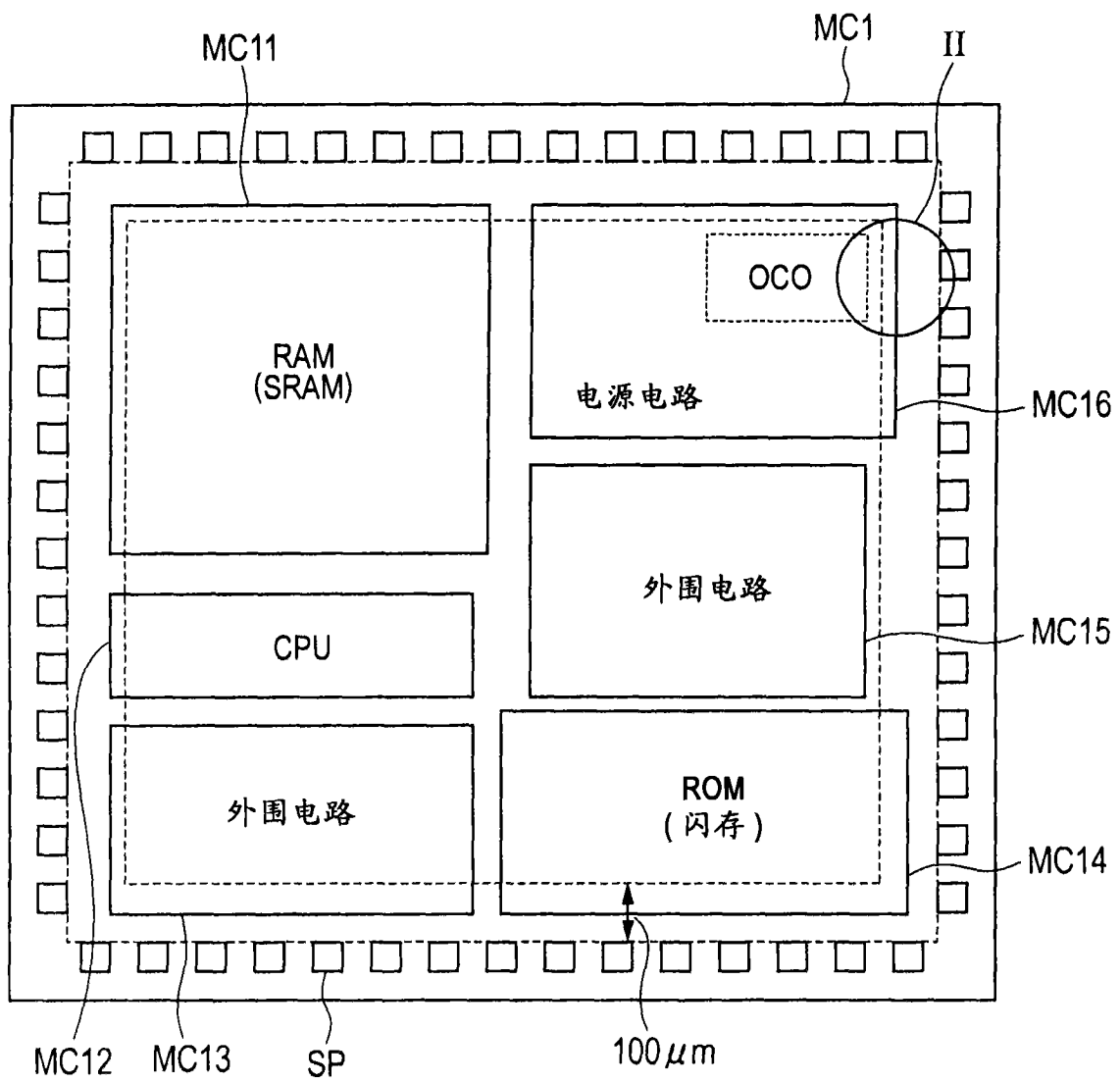


图 1

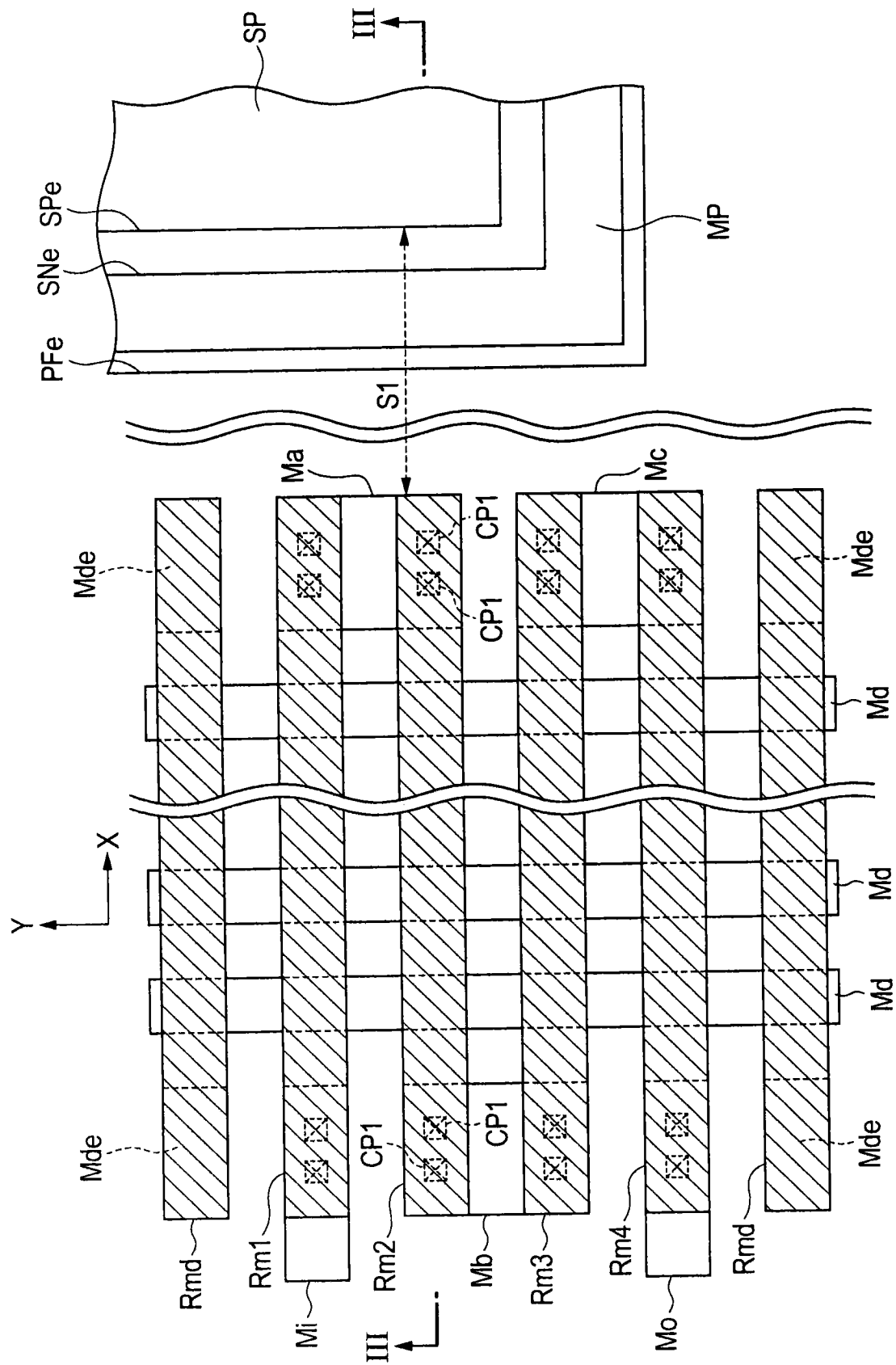


图 2

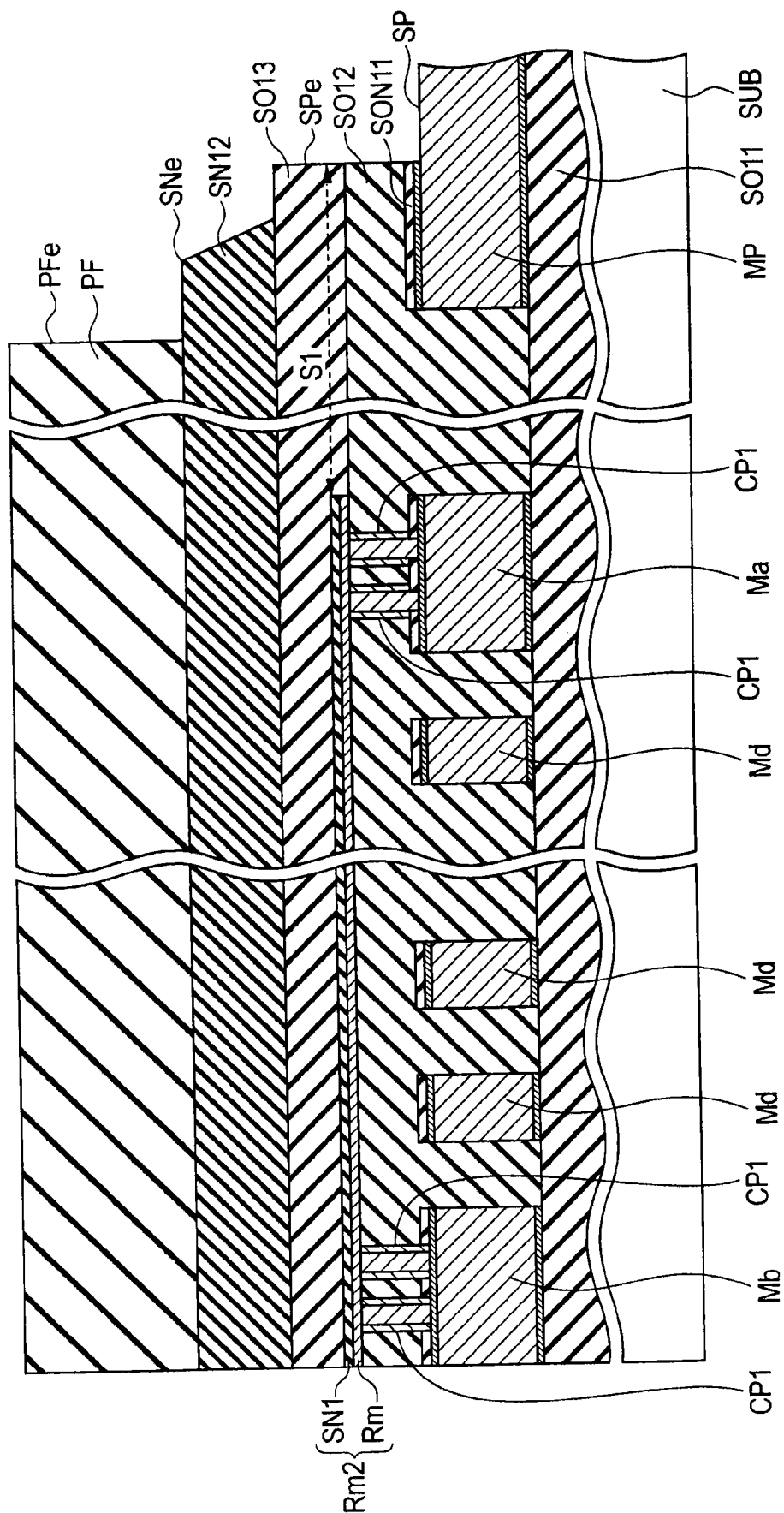


图 3

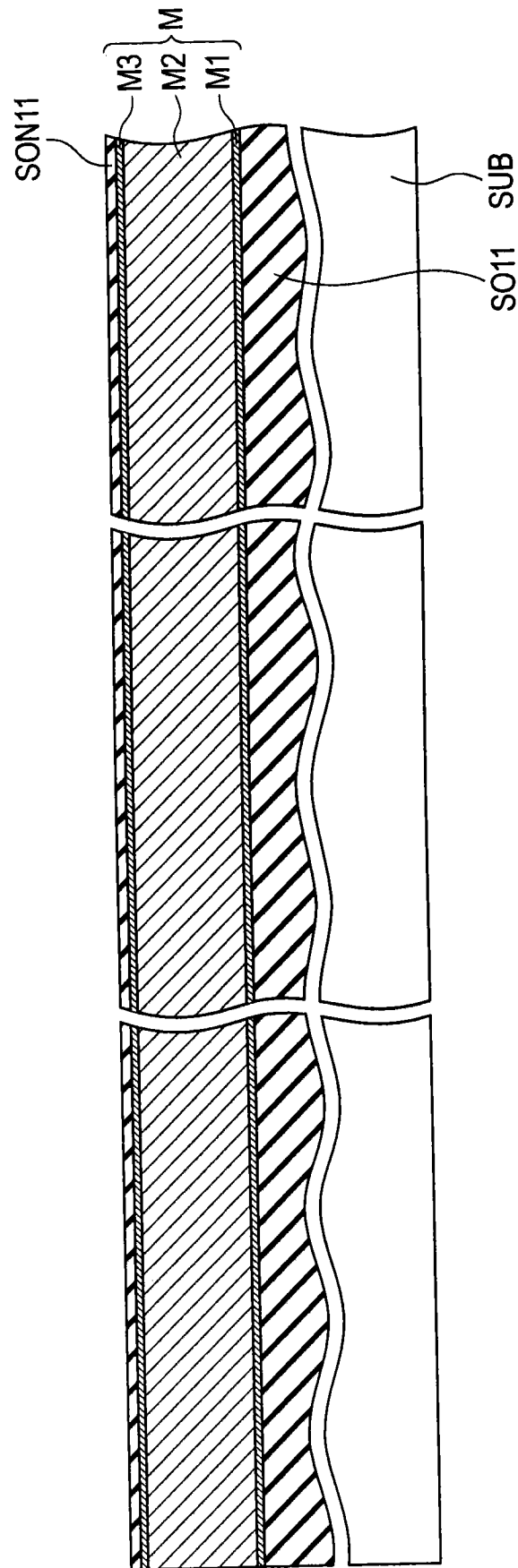


图 4

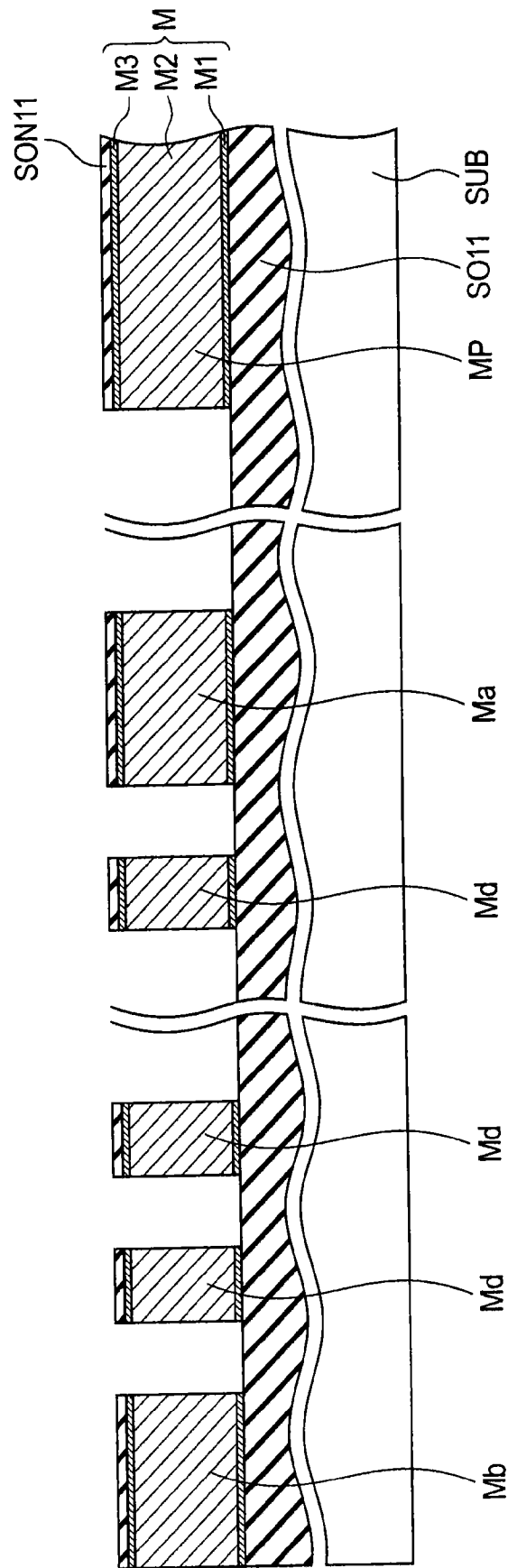


图 5

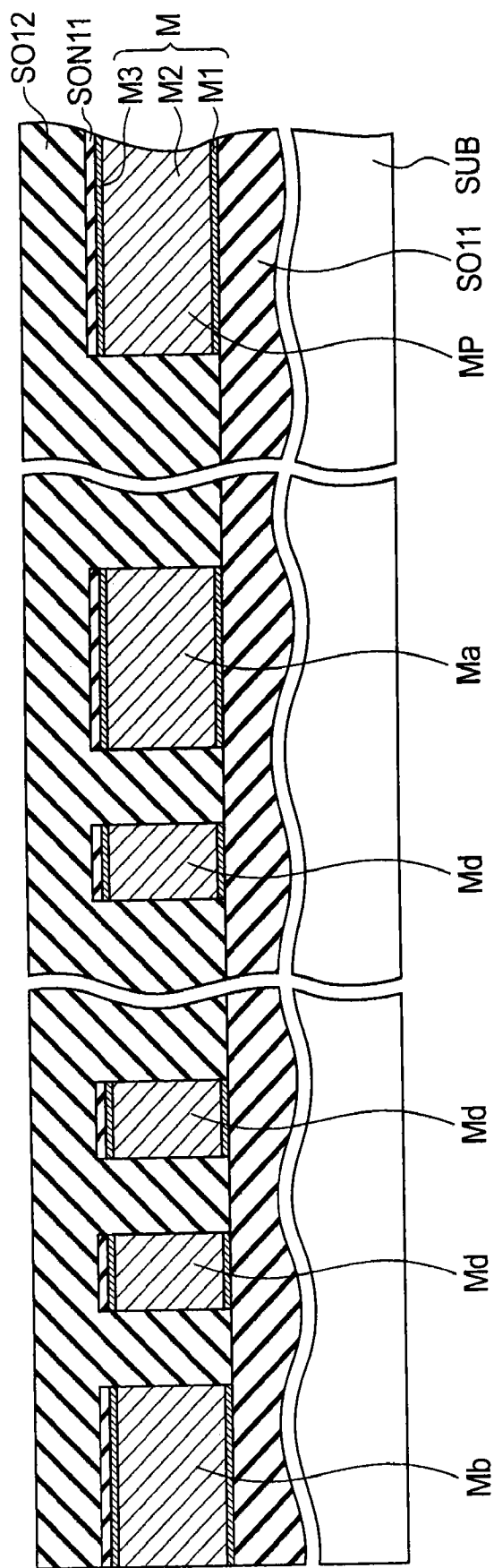


图 6

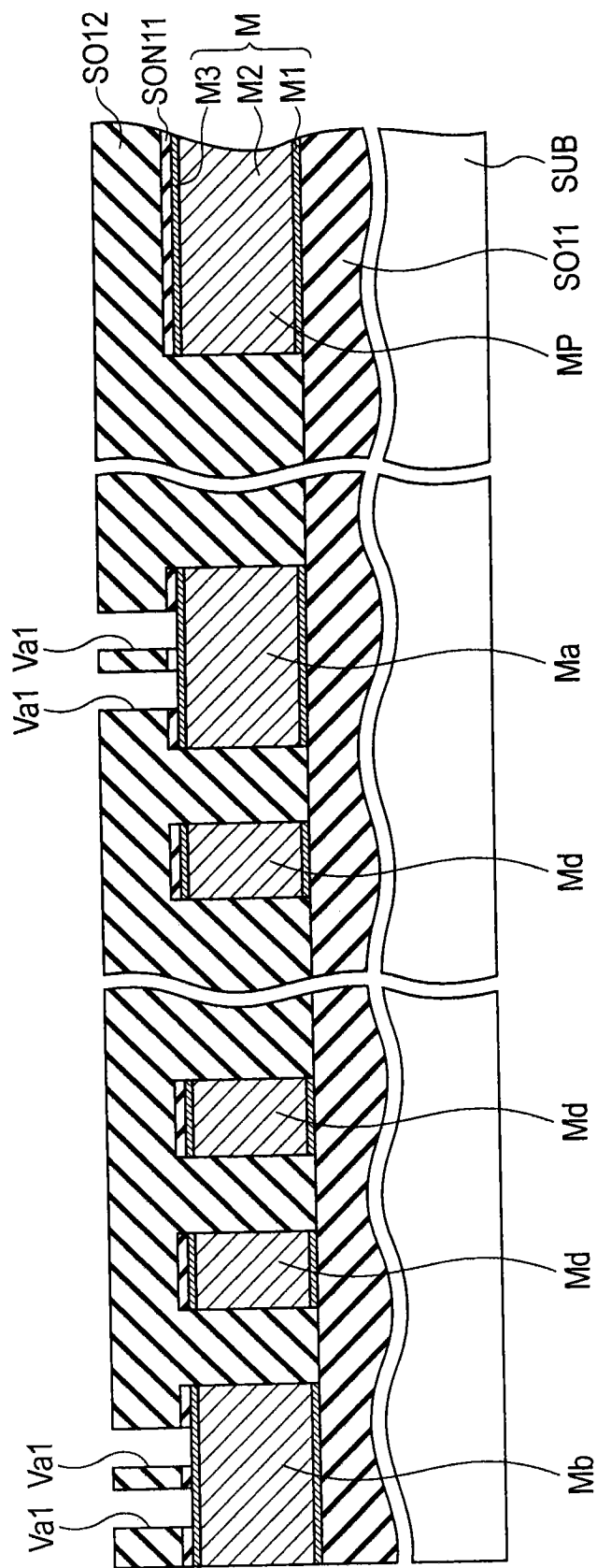


图 7

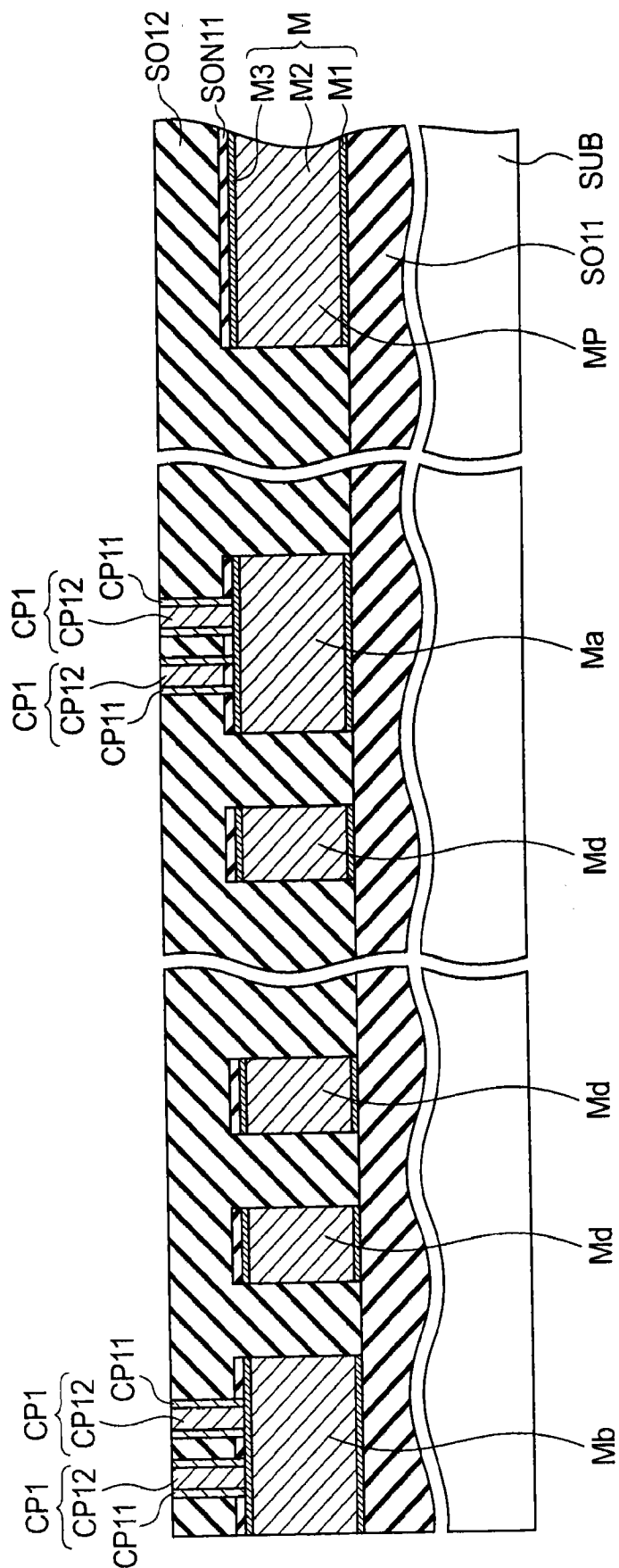


图 8

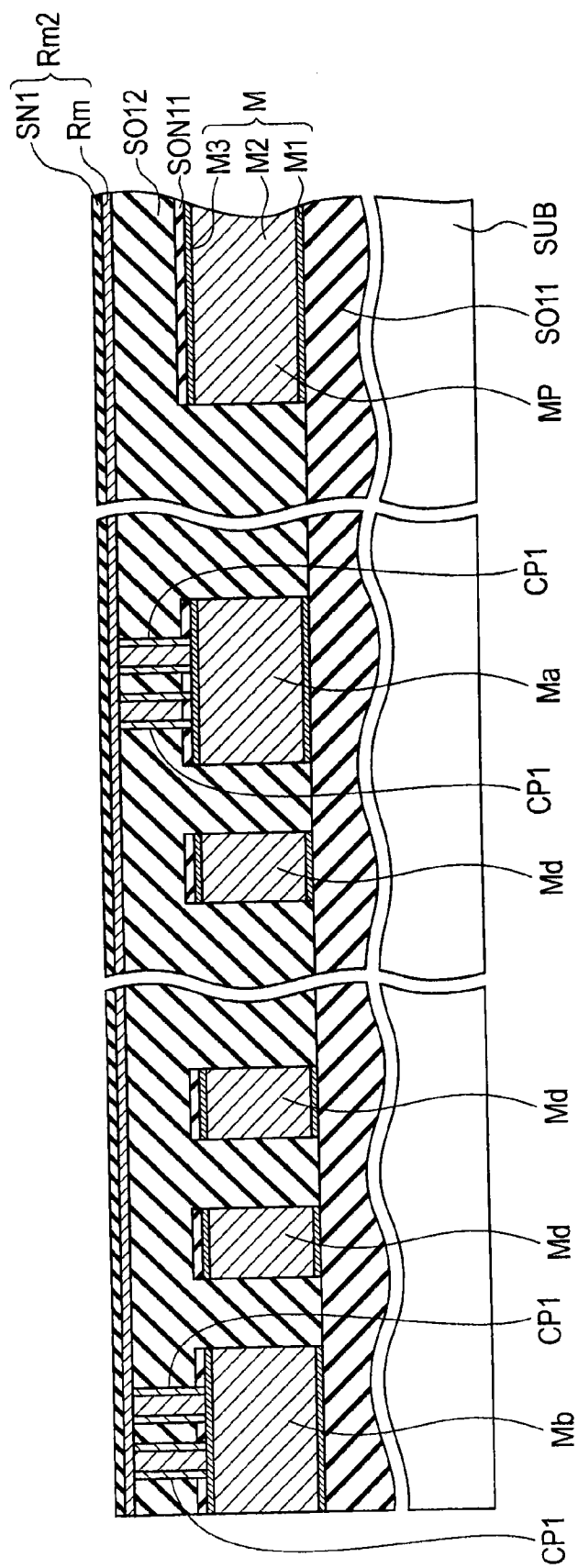


图 9

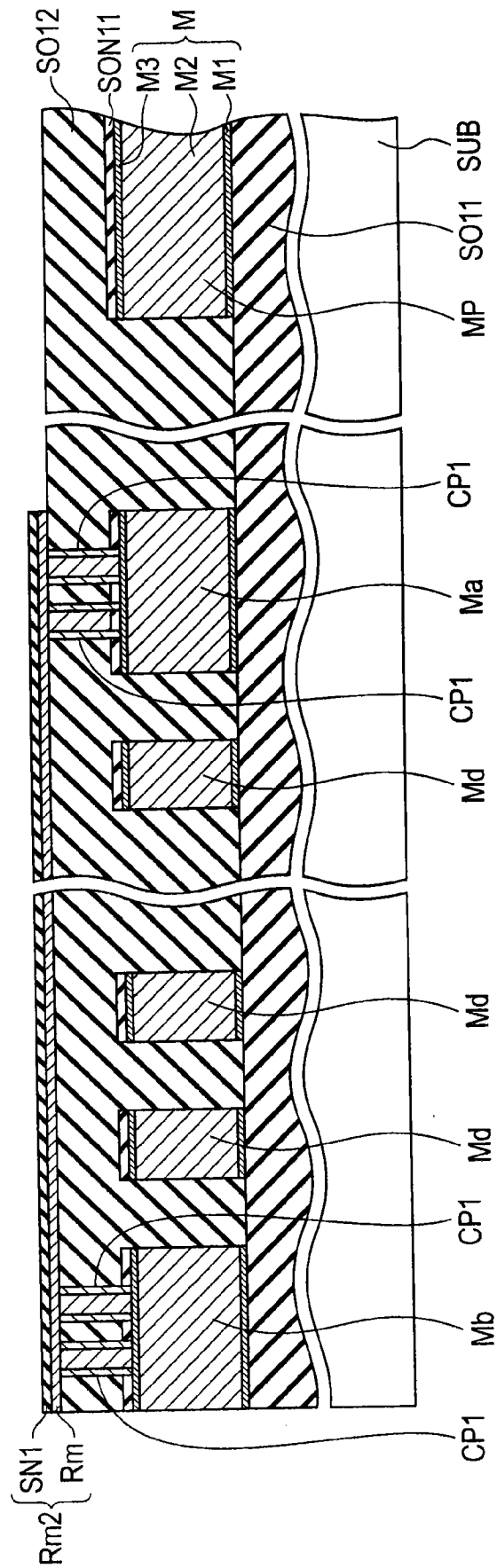


图 10

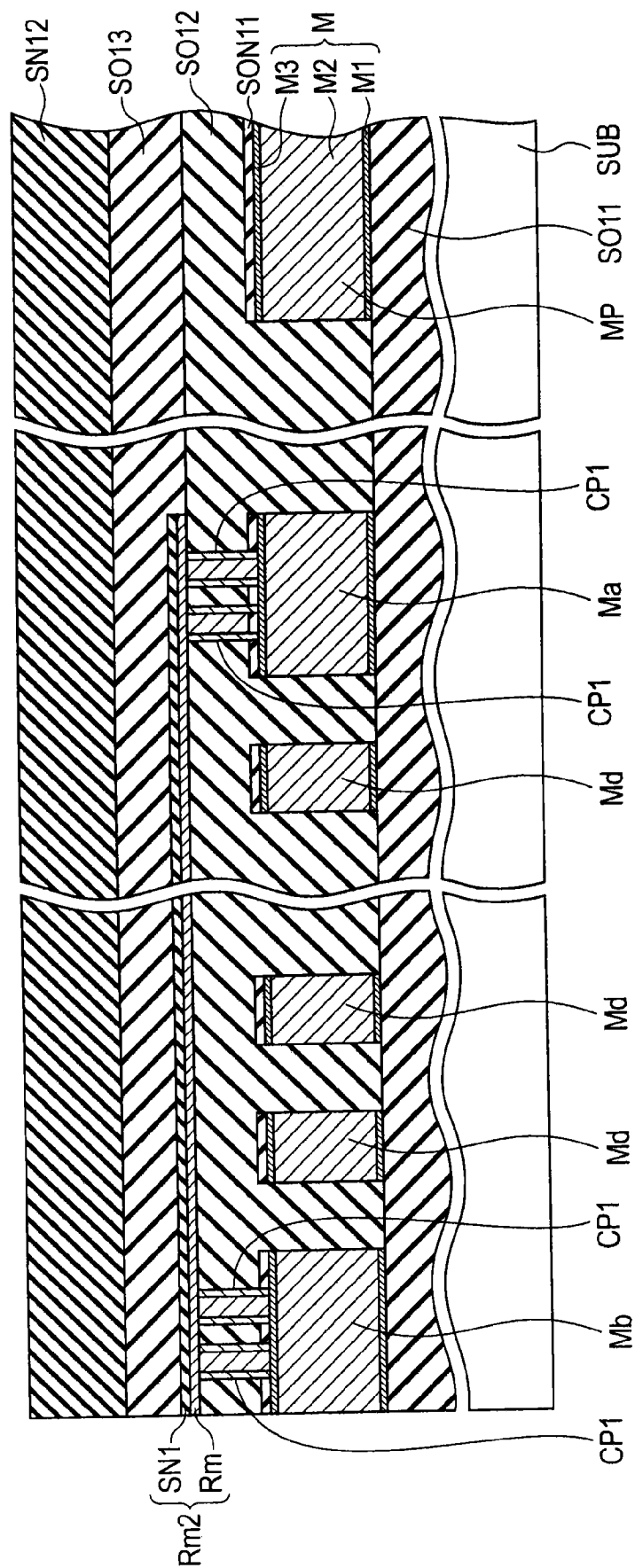


图 11

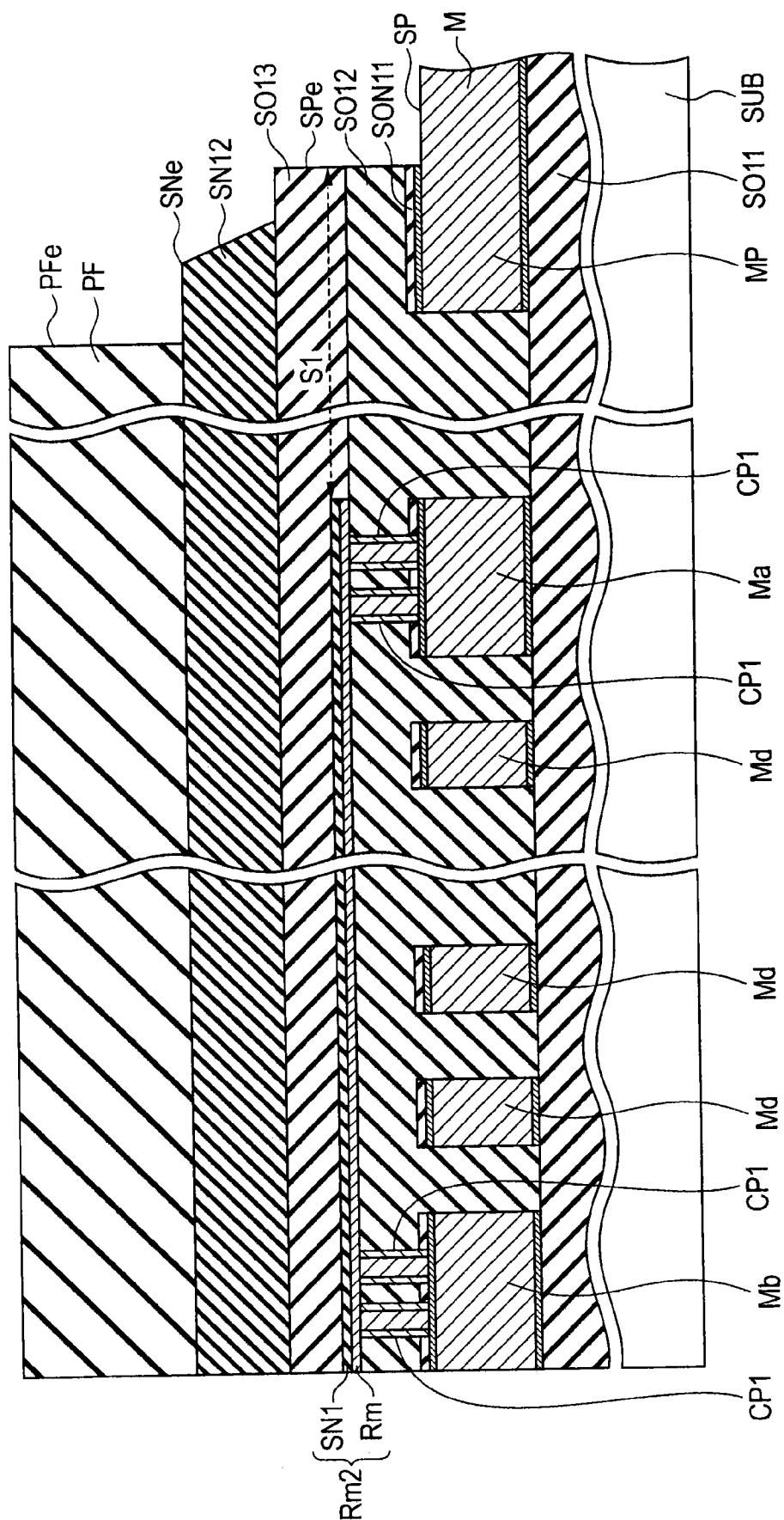


图 13

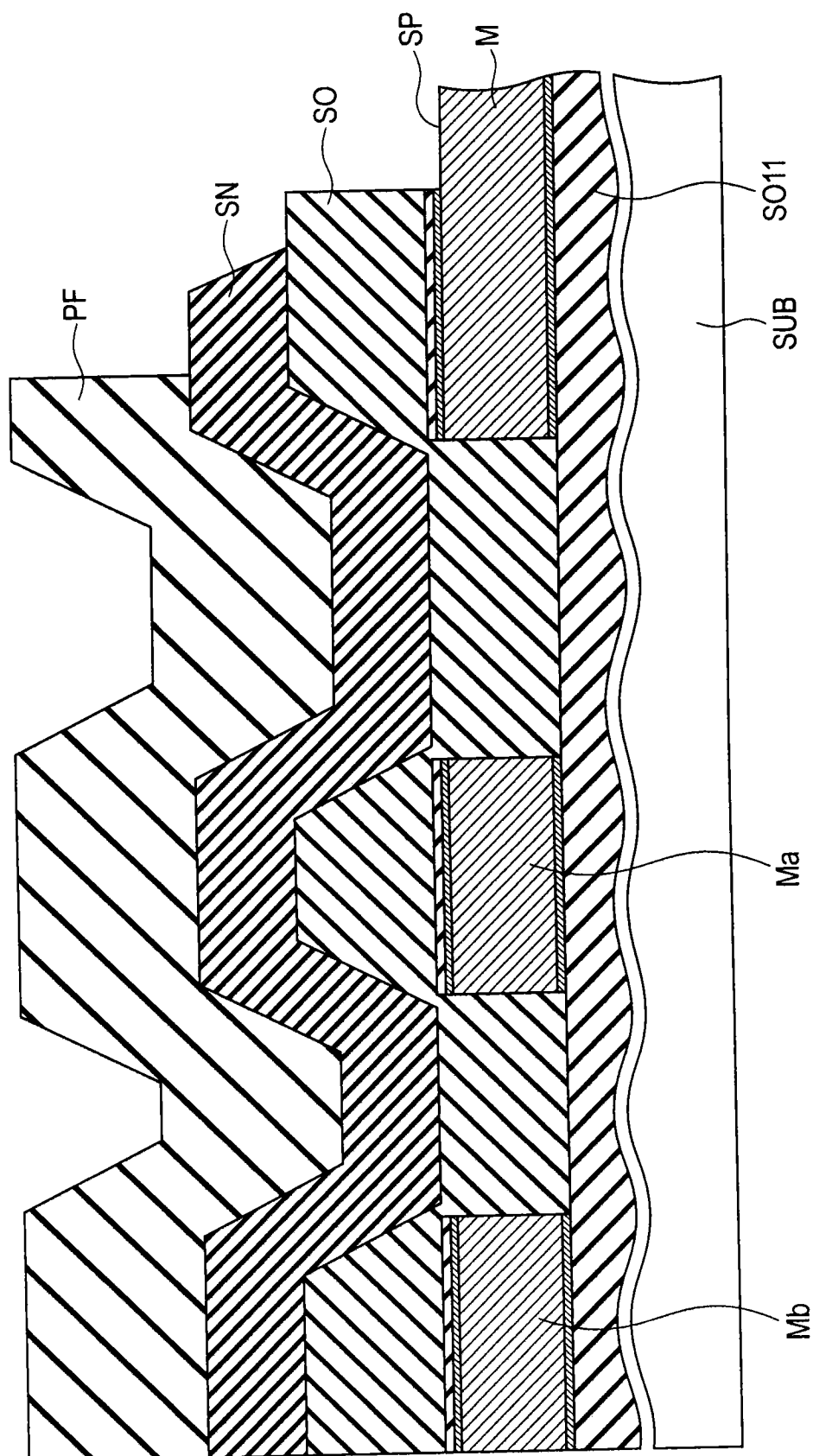


图 14

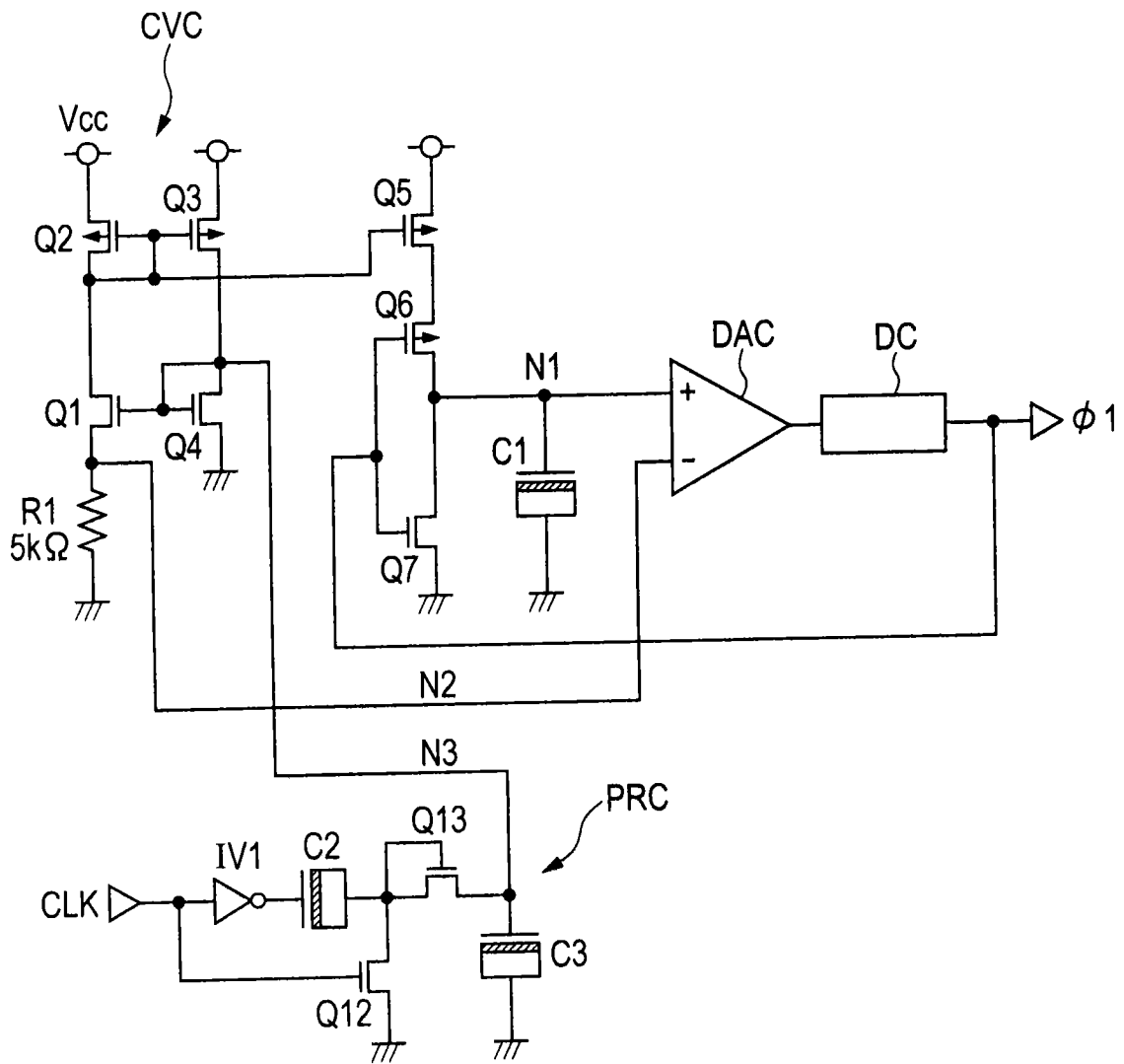


图 15

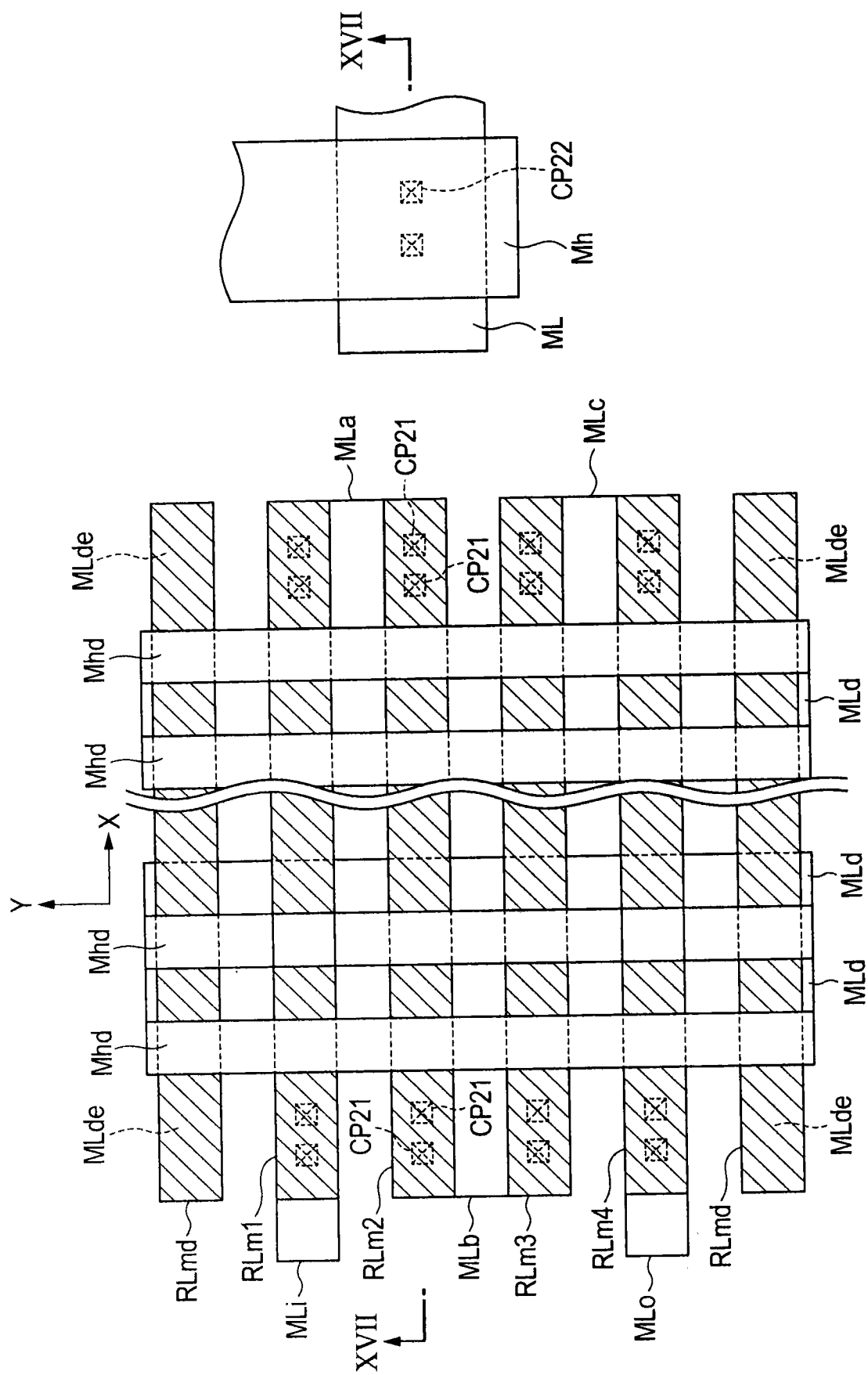


图 16

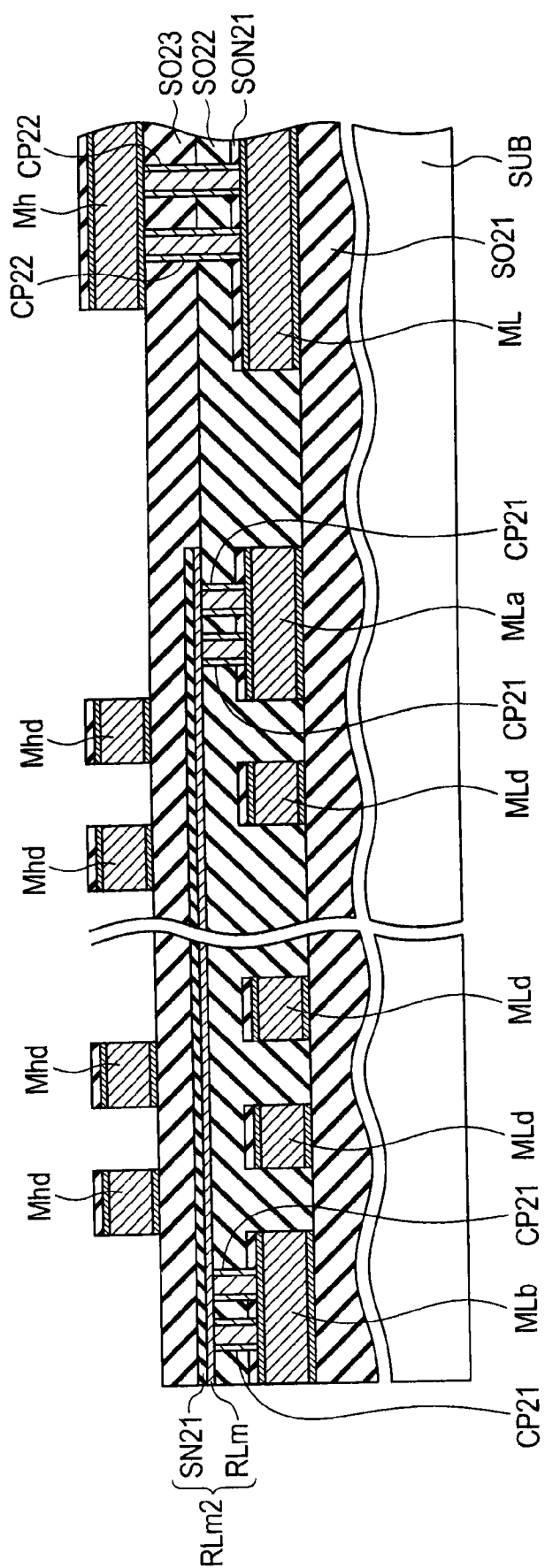


图 17

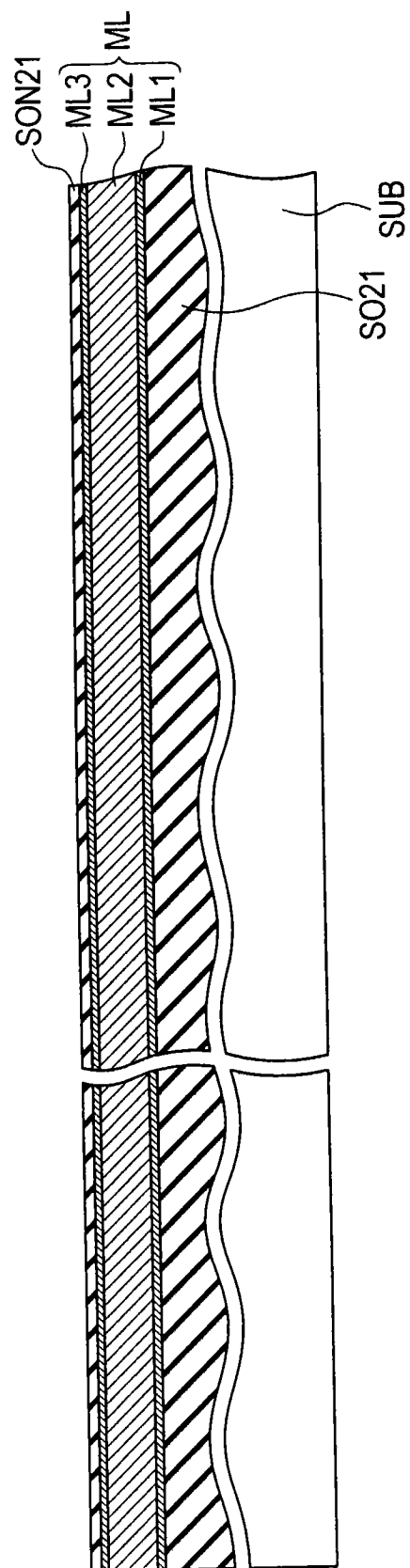


图 18

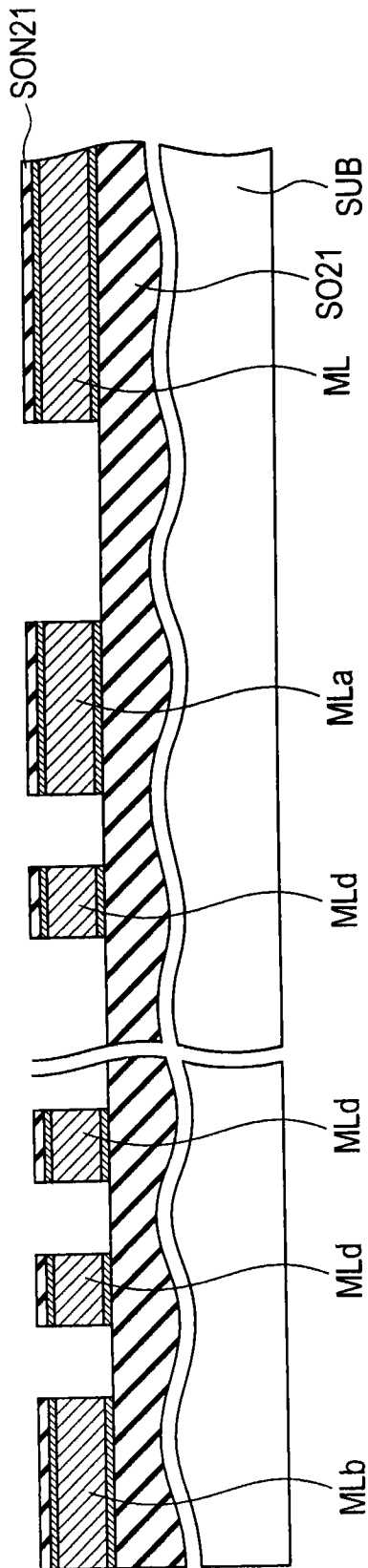


图 19

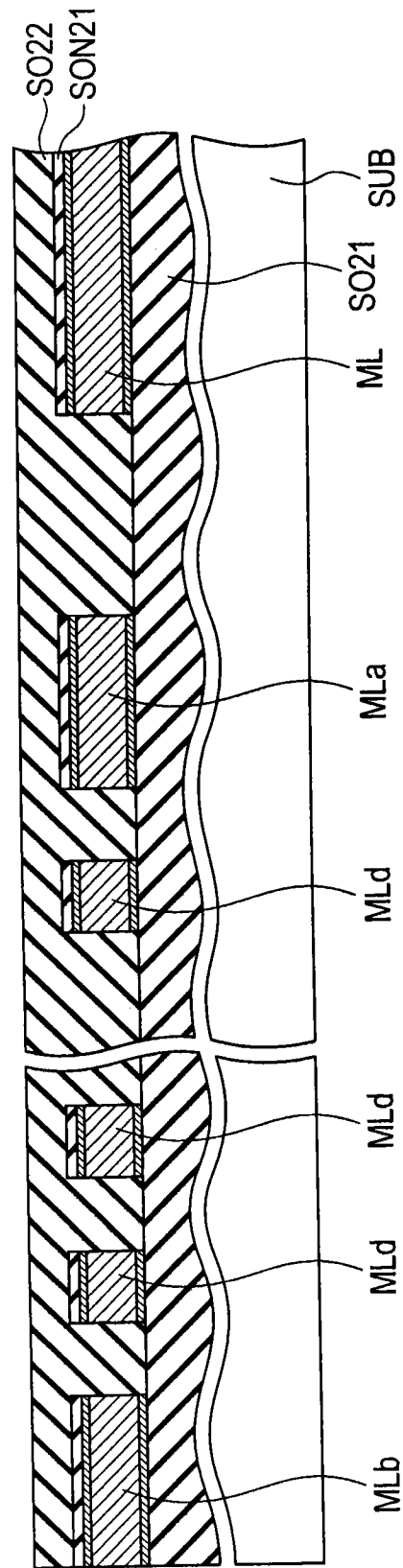


图 20

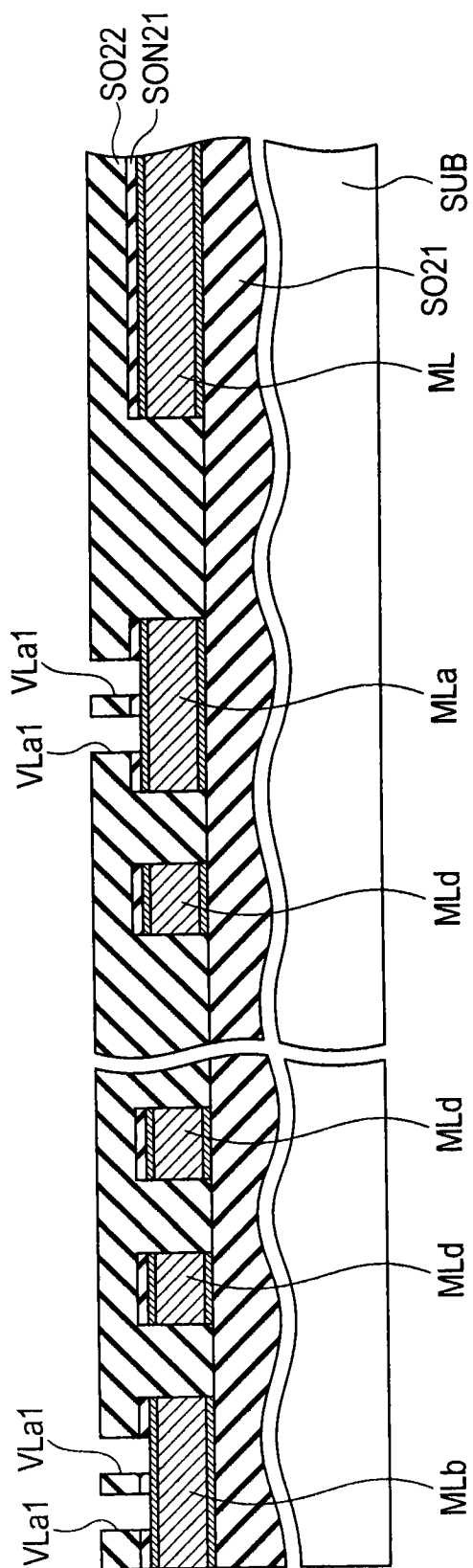


图 21

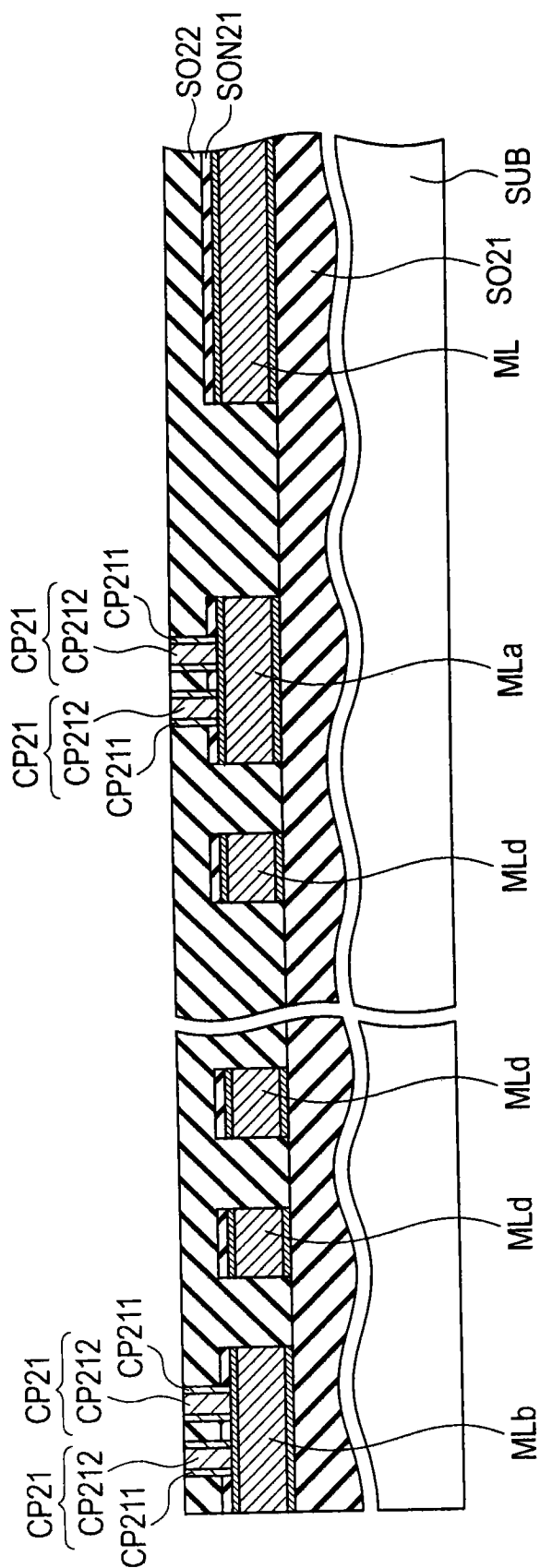


图 22

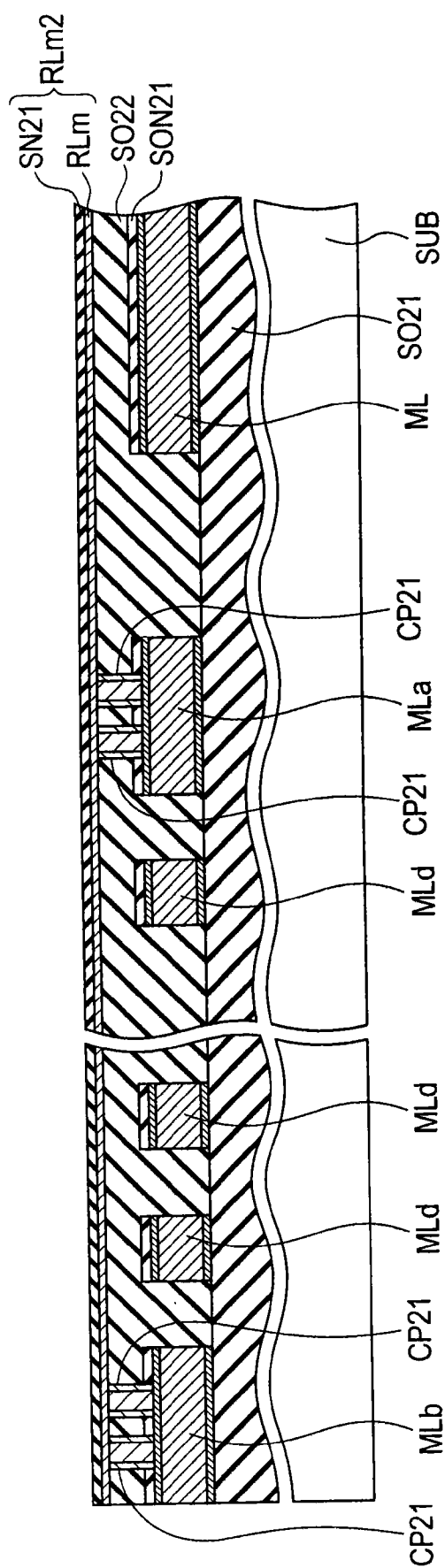


图 23

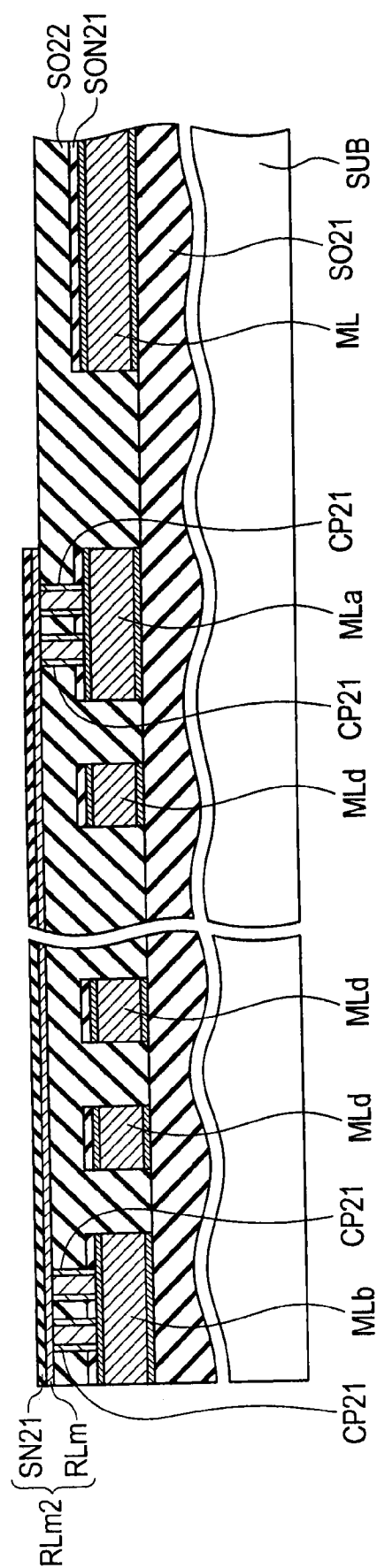


图 24

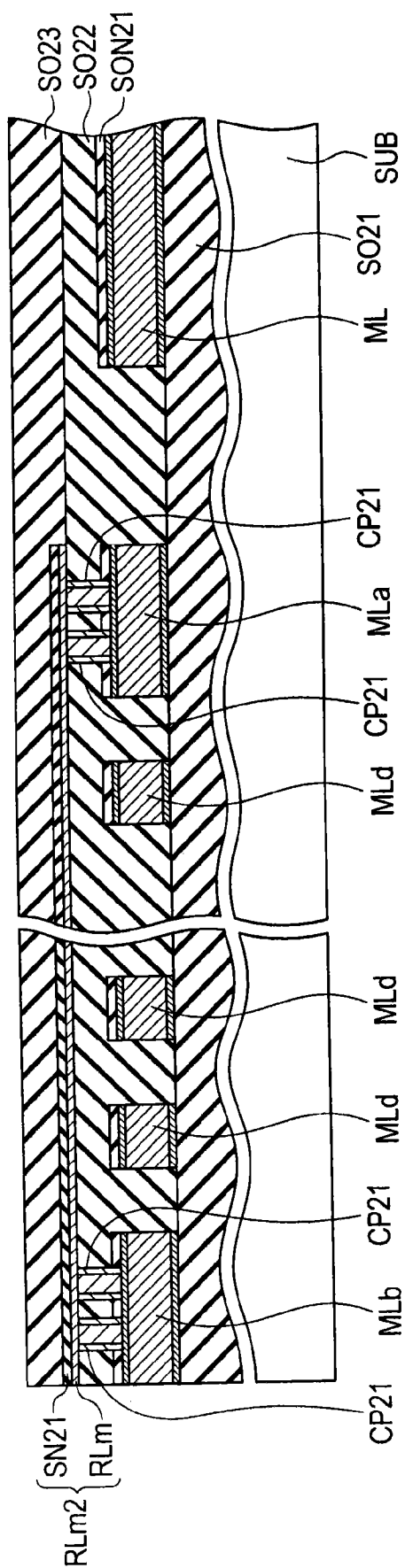


图 25

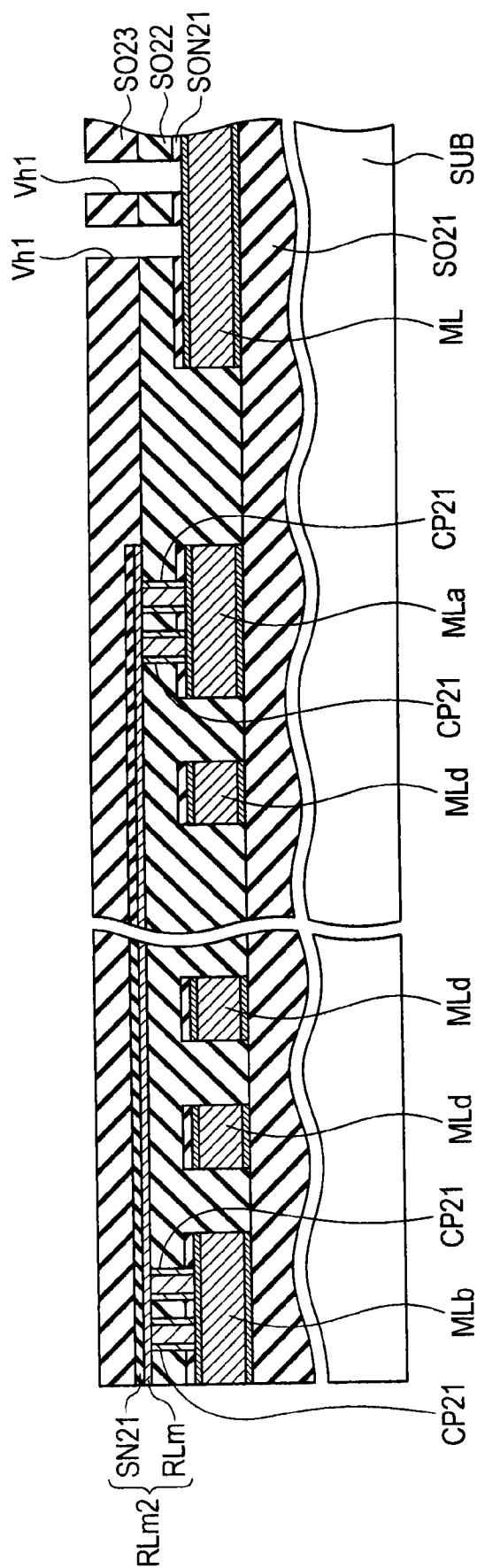


图 26

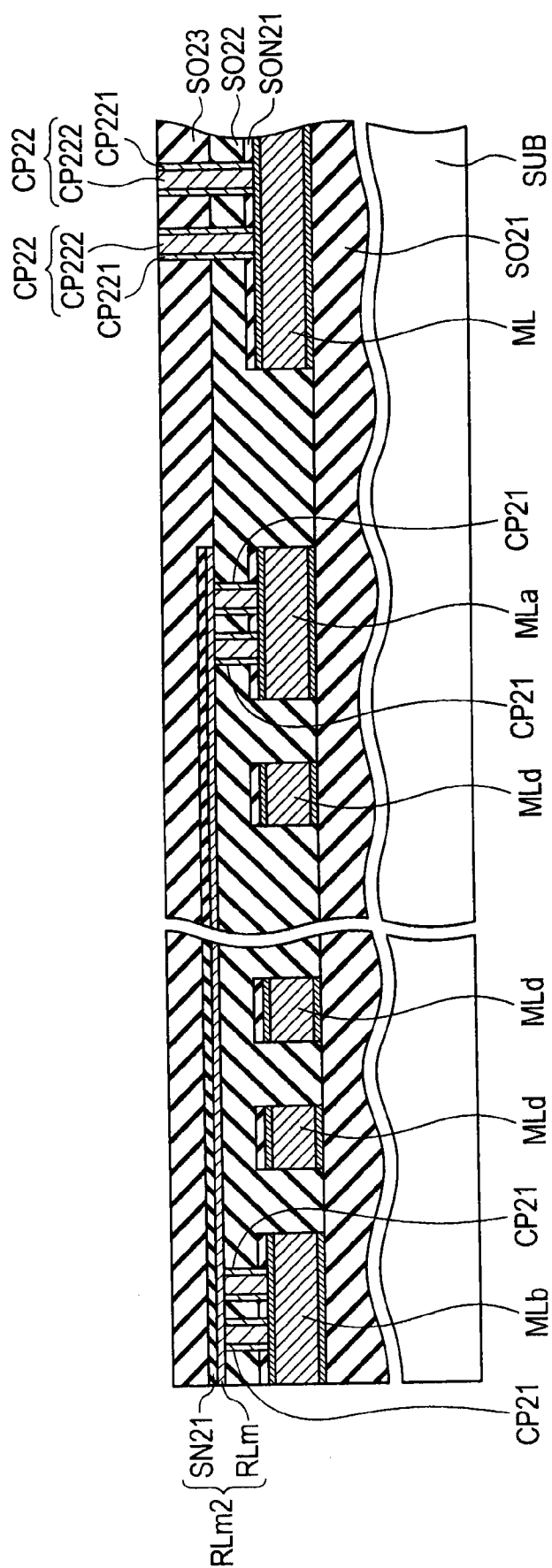


图 27

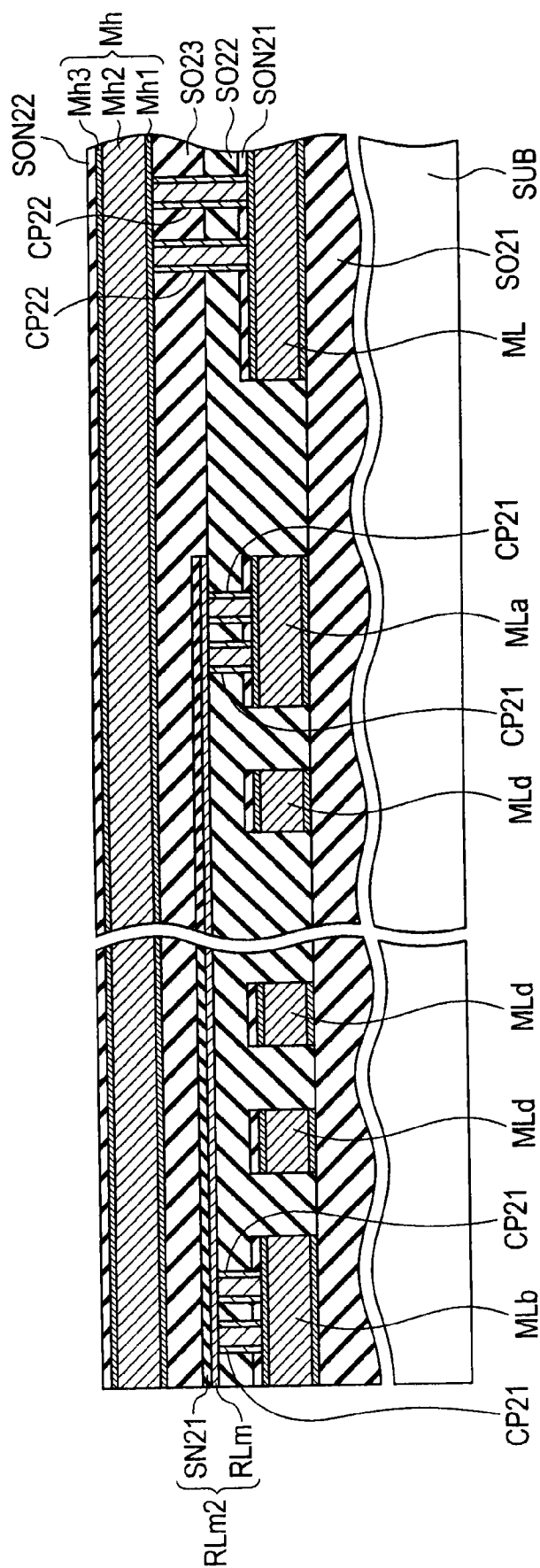


图 28

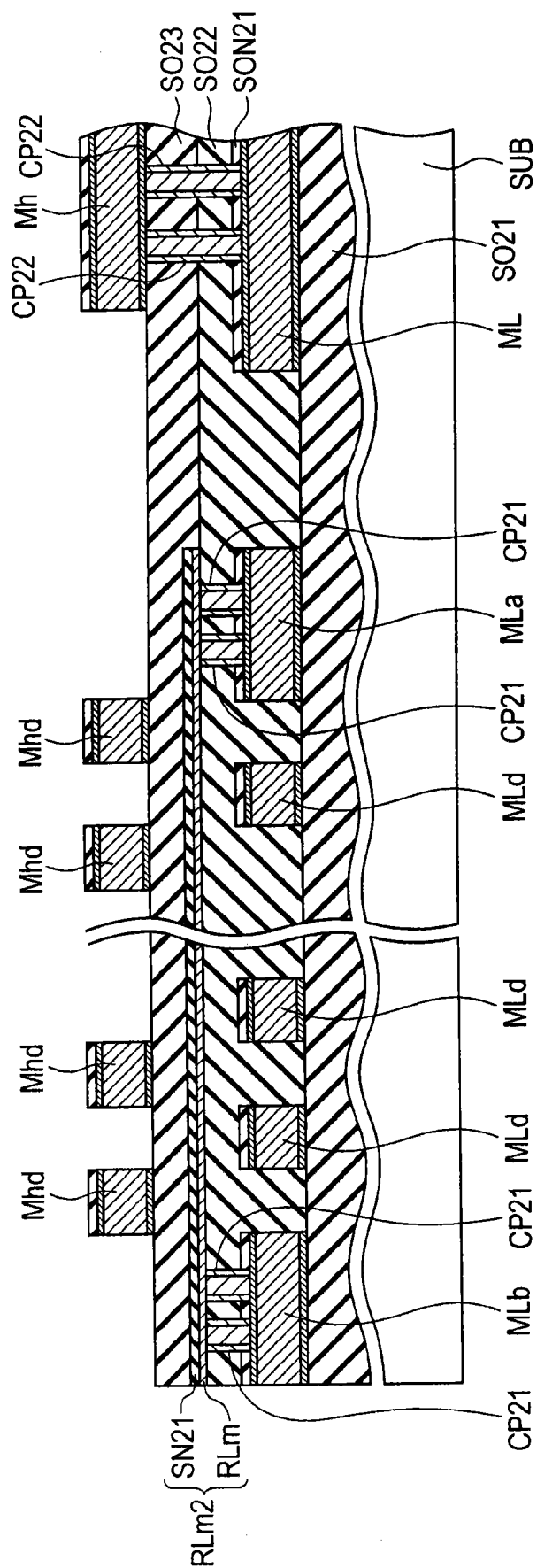


图 29

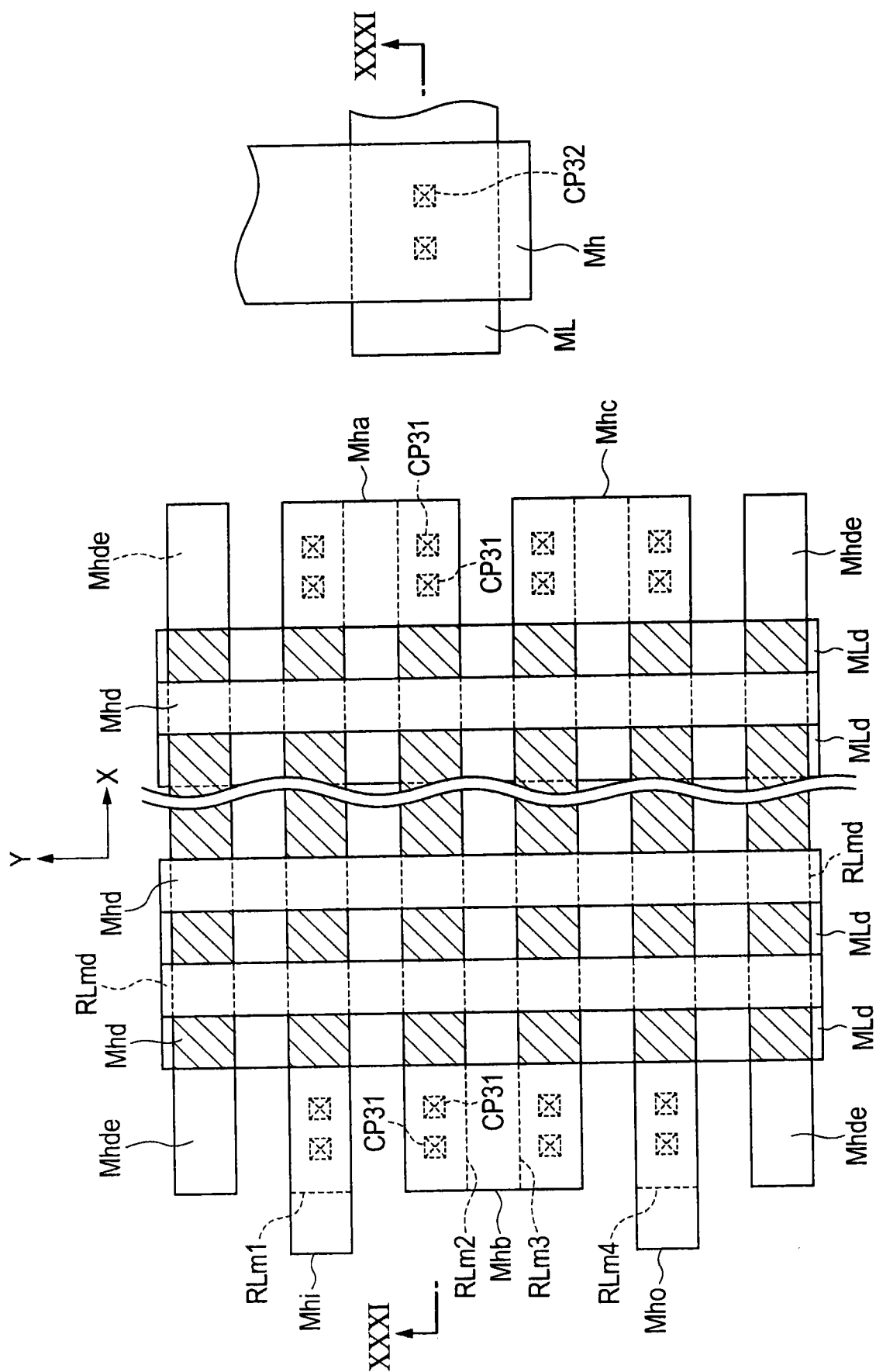


图 30

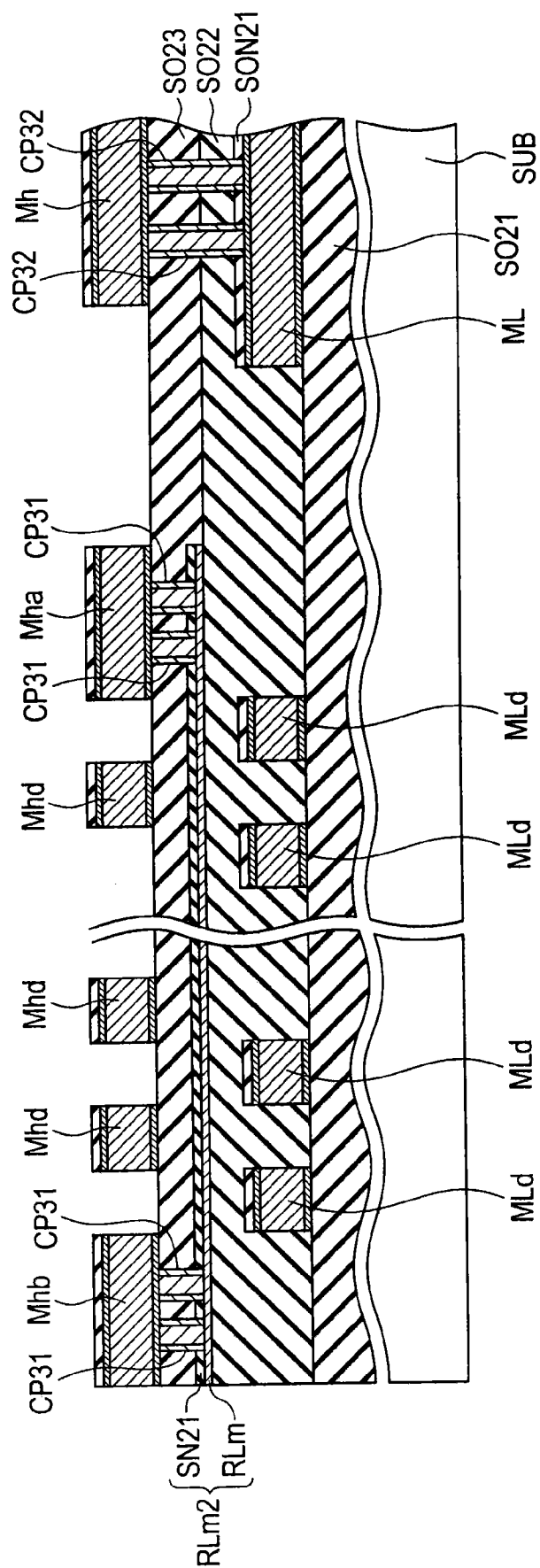


图 31

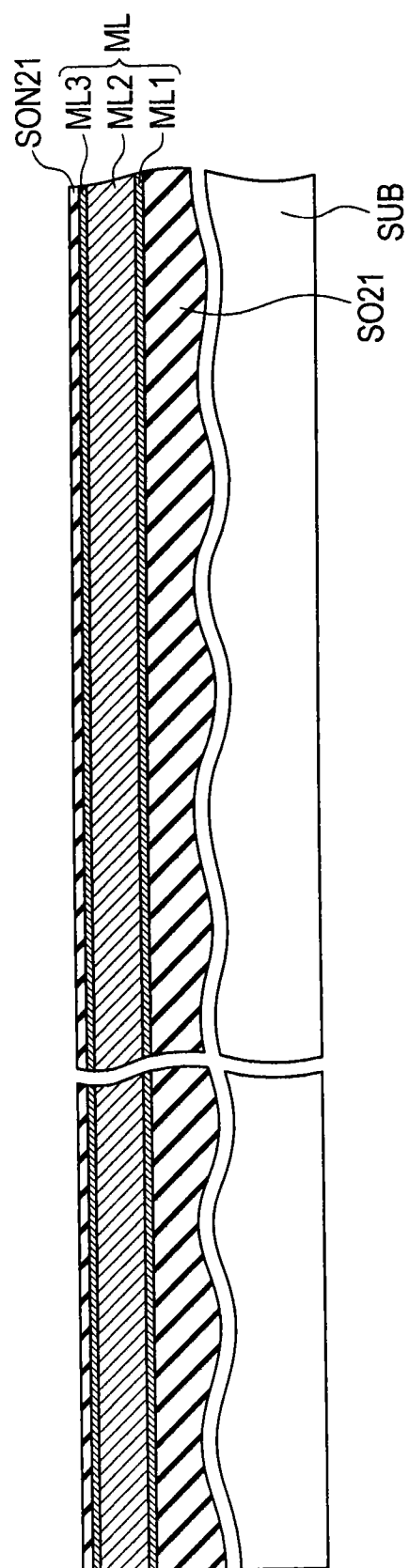


图 32

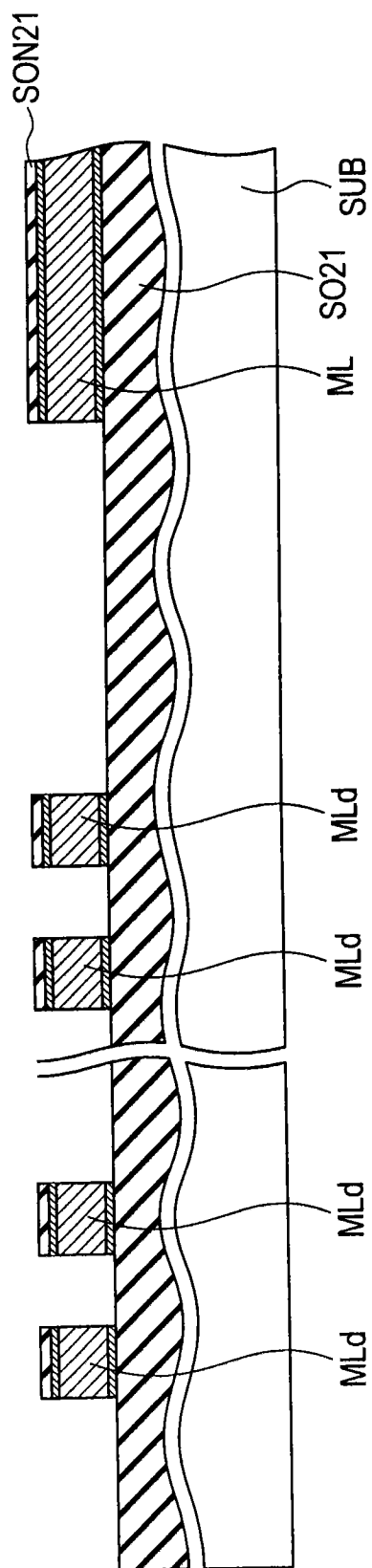


图 33

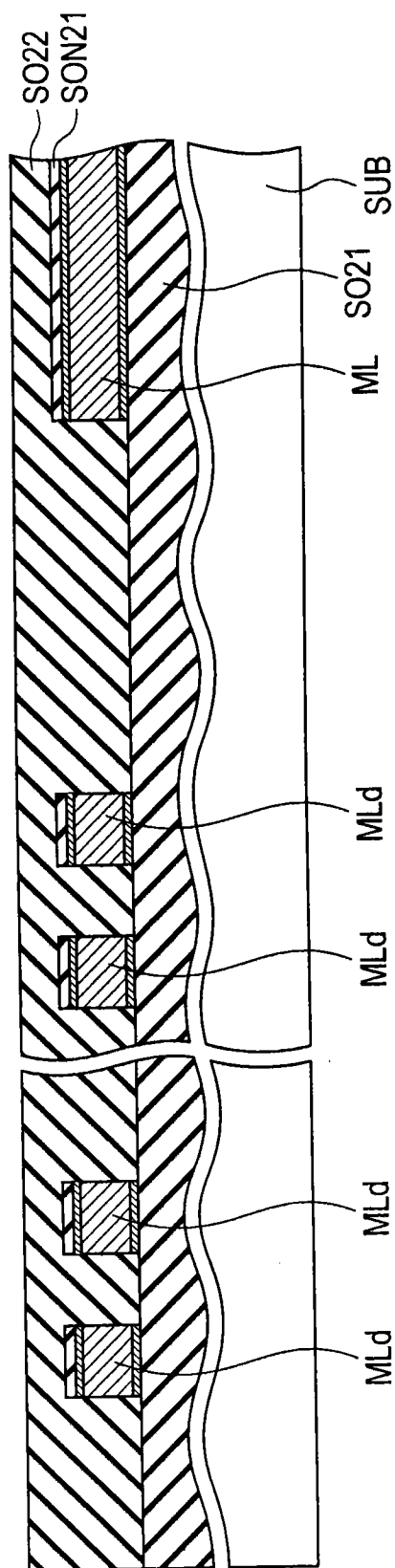


图 34

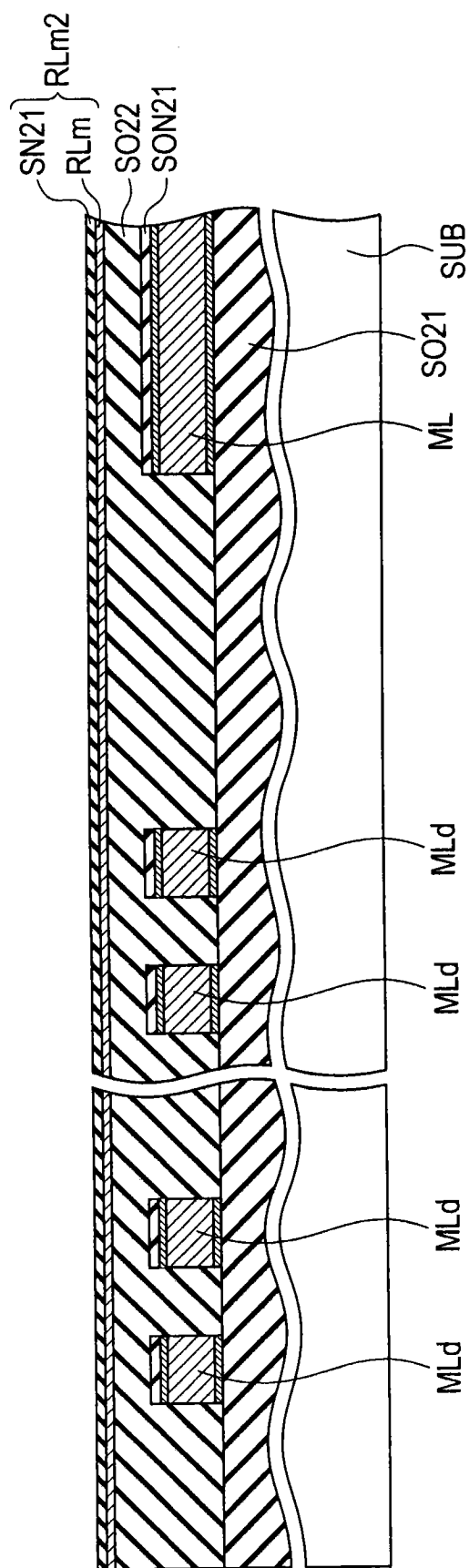


图 35

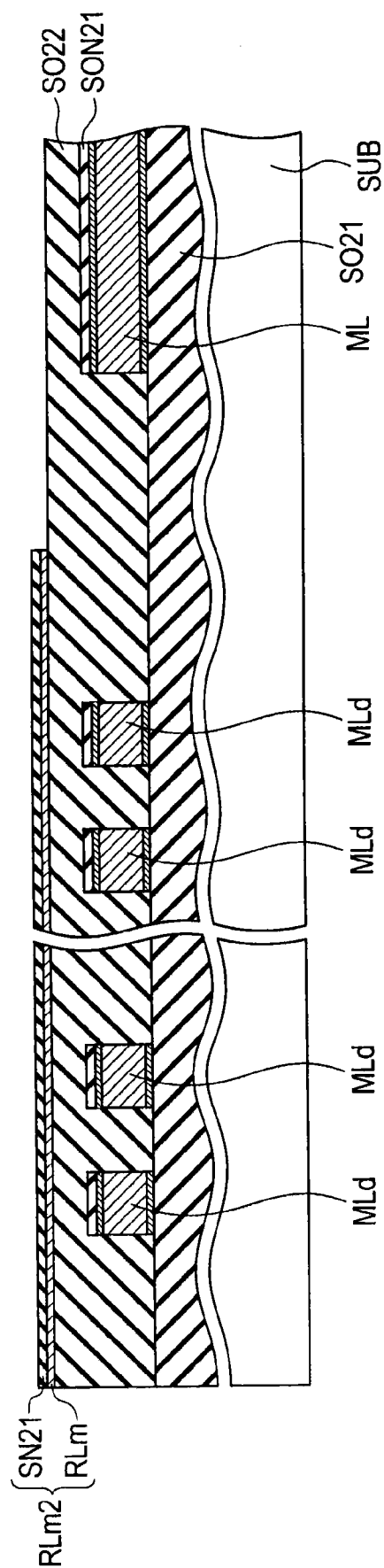


图 36

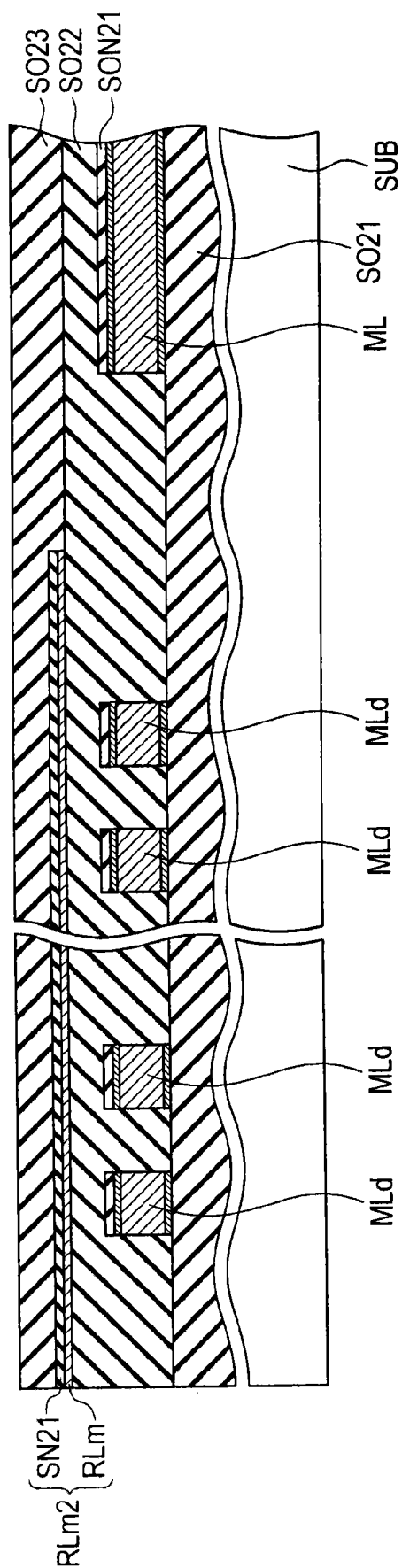


图 37

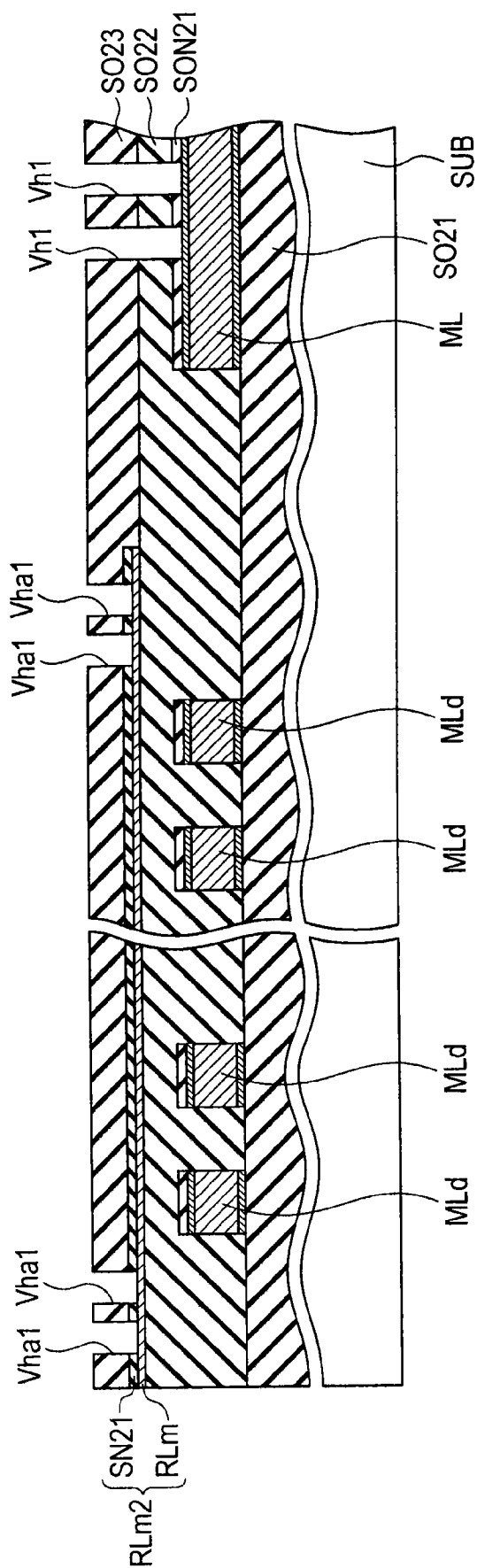


图 38

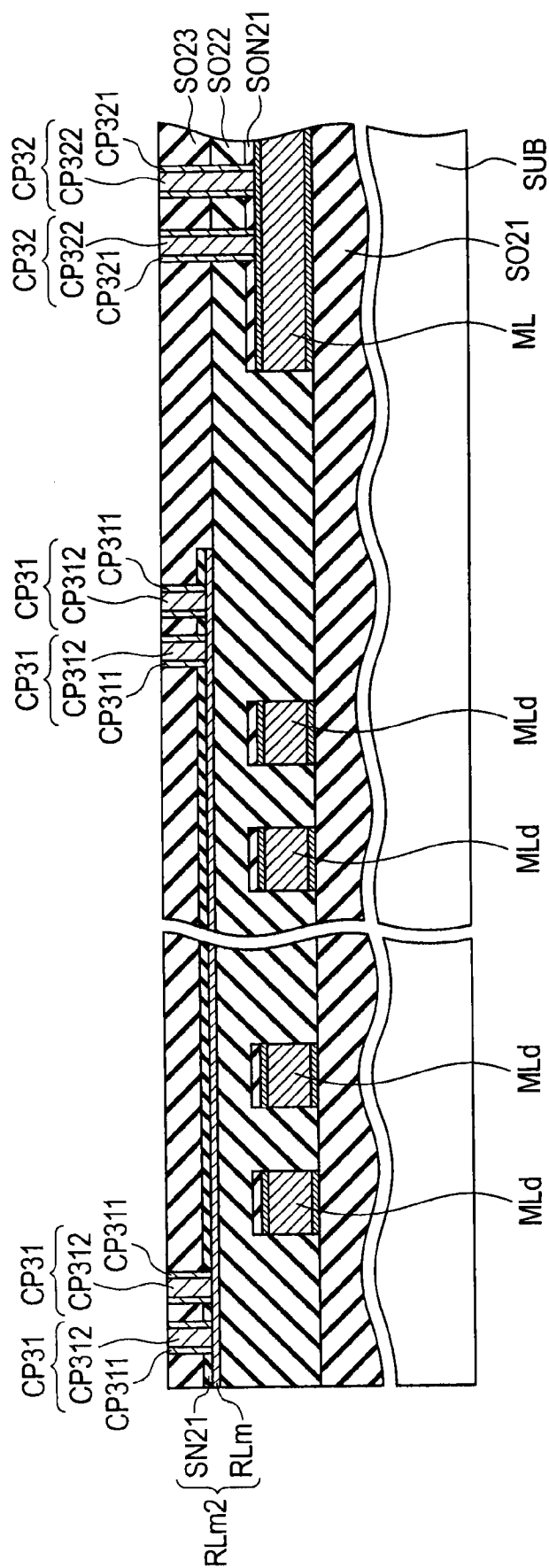


图 39

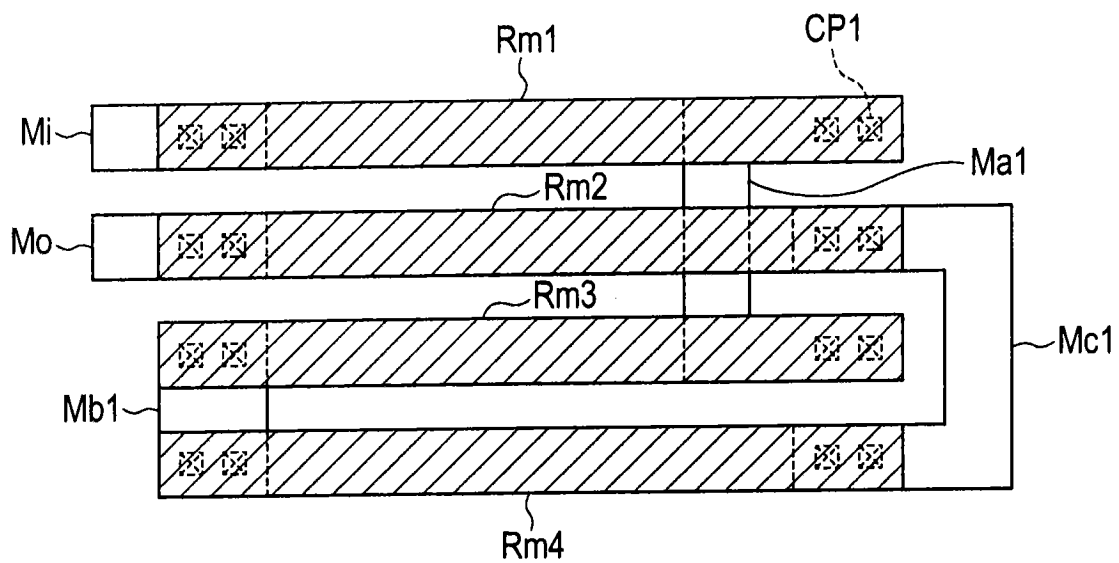


图 43A

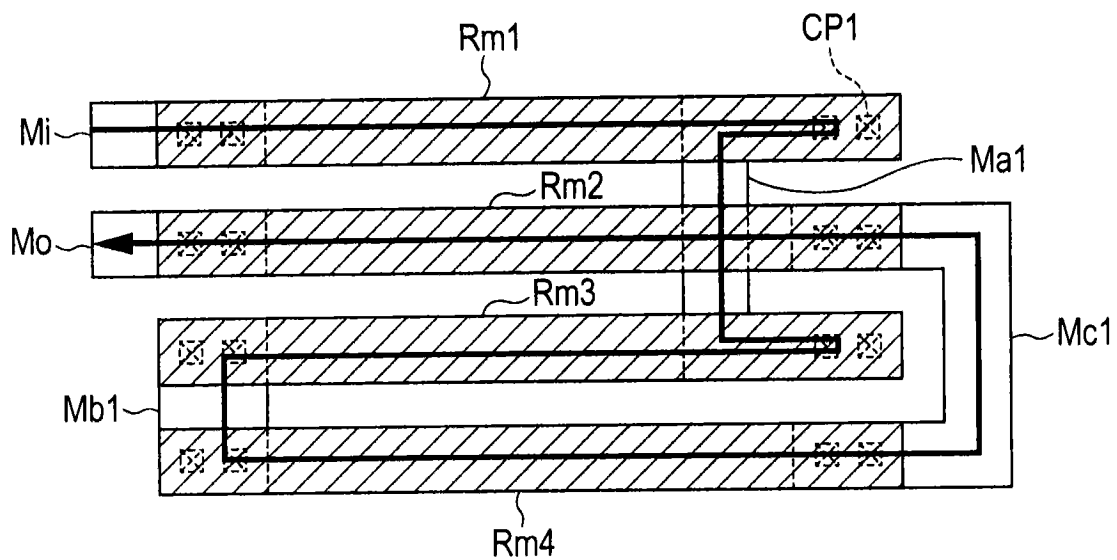


图 43B