



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2010년05월06일
(11) 등록번호 10-0956718
(24) 등록일자 2010년04월29일

(51) Int. Cl.
H01L 21/311 (2006.01) H01L 21/28 (2006.01)
H01L 21/3205 (2006.01)
(21) 출원번호 10-2006-7022307
(22) 출원일자(국제출원일자) 2005년05월23일
심사청구일자 2008년02월28일
(85) 번역문제출일자 2006년10월26일
(65) 공개번호 10-2007-0021191
(43) 공개일자 2007년02월22일
(86) 국제출원번호 PCT/US2005/018050
(87) 국제공개번호 WO 2005/117085
국제공개일자 2005년12월08일
(30) 우선권주장
10/709,722 2004년05월25일 미국(US)
(56) 선행기술조사문헌
US20020055243 A1*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
인터내셔널 비지네스 머신즈 코포레이션
미국 10504 뉴욕주 아몬크 뉴오차드 로드
(72) 발명자
스탬퍼, 앤토니, 케이.
미국, 버몬트 05495, 윌리스톤, 에버그린 드라이브 46
(74) 대리인
신영무, 윤혜진

전체 청구항 수 : 총 10 항

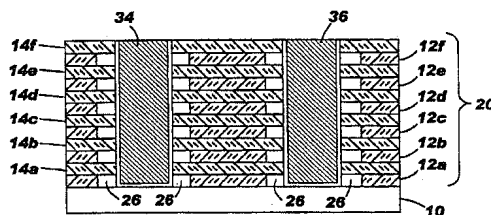
심사관 : 김정민

(54) 에어 캡을 갖는 반도체 장치를 형성하는 방법 및 이에 의해 형성된 구조물

(57) 요약

반도체 장치를 형성하는 방법과 이에 의해 형성된 장치. 교대하는 제1 유전 재료(12a-f) 및 제2 유전 재료(14a-f)층을 적층하고, 이 때 제1 및 제2 유전 재료는 다른 속도에서 선택적으로 에칭될 수 있다. 교대하는 유전 재료층 내에 제1 피처(22, 24)를 형성한다. 각 층의 제1 유전 재료의 적어도 일부(26)를 제거하도록 교대하는 유전 재료층을 선택적으로 에칭하여, 제1 유전 재료를 가지며 제2 유전 재료는 에칭되지 않은 채 남겨둔다.

대표도 - 도10



특허청구의 범위

청구항 1

반도체 장치를 형성하는 방법에 있어서,

기판의 상면 상에 제1 배선 레벨을 제공하는 단계, - 상기 제1 배선 레벨은 제1 유전 재료 및 제2 유전 재료가 교대로 적층된 교대층을 포함하고, 상기 제1 유전 재료층은 복수의 제1 유전 재료층을 포함하고, 상기 제2 유전 재료층은 복수의 제2 유전 재료층을 포함함.-;

제1 배선 레벨을 통과하여 제1 배선 레벨의 상면으로부터 기판의 상면까지 각각 연장하는 제1 트렌치 및 제2 트렌치를 제공하는 단계;

모든 교대층들의 일부를 포함하는 제1 적층형 구조물을 제공하는 단계, - 상기 제1 적층형 구조물은 상기 제1 및 제2 트렌치 사이에 위치하고, 상기 제1 배선 레벨의 상면으로부터 상기 기판의 상면까지 연장됨.-; 및

상기 제1 트렌치의 하벽, 상기 제1 트렌치의 측벽, 상기 제1 적층형 구조물의 상면, 상기 제2 트렌치의 측벽 및 상기 제2 트렌치의 하벽 상에 컨포멀 증착되는 연속 유전체 라이너를 제공하는 단계를 포함하며,

여기서 제1 적층형 구조물내에 있는 각각의 제1 유전 재료층의 제1 유전 재료는 제1 적층형 구조물내에 있는 각각의 제1 유전 재료층의 제1 에어 갭과 제2 에어 갭 사이에 위치하고,

제1 적층형 구조물내에 있는 제1 유전 재료층의 제1 에어 갭과 제2 에어 갭은 각각 상기 제1 및 제2 트렌치의 측벽 상에서 상기 라이너에 의해 경계지워지고,

제1 적층형 구조물내에 있는 각각의 제2 유전 재료층의 제2 유전 재료는 상기 제1 트렌치의 측벽 및 상기 제2 트렌치의 측벽과 기계적으로 직접 접촉하는,

반도체 장치를 형성하는 방법.

청구항 2

반도체 장치에 있어서,

기판;

상기 기판의 상면상의 제1 배선 레벨, - 상기 제1 배선 레벨은 제1 유전 재료 및 제2 유전 재료가 교대로 적층된 교대층들을 포함하고, 상기 제1 유전 재료 층은 복수의 제1 유전 재료층들을 포함하고, 상기 제2 유전 재료 층은 복수의 제2 유전 재료층들을 포함.-;

상기 제1 배선 레벨을 통과하여 상기 제1 배선 레벨의 상면으로부터 상기 기판의 상면까지 각각 연장되는 제1 트렌치 및 제2 트렌치;

상기 교대층들 전체의 일부를 포함하는 제1 적층형 구조물, -상기 제1 적층형 구조물은 상기 제1 및 제2 트렌치 사이에 위치하고, 상기 제1 배선 레벨의 상면으로부터 상기 기판의 상면까지 연장됨.-; 및

상기 제1 트렌치의 하벽, 상기 제1 트렌치의 측벽, 상기 제2 트렌치의 측벽 및 상기 제2 트렌치의 하벽 상에 컨포멀 증착되는 유전체 라이너(dielectric liner)를 포함하며,

제1 적층형 구조물 내에 있는 각각의 제1 유전 재료층의 제1 유전 재료는 제1 적층형 구조물 내에 있는 각각의 제1 유전 재료층의 제1 에어 갭과 제2 에어 갭 사이에 위치하고,

제1 적층형 구조물 내에 있는 각각의 제1 유전 재료층의 상기 제1 및 제2 에어 갭은 상기 제1 및 제2 트렌치들의 측벽 상에서 상기 라이너에 의해 각각 경계지워지며,

제1 적층형 구조물 내에 있는 각각의 제2 유전 재료층의 제2 유전 재료는 상기 제1 트렌치의 측벽 및 상기 제2 트렌치의 측벽과 기계적으로 직접 접촉하는,

반도체 장치.

청구항 3

반도체 장치에 있어서,

기판;

상기 기판의 상면상의 제1 배선 레벨, - 상기 제1 배선 레벨은 제1 유전 재료 및 제2 유전 재료가 교대로 적층된 교대층을 포함하고, 상기 제1 유전 재료층은 복수의 제1 유전 재료층들을 포함하고, 상기 제2 유전 재료층은 복수의 제2 유전 재료층들을 포함.-;

상기 제1 배선 레벨을 통과하여 상기 제1 배선 레벨의 상면으로부터 상기 기판의 상면까지 각각 연장되는 제1 트렌치 및 제2 트렌치;

상기 교대층들 전체의 일부를 포함하는 제1 적층형 구조물, -상기 제1 적층형 구조물은 상기 제1 및 제2 트렌치 사이에 위치하고, 상기 제1 배선 레벨의 상면으로부터 상기 기판의 상면까지 연장됨.-; 및

상기 제1 트렌치의 하벽, 상기 제1 트렌치의 측벽, 제1 적층형 구조물의 상면, 상기 제2 트렌치의 측벽 및 상기 제2 트렌치의 하벽 상에 컨포멀 증착되는 연속 유전체 라이너(continuous dielectric liner)를 포함하며,

제1 적층형 구조물 내에 있는 각각의 제1 유전 재료층의 제1 유전 재료는 제1 적층형 구조물 내에 있는 각각의 제1 유전 재료층의 제1 에어 갭과 제2 에어 갭 사이에 위치하고,

제1 적층형 구조물내에 있는 각각의 제1 유전 재료의 상기 제1 및 제2 에어 갭은 상기 제1 및 제2 트렌치들의 측벽 상에서 상기 라이너에 의해 각각 경계지워지며,

제1 적층형 구조물내에 있는 각각의 제2 유전 재료층의 제2 유전 재료는 상기 제1 트렌치의 측벽 및 상기 제2 트렌치의 측벽과 기계적으로 직접 접촉하는,

반도체 장치.

청구항 4

제 3 항에 있어서,

제1 및 제2 트렌치를 충전하며 상기 제1 및 제2 트렌치 위로 바깥으로 연장되는 제1 도전성 재료를 더 포함하는, 반도체 장치

청구항 5

제 3 항에 있어서,

상기 기판은 PMD(pre-metal dielectric) 기판이고,

상기 제1 유전 재료는: 폴리아릴렌 에테르 (SILKTM), 파릴렌 (N), 파릴렌 (F), 테플론, 다공성 폴리아릴렌 에테르 (SILKTM), 다공성 파릴렌 (N), 다공성 파릴렌 (F) 및 다공성 테플론으로 이루어진 그룹에서 선택되는 유기 유전 재료를 포함하고, 상기 제2 유전 재료는, OSG, SiO₂, FSG, MSQ, 다공성 OSG, 다공성 SiO₂, 다공성 FSG, 및 다공성 MSQ로 이루어진 그룹에서 선택되는 무기 유전 재료를 포함하는, 반도체 장치.

청구항 6

제3항에 있어서, 상기 연속 유전체 라이너는 SiCOH, SiN, SiC 및 SiCN으로 이루어진 그룹에서 선택되는 재료를 포함하는, 반도체 장치.

청구항 7

반도체 장치에 있어서,

기판;

상기 기판의 상면상의 제1 배선 레벨, - 상기 제1 배선 레벨은 제1 유전 재료 및 제2 유전 재료가 교대로 적층된 교대층을 포함하고, 상기 제1 유전 재료층은 복수의 제1 유전 재료층들을 포함하고, 상기 제2 유전 재료층은 복수의 제2 유전 재료층들을 포함.-;

상기 제1 배선 레벨을 통과하여 상기 제1 배선 레벨의 상면으로부터 상기 기판의 상면까지 연장되는 제1 트렌치

및 제2 트렌치;

상기 교대층들 전체의 일부를 포함하는 제1 적층형 구조물, - 상기 제1 적층형 구조물은 상기 제1 및 제2 트렌치 사이에 위치하고, 상기 제1 배선 레벨의 상면으로부터 상기 기관의 상면까지 연장됨.-;

상기 제1 트렌치의 하벽 및 상기 제1 트렌치의 측벽 상에 컨포멀 증착되는 제1 유전체 라이너 및 상기 제2 트렌치의 측벽 및 상기 제2 트렌치의 하벽 상에 컨포멀 증착되는 제2 유전체 라이너; 및

상기 제1 트렌치내에 제1 배선을 및 상기 제2 트렌치내에 제2 배선을 형성하기 위해 제1 및 제2 트렌치를 충전하는 제1 도전성 재료, - 여기서, 상기 제1 배선의 상면, 상기 제1 적층형 구조물의 상면 및 상기 제2 배선의 상면은 동일한 평면을 이룸.-;을 포함하고,

제1 적층형 구조물 내에 있는 각각의 제1 유전 재료층의 제1 유전 재료는 제1 적층형 구조물 내에 있는 제1 유전 재료층의 제1 에어 갭과 제2 에어 갭 사이에 위치하고,

제1 적층형 구조물 내에 있는 각각의 제1 유전 재료층의 상기 제1 및 제2 에어 갭은 상기 제1 및 제2 트렌치들의 측벽 상에서 상기 라이너에 의해 각각 경계지워지고,

제1 적층형 구조물 내에 있는 각각의 제2 유전 재료층의 제2 유전 재료는 상기 제1 트렌치의 측벽 및 상기 제2 트렌치의 측벽과 기계적으로 직접 접촉하는,

반도체 장치.

청구항 8

제 7 항에 있어서,

상기 제1 배선 레벨 상에 절연층을 더 포함하며, 상기 절연층은 상기 제1 배선의 상면, 상기 제1 적층형 구조물의 상면 및 상기 제2 배선의 상면과 기계적으로 직접 접촉하는, 반도체 장치.

청구항 9

제 8 항에 있어서,

상기 절연층의 상면상에서 상기 절연층의 상면과 기계적으로 직접 접촉하는 제2 배선 레벨을 더 포함하며, 상기 제2 배선 레벨은 제3 유전 재료 및 제4 유전 재료의 교대하는 층들을 포함하고, 상기 제3유전 재료의 층은 제3 유전 재료의 복수의 층들을 포함하고, 상기 제4 유전 재료의 층은 제4 유전 재료의 복수의 층들을 포함하며, 상기 제2 배선 레벨의 상면은 상기 제2 배선 레벨의 다른 면들보다 상기 절연층의 상면으로부터 멀리 위치하는, 반도체 장치.

청구항 10

반도체 장치를 형성하는 방법에 있어서,

기관의 상면 상에 제1 배선 레벨을 제공하는 단계, - 상기 제1 배선 레벨은 제1 유전 재료 및 제2 유전 재료가 교대로 적층된 교대층을 포함하고, 상기 제1 유전 재료층은 복수의 제1 유전 재료층을 포함하고, 상기 제2 유전 재료층은 복수의 제2 유전 재료층을 포함함.-;

제1 배선 레벨을 통과하여 제1 배선 레벨의 상면으로부터 기관의 상면까지 각각 연장하는 제1 트렌치 및 제2 트렌치를 제공하는 단계;

모든 교대층들의 일부를 포함하는 제1 적층형 구조물을 제공하는 단계, - 상기 제1 적층형 구조물은 상기 제1 및 제2 트렌치 사이에 위치하고, 상기 제1 배선 레벨의 상면으로부터 상기 기관의 상면까지 연장됨.-;

상기 제1 트렌치의 하벽 및 상기 제1 트렌치의 측벽 상에 컨포멀 증착된 제 1 유전체 라이너 및 상기 제2 트렌치의 측벽 및 상기 제2 트렌치의 하벽 상에 컨포멀 증착되는 제2 유전체 라이너를 제공하는 단계; 및

상기 제1 트렌치내에 제1 배선을 및 상기 제2 트렌치내에 제2 배선을 형성하기 위해 제1 및 제2 트렌치를 충전하는 제1 도전성 재료를 준비하는 단계, - 여기서, 상기 제1 배선의 상면, 상기 제1 적층형 구조물의 상면 및 상기 제2 배선의 상면은 동일한 평면을 이룸.-;을 포함하고,

여기서 제1 적층형 구조물내에 있는 각각의 제1 유전 재료층의 제1 유전 재료는 제1 적층형 구조물 내에 있는

각각의 제1 유전 재료층의 제1 에어 갭과 제2 에어 갭 사이에 위치하고,

제1 적층형 구조물 내에 있는 각각의 제1 유전 재료층의 제1 및 제2 에어갭은 각각 제1 및 제2 트렌치의 측벽상에 라이너에 의해 각각 경계지워지고,

제1 적층형 구조물내에 있는 각각의 제2 유전 재료층의 제2 유전 재료는 상기 제1 트렌치의 측벽 및 상기 제2 트렌치의 측벽과 기계적으로 직접 접촉하는,

반도체 장치를 형성하는 방법.

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

청구항 21

삭제

청구항 22

삭제

청구항 23

삭제

청구항 24

삭제

청구항 25

삭제

청구항 26

삭제

청구항 27

삭제

청구항 28

삭제

청구항 29

삭제

청구항 30

삭제

명세서

기술분야

- [0001] 본 발명은 일반적으로 반도체 장치에 관한 것으로, 더욱 특히 배선 레벨 내에 에어갭을 갖는 반도체 장치를 형성하는 방법과 이에 의해 형성된 구조물에 관한 것이다.

배경기술

- [0002] 반도체 장치가 점차 축소됨에 따라, 장치 피처 간의 간격이 줄어든다. 금속 배선층 내에서 피처 간의 거리 감소는 용량의 증가를 가져온다. 따라서, 상기 및 그 외 문제를 해결하기 위해 장치 피처 간의 거리를 감소시키면서 저 용량을 유지할 수 있는 반도체 장치를 형성하는 방법의 필요성이 대두되고 있다.

발명의 상세한 설명

- [0003] 본 발명은 상술된 문제를 해결하기 위해 금속 배선 레벨 내에 에어 갭을 갖는 반도체 장치를 형성하는 방법 및 이에 의해 형성된 구조물을 제공한다.
- [0004] 본 발명의 제1 형태는 반도체 장치를 형성하는 방법을 제공하는 것으로, 교대하는 제1 및 제2 유전 재료층을 적층하는 단계 - 상기 제1 및 제2 유전 재료는 다른 속도로 선택적으로 에칭 가능함 - ; 상기 교대하는 유전 재료층 내에 제1 피처를 형성하는 단계; 및 각 층의 상기 제1 유전 재료의 모두가 아닌 적어도 일부를 제거하도록 상기 교대하는 유전 재료층을 선택적으로 에칭하여 상기 제1 유전 재료를 갖고 상기 제2 유전 재료는 본질적으로 에칭되지 않은 채로 남겨두는 단계를 포함한다.
- [0005] 본 발명의 제2 형태는 교대하는 제1 및 제2 절연 재료층을 적층하는 단계; 상기 교대하는 제1 및 제2 절연 재료층 내에 제1 피처를 형성하는 단계; 및 상기 제1 절연 재료층 내에 개구를 형성하는 단계를 포함하는 반도체 장치를 형성하는 방법을 제공한다.
- [0006] 본 발명의 제3 형태는 교대하는 제1 유전 재료와 제2 유전 재료층을 가지며 상기 교대하는 제1 유전 재료와 제2 유전 재료층 내에 제1 피처가 형성되어 있는 금속 배선 레벨; 및 상기 제1 유전 재료 내의 복수의 개구를 포함하는 반도체 장치를 제공한다.
- [0007] 본 발명의 제4 형태는 복수의 교대하는 제1 및 제2 절연층 - 상기 제1 및 제2 절연층은 여러 에칭 속도를 가짐 - ; 상기 제1 및 제2 절연층 내에 형성된 제1 피처; 선택적 에칭 동안 형성된 상기 복수의 제1 절연층 내의 복수의 개구를 포함하는 반도체 장치를 제공한다.
- [0008] 본 발명의 상술 및 그 외 특성과 장점들은 본 발명의 실시예에 대한 다음의 특정한 설명으로부터 더욱 명백하게

될 것이다.

실시예

- [0027] 본 발명의 특정 실시예가 상세히 도시 및 설명되고 있지만, 첨부한 청구범위의 영역에서 벗어나지 않고 여러 변경과 수정들이 행해질 수 있다는 것이 이해될 것이다. 본 발명의 영역은 구성 성분, 그 재료, 그 형상, 그 상대적 구성 등에 제한되지 않는다. 도면이 본 발명을 설명하고는 있지만, 반드시 비례적으로 도시된 것은 아니다.
- [0028] 도 1은 제1 절연층(12a)이 형성되어 있는 금속 이전 절연체 (PMD; 10)의 단면도를 나타낸다. PMD(10)는 SiO₂ 계열의 재료, 즉 SiO₂, PSG, BPSG, SiCOH(OSG), SiLK™ (다우 케미컬사), SiN, SiC, SiCN, C-H 등의 하나 이상의 유전 재료를 포함한다. 제1 절연층(12a)은 유전 재료, 이 예에서, 폴리아릴렌 에테르 (SILK™), 파릴렌 (N 또는 F), 테플론, 또는 그 외 이들 막의 다공성 버전 등의 유기 유전 재료를 포함한다. 이용된 유기 유전 재료의 유형은 이용되는 적층 기술에 따라 다르다. 예를 들어, 제1 절연층(12a)이 화학 증착법 (CVD) 또는 플라즈마 강화 화학 증착법 (PECVD)을 이용하여 형성되면, 파릴렌 (N 또는 F), 테플론, 또는 그 외 이들 막의 다공성 버전이 이용될 수 있다. 그러나, 제1 절연층(12a)이 스핀온 증착법을 이용하여 형성되면, SiLK™이 이용될 수 있다. 제1 절연층(12a)은 5-10nm의 범위 내의 두께를 갖고 형성된다.
- [0029] 제2 절연층(14a)은 도 2에서 나타낸 바와 같이, 제1 절연층(12a) 상에 형성된다. 제2 절연층(14a)은 유전 재료, 이 예에서, 메틸실세스퀴옥산 (MSQ) 등의 SiCOH (OSG), SiO₂, 불화 SiO₂ (FSG), 또는 이들 재료의 다공성 버전과 같은 무기 유전 재료를 포함한다. 제1 절연층(12a)에서와 같이, 제2 절연층(14a)은 CVD, PECVD, 스핀온 적층법, 또는 그 외 유사한 적층 기술을 이용하여 형성된다. 제2 절연층(14a)은 5-10nm의 범위 내의 두께로 형성될 수 있다.
- [0030] 도 3에서 나타낸 바와 같이, 제3 절연층(12b)은 제2 절연층(14a) 상에 형성된다. 제3 절연층(12b)은 제1 절연층(12a)의 것과 유사한 유기 절연 재료를 포함한다. 제3 절연층(12b)은 유사한 기술을 이용하여 제1 절연층(12a)의 것과 유사한 두께를 갖게 형성된다.
- [0031] 도 4에서 나타낸 바와 같이, 제4 절연층(14b)은 제3 절연층(12b) 상에 형성된다. 제4 절연층(14b)은 제2 절연층(14a)의 것과 유사한 무기 절연 재료를 포함한다. 제4 절연층(14b)은 유사한 기술을 이용하여 제2 절연층(14a)의 것과 유사한 두께를 갖고 형성된다.
- [0032] 교대의 유기 및 무기 유전 재료층이 도 5에서 나타낸 바와 같이, 제1 금속 배선 레벨(20)에 바람직한 두께로 기판(10) 상에 형성될 수 있다. 본 예에서 층(12c-12f)은 제1 및 제3 절연층(12a, 12b)의 것과 유사한 유기 유전 재료를 포함한다. 유사하게, 층(14c-14f)은 제2 및 제4 절연층(14a, 14b)의 것과 유사한 무기 유전 재료를 포함한다. 본 발명에서 도시된 층의 개수는 오직 설명을 위한 것으로, 적어도 하나의 유기층과 하나의 무기층이 존재하는 한 어쨌든 제한하고자 하는 것은 아니다. 또한, 유기 유전 재료가 본 예에서 먼저 적층된 것은 설명을 위해서인 것에 유의해야 한다. 무기 또는 유기 유전 재료 어느 것이나 먼저 적층될 수 있다.
- [0033] 교대의 유기 및 무기 절연 재료층을 원위치에 적층하는 것이 바람직한 것에 또한 유의해야 한다. 예를 들어, 하나의 PECVD 챔버가 이 챔버를 떠나지 않고 무기와 유기층 둘 다를 적층하는 데에 이용될 수 있다. 또한, 교대층이 둘 다 적층되어 동일한 챔버 내에서 경화되게 하는 스핀-어플라이 트랙 (spin-apply track)을 이용할 수 있다. 어느 기술을 이용하든, 제1 절연층(12a)은 원하는 두께의 두배를 갖게 적층될 수 있다. 그 후, 제1 절연층(12a)은 제1 절연층(12a)의 상측부가 제2 절연층(14a)에 필요한 재료로 변환되게 하는 플라즈마 또는 열 처리를 거치게 된다. 이들 방법은 유기와 무기 절연층 사이의 두께의 불균일성을 감소시켜 주며, 유기와 무기 절연층 사이의 접착력을 향상시킨다.
- [0034] 도 6에서 나타낸 바와 같이, 제1 배선 레벨(20)에 원하는 두께가 성취된 후에, 제1 피처(22) 및 이 예에서, 제2 피처(24)가 제1 배선 레벨(20) 내에 형성된다. 제1 및 제2 피처(22, 24)는 종래의 패터닝 및 에칭 기술을 이용하여 형성될 수 있는 배선 라인용 와이어 트렌치이다.
- [0035] 제1 및 제2 피처(22, 24)의 형성에 이어, 선택적 에칭이 실행되어 제1 배선 레벨(20) 내, 이 예에서 층(12a-12f) 내의 유기 유전 재료의 적어도 일부를 제거한다. 본 예에서, 유기 유전 재료는 p-SiLK™를 포함하고 무기 유전 재료는 p-OSG를 포함하는 경우, N₂ 플라즈마, H₂ 플라즈마, 또는 그 외 유사한 플라즈마 에칭을 이용하여

유기 유전 재료를 선택적으로 제거한다. N_2 또는 H_2 에칭은 통상의 평행판이나 고밀도 플라즈마 파워와 유동 조건에서 약 3-200mT의 압력 범위에서 행해진다. 다르게, 무기 유전 재료 (p-OSG)의 일부는 100:1 DHF 등의 습식 에칭제를 이용하여 에칭되어, 층(14a-14f) 내에 $SiLK^{TM}$ 재료를 남긴다.

[0036] 도 7에서 나타낸 바와 같이, 층(12a-12f) 내의 유기 유전 재료의 선택적 에칭에 이어 개구나 에어 갭(26)이 형성된다. 에어 갭(26)은 층(14a-14f)의 무기 유전 재료 내가 아닌 층(12a-12f)의 유기 유전 재료 내에 형성되는데, 층(12a-12f)의 유기 유전 재료의 에칭 속도가 층(14a-14f)의 무기 유전 재료의 에칭 속도 보다 더 빠르기 때문이다. 제1 배선 레벨(20) 내의 에어 갭(26)은 전체 장치 내의 용량을 감소시킨다. 에어 갭(26)의 크기는 유기 유전 재료의 전체가 아닌 일부를 제거하도록 선택적 에칭을 조정하는 것으로 결정된다. 유기 유전 재료의 적어도 일부는 장치의 기계적 이상, 예를 들어, 무기 유전층(14a-14f)의 소실을 방지하도록 선택적 에칭 이후 유지되어야 한다.

[0037] 아래 표 1은 에어 갭(26)이 있고 없을 때 여러 유기와 무기 재료를 이용하여, 장치의 용량 값을 예측 비교한 것이다. 특히, 데이터는 와이어 폭이 약 100nm이고 와이어 간격이 약 100nm인 제1 배선 레벨(20)을 갖는 샘플로 모델화한 것으로, 이 때 와이어 간격 내의 100nm 유기 유전체 중 약 33nm가 제거된다. 이것은 K_{eff} 가 장치의 용량에 비례하기 때문에, K_{eff} (장치의 유효 유전 상수)의 약 20% 감소를 가져오고, 이는 장치의 용량의 약 20% 감소로 이어진다.

표 1

[0038] 에어 갭을 가질 때의 K_{eff} 와 에어 갭을 갖지 않을 때의 K_{eff} 의 비교

무기 유전체	유기 유전체	K_{eff} 에어 갭없음	K_{eff} 에어 갭 있음	% K_{eff} 감소율
$SiO_2(K=4)$	$SiLK(K=2.6)$	3.30	2.70	18%
$SiCOH(K=3)$	$SiLK(K=2.6)$	2.80	2.24	20%
p- $SiCOH^*(K=2.5)$	$SiLK(K=2.6)$	2.55	1.99	22%
p- $SiO_2^*(K=2)$	p- $SiLK^*(K=2.2)$	2.10	1.68	20%

[0039] (* "p-"는 유전체가 다공성인 것을 나타냄)

[0040] 에어 갭(26)이 형성된 후에, 제1 금속 배선층(20)의 표면(28)은 다음 단계에서 적층되는 금속이 에어 갭(26)으로 누설되는 것을 방지하도록 밀봉된다. 이는 몇가지 다른 방법으로 실행될 수 있다. 예를 들어, 저 유전 상수를 갖는 유전체, 즉, $SiCOH$, SiO_2 , SiN , SiC , 및 $SiCN$ 등과 같은 컨포멀 라이너(30)가 제1 금속 배선층(20)의 표면(28) 위에 적층된다 (도 8). 라이너(30)는 PECVD, HDPCVD, SACVD, APCVD, THCV, 또는 그 외 유사한 적층 기술을 이용하여, 약 1-10nm의 범위의 두께를 갖고 적층된다.

[0041] 다르게, 에어 갭(26)이 작으면, 예를 들어, 약 1-10nm의 범위이면, 다음의 단계에서 적층되는 금속은 에어 갭(26)을 밀봉하는 데에 충분할 수 있다. 플라즈마 증착법(PVD), 화학적 증착법(CVD), 원자층 증착법(ALD), 또는 그 외 유사한 적층 기술을 또한 이용하여 매우 적은 금속 이온이 실제로 에어 갭(26)을 관통하도록 금속을 적층한다.

[0042] 에어 갭(26)이 밀봉된 후에, 개별의 밀봉 프로세스가 상술된 바와 같이 이용되는 경우, 도전 재료(32)가 제1 배선 레벨(20)의 표면(28) 위에 적층되어 제1 및 제2 피처(22, 24)를 충전하게 된다 (도 9). 도전 재료(32)는 공지된 바와 같은 탄탈륨 또는 그 외 유사하게 이용되는 재료와 같은 얇은 내화성 금속 라이너로 라이닝된 구리를 포함한다. 제1 배선 레벨(20)의 표면(28)은 종래의 기술을 이용하여 연마되어 과도한 도전 재료(32)를 제거하고, 이로 인해 도전 재료(32)가 제1 및 제2 피처(22, 24) 내에 남게 되어 제1 와이어(34)와 제2 와이어(36)가 형성된다 (도 10).

[0043] 이 예에서 나타낸 제1 금속 배선 레벨(20)은 단일 다마신 배선 레벨이다. 도 11-17에서 나타낸 바와 같이, 본 발명은 이중 다마신 배선 레벨과 관련하여 이용하게 설계되었다. 도 11에서 나타낸 바와 같이, 제3 절연층(38)은 제1 배선 레벨(20)의 표면(28) 위에 적층된다. 제3 절연층(38)은 에어 갭을 형성하는 데에 이용되는 후속 에칭 프로세스 동안 제거되지가 않는 저 유전 상수를 갖는 하나 이상의 유전 재료를 포함한다. 예를 들어, 제3 절연층(38)은 메틸실세스퀴옥산 (MSQ)와 같은 다공성 $SiCOH$ (p-OSG), SiO_2 , 불화 SiO_2 (FSG), $SiCOH(OSG)$, 또는 모든 이들 재료의 다공성 버전을 포함한다. 제3 절연층(38)은 CVD, PECVD, 스피온 적층, 또는 그 외 유사한 적

층 기술을 이용하여 형성되며, SiN, SiC, FSG, 등의 복수의 층으로 이루어진다. 제3 절연층(38)은 최종 바이어 높이, 예를 들어, 0.1 내지 1.0미크론과 거의 같은 두께로 형성된다.

[0044] 교대하는 유기 유전 재료(40a-40f)와 무기 유전 재료(42a-42f)층이 도 12에 나타난 바와 같이, 제3 절연층(38)의 표면(40) 상에 적층되어, 제2 배선 레벨(50)을 형성한다. 이 교대층은 제1 금속 배선 레벨에 형성되는 것(즉, 유기 유전 재료, 무기 유전 재료, 유기 유전 재료, 무기 유전 재료 등)과 유사하며, 유사한 방식으로 형성된다.

[0045] 제2 배선 레벨(50)이 형성된 후에, 제1 이중 다마신 피처(44)가 교대하는 무기 유전 재료(40a-40f), 유기 유전 재료(42a-42f) 층과 제3 절연층(38) 내에 형성된다. 도 13에 나타난 바와 같이, 제1 이중 다마신 피처(44)는 바이어 트렌치이다. 바이어 트렌치(44)는 종래의 패터닝과 에칭 기술을 이용하여 제1 금속 배선 레벨(20)에 이르기까지 형성된다.

[0046] 도 14에 나타난 바와 같이, 제2 이중 다마신 피처(46)와 제2 트렌치(48)가 교대하는 유기 유전 재료(40a-40f)와 무기 유전 재료(42a-42f) 층 내에 형성된다. 제2 이중 다마신 피처(46)는 또한 종래의 패터닝과 에칭 기술을 이용하여 제3 절연층(38)의 표면에 이르기까지 형성된 와이어 트렌치이다. 이와 달리, 본 기술에서 공지된 바와 같이, 트렌치 먼저-바이어 나중 프로세스를 이용할 수 있다. 유사하게, 공지된 바와 같이, 제1 다마신 피처가 상부 하드마스크에 패터닝 및 에칭되는 다중층 하드마스크가 이용될 수 있다.

[0047] 제1 및 제2 이중 다마신 피처(44, 46, 48)가 형성된 후에, 선택적 에칭을 실행하여 제2 배선 레벨(50) 내의 유기 유전 재료(40a-40f)의 적어도 일부를 제거한다. 상술된 바와 같이, 유기 유전 재료가 p-SiLKTM를 포함하고 무기 유전 재료는 p-OSG를 포함하는 경우, N₂ 플라즈마, H₂ 플라즈마, 또는 그 외 유사한 플라즈마 에칭을 이용하여 유기 유전 재료를 선택적으로 제거할 수 있다. N₂ 또는 H₂ 에칭은 통상의 평행판이나 고 밀도 플라즈마 파워와 유동 조건에서 약 3-200mT의 압력 범위에서 행해진다.

[0048] 도 15에서 나타난 바와 같이, 개구나 에어 갭(52)은 선택적 에칭에 이어 제2 배선 레벨(50) 내에 형성된다. 전체 장치에 기계적 강도와 안정성을 부여하기 위해 본 예의 제3 절연층(38)에는 어떤 에어 갭(52)도 형성되지 않음에 유의해야 한다. 다음에 컨포멀 라이너(53)가 제2 금속 배선 레벨(50)의 표면 상에 형성되어 다음 단계에 적층되는 금속이 에어 갭(52)으로 누설되지 않도록 제2 금속 배선 레벨(50)을 밀봉한다.

[0049] 도전 재료(54)가 제2 배선 레벨(50)의 표면 위에 적층되어 바이어 트렌치(44)와 트렌치(46, 48)을 충전한다 (도 16). 도전 재료(54)는 얇은 내화성 금속 라이너, 예를 들어, 탄탈륨, 또는 그 외 유사하게 이용되는 재료로 라이닝된 구리를 포함한다. 제2 배선 레벨(50)의 표면은 종래의 기술을 이용하여 연마되어 과도한 도전 재료(54)를 제거하고, 이로 인해 바이어 트렌치(44)와 와이어 트렌치(46, 48) 내에 도전 재료(54)를 남기어 도전성 이중 다마신 피처(60)와 도전성 단일 다마신 피처(62)가 형성되게 된다 (도 17).

[0050] 본 발명의 금속 배선 레벨 내의 에어 갭의 형성은 장치의 전체 용량의 감소를 제공한다. 이는 특히 장치가 더욱 소형화되고 장치 피처 간의 간격이 계속 감소됨에 따라 더욱 바람직하게 된다.

도면의 간단한 설명

[0009] 본 발명의 실시예는 첨부한 도면을 참조하여 상세히 설명되며, 여기에서 유사한 참조부호는 유사한 요소를 나타내고 있다:

[0010] 도 1은 본 발명의 실시예에 따른 금속 이전 유전층과 제1 절연층을 상부에 포함하는 장치의 단면도이다.

[0011] 도 2는 상부에 제2 절연층을 갖는 도 1의 장치를 나타낸다.

[0012] 도 3은 상부에 제3 절연층을 갖는 도 2 장치를 나타낸다.

[0013] 도 4는 상부에 제4 절연층을 갖는 도 3의 장치를 나타낸다.

[0014] 도 5는 제1 금속 배선 레벨을 형성하는 복수의 절연층을 갖는 도 4의 장치를 나타낸다.

[0015] 도 6은 한 쌍의 다마신 피처가 내부에 형성되어 있는 도 5의 장치를 나타낸다.

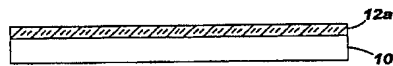
[0016] 도 7은 선택 절연층 내에 복수의 에어 갭이 형성되어 있는 도 6의 장치를 나타낸다.

[0017] 도 8은 컨포멀 라이너가 그 위에 형성되어 있는 도 7의 장치를 나타낸다.

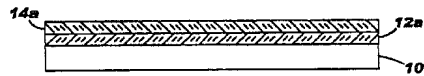
- [0018] 도 9는 도전층이 상부에 적층되어 있는 도 8의 장치를 나타낸다.
- [0019] 도 10은 연마 이후의 도 9의 장치를 나타낸다.
- [0020] 도 11은 제1 금속 배선 레벨 위에 절연층이 형성되어 있는 도 10의 장치를 나타낸다.
- [0021] 도 12는 제2 금속 배선 레벨을 형성하는 복수의 절연층을 갖는 도 11의 장치를 나타낸다.
- [0022] 도 13은 제1 다마신 피처가 내부에 형성되어 있는 도 12의 장치를 나타낸다.
- [0023] 도 14는 제2 다마신 피처가 내부에 형성되어 있는 도 13의 장치를 나타낸다.
- [0024] 도 15는 선택 절연층 내에 복수의 에어 갭이 형성되어 있는 도 14의 장치를 나타낸다.
- [0025] 도 16은 도전층이 상부에 적층되어 있는 도 15의 장치를 나타낸다.
- [0026] 도 17은 연마 이후의 도 16의 장치를 나타낸다.

도면

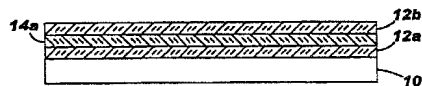
도면1



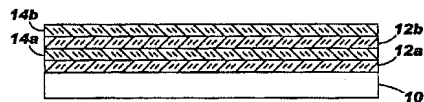
도면2



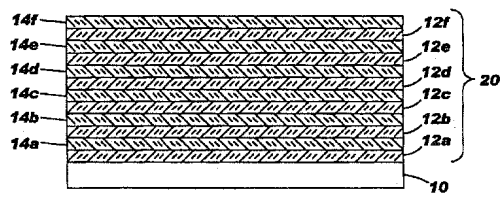
도면3



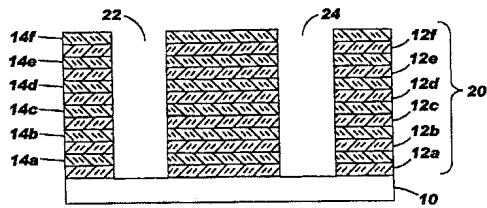
도면4



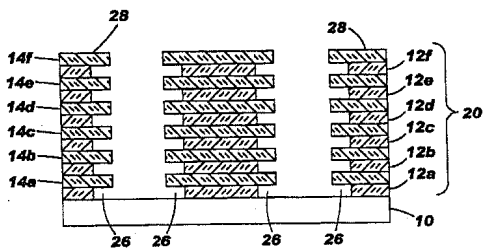
도면5



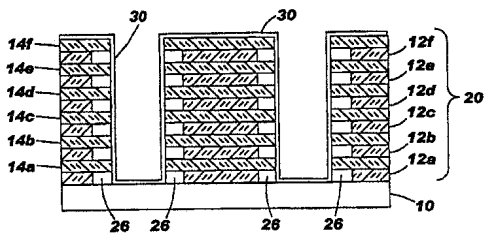
도면6



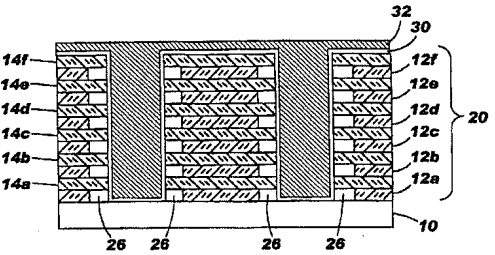
도면7



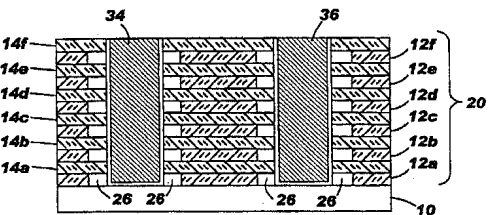
도면8



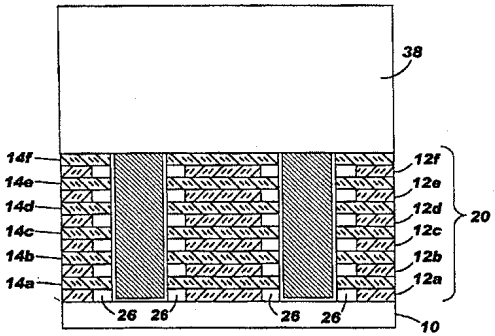
도면9



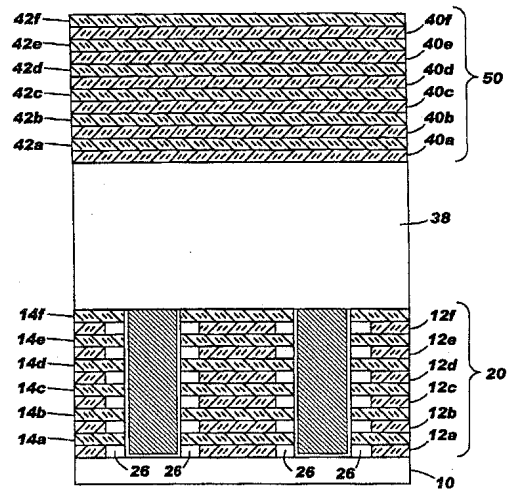
도면10



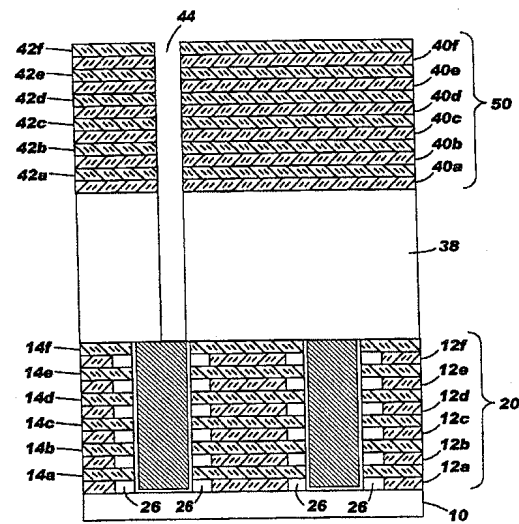
도면11



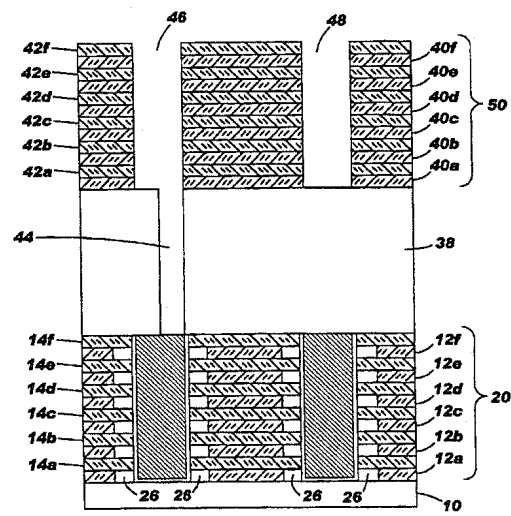
도면12



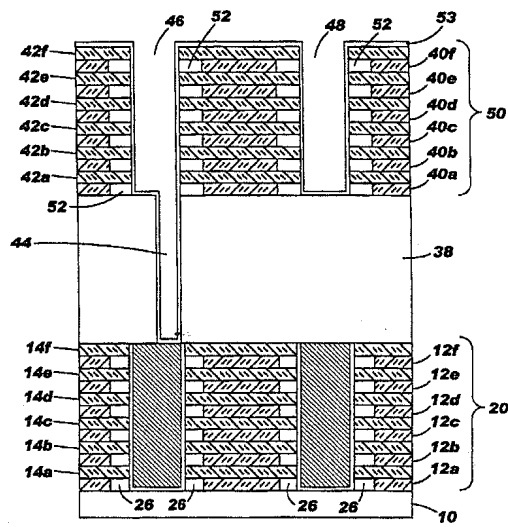
도면13



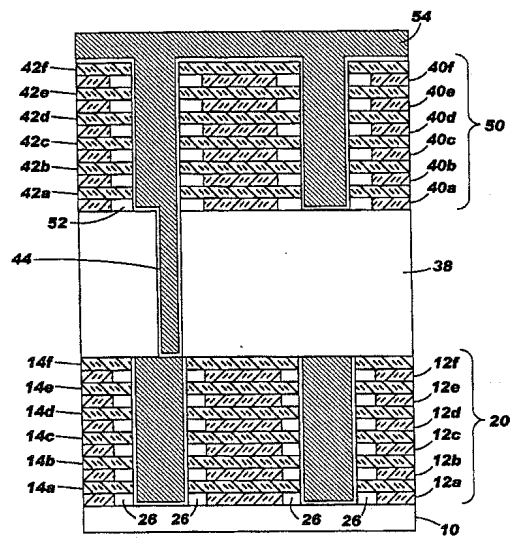
도면14



도면15



도면16



도면17

