



PCT

(10) 国際公開番号

WO 2007/010956 A1

(43) 国際公開日
2007 年 1 月 25 日 (25.01.2007)

- (51) 国際特許分類:
G09G 3/30 (2006.01) *G09G 3/20* (2006.01)

(21) 国際出願番号: PCT/JP2006/314324

(22) 国際出願日: 2006 年 7 月 13 日 (13.07.2006)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
 特願2005-209588 2005 年 7 月 20 日 (20.07.2005) JP

(71) 出願人 (米国を除く全ての指定国について): パイオニア株式会社 (PIONEER CORPORATION) [JP/JP]; 〒1538654 東京都目黒区目黒 1 丁目 4 番 1 号 Tokyo (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 石塚 真一 (ISHIZUKA, Shinichi) [JP/JP]; 〒3502288 埼玉県鶴ヶ島市富士見 6 丁目 1 番 1 号 パイオニア株式会社総合研究所内 Saitama (JP).

(74) 代理人: 藤村 元彦 (FUJIMURA, Motohiko); 〒1040045 東京都中央区築地 4 丁目 1 番 1 号 東劇ビル 藤村合同特許事務所 Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
 — 国際調査報告書

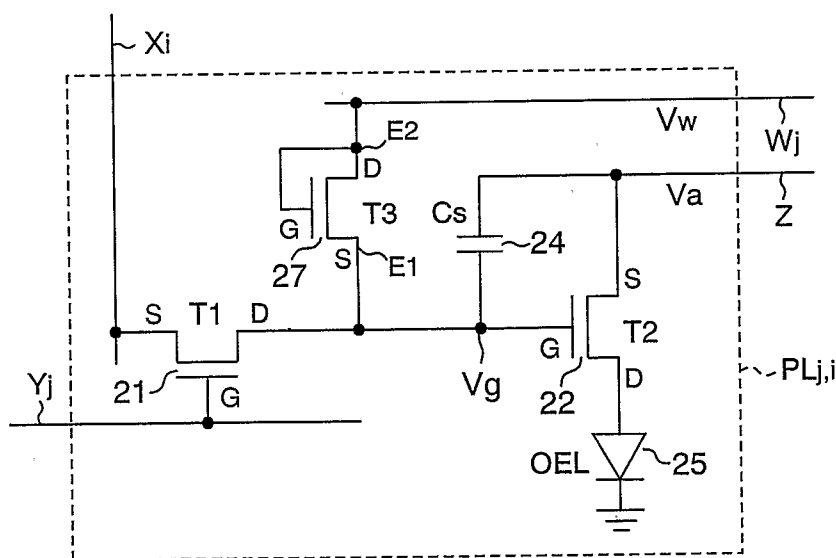
2 文字コード及び他の略語については、定期発行される各 PCT ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

添付公開書類：
— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(54) Title: ACTIVE MATRIX DISPLAY DEVICE

(54) 発明の名称: アクティブマトリクス型表示装置



(57) Abstract: An active matrix display device is provided with a two-terminal switching element, which is arranged for each of a plurality of pixel sections, has a first terminal connected with a control electrode of a driving transistor and supplies the control electrode with a voltage by transiting to a conduction state in accordance with the level of the voltage to be applied to a second terminal; and a reverse biased voltage applying section for applying a reverse biased voltage to the driving transistor by adjusting the voltage to be applied to the second terminal.

(57) 要約: 複数の画素部の各々に設けられ、第1の端子が駆動トランジスタの制御電極に接続されるとともに第2の端子に印

加される電圧の大きさに応じて導通状態に移行して上記印加電圧を上記制御電極に供給する二端子スイッチング素子と、上記第2の端子への印加電圧を調整して駆動トランジスタに逆バイアス電圧を印加する逆バイアス電圧印加部と、を有する。

明細書

アクティブマトリクス型表示装置

5 技術分野

本発明は、EL (Electroluminescent) 素子やLED (発光ダイオード) などの発光素子を駆動するための能動素子を含む表示装置に関し、特に、アモルファスシリコンや有機半導体を使用した薄膜トランジスタ (TFT; thin film transistor) を能動素子として含む表示装置に関する。

10 背景技術

TFTは、有機ELディスプレイや液晶ディスプレイといったアクティブマトリクス型ディスプレイを駆動するための能動素子として広く使用されている。図1は、有機EL (Organic Electroluminescent) 素子 (OEL) 100の駆動回路の等価回路の一例を、一つの画素PL_{i,j}について示している。図1を参照すると、この等価回路は、能動素子である
15 2つのpチャンネルTFT101、102と、キャパシタ (Cs) 104とを含む。走査線Wsは選択TFT101のゲートに接続され、データ線Wdは選択TFT101のソースに接続され、一定の電源電圧V_{dd}を供給する電源線Wzは駆動TFT102のソースに接続されている。選択TFT101のドレインは駆動TFT102のゲートに接続されており、
駆動TFT102のゲートとソース間にキャパシタ104が形成されている。OEL100
20 のアノードは駆動TFT102のドレインに、そのカソードはアース電位 (又は共通電位) にそれぞれ接続されている。

走査線Wsに選択パルスが印加されると、スイッチとしての選択TFT101がオンにな

りソースとドレイン間が導通する。このとき、データ線Wdから、選択TFT101のソースとドレイン間を介してデータ電圧が供給され、キャパシタ104に蓄積される。このキャパシタ104に蓄積されたデータ電圧が駆動TFT102のゲートとソース間に印加されるので、駆動TFT102のゲート・ソース間電圧 V_{gs} に応じたドレイン電流 I_d が流れ、OEL100に供給されることとなる。

しかしながら、アルモファスシリコン或いは有機半導体等を用いたTFTは、ゲートに電圧を印加し続けると閾値電圧 V_{th} がシフトする現象、すなわちゲートストレスと呼ばれる現象があることが知られている（例えば、非特許文献1参照）。この現象をPチャネルTFTを例に説明する。

- 10 図2にゲートストレスによる閾値電圧 V_{th} のシフトの様子を示す。PチャネルTFTの場合には、ゲート・ソース間電圧を負極性（すなわち、 $V_{gs} < 0$ ）にして印加し続けると、ゲートストレスによって時間経過と共に $I_d - V_{gs}$ 特性は、図2に示すようにマイナス方向に（曲線120Aから曲線120Bへ）変化し、これにより、閾値電圧 V_{th} が V_{th1} から V_{th2} にシフトしていく。なお、図2においては、理解の容易さのため、 V_{gs} を正の値（
15 $V_{gs} > 0$ ）として示している。

このTFTの特性変化において、ゲート・ソース間電圧 V_{gs} を0V若しくは正極性にして印加し続けることによって元の閾値電圧 V_{th} に復帰する。逆に、 V_{gs} を正極性にして印加し続けると、時間経過と共に閾値電圧 V_{th} はプラス方向にシフトし、その後、 V_{gs} を0V若しくは負極性にして印加し続けることによって元の閾値電圧 V_{th} に復帰する。シフト
20 量は、ゲート・ソース間電圧 V_{gs} の絶対値及び印加時間が大きいほど大きくなる。このような特性を示すTFTを有機EL素子の駆動に用いると、表示中に徐々に閾値電圧 V_{th} がシフトしていくことになる。閾値電圧シフトは、OELの発光輝度の低下やTFTの動作

不能を引き起こすという問題がある。

TFTを構成する材料として、単結晶シリコン、アモルファスシリコン、多結晶シリコンもしくは低温多結晶シリコンが広く使用されている。また、近年、これらシリコン材料の代わりに、有機材料を活性層として使用するTFT（以下、有機TFTと称する。）が注目されている。有機半導体材料としては、比較的キャリア移動度の高い低分子系または高分子系有機材料、たとえば、ペンタセン、ナフタセンまたはポリチオフェン系材料が挙げられる。この種の有機TFTは、プラスチックなどの可撓性フィルム基板上に比較的低温のプロセスで形成することができるので、機械的に柔軟で、軽量且つ薄型のディスプレイを容易に作製することを可能にするものである。また、有機TFTは、印刷工程やロール・ツー・ロール（Roll-to-roll）工程によって比較的低コストで形成可能である。

上記した閾値電圧シフトの現象は、特にアモルファスシリコンTFTや有機TFTにおいて顕著に現れる。有機TFTの閾値電圧シフトについては、たとえば、非特許文献1（S. J. Zilker, C. Detcheverry, E. Cantatore, and D. M. de Leeuw, "Bias stress in organic thin-film transistors and logic gates," Applied Physics Letters Vol 79(8) p. 1124-1126, August 20, 2001）に開示されている。

TFTの閾値電圧シフトを補償するための駆動回路および駆動方法は、たとえば、特許文献1（特表2002-514320号公報）や特許文献2（特開2002-351401号公報）に開示されている。これら文献に記載される駆動回路および駆動方法はいずれも、駆動TFTの閾値電圧シフトを容認しつつ、閾値電圧シフトに関係なく発光素子の発光輝度を一定に制御し得るものである。しかしながら、これら文献の駆動回路でも閾値電圧シフトの発生を抑えることはできないため、閾値電圧シフトによる消費電力の増大を防止できない。また、駆動TFTの閾値電圧が許容範囲を超えてシフトすれば、そのシフト

を補償することは難しく、発光輝度のバラツキやT F Tの動作不能が起きる。さらに、駆動T F T以外の選択T F Tにも閾値電圧シフトが起こるので、選択T F Tの閾値電圧シフトが許容範囲を超えてシフトすれば、選択T F Tの動作不能が起こる。特に有機T F Tの閾値電圧シフトは、低温ポリシリコンT F Tや単結晶シリコンT F Tのそれと比べると大

5 きいため、有機T F Tを使用するアクティブマトリクス型ディスプレイでは、発光素子の発光輝度のバラツキやT F Tの動作不能が起きやすいという問題がある。

さらに、T F Tの特性ばらつきを解決するため、駆動T F Tのソース若しくはドレイン及びキャパシタと、走査線との接続に工夫を行った構成（特許文献3（特開2004-170815号公報）参照）や、 α -S iトランジスタの閾値電圧シフトを低減するための

10 T F Tの接続構成（特許文献4（特開2005-004174号公報）参照）について開示されている。

しかしながら、これら文献に開示された駆動回路、方法においては回路構成、動作が複雑であったり、その効果も限定的であるという問題がある。

発明の開示

15 本発明が解決しようとする課題には、上記の欠点が一例として挙げられる。本発明は、アクティブマトリクス駆動方式において使用されるトランジスタ、特にアモルファスシリコンや有機半導体トランジスタの特性を改善し得る表示装置を提供することを目的とする。また、トランジスタの閾値特性のばらつきを解決し、低消費電力で、表示品質が高く、かつ簡便な回路構成及び動作を有する表示装置を提供する。

20 請求項1に記載の発明は、各々が発光素子、データ信号を保持するキャパシタ及び上記発光素子を該保持されたデータ信号に基づいて駆動する駆動トランジスタを有する複数の画素部からなるアクティブマトリクス型の表示パネルと、表示パネルの各走査線を順次走

査する走査駆動部と、走査駆動部による走査に応じてデータ信号を上記画素部に供給するデータ駆動部と、発光素子を駆動する電圧を発光素子に供給する電源と、を有する表示装置であって、

- 上記複数の画素部の各々に設けられ、第1の端子が上記駆動トランジスタの制御電極に
- 5 接続されるとともに第2の端子に印加される電圧の大きさに応じてターンオンして上記印加電圧を上記制御電極に供給する二端子スイッチング素子と、上記第2の端子への印加電圧を調整して駆動トランジスタに逆バイアス電圧を印加する逆バイアス電圧印加部と、を有することを特徴としている。

- 請求項11に記載の発明は、各々が発光素子、データ信号を保持するキャパシタ及び上
- 10 記発光素子を該保持されたデータ信号に基づいて駆動する駆動トランジスタを有する複数の画素部からなるアクティブマトリクス型の表示パネルと、表示パネルの各走査線を線順次走査する走査駆動部と、走査駆動部による走査に応じて上記データ信号を画素部に供給するデータ駆動部と、を有する表示装置であって、

- 上記複数の画素部の各々に設けられ、第1の端子が駆動トランジスタの制御電極に接続
- 15 されるとともに第2の端子が上記走査駆動部による1走査前の走査線に接続され、上記第2の端子に印加される走査電圧の大きさに応じてターンオンして上記走査電圧を上記制御電極に供給する二端子スイッチング素子を有し、走査駆動部は上記駆動トランジスタを逆バイアス状態にし得る大きさのバイアス電圧を有する走査パルス信号により線順次走査をなすことを特徴としている。

20 図面の簡単な説明

図1は、従来の発光素子駆動回路の等価回路の一例を示す図である。

図2は、ゲートストレスによる閾値電圧 V_{th} のシフトの様子を示す図である。

図3は、本発明の実施例1であるアクティブマトリクス表示パネルを用いた表示装置のブロック図である。

図4は、表示パネルの複数の画素部のうち、データ線 X_i 及び走査線 Y_j に関連する画素部 $PL_{j,i}$ について示す図である。

5 図5は、表示パネルの各走査線 $Y_1 \sim Y_n$ に印加される走査パルス及びバイアスライン $W_1 \sim W_n$ に印加されるダイオード駆動電圧 V_w についての印加タイミングを模式的に示すタイミングチャートである。

図6は、走査線 Y_j 上の画素部 $PL_{j,i}$ に印加される走査パルス、データ信号、ダイオード駆動電圧及び駆動TFTのゲート電圧を示す図である。

10 図7は、本発明の実施例2に係るアクティブマトリクス表示パネルを用いた表示装置を示すブロック図である。

図8は、図7に示す表示装置の各走査線 $Y_1 \sim Y_n$ に印加される走査パルス、電源電圧、ダイオード駆動電圧 V_w についての印加タイミング、及び駆動TFTのゲート電圧を模式的に示すタイミングチャートである。

15 図9は、本発明の実施例3に係るアクティブマトリクス表示パネルを用いた表示装置を示すブロック図である。

図10は、実施例3の表示パネルにおける画素部 $PL_{j-1,i}$ 及び $PL_{j,i}$ の回路構成を模式的に示す図である。

図11は、表示パネルの各走査線 Y_j に印加される走査パルス、及び各走査線 Y_j に対して供給される1ライン前の走査パルスの印加タイミングを模式的に示すタイミングチャートである。

図12は、各画素部 $PL_{j,i}$ への走査パルス信号、データ電圧信号、ダイオード駆動電圧

VS_j、及び駆動TFTのゲート電圧について模式的に示すタイミングチャートである。

発明を実施するための形態

以下、本発明の実施例を図面を参照しつつ詳細に説明する。尚、以下に説明する図において、実質的に同等な部分には同一の参照符を付している。

5 【実施例1】

図3は本発明によるアクティブマトリクス表示パネルを用いた表示装置10Aを示している。この表示装置10Aは、表示パネル11、走査ドライバ12、データドライバ13、バイアス印加回路14、コントローラ15、及び発光素子駆動電源（以下、単に電源ともいう。）16を備えている。

- 10 表示パネル11は、 $m \times n$ 個（ m 、 n は2以上の整数）の画素からなるアクティブマトリクス型のものであり、各々が平行に配置された複数のデータ線 $X_1 \sim X_m$ （ $X_i : i = 1 \sim m$ ）と、複数の走査線 $Y_1 \sim Y_n$ （ $Y_j : j = 1 \sim n$ ）と、複数の画素部 $PL_{1,1} \sim PL_{n,n}$ を有している。画素部 $PL_{1,1} \sim PL_{n,n}$ は、データ線 $X_1 \sim X_m$ と走査線 $Y_1 \sim Y_n$ との交差部分に配置され、全て同一の構成を有する。また、画素部 $PL_{1,1} \sim PL_{n,n}$ は電源線Zに
- 15 接続されている。電源線Zには電源16から発光素子駆動電圧（ V_a ）が供給される。

さらに、走査線 $Y_1 \sim Y_n$ の各々に対応する接続線（バイアスライン） $W_1 \sim W_n$ が設けられている。後に詳述するように、当該バイアスライン $W_1 \sim W_n$ にはバイアス印加回路14からバイアスラインごとに所定のタイミングで所定の大きさの印加電圧が供給される。

- 20 図4は、表示パネル11の複数の画素部のうち、データ線 X_i （ $i = 1, 2, \dots, m$ ）及び走査線 Y_j （ $j = 1, 2, \dots, n$ ）に関連する画素部 $PL_{j,i}$ について示している。より具体的には、2つの選択トランジスタ21及び駆動トランジスタ22と、データ保

持キャパシタ C_s 24 と、発光素子 25 と、バイアス印加用のトランジスタ 27 と、が備えられている。なお、本実施例においては、発光素子 25 として有機 EL（エレクトロルミネッセンス）素子（OEL）を用い、トランジスタ 21、22 として P チャネル TFT（薄膜トランジスタ）を、トランジスタ 27 として N チャネル TFT を用いた場合を例に

5 説明する。なお、トランジスタ 21、22、27 の導電型はこれらに限定されず適宜選択することができる。また、有機材料を用いた発光素子、トランジスタに限らず、アモルファス・シリコン（ α -Si）その他の半導体をベースとする発光素子、バイポーラトランジスタその他のトランジスタを用いることもできる。各種信号や電源電圧、例えば走査信号、データ信号及びバイアス電圧、発光素子駆動電圧等の極性、及び大きさは、用いられ
10 るトランジスタ、発光素子の材料、導電型に応じて適宜選択すればよい。

選択 TFT（第 1 のトランジスタ T1）21 のゲートは走査線 Y_j （ $j=1\sim n$ ）に接続され、そのソースはデータ線 X_i に接続されている。選択 TFT 21 のドレインには駆動 TFT（第 2 のトランジスタ T2）22 のゲート（制御電極）が接続されている。駆動 TFT 22 のソースは電源線 Z に接続され、電源 16 から電源電圧（正電圧 V_a ）が供給さ
15 れる。駆動 TFT 22 のドレインは有機 EL 素子（OEL）25 のアノードに接続されている。EL 素子 25 のカソードは接地されている。

データ保持キャパシタ（ C_s ）24 の一端は駆動 TFT 22 のゲート（及び選択 TFT 21 のドレイン）に接続され、他端は駆動 TFT 22 のソース（及び電源線 Z）に接続されている。

20 本実施例においては、さらにバイアス電圧印加のためのスイッチングを行うスイッチング素子として第 3 のトランジスタ（T3）27 が設けられている。当該スイッチングトランジスタ 27 はダイオード接続構成をなしている。より詳細には、スイッチングトランジ

スタ 27 のソースは、駆動 T F T 2 2 のゲートに接続されている。すなわち、二端子スイッチング素子の第 1 の端子（電極 E 1）として機能する。また、スイッチングトランジスタ 27 のドレイン及びゲートは互いに接続されている。すなわち、スイッチングトランジスタ 27 のドレイン及びゲートは二端子スイッチング素子の第 2 の端子（電極 E 2）として機能する。すなわち、スイッチングトランジスタ 27 は、第 2 の端子（電極 E 2）に正の電圧を印加した場合が順方向であるように接続されている。

なお、スイッチング素子としてトランジスタの代わりにダイオードを用いることもできる。スイッチングトランジスタ 27 のドレイン及びゲートにはバイアスライン W j を介してバイアス印加回路 1 4 から印加電圧が供給されるように構成されている。当該印加電圧は、駆動 T F T 2 2 を逆バイアス状態とするための電圧であり、以下においては、当該印加電圧をダイオード駆動電圧（V w）と称する。

表示パネル 1 1 の走査線 Y 1 ~ Y n は走査ドライバ 1 2 に接続され、またデータ線 X 1 ~ X m はデータドライバ 1 3 に接続されている。コントローラ 1 5 は、入力される映像信号に応じて表示パネル 1 1 の表示制御を行うための走査制御信号及びデータ制御信号を生成する。走査制御信号は走査ドライバ 1 2 に供給され、データ制御信号はデータドライバ 1 3 に供給される。

走査ドライバ 1 2 は、コントローラ 1 5 から送出された走査制御信号に応じて表示用走査パルス在所定のタイミングで走査線 Y 1 ~ Y n に供給し、線順次走査がなされる。

データドライバ 1 3 は、コントローラ 1 5 から送出されたデータ制御信号に応じて走査パルスが供給される走査線上に位置する画素部の各々に対する画素データ信号をデータ線 X 1 ~ X m を介して画素部（選択画素部）に供給する。非発光の画素部に対しては E L 素子を発光させることがないレベルの画素データ信号を供給する。

コントローラ 15 は表示装置 10 A 全体の制御、すなわち走査ドライバ 12、データドライバ 13、バイアス印加回路 14、及び発光素子駆動電源 16 の制御を行う。

図 5 は、表示パネル 11 の各走査線 $Y_1 \sim Y_n$ に印加される走査パルス及びバイアスライン $W_1 \sim W_n$ に印加されるダイオード駆動電圧 V_w についての印加タイミングを模式的

5 に示すタイミングチャートである。

入力画像信号の各フレームにおいて、第 1 ～ 第 n 走査線 ($Y_1 \sim Y_n$) には走査パルス SP が順次印加され、線順次走査が行われる。1 フレームについての走査期間がアドレス期間 (T_{adr}) である。そして、当該線順次走査に対応して画素ごとの発光輝度を示すデータ信号 DP がデータ線 $X_1 \sim X_m$ を介して印加され (図示しない)、表示パネル 11 の画
10 像表示制御がなされる。

より具体的には、バイアスライン W_j ($j = 1 \sim n$) には、表示動作時にスイッチングトランジスタ 27 に印加されるダイオード駆動電圧 $V_w = V_1$ (以下、第 1 のダイオード駆動電圧、又は第 1 の電圧という。) が供給されている。当該第 1 のダイオード駆動電圧は、スイッチングトランジスタ 27 がターンオンしない (スイッチングトランジスタ 27
15 が OFF である) 電圧が設定される。より詳細には、当該表示動作時に印加されるダイオード駆動電圧 V_1 は、データ信号電圧 (V_{data}) が駆動 TFT 22 のゲートに印加された際に駆動 TFT 22 が発光素子 (有機 EL 素子 25) を発光駆動させ得る大きさの所定の電圧が設定される。

走査線 Y_j ($j = 1 \sim n$) への走査パルス SP の印加の開始時点から所定時間 (T_d)
20 経過後にバイアス印加回路 14 からバイアスライン W_j ($j = 1 \sim n$) を介してダイオード駆動電圧 (V_w) が第 1 の電圧から、第 2 のダイオード駆動電圧 (以下、単に、第 2 の電圧ともいう。) V_2 に増加される (すなわち、 $V_w = V_2 > V_1$)。かかる第 2 のダイ

オード駆動電圧 V_2 の印加により有機EL素子25の発光は停止される。従って、後に詳述するように、当該所定時間(T_d)が有機EL素子25の発光期間に対応する。

次に、各画素部のダイオード駆動電圧 V_w 、駆動TF T 2 2のゲート電圧及びゲート・ソース間電圧について図6を参照して詳細に説明する。なお、図6においては、一般的に

5 j番目の走査線 Y_j ($j = 1 \sim n$) について説明する。

画素部 $PL_{j,i}$ の走査線 Y_j に走査パルスSPが印加されて走査線 Y_j が選択されると、選択TF T 2 1が導通し、データドライバ13からの画素データ信号パルスDP (データ電圧 V_{data}) が選択TF T 2 1を介して駆動TF T 2 2のゲートに供給される。キャパシタ(C_s) 24の一方の電極には電源電圧 V_a (> 0) が供給されているので、キャパシタ24には電圧 $V_a - V_{data}$ に対応する電荷が蓄積され、当該電荷に対応する電圧 (保持電圧と称する。) が保持される。そして、当該保持電圧によって駆動TF T 2 2の制御電極であるゲートが制御される。より具体的には、駆動TF T 2 2にはゲート・ソース間電圧 V_{gs} ($= V_{data} - V_a < 0$) に応じたドレイン電流が流れる。従って、画素データ信号 (データ電圧 V_{data}) に応じて発光素子(OEL) 25は駆動され、発光する。

15 走査パルスSPの印加の開始から所定時間(T_d)経過後に、バイアスライン W_j への印加電圧が変化され、ダイオード駆動電圧 V_w は $V_w = V_2$ になる。当該第2のダイオード駆動電圧 V_2 は、スイッチングトランジスタ27がターンオンする電圧が設定される。スイッチングトランジスタ27のターンオンにより、駆動TF T 2 2のゲート電圧 V_g は V_{data} から $V_2 - V_f$ に変化する。ここで、 V_f はスイッチングトランジスタ27の順方向の電圧降下である。このとき駆動TF T 2 2のゲート電圧 $V_g = V_2 - V_f$ が駆動TF T 2 2のソース電圧 $V_s = V_a$ を超える (すなわち、 $V_2 - V_f > V_a$) ように設定することによって、駆動TF T 2 2のゲート・ソース間電圧 V_{gs} は、 $V_{gs} = (V_2 - V_f) -$

$V_a > 0$ となり、逆バイアス電圧 ($V_r = (V_2 - V_f) - V_a$) を印加することができる。このように、駆動 TFT 22 のゲート電圧 V_g が駆動 TFT 22 のソース電圧 V_s を超えるようにバイアスライン（すなわち、スイッチングトランジスタ 27 の電極 E2）にダイオード駆動電圧 V_w を印加することで駆動 TFT 22 を逆バイアスの状態にすることができ、駆動 TFT 22 の閾値電圧 (V_{th}) シフトの低減、ゲートストレスの緩和に有効である。

あるいは、駆動 TFT 22 のゲート電圧 $V_g = V_2 - V_f$ が駆動 TFT 22 のソース電圧 $V_s = V_a$ と同じ（すなわち、 $V_2 - V_f = V_a$ ）になるように設定することによって、ゲート・ソース間電圧を 0 V ($V_r = 0$) とすることができる。このように駆動 TFT 22 のゲート電圧 V_g を駆動 TFT 22 のソース電圧 V_s と等しくすることによっても TFT の閾値電圧 (V_{th}) シフトを低減することができる。

上記した逆バイアス電圧 ($V_r > 0$ 又は $V_r = 0$) の印加期間 (T_r) は、任意に設定することができる。

本実施例においては、走査ラインごとにダイオード駆動電圧 V_w を変化させ得るので、走査ラインごとに駆動 TFT 22 に逆バイアス電圧 V_r を印加するタイミングを調整することができる。例えば、駆動 TFT 22 に逆バイアス電圧 V_r が印加されている期間は発光素子 (OEL) 25 は発光しないので、走査パルス SP の印加開始からダイオード駆動電圧 $V_w = V_2$ の印加までの期間 (T_d) を各走査ラインで同一とすれば、各走査ラインごとの発光期間 (T_d) を同一にすることができる。あるいは、当該期間 (T_d) を走査ラインごとに異なる期間（すなわち、 T_{d1} , T_{d2} , . . . , T_{dn} ）とすることによって走査ラインごとの発光期間を異ならせる等により、発光期間の制御を行うことも可能である。

かかる発光期間の制御によって、表示パネル 11 全体の輝度調整を行うことが可能であ

る。また、かかる発光期間の制御をサブフィールド期間の設定に用い、階調制御に利用することも可能である。例えば、コントローラ 15 は、入力映像信号あるいはユーザの輝度指定信号に基づいて表示パネル 11 の輝度に対応する発光期間 (T_d) を定め、逆バイアス電圧 V_r の印加タイミングを制御すればよい。または、サブフィールド法による表示制御を行う場合には、所望のサブフィールド期間を定め、階調制御を行うよう制御すればよい。

さらに、当該期間 T_d が各フレームにおけるアドレス期間より長い場合 ($T_{adr} < T_d$) を例示 (図 5) したが、当該期間 T_d をアドレス期間よりも短い期間 ($T_{adr} > T_d$ 、又は $T_{adr} = T_d$) に設定することも可能である。さらに、逆バイアス電圧 ($V_r > 0$) の印加期間 (T_r) も、各走査ラインごとに任意に設定することが可能である。

【実施例 2】

図 7 は本発明によるアクティブマトリクス表示パネルを用いた表示装置 10 B を示している。

図 7 に示すように、本実施例において、全ての画素部 $PL_{1,1} \sim PL_{n,m}$ のスイッチングトランジスタ 27 の電極 E2 はバイアスライン W を介してバイアス印加回路 14 に接続されている。すなわち、バイアスライン W は表示パネル 11 の全ての画素部 $PL_{1,1} \sim PL_{n,m}$ のスイッチングトランジスタ 27 に共通の接続線として構成されている。表示パネル 11 のスイッチングトランジスタ 27 は全てバイアス印加回路 14 から同一のダイオード駆動電圧 (V_w) が印加されるように接続されている。発光素子の駆動電源 16 の出力電圧 (電源電圧) はコントローラ 15 によって制御される。

図 8 は、表示パネル 11 の各走査線 $Y_1 \sim Y_n$ に印加される走査パルス SP、電源ライン Z を介して発光素子 (OEL) 25 に供給される電源電圧、バイアスライン W に印加さ

れるダイオード駆動電圧 V_w 、及びゲート電圧 V_g を模式的に示すタイミングチャートである。

入力画像信号の各フレームにおいて、第1～第 n 走査線($Y_1 \sim Y_n$)には走査パルス S_P が順次印加され、線順次走査が行われる。1フレームの走査について要する期間がア

5 ドレス期間(T_{adr})である。なお、当該線順次走査に対応して画素ごとの発光輝度を示すデータ信号 D_P (電圧 V_{data})がデータ線 $X_1 \sim X_m$ を介して印加され(図示しない)、表示パネル11の画像表示制御がなされる点は上記した実施例1と同様である。すなわち、当該アドレス期間(T_{adr})において各画素にデータが書き込まれることになる(データ書込期間)。

10 本実施例においては、当該アドレス期間(データ書込期間)において、全ての画素の発光素子25に供給される電源電圧(V_a)は、発光素子25が発光しない低電圧(V_{a0})に保持されている。これは、後述するように、本実施例においては、全ての画素のスイッチングトランジスタ27に同時に逆バイアス電圧を印加するため、データ書き込み後に全ての画素の発光素子25が一斉に発光するように制御するためである。電源電圧(V_a)
15 は、アドレス期間終了後に当該低電圧(V_{a0})から発光素子25を発光させるための高電圧(V_{a1})に切り替えられる。かかる電源電圧(V_a)の切替えは、上記したようにコントローラ15の制御によってなされる。

また、バイアスライン W には、表示動作時にスイッチングトランジスタ27に印加されるダイオード駆動電圧 $V_w = V_1$ (第1のダイオード駆動電圧)が供給されている。当該
20 第1のダイオード駆動電圧は、スイッチングトランジスタ27がオフ(OFF)となる電圧が設定される。より詳細には、当該第1のダイオード駆動電圧 V_1 は、電源電圧(V_a)が発光素子25を発光させ得る高電圧(V_{a1})に設定され、データ信号電圧(V_{data})が駆

動TF T 2 2のゲートに印加された際に駆動TF T 2 2が発光素子2 5を発光させ得る大きさの所定の電圧が設定される。

本実施例においては、第1～第n走査線(Y 1～Y n)の走査(アドレス期間:T adr)が終了してから所定時間(T d)経過後にバイアスラインWへの印加電圧が変化される。

- 5 すなわち、バイアス印加回路1 4からバイアスラインWを介してスイッチングトランジスタ2 7の電極E 2に、第2のダイオード駆動電圧 $V_w = V_2$ が印加される。つまり、全ての画素部のスイッチングトランジスタ2 7に第2のダイオード駆動電圧 V_2 が同時に印加される。当該第2のダイオード駆動電圧 V_2 は、スイッチングトランジスタ2 7がターンオンする電圧が設定される。スイッチングトランジスタ2 7のターンオンにより、駆動TF T 2 2のゲートに接続されている方の電極(E 1)の電圧、すなわち、駆動TF T 2 2のゲート電圧 V_g は V_{data} から $V_2 - V_f$ となる。ここで、 V_f はスイッチングトランジスタ2 7の順方向の電圧降下である。

- このとき駆動TF T 2 2のゲート電圧 $V_g = V_2 - V_f$ が駆動TF T 2 2のソース電圧 $V_s = V_a$ を超える(すなわち、 $V_2 - V_f > V_a$)ように設定することによって、駆動TF T 2 2のゲート・ソース間電圧 V_{gs} は、 $V_{gs} = (V_2 - V_f) - V_a > 0$ となり、駆動TF T 2 2に逆バイアス電圧($V_r = (V_2 - V_f) - V_a$)を印加することができる。このように、駆動TF T 2 2のゲート電圧 V_g が駆動TF T 2 2のソース電圧 V_s を超えるようにバイアスライン(すなわち、スイッチングトランジスタ2 7の電極E 2)にダイオード駆動電圧 V_w を印加することで駆動TF T 2 2を逆バイアスの状態にすることができ、駆動TF T 2 2の閾値電圧(V_{th})シフトの低減を行うことができる。

あるいは、駆動TF T 2 2のゲート電圧 $V_g = V_2 - V_f$ が駆動TF T 2 2のソース電圧 $V_s = V_a$ と同じ(すなわち、 $V_2 - V_f = V_a$)になるように設定することによって

、ゲート・ソース間電圧を0 V ($V_r = 0$) とすることができる。このように駆動TFT 22のゲート電圧 V_g を駆動TFT 22のソース電圧 V_s と等しくすることによってもTFTの閾値電圧 (V_{th}) シフトを低減することができる。

本実施例においては、アドレス期間 (T_{adr}) が終了時から当該第2のダイオード駆動電圧 V_2 の印加によってスイッチングトランジスタ27がターンオンするまでの所定期間 (T_d) において全ての画素の発光素子25が発光する。従って、当該所定期間 (T_d) を変化させることによって発光期間の制御を行うことが可能である。かかる発光期間の制御によって、表示パネル11全体の輝度調整を行うことが可能である。

上記した逆バイアス電圧 ($V_r > 0$ 又は $V_r = 0$) が印加されている逆バイアス印加期間 (T_r) は、任意に設定することができるので、当該逆バイアス印加期間 (T_r) を調整することによっても発光期間を制御することができ、表示パネル11全体の輝度調整を行うことが可能である。

例えば、コントローラ15は、入力映像信号あるいはユーザの輝度指定信号に基づいて表示パネル11の輝度に対応する発光期間 (T_d) 及び逆バイアス印加期間 (T_r) を定めることによって、TFTの閾値電圧 (V_{th}) シフトの低減を行うとともに表示装置の画面全体の輝度調整を行うことができる。

【実施例3】

図9は本発明によるアクティブマトリクス表示パネルを用いた表示装置10Cを示している。本実施例は、バイアス印加回路14及びバイアス印加回路14に接続された接続線 (バイアスライン) $W_1 \sim W_n$ が設けられていない点において上記した実施例と異なっている。また、選択トランジスタ21と駆動トランジスタ22とは互いに逆極性の導電型を有している。本実施例においては、選択トランジスタ21及びスイッチングトランジスタ

Y_j ($j = 2 \sim n$) に対して供給される 1 ライン前の走査パルスの印加タイミングを模式的に示すタイミングチャートである。例えば、第 2 走査線 Y_2 においては 1 ライン前（第 1 走査線 Y_1 ）の走査パルスが当該走査線上の画素部にダイオード駆動電圧 V_{S2} として印加される。次に第 2 走査線 Y_2 に対する走査パルス S_P が印加される。かかる走査及びダイオード駆動電圧の印加が順次行われ、線順次走査がなされる。次のフレームのアドレス期間において、各走査線 Y_j に 1 ライン前の走査パルス（すなわち、ダイオード駆動電圧 V_S ）が印加されるまでの期間（ T_d ）に亘り、各走査線 Y_j 上の発光素子 25 はデータ信号に応じた発光駆動がなされる。

次に、各 $PL_{j,i}$ への走査パルス信号、データ電圧信号、ダイオード駆動電圧 V_{Sj} 、駆動 TFT 22 のゲート電圧及びゲート・ソース間電圧について図 12 を参照して詳細に説明する。なお、図 12 においては、一般的に j 番目の走査線 Y_j について説明する。

画素部 $PL_{j,i}$ の走査線 Y_j に走査パルス S_P が印加されて走査線 Y_j が選択されると、選択 TFT 21 が導通し、データドライバ 13 からの画素データ信号パルス DP （データ電圧 V_{data} ）が選択 TFT 21 を介して駆動 TFT 22 のゲートに供給される。このとき、当該走査線 Y_j 上のスイッチングトランジスタ 27 に印加されているダイオード駆動電圧 V_{Sj} は $V_{Sj} = V_1$ （第 1 のダイオード駆動電圧）である。当該第 1 のダイオード駆動電圧は、スイッチングトランジスタ 27 がオフ（OFF）となる電圧である。

ここで、キャパシタ（ C_s ）24 の一方の電極には電源電圧 V_a (> 0) が供給されているので、キャパシタ 24 には電圧 $V_a - V_{data}$ に対応する電荷が蓄積され、当該電荷に対応する電圧が保持される（保持電圧と称する。）。そして、当該キャパシタ保持電圧によって駆動 TFT 22 の制御電極であるゲートが制御される。より具体的には、駆動 TFT 22 にはゲート・ソース間電圧 V_{gs} ($= V_{data} - V_a < 0$) に応じたドレイン電流が流

れる。従って、画素データ信号（データ電圧 V_{data} ）に応じた輝度で発光素子25は駆動され、発光する。

次のフレーム期間が開始し、走査線 Y_j に走査パルス S_P が印加される直前に、当該走査線 Y_j より1走査前の走査線 Y_{j-1} の走査パルス S_P が当該走査線 Y_j 上のスイッチングトランジスタ27にダイオード駆動パルス（電圧 V_{Sj} ）として印加される。すなわち、当該走査線 Y_j 上のスイッチングトランジスタ27への印加電圧が変化され、ダイオード駆動電圧 V_{Sj} は $V_{Sj}=V_2$ になる。当該第2のダイオード駆動電圧 V_2 は、スイッチングトランジスタ27がターンオンする電圧が設定される。スイッチングトランジスタ27のターンオンにより、駆動TF T 2 2のゲート電圧 V_g は V_{data} から $V_2 - V_f$ に変化する。ここで、 V_f はスイッチングトランジスタ27の順方向の電圧降下である。このとき駆動TF T 2 2のゲート電圧 $V_g = V_2 - V_f$ が駆動TF T 2 2のソース電圧 $V_s = V_a$ を超える（すなわち、 $V_2 - V_f > V_a$ ）ように設定することによって、駆動TF T 2 2のゲート・ソース間電圧 V_{gs} は、 $V_{gs} = (V_2 - V_f) - V_a > 0$ となり、逆バイアス電圧（ $V_r = (V_2 - V_f) - V_a$ ）を印加することができる。また、ダイオード駆動電圧 $V_{Sj} = V_2$ の印加によって駆動TF T 2 2は逆バイアスとなるので、発光素子25は消光する。

このように、駆動TF T 2 2のゲート電圧 V_g が駆動TF T 2 2のソース電圧 V_s を超えるようにバイアスライン（すなわち、スイッチングトランジスタ27の電極E2）にダイオード駆動電圧 V_w を印加することで駆動TF T 2 2を逆バイアスの状態にすることができ、駆動TF T 2 2の閾値電圧（ V_{th} ）シフトの低減を行うことができる。

あるいは、駆動TF T 2 2のゲート電圧 $V_g = V_2 - V_f$ が駆動TF T 2 2のソース電圧 $V_s = V_a$ と同じ（すなわち、 $V_2 - V_f = V_a$ ）になるように設定することによって

、ゲート・ソース間電圧を 0 V ($V_r = 0$) とすることができる。このように駆動 TFT 22 のゲート電圧 V_g を駆動 TFT 22 のソース電圧 V_s と等しくすることによっても TFT の閾値電圧 (V_{th}) シフトを低減することができる。

5 本実施例においては、走査パルス SP 及びデータ電圧が印加されてから、次のフレーム期間において 1 ライン前の走査線に走査パルスが印加されるまでの所定期間 (T_d) において発光素子 25 が発光する。

上記した逆バイアス電圧 ($V_r > 0$ 又は $V_r = 0$) の印加期間 (T_r) は、任意に設定することができるので、当該逆バイアス印加期間 (T_r) を調整することによっても輝度調整を行うことが可能である。

10 例えば、コントローラ 15 は、入力映像信号あるいはユーザの輝度指定信号に基づいて表示パネル 11 の輝度に対応する発光期間 (T_d) 及び逆バイアス印加期間 (T_r) を定めることによって、TFT の閾値電圧 (V_{th}) シフトの低減を行うとともに表示装置の画面全体の輝度調整を行うことができる。

請求の範囲

1. 各々が発光素子、データ信号を保持するキャパシタ及び前記発光素子を該保持されたデータ信号に基づいて駆動する駆動トランジスタを有する複数の画素部からなるアクティブマトリクス型の表示パネルと、前記表示パネルの各走査線を順次走査する走査駆動部と
- 5、前記走査駆動部による走査に応じて前記データ信号を前記画素部に供給するデータ駆動部と、前記発光素子を駆動する電圧を前記発光素子に供給する電源と、を有する表示装置であって、

- 前記複数の画素部の各々に設けられ、第1の端子が前記駆動トランジスタの制御電極に接続されるとともに第2の端子に印加される電圧の大きさに応じてターンオンして該印加
- 10 電圧を前記制御電極に供給する二端子スイッチング素子と、

前記第2の端子への印加電圧を調整して前記駆動トランジスタに逆バイアス電圧を印加する逆バイアス電圧印加部と、を有することを特徴とする表示装置。

2. 前記逆バイアス電圧印加部は、前記表示パネルの走査線ごとに前記印加電圧を調整して前記駆動トランジスタに逆バイアス電圧を印加することを特徴とする請求項1に記載の
- 15 表示装置。

3. 前記表示パネルは、すべての前記二端子スイッチング素子に接続されたバイアスラインを有し、前記逆バイアス電圧印加部は前記バイアスラインを介して前記バイアスラインごとに逆バイアス電圧を印加することを特徴とする請求項1に記載の表示装置。

4. 前記逆バイアス電圧印加部は、前記複数の画素部の全ての二端子スイッチング素子への印加電圧を調整して前記駆動トランジスタに同時に逆バイアス電圧を印加することを特徴とする請求項1に記載の表示装置。
- 20

5. 前記表示パネルは、前記走査線ごとに前記二端子スイッチング素子に接続されたバイ

アスラインを有し、前記逆バイアス電圧印加部は前記バイアスラインに同時に逆バイアス電圧を印加することを特徴とする請求項 2 に記載の表示装置。

6. 前記走査駆動部による走査に要するアドレス期間に亘って前記発光素子の駆動電圧を低減して前記発光素子の発光を禁止する発光制御部を有することを特徴とする請求項 4 又

5 は 5 に記載の表示装置。

7. 前記逆バイアス電圧印加部は、前記発光素子の各々の発光期間が所定期間に達した時に前記逆バイアス電圧を印加することを特徴とする請求項 1 に記載の表示装置。

8. 前記所定期間は前記表示パネル全体の輝度に応じた長さの期間であることを特徴とする請求項 7 に記載の表示装置。

10 9. 前記二端子スイッチング素子はダイオードであることを特徴とする請求項 1 に記載の表示装置。

10. 前記二端子スイッチング素子は、トランジスタをダイオード接続して構成された素子であることを特徴とする請求項 1 に記載の表示装置。

11. 各々が発光素子、データ信号を保持するキャパシタ及び前記発光素子を該保持され
15 たデータ信号に基づいて駆動する駆動トランジスタを有する複数の画素部からなるアクティブマトリクス型の表示パネルと、前記表示パネルの各走査線を線順次走査する走査駆動部と、前記走査駆動部による走査に応じて前記データ信号を前記画素部に供給するデータ駆動部と、を有する表示装置であって、

前記複数の画素部の各々に設けられ、第 1 の端子が前記駆動トランジスタの制御電極に
20 接続されるとともに第 2 の端子が前記走査駆動部による 1 走査前の走査線に接続され、前記第 2 の端子に印加される走査電圧の大きさに応じてターンオンして前記走査電圧を前記制御電極に供給する二端子スイッチング素子を有し、

前記走査駆動部は前記駆動トランジスタを逆バイアス状態にし得る大きさのバイアス電圧を有する走査パルス信号により前記線順次走査をなすことを特徴とする表示装置。

1 2. 前記走査パルス信号のパルス幅を調整して前記発光素子の発光期間を制御する制御部を有することを特徴とする請求項 1 1 に記載の表示装置。

5 1 3. 前記線順次走査における第 1 行目の画素部に設けられた前記二端子スイッチング素子の第 2 の端子に接続された接続線を有し、前記走査駆動部は前記接続線を該第 1 行目の走査線の 1 走査前の走査線として線順次走査を行うことを特徴とする請求項 1 1 に記載の表示装置。

10 1 4. 前記線順次走査における第 1 行目の画素部に設けられた前記二端子スイッチング素子は前記線順次走査における最後の走査線に接続されていることを特徴とする請求項 1 1 に記載の表示装置。

図 1

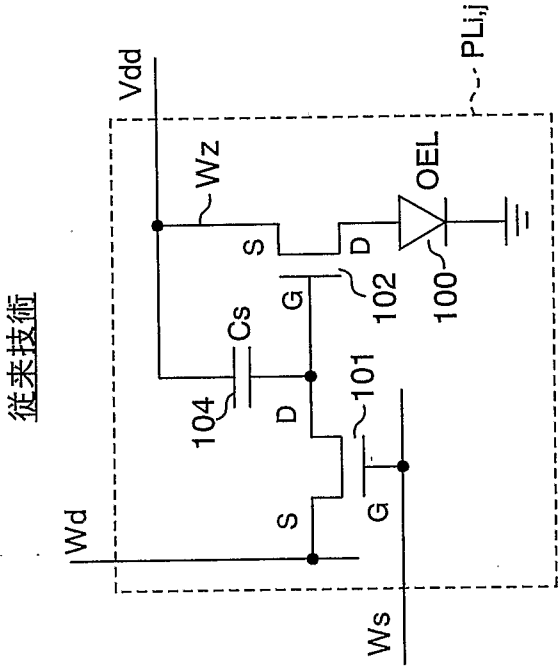


図 2

従来技術

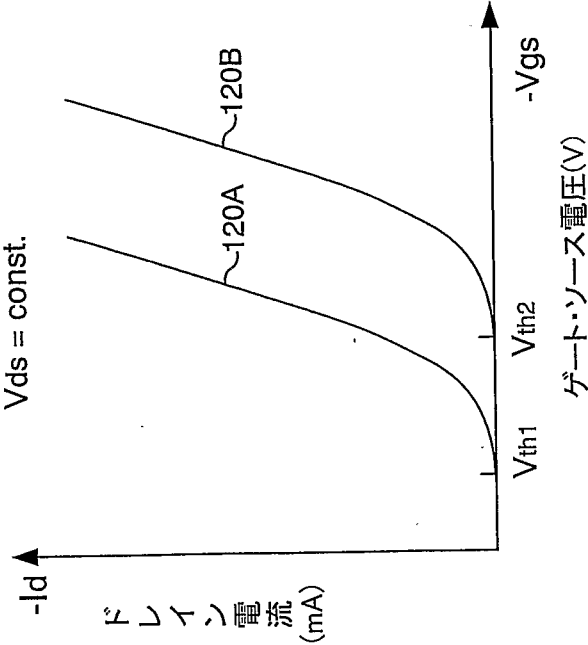
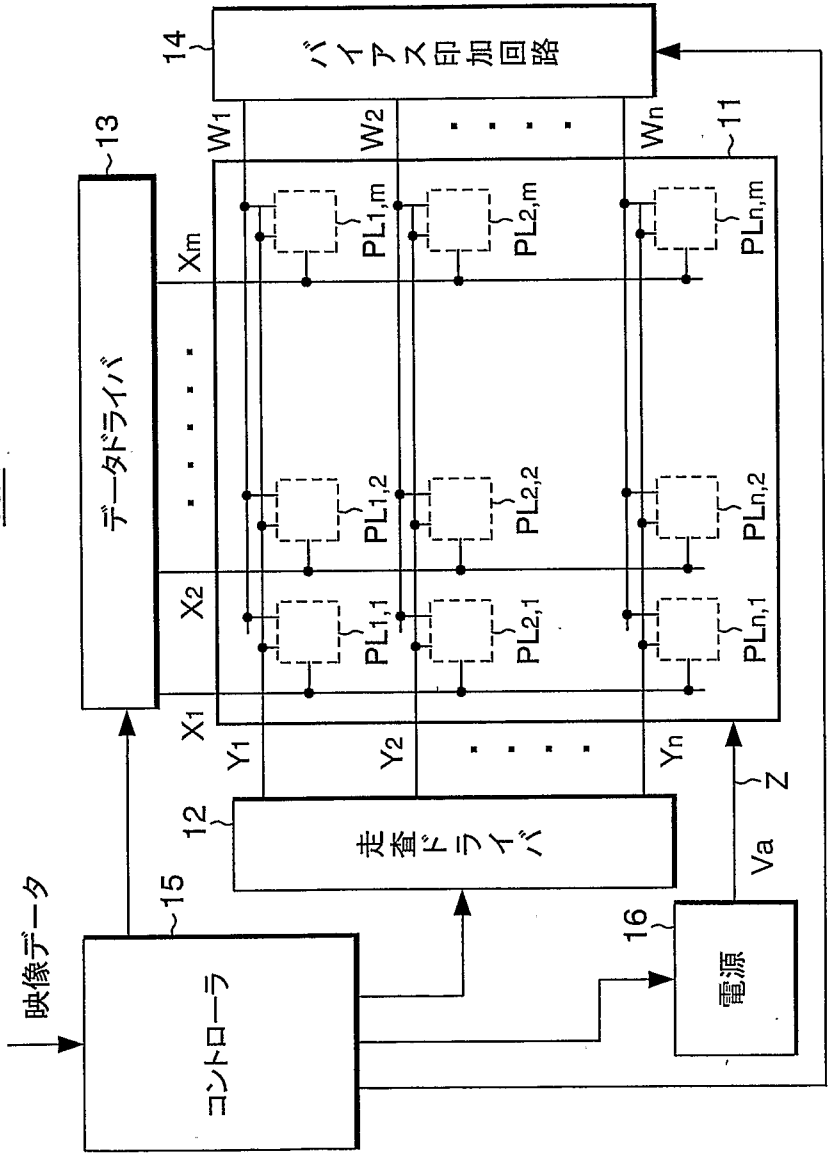


図 3

10A



4

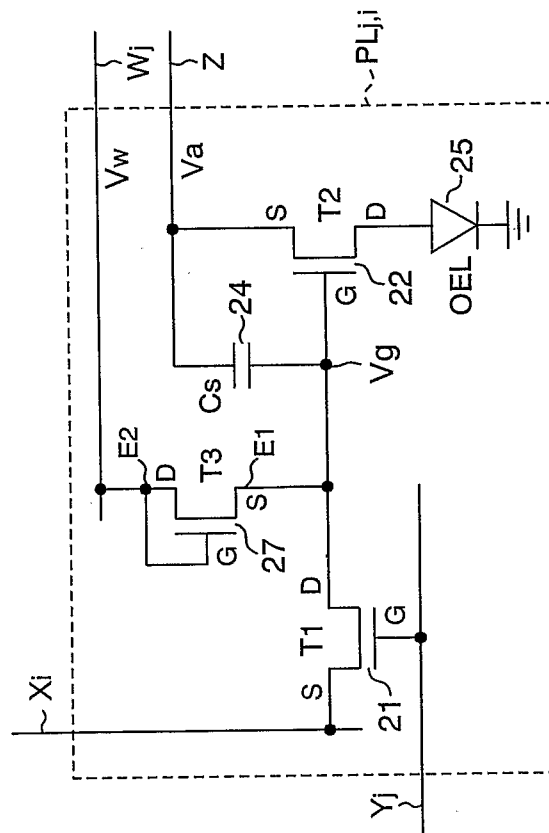


図 5

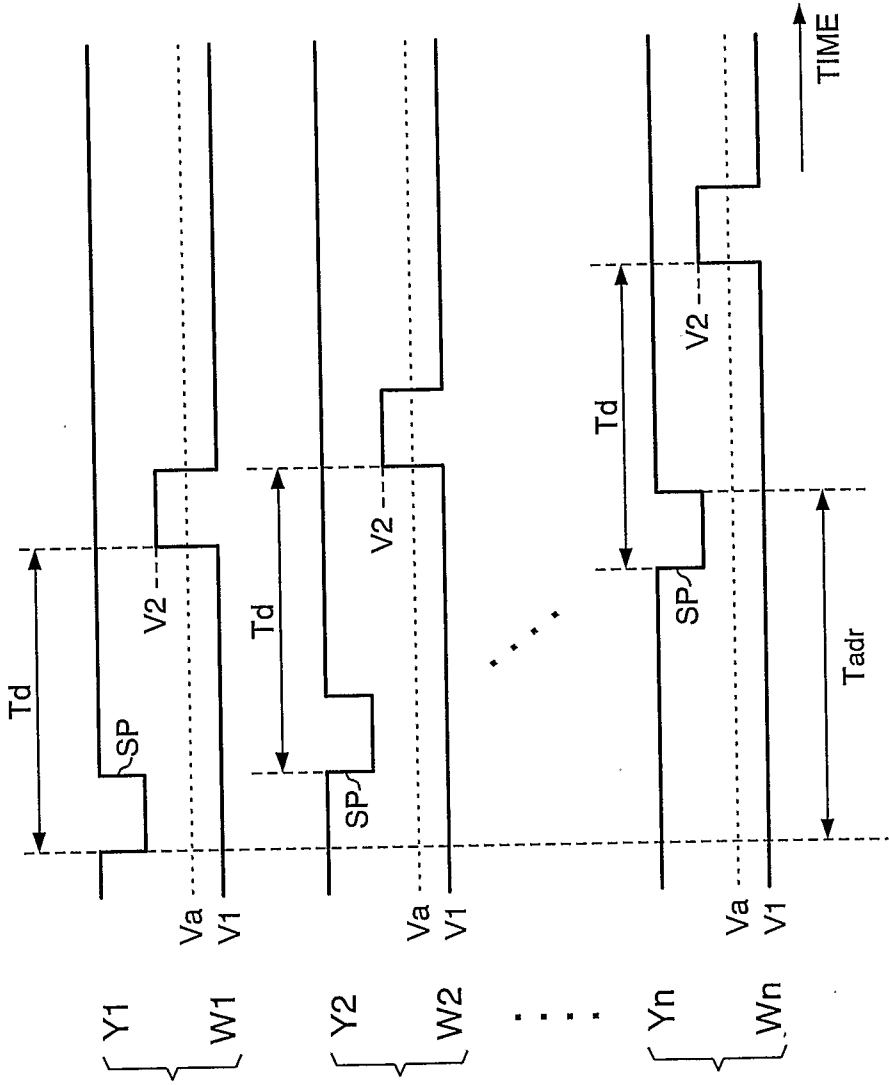
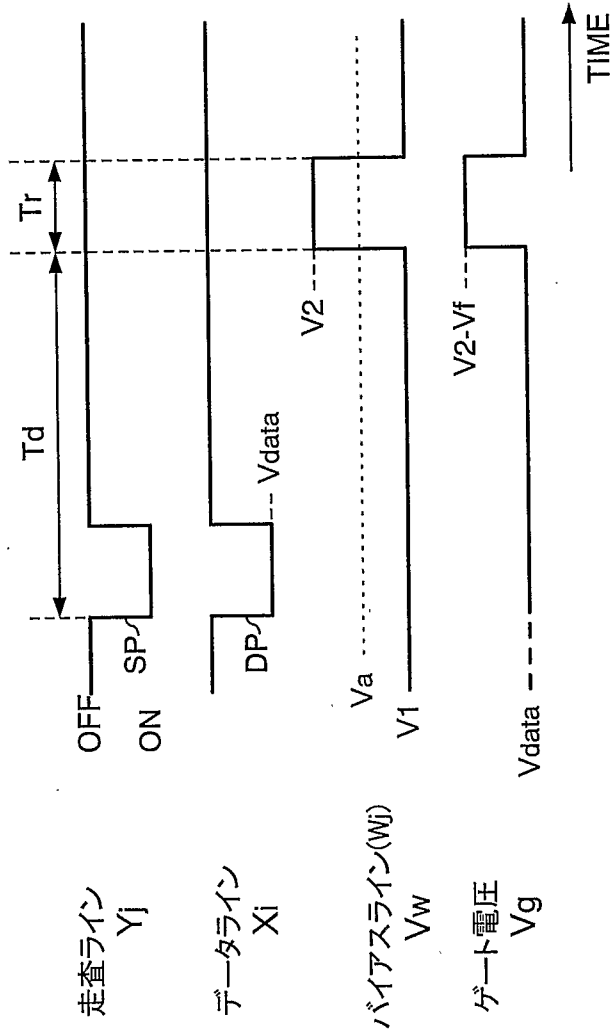


図 6



7/12

図 7

10B

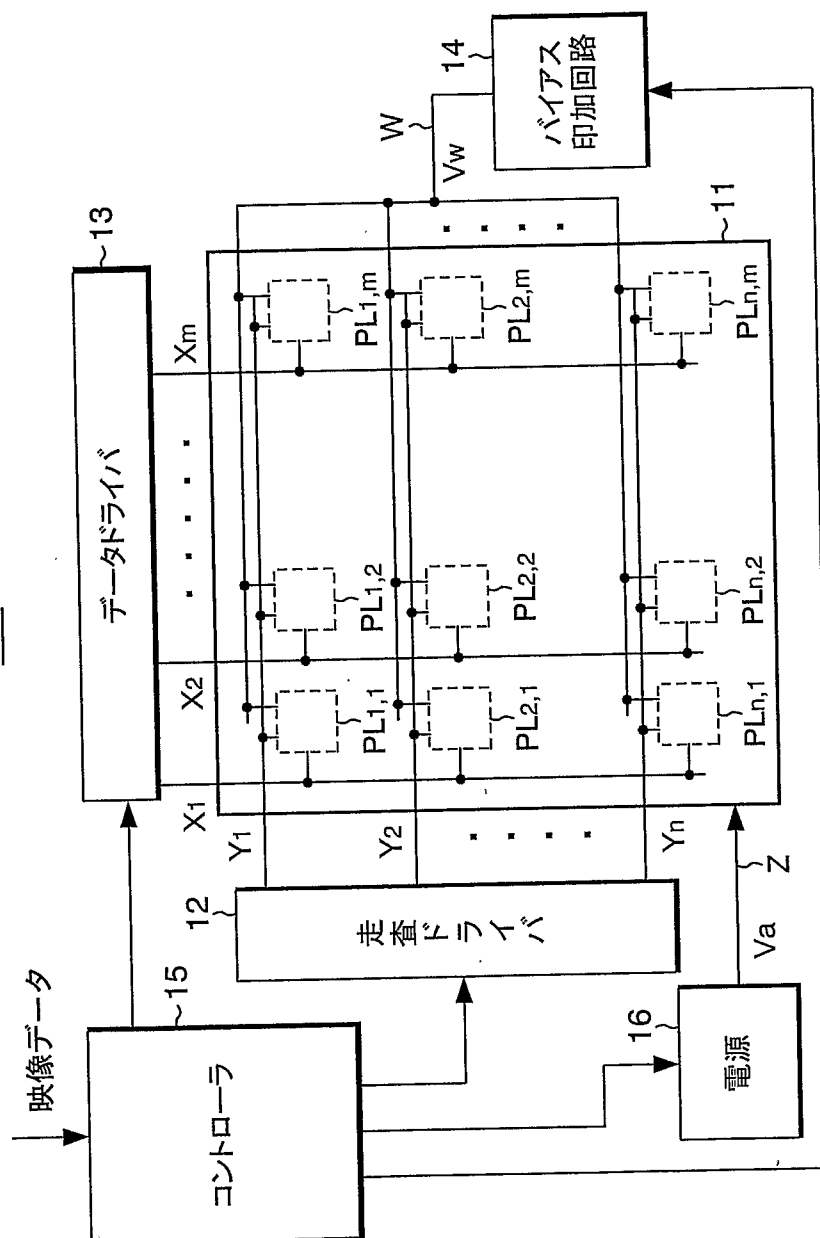
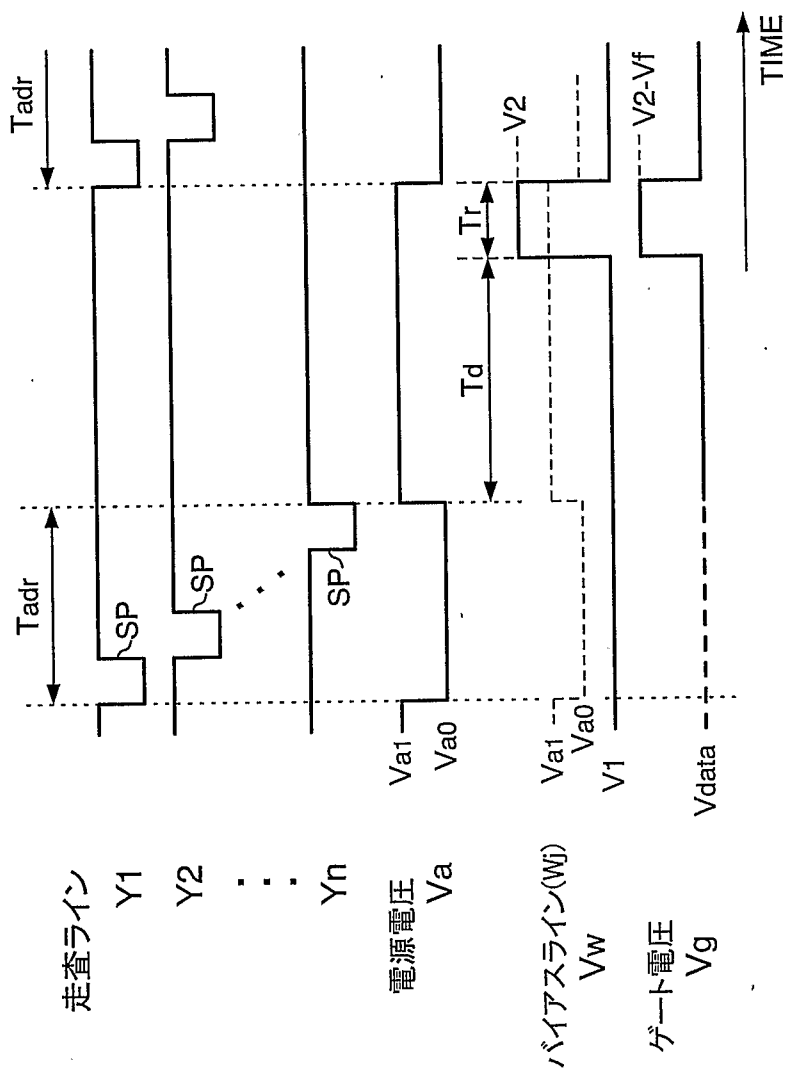
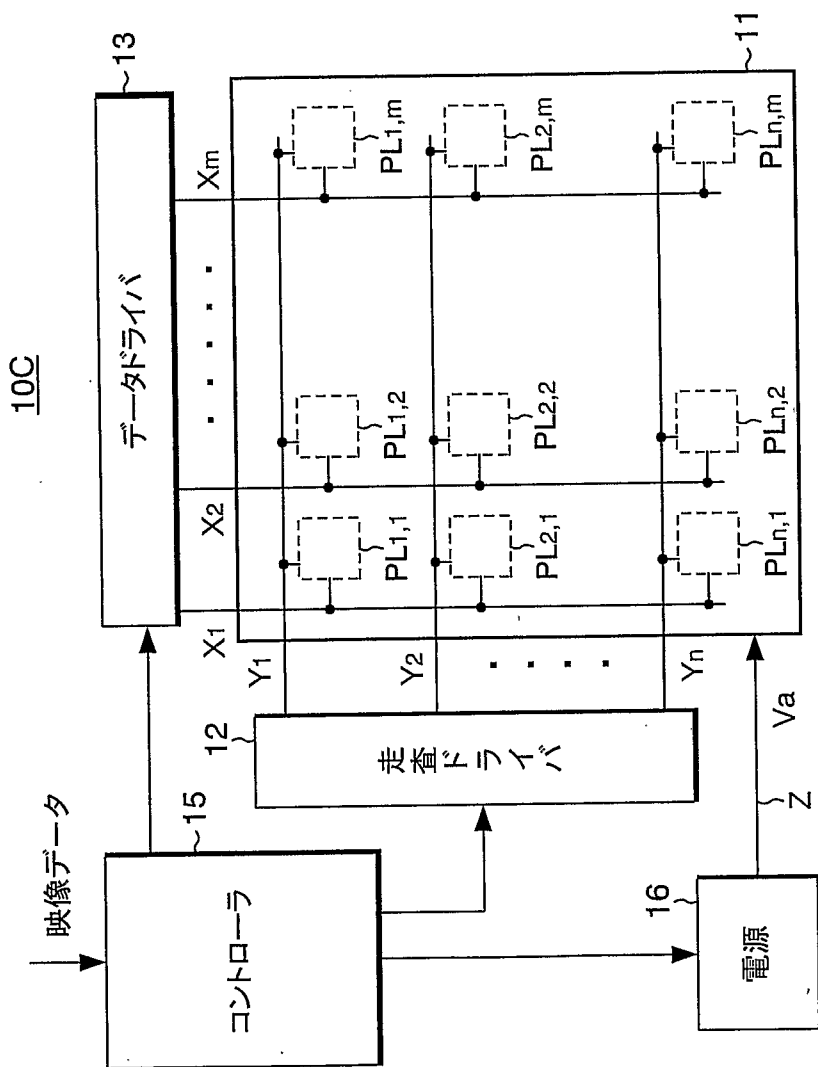


図 8



9/12

図 9



10/12

図 10

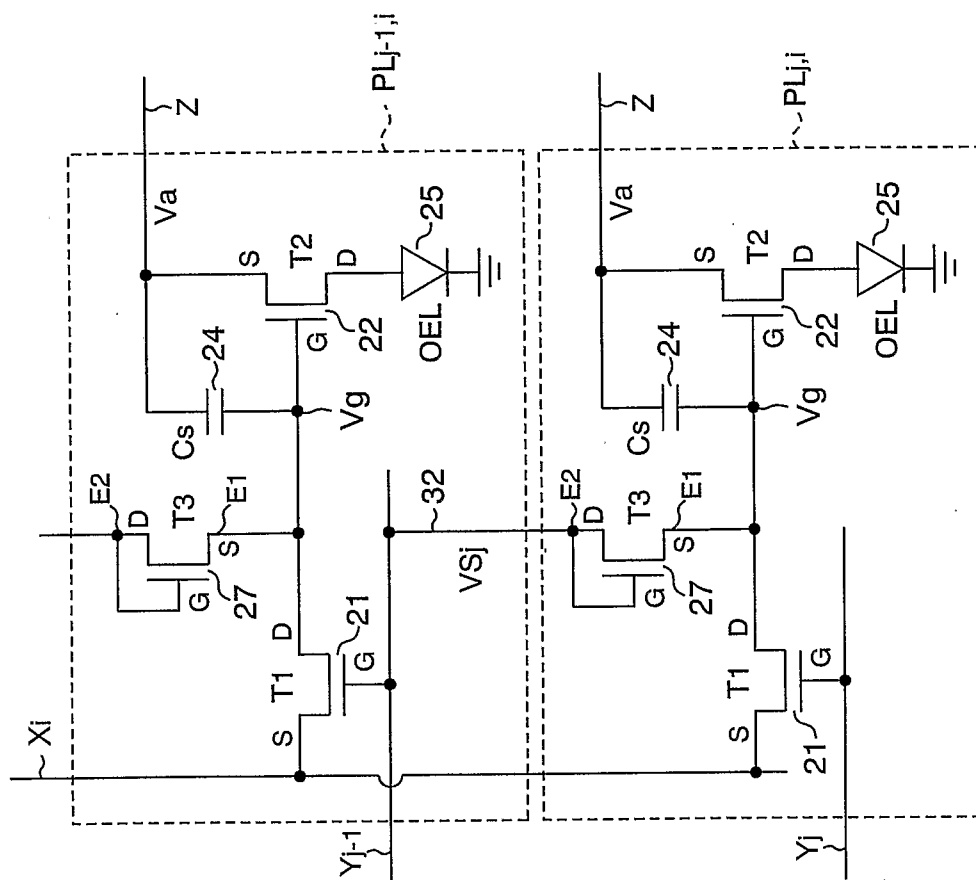


図 11

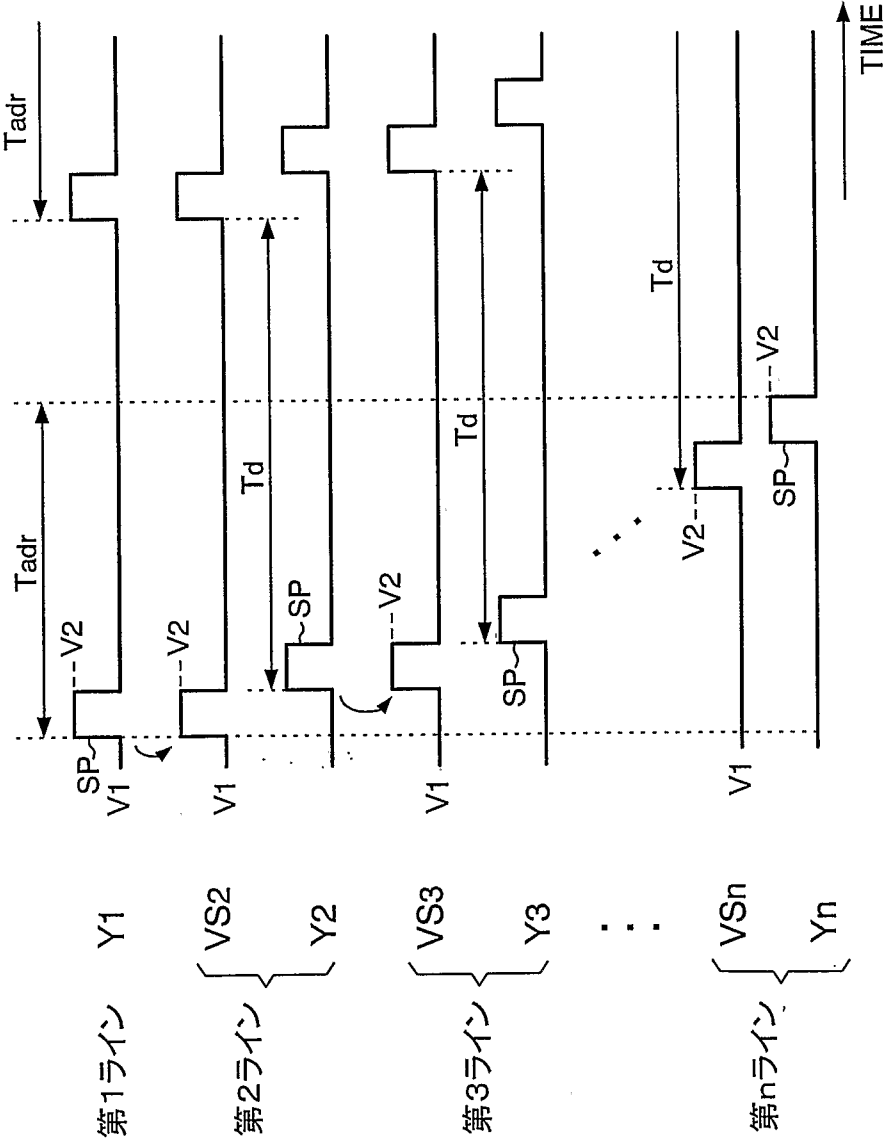
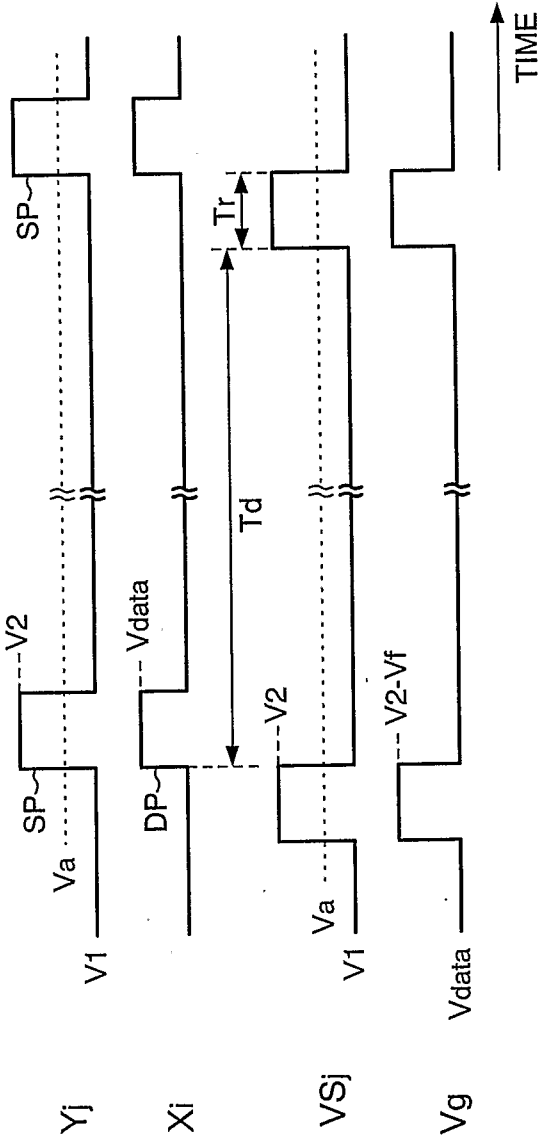


図 12



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2006/314324

A. CLASSIFICATION OF SUBJECT MATTER

G09G3/30(2006.01) i, G09G3/20(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G3/30, G09G3/20

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2006
Kokai Jitsuyo Shinan Koho	1971-2006	Toroku Jitsuyo Shinan Koho	1994-2006

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 2005-99715 A (Seiko Epson Corp.), 14 April, 2005 (14.04.05), Par. Nos. [0044] to [0049]; Figs. 5 to 8 & JP 2005-99773 A & US 2005/0083270 A1 & EP 1517290 A2	1-3, 5, 7, 10 4, 6, 8-9 11-14
X Y	JP 2003-202833 A (Semiconductor Energy Laboratory Co., Ltd.), 18 July, 2003 (18.07.03), Par. Nos. [0133] to [0140]; Fig. 5 & US 2003/0132931 A1	1-3, 5, 9 4, 6
Y	JP 2000-347622 A (Casio Computer Co., Ltd.), 15 December, 2000 (15.12.00), Full text; all drawings (Family: none)	4

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier application or patent but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search
15 August, 2006 (15.08.06)

Date of mailing of the international search report
22 August, 2006 (22.08.06)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2006/314324

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2004-531772 A (International Business Machines Corp.), 14 October, 2004 (14.10.04), Claims 1 to 4; Fig. 2 & US 2002/0195968 A1 & WO 2003/001496 A1	6
Y	JP 2001-60076 A (Sony Corp.), 06 March, 2001 (06.03.01), Par. No. [0022]; Figs. 1 to 3 & US 6583775 B1	8

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. G09G3/30(2006.01)i, G09G3/20(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. G09G3/30, G09G3/20

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2006年
日本国実用新案登録公報	1996-2006年
日本国登録実用新案公報	1994-2006年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X Y A	J P 2 0 0 5 - 9 9 7 1 5 A (セイコーエプソン株式会社) 2 0 0 5 . 0 4 . 1 4 , 段落【0044】-【0049】、【図5】 -【図8】 & J P 2 0 0 5 - 9 9 7 7 3 A & U S 2 0 0 5 / 0 0 8 3 2 7 0 A 1 & E P 1 5 1 7 2 9 0 A 2	1-3, 5, 7, 10 4, 6, 8-9 11-14

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

15.08.2006

国際調査報告の発送日

22.08.2006

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

西島 篤宏

2G

9308

電話番号 03-3581-1101 内線 3226

C (続き) . 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X Y	J P 2003-202833 A (株式会社半導体エネルギー研究所) 2003. 07. 18, 段落【0133】－【0140】, 【図5】 & US 2003/0132931 A1	1-3, 5, 9 4, 6
Y	J P 2000-347622 A (カシオ計算機株式会社) 2000. 12. 15, 全文, 全図 (ファミリーなし)	4
Y	J P 2004-531772 A (インターナショナル・ビジネス・マシーンズ・コーポレーション) 2004. 10. 14, 【請求項1】－【請求項4】, 【図2】 & US 2002/0195968 A1 & WO 2003/001496 A1	6
Y	J P 2001-60076 A (ソニー株式会社) 2001. 03. 06, 段落【0022】, 【図1】－【図3】 & US 6583775 B1	8