

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2016年9月9日(09.09.2016)



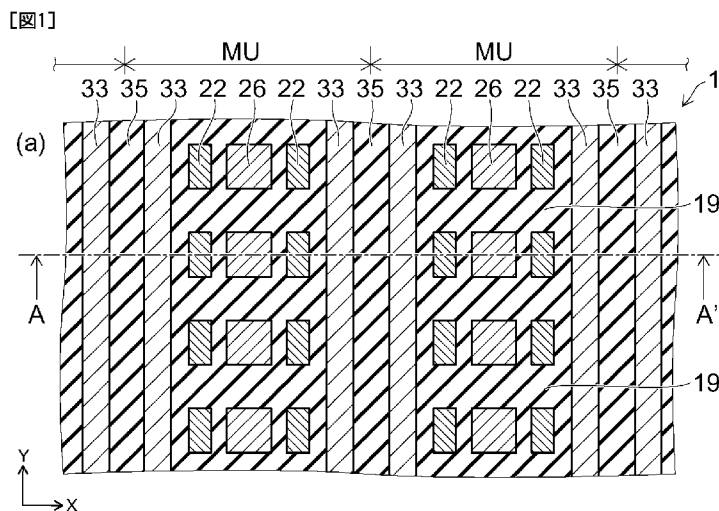
(10) 国際公開番号
WO 2016/139727 A1

- (51) 国際特許分類:
H01L 21/336 (2006.01) H01L 29/788 (2006.01)
H01L 21/8247 (2006.01) H01L 29/792 (2006.01)
H01L 27/115 (2006.01)
- (21) 国際出願番号: PCT/JP2015/056102
- (22) 国際出願日: 2015年3月2日(02.03.2015)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人: 株式会社 東芝 (KABUSHIKI KAISHA TOSHIBA) [JP/JP]; 〒1058001 東京都港区芝浦一丁目1番1号 Tokyo (JP).
- (72) 発明者: 加藤 竜也 (KATO, Tatsuya); 〒1058001 東京都港区芝浦一丁目1番1号 株式会社東芝 知的財産室内 Tokyo (JP). 荒井 史隆 (ARAI, Fumitaka); 〒1058001 東京都港区芝浦一丁目1番1号 株式会社東芝 知的財産室内 Tokyo (JP). 関根 克行 (SEKINE, Katsuyuki); 〒1058001 東京都港区芝浦一丁目1番1号 株式会社東芝 知的財産室内 Tokyo (JP). 岩本 敏幸 (IWAMOTO, Toshiyuki); 〒1058001 東京都港区芝浦一丁目1番1号 株式会社東芝 知的財産室内 Tokyo (JP). 渡辺 優太 (WATANABE, Yuta); 〒1058001 東京都港区芝浦一丁目1番1号 株式会社東芝 知的財産室内 Tokyo (JP).
- (74) 代理人: 日向寺 雅彦 (HYUGAJI, Masahiko); 〒2318966 神奈川県横浜市中区桜木町一丁目1番地8 日石横浜ビル Kanagawa (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC,

[続葉有]

(54) Title: SEMICONDUCTOR STORAGE DEVICE AND METHOD FOR MANUFACTURING SAME

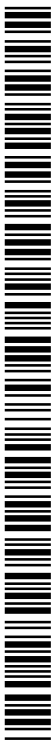
(54) 発明の名称: 半導体記憶装置及びその製造方法



(57) Abstract: A semiconductor storage device of an embodiment of the present invention is equipped with a pair of first electrodes, semiconductor pillars, inter-pillar insulation members, a first insulation film, a second electrode, and a second insulation film. The pair of first electrodes extend in a first direction away from one another. The semiconductor pillars and the inter-pillar insulation members are arranged alternately in the first direction between the pair of first electrodes. The semiconductor pillars and the inter-pillar insulation members extend in a second direction that intersects the first direction. The first insulation film is disposed in the periphery of the semiconductor pillars. The second electrode is disposed between each of the pair of first electrodes and the first insulation film. The second electrode is not disposed between the semiconductor pillars and the inter-pillar insulation member. The second insulation film is disposed between the second electrode and the first electrode.

(57) 要約:

[続葉有]



WO 2016/139727 A1

MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, 添付公開書類:
TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, — 国際調査報告 (条約第 21 条(3))
KM, ML, MR, NE, SN, TD, TG).

実施形態に係る半導体記憶装置は、一对の第 1 電極と、半導体ピラーと、ピラー間絶縁部材と、第 1 絶縁膜と、第 2 電極と、第 2 絶縁膜と、を備える。前記一对の第 1 電極は、相互に離隔して第 1 方向に延びる。前記半導体ピラー及び前記ピラー間絶縁部材は、前記一对の第 1 電極間において、前記第 1 方向に沿って交互に配列されている。前記半導体ピラー及び前記ピラー間絶縁部材は、前記第 1 方向に対して交差した第 2 方向に延びる。前記第 1 絶縁膜は、前記半導体ピラーの周囲に設けられている。前記第 2 電極は、前記一对の第 1 電極のそれぞれと前記第 1 絶縁膜との間に設けられている。前記第 2 電極は、前記半導体ピラーと前記ピラー間絶縁部材との間には設けられていない。前記第 2 絶縁膜は、前記第 2 電極と前記第 1 電極との間に設けられている。

明 細 書

発明の名称：半導体記憶装置及びその製造方法

技術分野

[0001] 実施形態は、半導体記憶装置及びその製造方法に関する。

背景技術

[0002] 従来より、NANDフラッシュメモリは、平面構造の微細化により集積度を増加させ、ビットコストを低減させてきたが、平面構造の微細化は限界に近づきつつある。そこで、近年、メモリセルを上下方向に積層する技術が提案されている。しかしながら、このような積層型の記憶装置は製造が困難であり、完成後の製品の信頼性が課題となる。

先行技術文献

特許文献

[0003] 特許文献1：特開2012-69606号公報

発明の概要

発明が解決しようとする課題

[0004] 実施形態の目的は、信頼性が高い半導体記憶装置及びその製造方法を提供することである。

課題を解決するための手段

[0005] 実施形態に係る半導体記憶装置は、一对の第1電極と、半導体ピラーと、ピラー間絶縁部材と、第1絶縁膜と、第2電極と、第2絶縁膜と、を備える。前記一对の第1電極は、相互に離隔して第1方向に延びる。前記半導体ピラー及び前記ピラー間絶縁部材は、前記一对の第1電極間において、前記第1方向に沿って交互に配列されている。前記半導体ピラー及び前記ピラー間絶縁部材は、前記第1方向に対して交差した第2方向に延びる。前記第1絶縁膜は、前記半導体ピラーの周囲に設けられている。前記第2電極は、前記一对の第1電極のそれぞれと前記第1絶縁膜との間に設けられている。前記第2電極は、前記半導体ピラーと前記ピラー間絶縁部材との間には設けられ

ていない。前記第 2 絶縁膜は、前記第 2 電極と前記第 1 電極との間に設けられている。

[0006] 実施形態に係る半導体記憶装置の製造方法は、層間絶縁膜と第 1 膜を交互に積層させることにより、積層体を形成する。前記方法は、前記積層体に、前記層間絶縁膜及び前記第 1 膜の積層方向に対して交差した第 1 方向に延びるトレンチを形成する。前記方法は、前記トレンチ内に、前記第 1 方向に沿って相互に離隔した複数のピラー間絶縁部材を形成する。前記方法は、前記トレンチ内における前記ピラー間絶縁部材に挟まれたホールを介して、前記第 1 膜に対して等方性エッチングを施すことにより、前記層間絶縁膜間に前記ホールに連通した第 1 凹部を形成する。前記方法は、前記第 1 凹部の内面上に第 1 絶縁層を形成すると共に、前記第 1 凹部内に第 2 電極を形成する。前記方法は、前記ホールの内面上に第 1 絶縁膜を形成する。前記方法は、前記第 1 絶縁膜上に半導体ピラーを形成する。前記方法は、前記積層体における前記トレンチ間の部分に、前記第 1 方向に延びるスリットを形成する。前記方法は、前記スリットを介して前記第 1 膜を除去することにより、前記層間絶縁膜間に第 2 凹部を形成する。前記方法は、前記第 2 凹部の内面上に第 2 絶縁層を形成する。前記方法は、前記第 2 凹部内に第 1 電極を形成する。

図面の簡単な説明

[0007] [図1]図 1 (a) 及び図 1 (b) は、第 1 の実施形態に係る半導体記憶装置を例示する断面図である。

[図2]図 2 (a) 及び図 2 (b) は、第 1 の実施形態に係る半導体記憶装置を例示する一部拡大断面図である。

[図3]図 3 は、第 1 の実施形態に係る半導体記憶装置の製造方法を例示するフローチャート図である。

[図4]図 4 (a) 及び図 4 (b) は、第 1 の実施形態に係る半導体記憶装置の製造方法を例示する断面図である。

[図5]図 5 (a) 及び図 5 (b) は、第 1 の実施形態に係る半導体記憶装置の製造方法を例示する断面図である。

[図6]図6 (a) 及び図6 (b) は、第1の実施形態に係る半導体記憶装置の製造方法を例示する断面図である。

[図7]図7 (a) 及び図7 (b) は、第1の実施形態に係る半導体記憶装置の製造方法を例示する断面図である。

[図8]図8 (a) 及び図8 (b) は、第1の実施形態に係る半導体記憶装置の製造方法を例示する断面図である。

[図9]図9 (a) 及び図9 (b) は、第1の実施形態に係る半導体記憶装置の製造方法を例示する断面図である。

[図10]図10 (a) 及び図10 (b) は、第1の実施形態に係る半導体記憶装置の製造方法を例示する断面図である。

[図11]図11 (a) 及び図11 (b) は、第1の実施形態に係る半導体記憶装置の製造方法を例示する断面図である。

[図12]図12 (a) 及び図12 (b) は、第1の実施形態に係る半導体記憶装置の製造方法を例示する断面図である。

[図13]図13 (a) 及び図13 (b) は、第1の実施形態に係る半導体記憶装置の製造方法を例示する断面図である。

[図14]図14 (a) 及び図14 (b) は、第1の実施形態に係る半導体記憶装置の製造方法を例示する断面図である。

[図15]図15は、第2の実施形態に係る半導体記憶装置を例示する断面図である。

[図16]図16 (a) 及び図16 (b) は、第3の実施形態に係る半導体記憶装置を例示する断面図である。

[図17]図17は、第4の実施形態に係る半導体記憶装置を例示する断面図である。

発明を実施するための形態

[0008] 以下、図面を参照しつつ、本発明の実施形態について説明する。

先ず、第1の実施形態について説明する。

図1 (a) 及び図1 (b) は、本実施形態に係る半導体記憶装置を例示す

る断面図である。

図2(a)及び図2(b)は、本実施形態に係る半導体記憶装置を例示する一部拡大断面図である。

なお、図1(b)は図1(a)に示すA-A'線による断面を示し、図1(a)は図1(b)に示すB-B'線による断面を示す。同様に、図2(b)は図2(a)に示すA-A'線による断面を示し、図2(a)は図2(b)に示すB-B'線による断面を示す。

[0009] 図1(a)及び図1(b)に示すように、本実施形態に係る半導体記憶装置1においては、シリコン基板10が設けられている。以下、説明の便宜上、本明細書においては、XYZ直交座標系を採用する。シリコン基板10の上面に対して平行で、且つ、相互に直交する2方向を「X方向」及び「Y方向」とし、上面に対して垂直な方向を「Z方向」とする。

[0010] シリコン基板10上には、例えばシリコン酸化物からなる絶縁膜11、例えばポリシリコンからなる導電層12、例えばタングステンからなる配線層13、例えばポリシリコンからなる導電層14がこの順に積層されている。導電層12、配線層13及び導電層14により、セルソース線15が形成されている。セルソース線15は、XY平面に沿って広がっている。

[0011] セルソース線15上には、Z方向に延びる複数本のシリコンピラー26が設けられている。シリコンピラー26の下端は、セルソース線15に接続されている。シリコンピラー26は、X方向及びY方向に沿ってマトリクス状に配列されている。シリコンピラー26上には、X方向に延びる複数本のビット線36が設けられている。各ビット線36は、X方向に沿って一列に配列された複数本のシリコンピラー26の上端に接続されている。

[0012] また、セルソース線15上には、Y方向に延びる複数本の制御ゲート電極33が設けられている。Y方向に沿って一列に配列されたシリコンピラー26のX方向の両側のそれぞれにおいて、制御ゲート電極33は、Z方向に沿って一列に配列されている。

[0013] シリコンピラー26と制御ゲート電極33との間には、浮遊ゲート電極2

2が設けられている。浮遊ゲート電極22は、シリコンピラー26と制御ゲート電極33との交差部分毎に配置されている。すなわち、Y方向に沿って一列に配列されたシリコンピラー26の列と、Z方向に沿って一列に配列された制御ゲート電極33の列との間には、複数の浮遊ゲート電極22がY方向及びZ方向に沿って相互に離隔してマトリクス状に配列されている。

[0014] Y方向に沿って一列に配列されたシリコンピラー26、その両側に配置され、それぞれZ方向に沿って一列に配列された制御ゲート電極33、シリコンピラー26と制御ゲート電極33との間に設けられた浮遊ゲート電極22により、1つのメモリユニットMUが構成されている。そして、半導体記憶装置1においては、複数のメモリユニットMUが、X方向に沿って配列されている。

[0015] 換言すれば、Z方向に沿って配列された二列の制御ゲート電極33が1つの束を構成し、この束間に、Y方向に沿って一列に配列されたシリコンピラー26の列が配置され、制御ゲート電極33の束とシリコンピラー26の列との間に、Y方向及びZ方向に沿ってマトリクス状に配列された浮遊ゲート電極22が配置されている。また、後述するように、セルソース線15、シリコンピラー26、制御ゲート電極33、浮遊ゲート電極22及びビット線36の間は、絶縁材料により埋め込まれている。

[0016] 図2(a)及び図2(b)に示すように、シリコンピラー26は、コア材料となるボディシリコン25と、その周囲を囲むカバーシリコン層24とによって構成されている。シリコンピラー26は、全体として例えばポリシリコンにより形成されている。シリコンピラー26の周囲には、例えばシリコン酸化物からなるトンネル絶縁膜23が設けられている。

[0017] Y方向において隣り合うトンネル絶縁膜23間には、例えばシリコン酸化物からなるピラー間絶縁部材38が設けられている。ピラー間絶縁部材38におけるX方向両側に向いた側面には、Z方向に延びる凹部39が形成されている。凹部39の形状は、例えば、Z方向を軸方向とした半円柱形である。

トンネル絶縁膜 23 における X 方向両側に向いた側面は、浮遊ゲート電極 22 に接している。浮遊ゲート電極 22 は、例えばポリシリコンによって形成されている。

[0018] 一方、制御ゲート電極 33 は、タングステン膜 32 と、タングステン膜 32 の上面上、下面上及びシリコンピラー 26 側の側面上に設けられたバリアメタル層 31 によって構成されている。バリアメタル層 31 は、例えば、チタン窒化物 (TiN) によって形成されている。

[0019] 浮遊ゲート電極 22 とバリアメタル層 31 との間には、ブロック絶縁膜 30 が設けられている。ブロック絶縁膜 30 は、浮遊ゲート電極 22 における Y 方向両側に向いた端面上にも設けられている。ブロック絶縁膜 30 においては、浮遊ゲート電極 22 側から順に、ハフニウム酸化層 21、シリコン酸化層 28 及びハフニウム酸化層 29 が積層されている。このように、ブロック絶縁膜 30 は例えばハフニウム酸化物を含み、トンネル絶縁膜 23 は例えばシリコン酸化物により形成されているため、ブロック絶縁膜 30 の誘電率は、トンネル絶縁膜 23 の誘電率よりも高い。

[0020] ハフニウム酸化層 21 は浮遊ゲート電極 22 の上面上及び下面上にも回り込んでいる。一方、シリコン酸化層 28 及びハフニウム酸化層 29 は、ピラー間絶縁部材 38 と制御ゲート電極 33 との間にも設けられており、ピラー間絶縁部材 38 の凹部 39 の内面上にも配置されている。また、シリコン酸化層 28 及びハフニウム酸化層 29 は、制御ゲート電極 33 の上面上及び下面上にも配置されている。更に、制御ゲート電極 33 の一部は、凹部 39 内に配置され、これにより、Y 方向において隣り合うシリコンピラー 26 間に配置されている。

[0021] X 方向において隣り合うシリコンピラー 26 間であって、X 方向において隣り合う制御ゲート電極 33 間には、例えばシリコン酸化物からなる絶縁部材 35 が設けられている。また、Z 方向において隣り合う制御ゲート電極 33 間には、層間絶縁膜としてのシリコン酸化層 19 が設けられている。

[0022] 半導体記憶装置 1 においては、シリコンピラー 26 と制御ゲート電極 33

との交差部分毎に、1枚の浮遊ゲート電極22を含むメモリセルトランジスタが形成される。また、ビット線36とセルソース線15との間に、複数のメモリセルトランジスタが直接に接続されたNANDストリングが接続される。

[0023] 次に、本実施形態に係る半導体記憶装置の製造方法について説明する。

図3は、本実施形態に係る半導体記憶装置の製造方法を例示するフローチャート図である。

図4(a)～図14(b)は、本実施形態に係る半導体記憶装置の製造方法を例示する断面図である。

なお、図4(a)及び図4(b)は同じ工程を示し、図4(b)は図4(a)に示すA-A'線による断面を示し、図4(a)は図4(b)に示すB-B'線による断面を示す。図5(a)～図14(b)についても同様である。

[0024] 先ず、図4(a)及び(b)に示すように、シリコン基板10を用意する。

次に、シリコン基板10上に、絶縁膜11、導電層12、配線層13及び導電層14をこの順に形成する。導電層12、配線層13及び導電層14により、セルソース線15が形成される。

次に、図3のステップS1に示すように、導電層14上に、シリコン窒化層18及びシリコン酸化層19を交互に積層し、ONON積層体20を形成する。

[0025] 次に、図5(a)及び図5(b)並びに図3のステップS2に示すように、例えばRIE(Reactive Ion Etching)等の異方性エッチングにより、積層体20にY方向に延びる複数本のメモリトレンチMTを形成する。メモリトレンチMTの底面には導電層14が露出する。

[0026] 次に、図6(a)及び図6(b)並びに図3のステップS3に示すように、例えばCVD(Chemical Vapor Deposition)法により、メモリトレンチMT内の全体に、例えばシリコン酸化物からなる絶縁部材38aを埋め込む。

[0027] 次に、図3のステップS4に示すように、積層体20及び絶縁部材38a上に、Y方向に沿ってラインアンドスペースが繰り返されたパターンPAAを形成する。パターンPAAの各ライン及び各スペースは、X方向に延びている。次に、パターンPAA及び最上層のシリコン窒化層18をマスクとしてRIE等の異方性エッチングを施すことにより、絶縁部材38aをY方向に沿って分断し、Y方向に沿って断続的に配列された複数本のピラー間絶縁部材38に加工する。これにより、各メモリトレンチMT内における絶縁部材38aが除去されたあとの空間が、メモリホールMHとなる。すなわち、各メモリトレンチMT内においては、Y方向に沿ってメモリホールMH及びピラー間絶縁部材38が交互に配列される。

[0028] 次に、図7(a)及び図7(b)並びに図3のステップS5に示すように、例えば熱リン酸を用いたウェットエッチングにより、メモリホールMHを介してシリコン窒化層18をリセスする。これにより、メモリホールMHの側面におけるシリコン窒化層18が露出した面が後退し、シリコン酸化層19間に凹部52が形成される。凹部52は、メモリホールMHのX方向両側に形成されると共に、ピラー間絶縁部材38のX方向両側に向いた側面上の一部まで拡大する。

次に、図3のステップS6に示すように、例えば熱酸化処理を施すことにより、シリコン窒化層18の露出面上に、ダミー酸化層53を形成する。

[0029] 次に、図8(a)及び図8(b)並びに図3のステップS7に示すように、メモリホールMHの内面上に、ハフニウム酸化層21aを形成する。ハフニウム酸化層21aは、凹部52を埋めきらないように形成する。

次に、図3のステップS8に示すように、ハフニウム酸化層21a上に、シリコン膜22aを形成する。シリコン膜22aは、メモリホールMHを埋めきらないように形成する。

[0030] 次に、図9(a)及び図9(b)並びに図3のステップS9に示すように、例えばRIE等の異方性エッチングを施すことにより、シリコン膜22aをエッチバックする。これにより、シリコン膜22aが凹部52毎に分断さ

れる。この結果、各凹部52内にシリコンからなる浮遊ゲート電極22が形成される。次に、ハフニウム酸化層21aをエッチバックする。これにより、ハフニウム酸化層21aが凹部52毎に分断されて、ハフニウム酸化層21となる。なお、異方性エッチングの代わりに、ウェットエッチング等の等方性エッチングを施してもよい。

[0031] 次に、図10(a)及び図10(b)並びに図3のステップS10に示すように、例えばシリコン酸化物を堆積させることにより、メモリホールMHの内面上にトンネル絶縁膜23を形成する。

次に、図3のステップS11に示すように、メモリホールMHの内面上に、カバーシリコン層24を形成する。

[0032] 次に、図3のステップS12に示すように、RIE等の異方性エッチングを施すことにより、メモリホールMHの底面上に堆積されたカバーシリコン層24及びトンネル絶縁膜23を除去する。これにより、メモリホールMHの底面にセルソース線15(図4(b)参照)が露出する。

[0033] 次に、図3のステップS13に示すように、例えばCVD法によりシリコンを堆積させることにより、メモリホールMH内にボディシリコン25を埋め込む。ボディシリコン25は、Z方向に延びるピラー状に形成されて、その下端はセルソース線15に接続される。カバーシリコン層24及びボディシリコン25により、シリコンピラー26が構成される。

[0034] 次に、図11(a)及び図11(b)並びに図3のステップS14に示すように、積層体20におけるメモリトレンチMT間の部分に、Y方向に延びるスリットSTを形成する。

[0035] 次に、図12(a)及び図12(b)並びに図3のステップS15に示すように、例えば熱リン酸を用いたウェットエッチングにより、スリットSTを介してシリコン窒化層18(図11(b)参照)をリセスする。このとき、ダミー酸化層53及びピラー間絶縁部材38がエッチングストップとして機能する。この結果、スリットSTのX方向両側のシリコン酸化層19間に、Y方向に延びる凹部55が形成される。凹部55の奥面には、ダミー酸化

層53及びピラー間絶縁部材38が露出する。

[0036] 次に、図13(a)及び図13(b)並びに図3のステップS16に示すように、ダミー酸化層53(図12(a)参照)を除去する。これにより、凹部55の奥面には、ハフニウム酸化層21が露出する。また、このとき、シリコン酸化層19及びピラー間絶縁部材38の露出部分もリセスされ、ピラー間絶縁部材38におけるX方向に向いた側面に、凹部39が形成される。

[0037] 次に、図14(a)及び図14(b)並びに図3のステップS17に示すように、スリットSTを介してシリコン酸化物を堆積させる。これにより、スリットST及び凹部55の内面上に、シリコン酸化層28が形成される。シリコン酸化層28は、凹部55の奥面において、ハフニウム酸化層21に接する。また、シリコン酸化層28の一部は、凹部39内に進入する。

[0038] 次に、図3のステップS18に示すように、スリットSTを介してハフニウム酸化物を堆積させる。これにより、シリコン酸化層28上にハフニウム酸化層29が形成される。ハフニウム酸化層21、シリコン酸化層28及びハフニウム酸化層29により、ブロック絶縁膜30が構成される。

[0039] 次に、図3のステップS19に示すように、スリットST及び凹部55の内面上に、バリアメタル層31を形成する。次に、バリアメタル層31上に、タングステン膜32を形成する。次に、スリットSTを介してタングステン膜32及びバリアメタル層31をエッチバックする。これにより、バリアメタル層31及びタングステン膜32が凹部55毎に分断される。各凹部55内に残留したバリアメタル層31及びタングステン膜32により、制御ゲート電極33が構成される。

[0040] 次に、図2(a)及び図2(b)に示すように、スリットST内にシリコン酸化物を埋め込むことにより、絶縁部材35を形成する。

次に、図1(a)及び図1(b)に示すように、積層体20上にX方向に延びる複数本のビット線36を形成する。各ビット線36は、X方向に沿って一列に配列されたシリコンピラー26の上端に接続される。このようにし

て、本実施形態に係る半導体記憶装置 1 が製造される。

[0041] 次に、本実施形態の効果について説明する。

本実施形態に係る半導体記憶装置 1 においては、図 2 (a) に示すように、ブロック絶縁膜 30 の一部が、浮遊ゲート電極 22 の Y 方向側に配置されている。これにより、浮遊ゲート電極 22 は、X 方向における制御ゲート電極 33 側及び Y 方向両側の三方向から、ブロック絶縁膜 30 によって覆われている。このため、浮遊ゲート電極 22 とブロック絶縁膜 30 との接触面積が大きく、浮遊ゲート電極 22 と制御ゲート電極 33 との間のカップリング比が高い。この結果、半導体記憶装置 1 は、制御性が良好であり、動作の信頼性が高い。

[0042] また、本実施形態によれば、図 13 (a) 及び図 13 (b) に示す工程において、カバー酸化膜 53 を除去するとき、ピラー間絶縁部材 38 の X 方向に向いた側面に凹部 39 を形成している。これにより、図 14 (a) 及び図 14 (b) に示す工程において、シリコン酸化層 28 及びハフニウム酸化層 29 を凹部 39 の内面上にも形成し、制御ゲート電極 33 の一部を凹部 39 内に進入させることができる。この結果、制御ゲート電極 33 を浮遊ゲート電極 22 を覆うように形成し、浮遊ゲート電極 22 と制御ゲート電極 33 との間のカップリング比をより一層高めることができる。

[0043] 更に、本実施形態においては、図 5 (a) 及び図 5 (b) に示す工程において、積層体 20 にメモリトレンチ MT を形成した後、図 6 (a) 及び図 6 (b) に示す工程において、メモリトレンチ MT 内の全体に絶縁部材 38 を埋め込み、ラインアンドスペース状のパターン PAA をマスクとしてエッチングすることにより、メモリホール MH を形成している。このため、メモリホール MH の微細化が容易である。

[0044] 更にまた、図 8 (a) 及び図 8 (b) 並びに図 9 (a) 及び図 9 (b) に示す工程において、シリコン膜 22a をエッチングして複数の浮遊ゲート電極 22 に分断し、その後、図 10 (a) 及び図 10 (b) に示す工程において、トンネル絶縁膜 23 及びシリコンピラー 26 を形成している。このため

、シリコン膜 22 a をエッチングする際には、トンネル絶縁膜 23 及びシリコンピラー 26 は形成されていない。これにより、シリコン膜 22 a のエッチングにより、トンネル絶縁膜 23 が損傷を受けてバズピークが発生することがなく、また、シリコンピラー 26 の端面が損傷を受けることがない。従って、本実施形態によれば、トンネル絶縁膜 23 及びシリコンピラー 26 の状態を良好に保つことができ、半導体記憶装置 1 の信頼性を高めることができる。

[0045] 次に、第 2 の実施形態について説明する。

図 15 は、本実施形態に係る半導体記憶装置を例示する断面図である。

図 15 に示すように、本実施形態に係る半導体記憶装置 2 においては、ブロック絶縁膜 30 を構成する絶縁層のうち、最も浮遊ゲート電極 22 側に配置されたハフニウム酸化層 21 が、シリコンピラー 26 毎に分断されておらず、Y 方向に沿って配列された複数本のシリコンピラー 26 の側方を通過するように、連続的に設けられている。

[0046] このような構成の半導体記憶装置 2 は、図 8 (a) 及び図 8 (b) に示す工程において、メモリホール MH 内にハフニウム酸化層 21 a を形成せずに、図 14 (a) 及び図 14 (b) に示す工程において、シリコン酸化層 28 を形成する前に、スリット ST を介してハフニウム酸化層 21 を形成することにより、実現することができる。

[0047] 本実施形態によれば、図 8 (a) 及び図 8 (b) に示す工程において、メモリホール MH 内にハフニウム酸化層 21 a を形成しないため、その分、シリコン膜 22 a を形成するときにメモリホール MH が大きくなる。これにより、図 9 (a) 及び図 9 (b) に示す工程において、シリコン膜 22 a に対する加工が容易になる。また、ハフニウム酸化層 21 a に対する加工が不要となるため、製造工程を簡略化できる。

本実施形態における上記以外の構成、製造方法及び効果は、前述の第 1 の実施形態と同様である。

[0048] 次に、第 3 の実施形態について説明する。

図16(a)及び図16(b)は、本実施形態に係る半導体記憶装置を例示する断面図である。

なお、図16(b)は図16(a)に示すA-A'線による断面を示し、図16(a)は図16(b)に示すB-B'線による断面を示す。

[0049] 図16(a)及び図16(b)に示すように、本実施形態に係る半導体記憶装置3においては、シリコンピラー26の内部に、シリコン酸化物等の絶縁材料からなる芯材41が設けられている。芯材41はZ方向に延び、その周囲及び下端はシリコンピラー26によって覆われている。

[0050] 本実施形態によれば、シリコンピラー26内に絶縁性の芯材41を設けることにより、シリコンピラー26のうち、制御ゲート電極33から発生した電界が到達しにくい部分を除去し、制御ゲート電極33のシリコンピラー26に対する支配力を高めることができる。

本実施形態における上記以外の構成、製造方法及び効果は、前述の第1の実施形態と同様である。

[0051] 次に、第4の実施形態について説明する。

図17は、本実施形態に係る半導体記憶装置を例示する断面図である。

図17に示すように、本実施形態に係る半導体記憶装置4は、前述の第1の実施形態に係る半導体記憶装置1(図1(b)参照)と比較して、絶縁膜11及びセルソース線15が設けられておらず、シリコンピラー26がシリコン基板10に接続されている点が異なっている。すなわち、半導体記憶装置4においては、シリコン基板10の上層部分がセルソース線として機能する。なお、シリコン基板10におけるシリコンピラー26が接続される部分には、不純物濃度が周囲よりも高いコンタクト層を形成してもよい。

本実施形態における上記以外の構成、製造方法及び効果は、前述の第1の実施形態と同様である。

[0052] 以上説明した実施形態によれば、信頼性が高い半導体記憶装置及びその製造方法を実現することができる。

[0053] 以上、本発明のいくつかの実施形態を説明したが、これらの実施形態は、

例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明及びその等価物の範囲に含まれる。また、前述の各実施形態は、相互に組み合わせて実施することができる。

。

請求の範囲

- [請求項1] 相互に離隔して第1方向に延びる一対の第1電極と、
前記一対の第1電極間において、前記第1方向に沿って交互に配列され、前記第1方向に対して交差した第2方向に延びる半導体ピラー及びピラー間絶縁部材と、
前記半導体ピラーの周囲に設けられた第1絶縁膜と、
前記一対の第1電極のそれぞれと前記第1絶縁膜との間に設けられ、前記半導体ピラーと前記ピラー間絶縁部材との間には設けられていない第2電極と、
前記第2電極と前記第1電極との間に設けられた第2絶縁膜と、
を備えた半導体記憶装置。
- [請求項2] 前記第2絶縁膜の誘電率は前記第1絶縁膜の誘電率よりも高く、前記第2絶縁膜の一部は、前記第2電極から見て前記第1方向に配置されている請求項1記載の半導体記憶装置。
- [請求項3] 前記第1電極の一部は、前記第2電極から見て前記第1方向に配置されている請求項2記載の半導体記憶装置。
- [請求項4] 前記第2絶縁膜は、
その一部が前記第2電極の前記第2方向に向いた面上に配置された第1絶縁層と、
その一部が前記第1電極の前記第2方向に向いた面上に配置された第2絶縁層と、
を有し、
前記第2絶縁層の一部は、前記第1方向に沿って配列された前記第1絶縁膜間に配置された請求項1記載の半導体記憶装置。
- [請求項5] 前記第2絶縁膜は、
前記第1電極の前記第2方向に向いた面上に配置された第1部分と、
前記第1方向に沿って配列された前記第1絶縁膜間に配置された

第2部分と、

を有する請求項1記載の半導体記憶装置。

[請求項6] 前記第1電極の一部は、前記半導体ピラー間に配置されている請求項1記載の半導体記憶装置。

[請求項7] 前記半導体ピラーから見て前記第2方向に配置された基板と、
前記基板と前記半導体ピラーとの間に設けられ、前記半導体ピラーが接続される第3電極と、
をさらに備えた請求項1記載の半導体記憶装置。

[請求項8] 前記半導体ピラーから見て前記第2方向に配置され、前記半導体ピラーが接続された半導体基板をさらに備えた請求項1記載の半導体記憶装置。

[請求項9] 層間絶縁膜と第1膜を交互に積層させることにより、積層体を形成する工程と、

前記積層体に、前記層間絶縁膜及び前記第1膜の積層方向に対して交差した第1方向に延びるトレンチを形成する工程と、

前記トレンチ内に、前記第1方向に沿って相互に離隔した複数のピラー間絶縁部材を形成する工程と、

前記トレンチ内における前記ピラー間絶縁部材に挟まれたホールを介して、前記第1膜に対して等方性エッチングを施すことにより、前記層間絶縁膜間に前記ホールに連通した第1凹部を形成する工程と、

前記第1凹部の内面上に第1絶縁層を形成すると共に、前記第1凹部内に第2電極を形成する工程と、

前記ホールの内面上に第1絶縁膜を形成する工程と、

前記第1絶縁膜上に半導体ピラーを形成する工程と、

前記積層体における前記トレンチ間の部分に、前記第1方向に延びるスリットを形成する工程と、

前記スリットを介して前記第1膜を除去することにより、前記層間絶縁膜間に第2凹部を形成する工程と、

前記第2凹部の内面上に第2絶縁層を形成する工程と、
前記第2凹部内に第1電極を形成する工程と、
を備えた半導体記憶装置の製造方法。

[請求項10]

前記ピラー間絶縁部材を形成する工程は、
前記トレンチ内の全体に絶縁部材を埋め込む工程と、
前記積層体上に、前記第1方向に沿ってラインアンドスペースが
繰り返されるパターンを形成する工程と、
前記パターンをマスクとして異方性エッチングを施すことにより
、前記絶縁部材を選択的に除去する工程と、
を有した請求項9記載の半導体記憶装置の製造方法。

[請求項11]

前記第1凹部を形成する工程において、前記第1凹部を、前記ピラ
ー間絶縁部材における前記第1方向に対して平行な側面上まで拡大す
る請求項9記載の半導体記憶装置の製造方法。

[請求項12]

前記第1絶縁層を形成する前に、前記第1凹部の内面上に、組成が
前記第1膜の組成とは異なるダミー層を形成する工程と、
前記第2凹部を介して前記ダミー層を除去することにより、前記第
2凹部の奥面に前記第1絶縁層を露出させる工程と、
をさらに備え、
前記第2凹部を形成する工程は、前記ダミー層をストッパとして前
記第1膜をエッチングする工程を有する請求項9記載の半導体記憶装
置の製造方法。

[請求項13]

前記ダミー層を除去するときに、前記ピラー間絶縁部材の側面に第
3凹部を形成し、
前記第2絶縁層を形成する工程において、前記第3凹部内にも前記
第2絶縁層の一部を配置させる請求項12記載の半導体記憶装置の製
造方法。

[請求項14]

前記第1電極を形成する工程において、前記第3凹部内にも前記第
1電極の一部を配置させる請求項13記載の半導体記憶装置の製造方

法。

[請求項15] 前記第1凹部の内面上に第1絶縁層を形成すると共に、前記第1凹部内に第2電極を形成する工程は、

前記ホール及び前記第1凹部の内面上に前記第1絶縁層を形成する工程と、

前記第1絶縁層上に前記第2電極を形成する工程と、

異方性エッチングを施すことにより、前記第1凹部内に前記第1絶縁層及び前記第2電極を残留させると共に、前記ホール内から前記第1絶縁層及び前記第2電極を除去する工程と、

を有する請求項9記載の半導体記憶装置の製造方法。

[請求項16] 層間絶縁膜と第1膜を交互に積層させることにより、積層体を形成する工程と、

前記積層体に、前記層間絶縁膜及び前記第1膜の積層方向に対して交差した第1方向に延びるトレンチを形成する工程と、

前記トレンチ内に、前記第1方向に沿って相互に離隔した複数のピラー間絶縁部材を形成する工程と、

前記トレンチ内における前記ピラー間絶縁部材に挟まれたホールを介して、前記第1膜に対して等方性エッチングを施すことにより、前記層間絶縁膜間に前記ホールに連通した第1凹部を形成する工程と、

前記第1凹部内に第2電極を形成する工程と、

前記ホールの内面上に第1絶縁膜を形成する工程と、

前記第1絶縁膜上に半導体ピラーを形成する工程と、

前記積層体における前記トレンチ間の部分に、前記第1方向に延びるスリットを形成する工程と、

前記スリットを介して前記第1膜を除去することにより、前記層間絶縁膜間に第2凹部を形成する工程と、

前記第2凹部の内面上に第2絶縁膜を形成する工程と、

前記第2凹部内に第1電極を形成する工程と、

を備えた半導体記憶装置の製造方法。

[請求項17]

前記ピラー間絶縁部材を形成する工程は、

前記トレンチ内の全体に絶縁部材を埋め込む工程と、

前記積層体上に、前記第1方向に沿ってラインアンドスペースが繰り返されるパターンを形成する工程と、

前記パターンをマスクとして異方性エッチングを施すことにより、前記絶縁部材を選択的に除去する工程と、

を有した請求項16記載の半導体記憶装置の製造方法。

[請求項18]

前記第1凹部を形成する工程において、前記第1凹部を、前記ピラー間絶縁部材における前記第1方向に対して平行な側面上まで拡大する請求項16記載の半導体記憶装置の製造方法。

[請求項19]

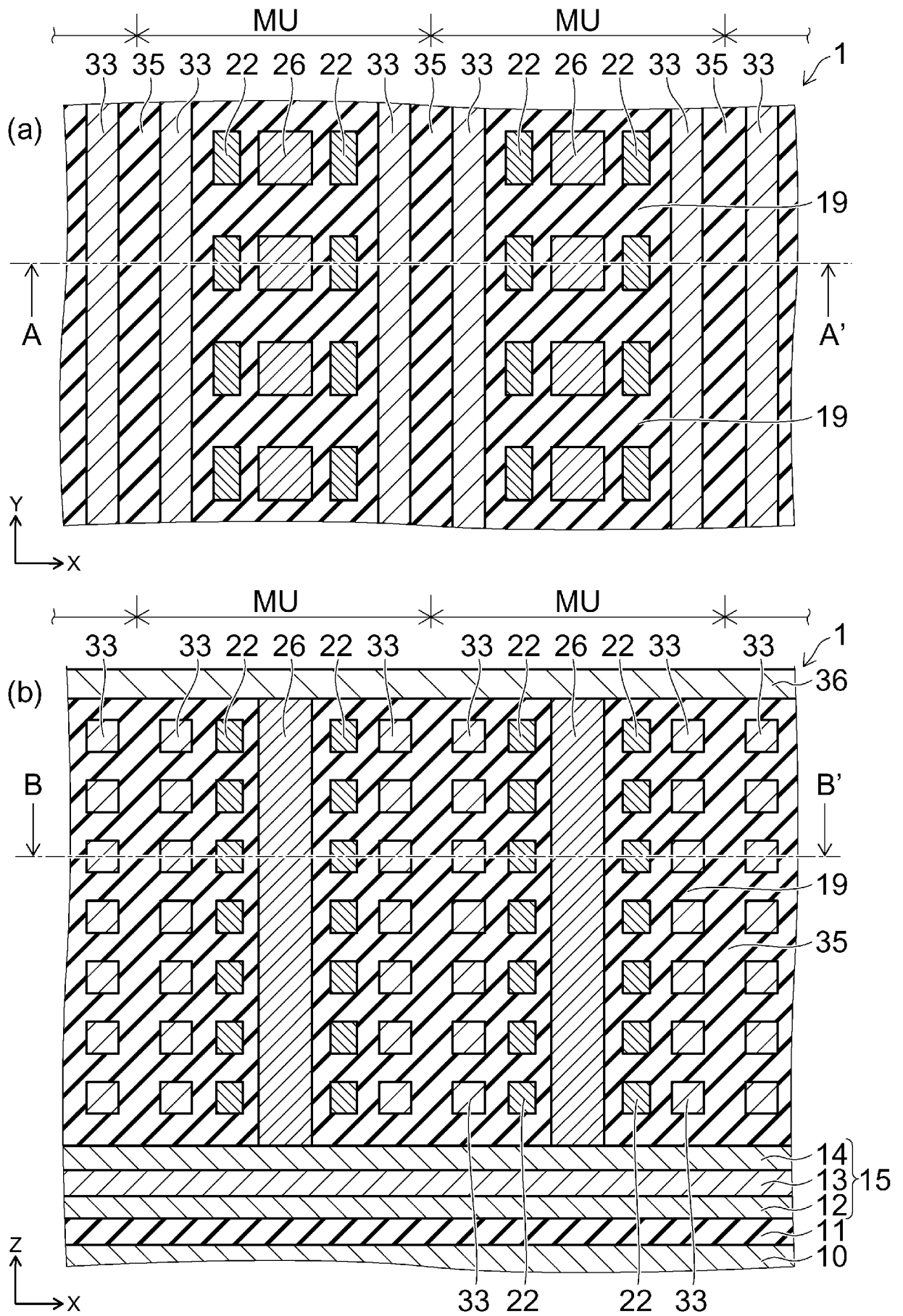
前記第2電極を形成する前に、前記第1凹部の内面上に、組成が前記第1膜の組成とは異なるカバー層を形成する工程と、

前記第2凹部を介して前記カバー層を除去することにより、前記第2凹部の奥面に前記第2電極を露出させる工程と、

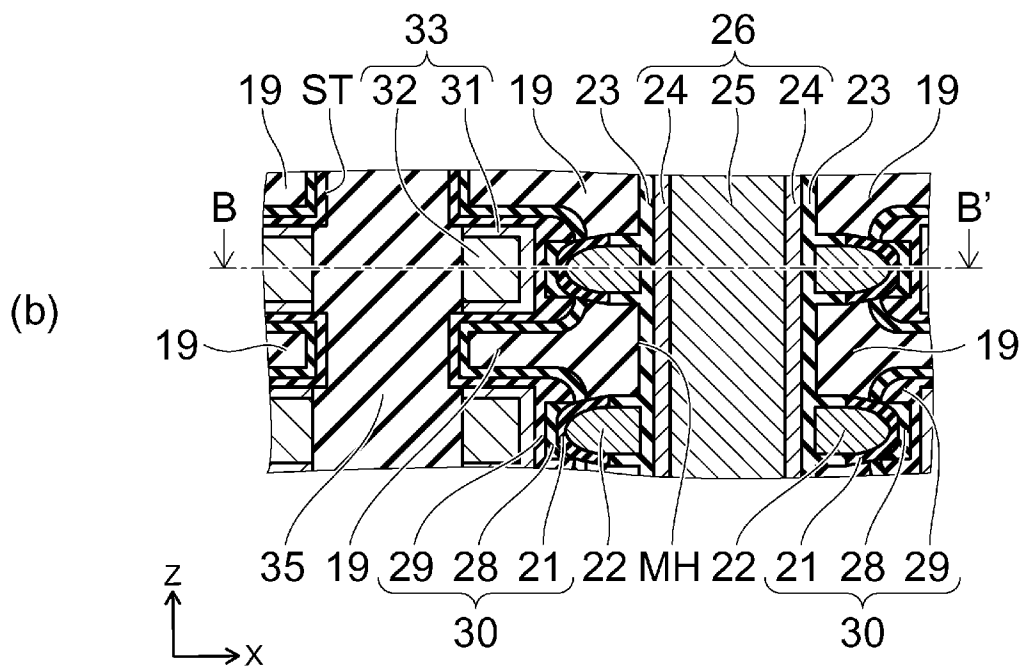
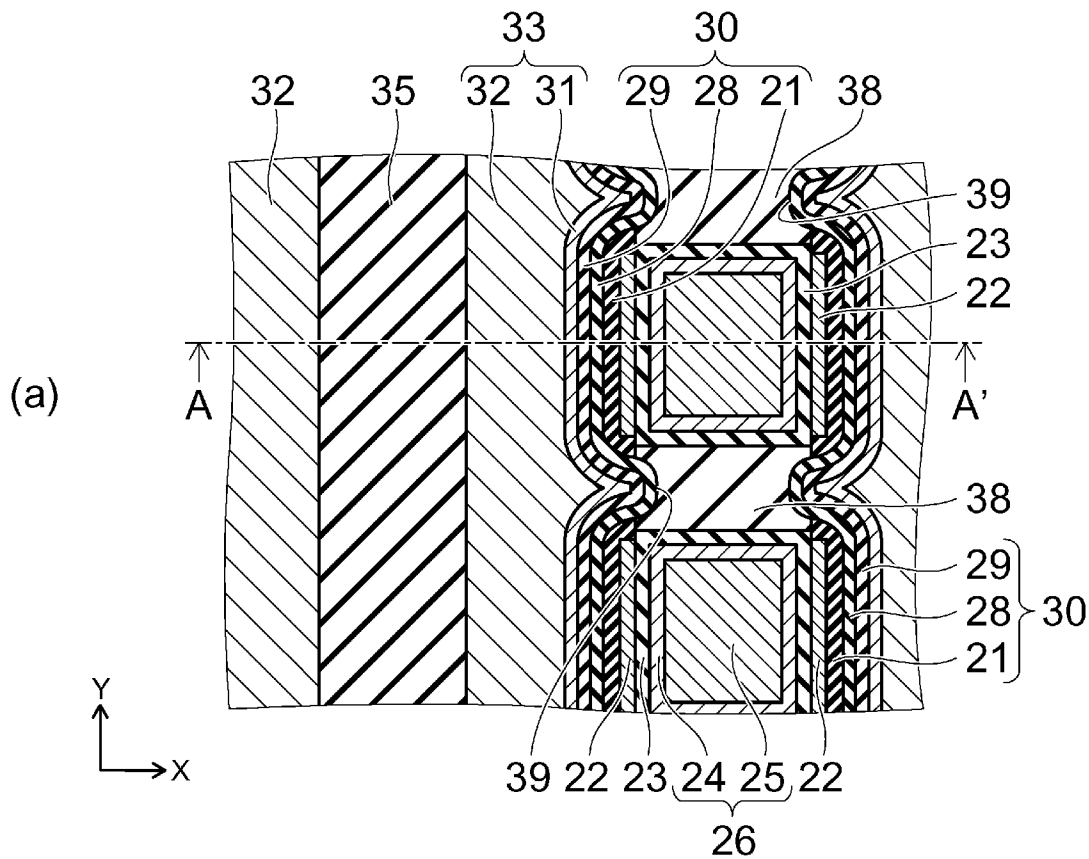
をさらに備え、

前記第2凹部を形成する工程は、前記カバー層をストッパとして前記第1膜をエッチングする工程を有する請求項16記載の半導体記憶装置の製造方法。

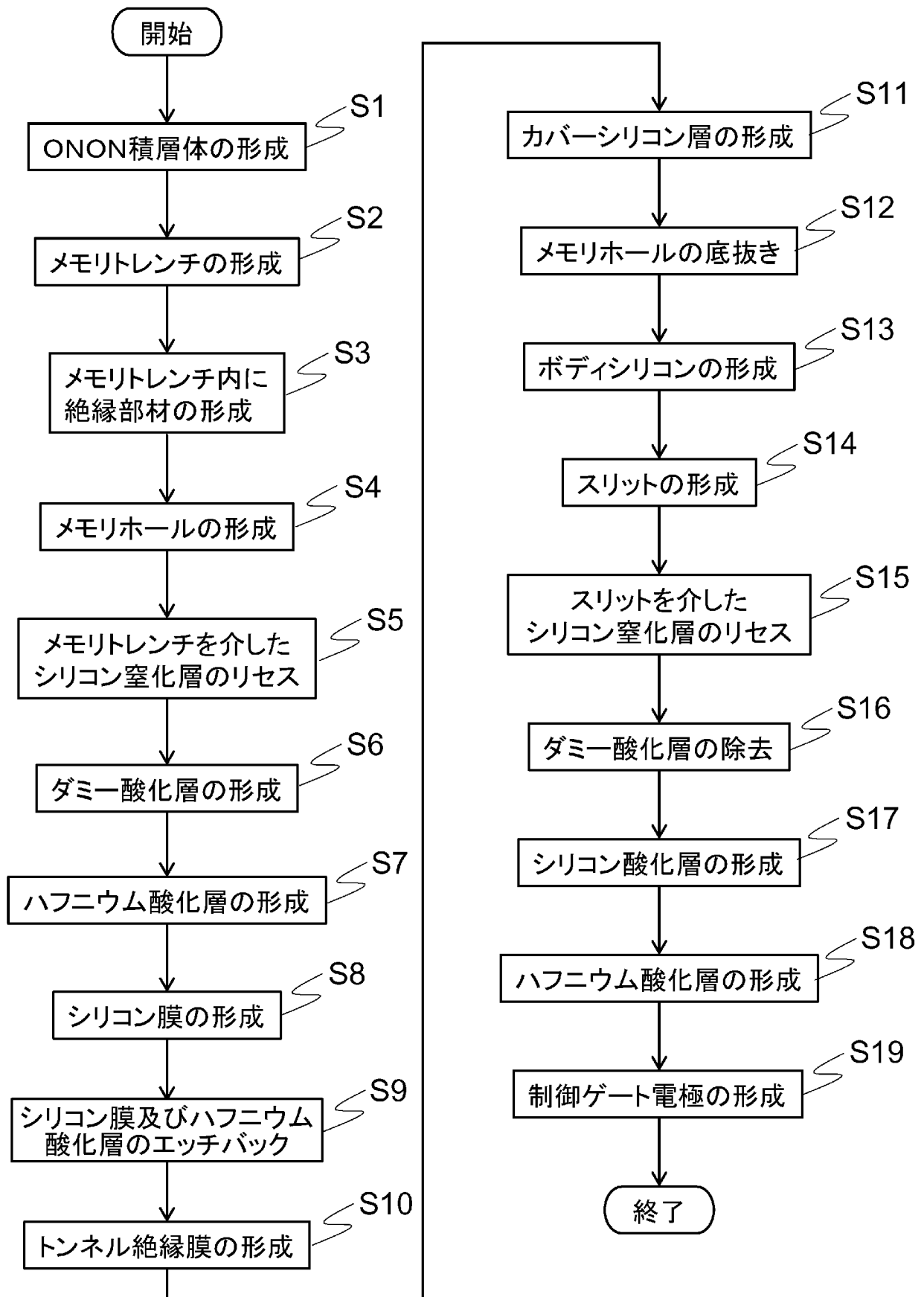
[図1]



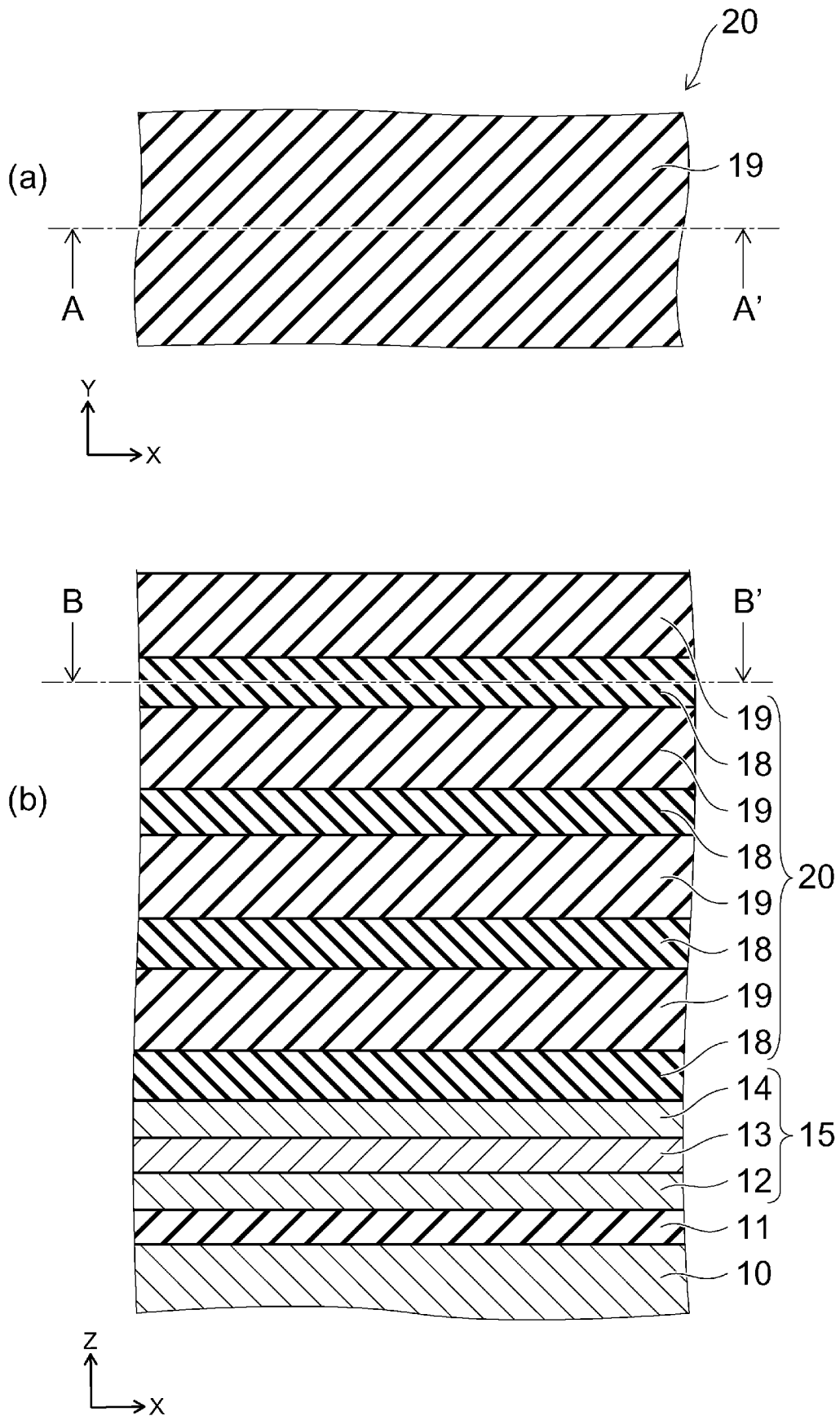
[図2]



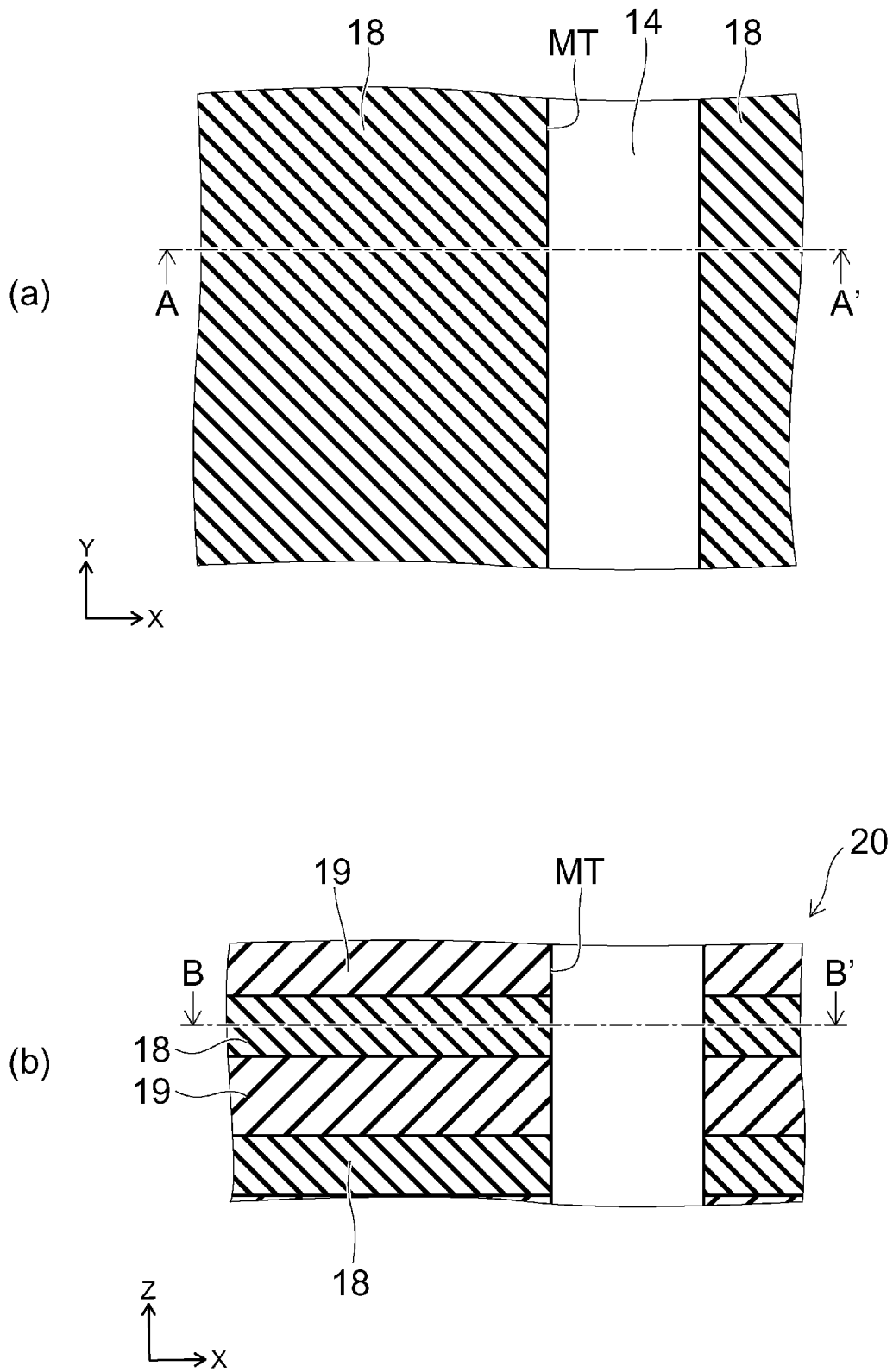
[図3]



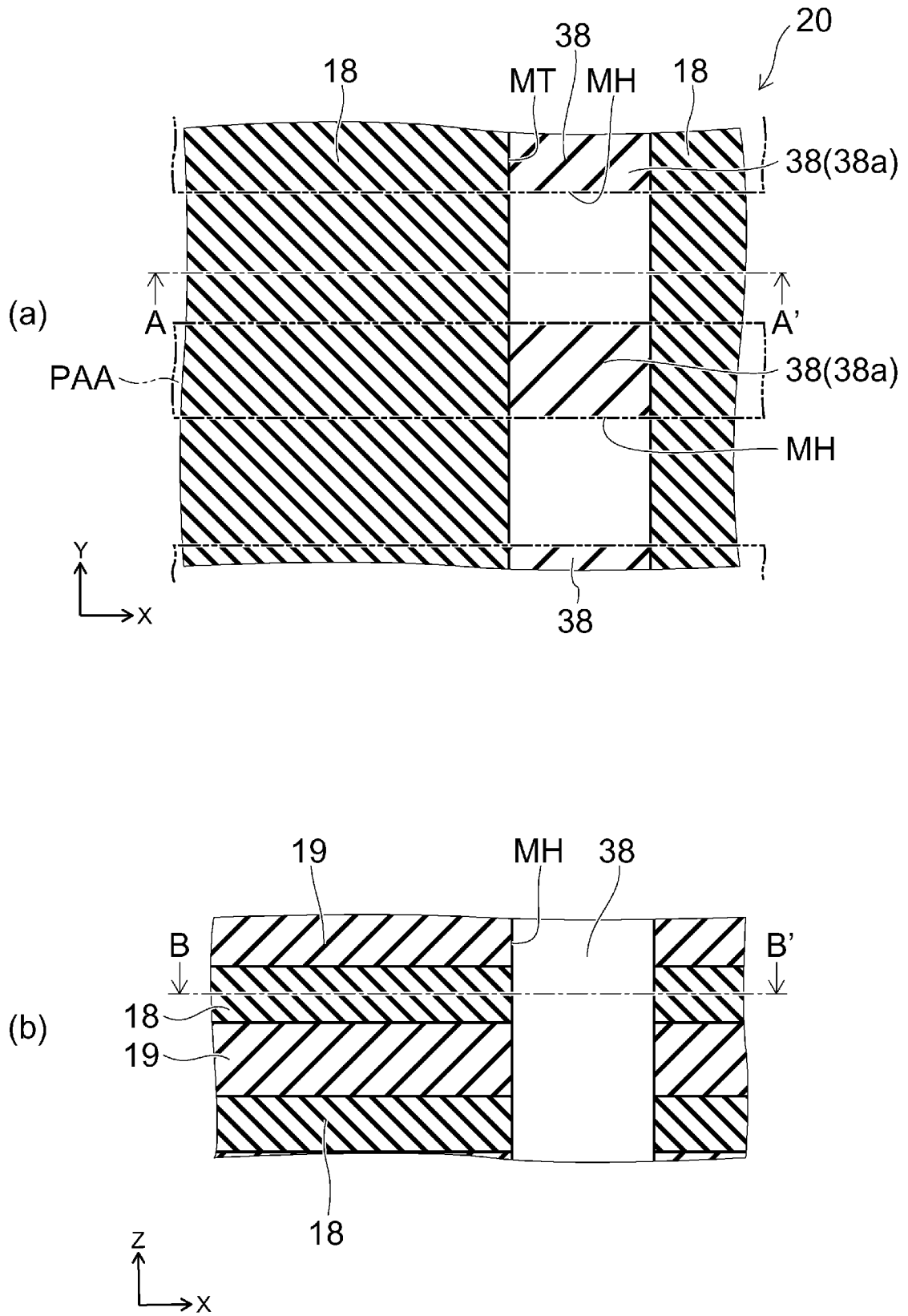
[図4]



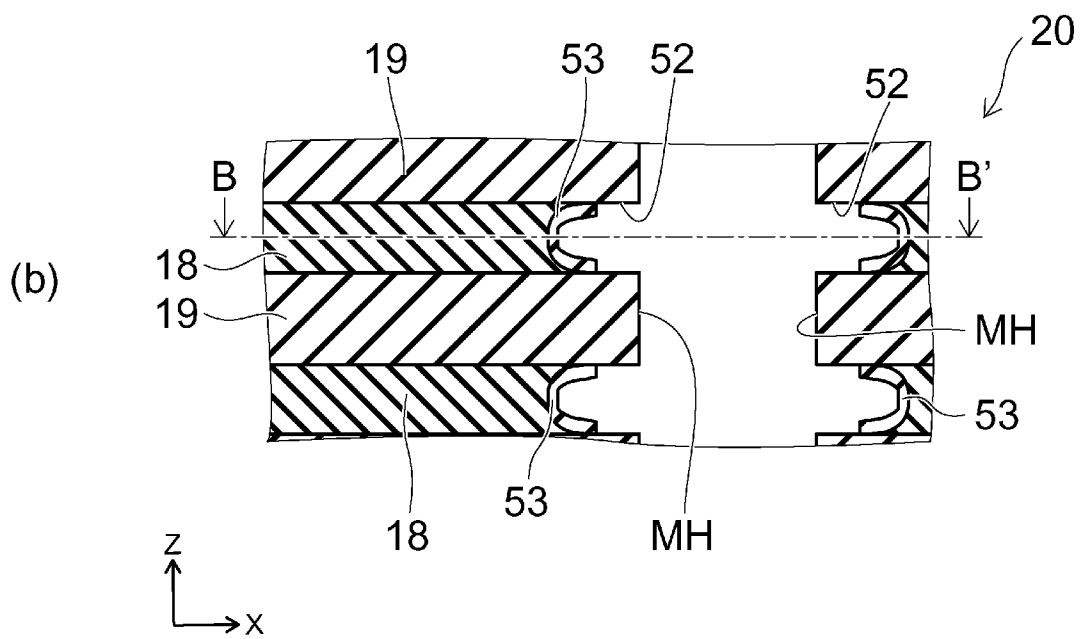
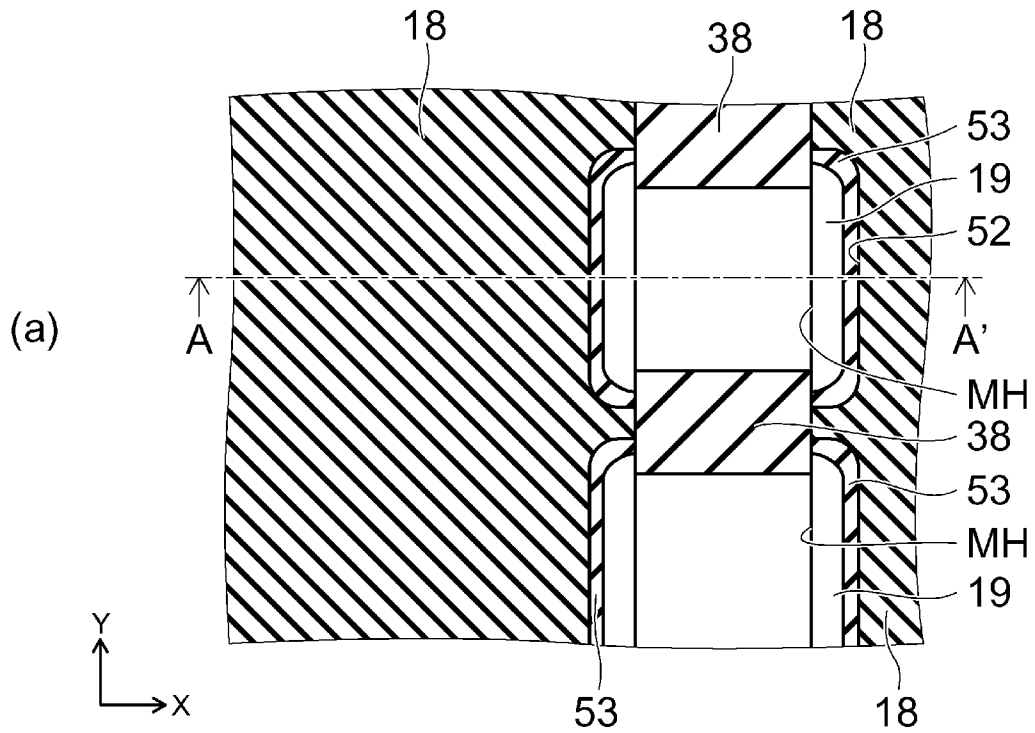
[図5]



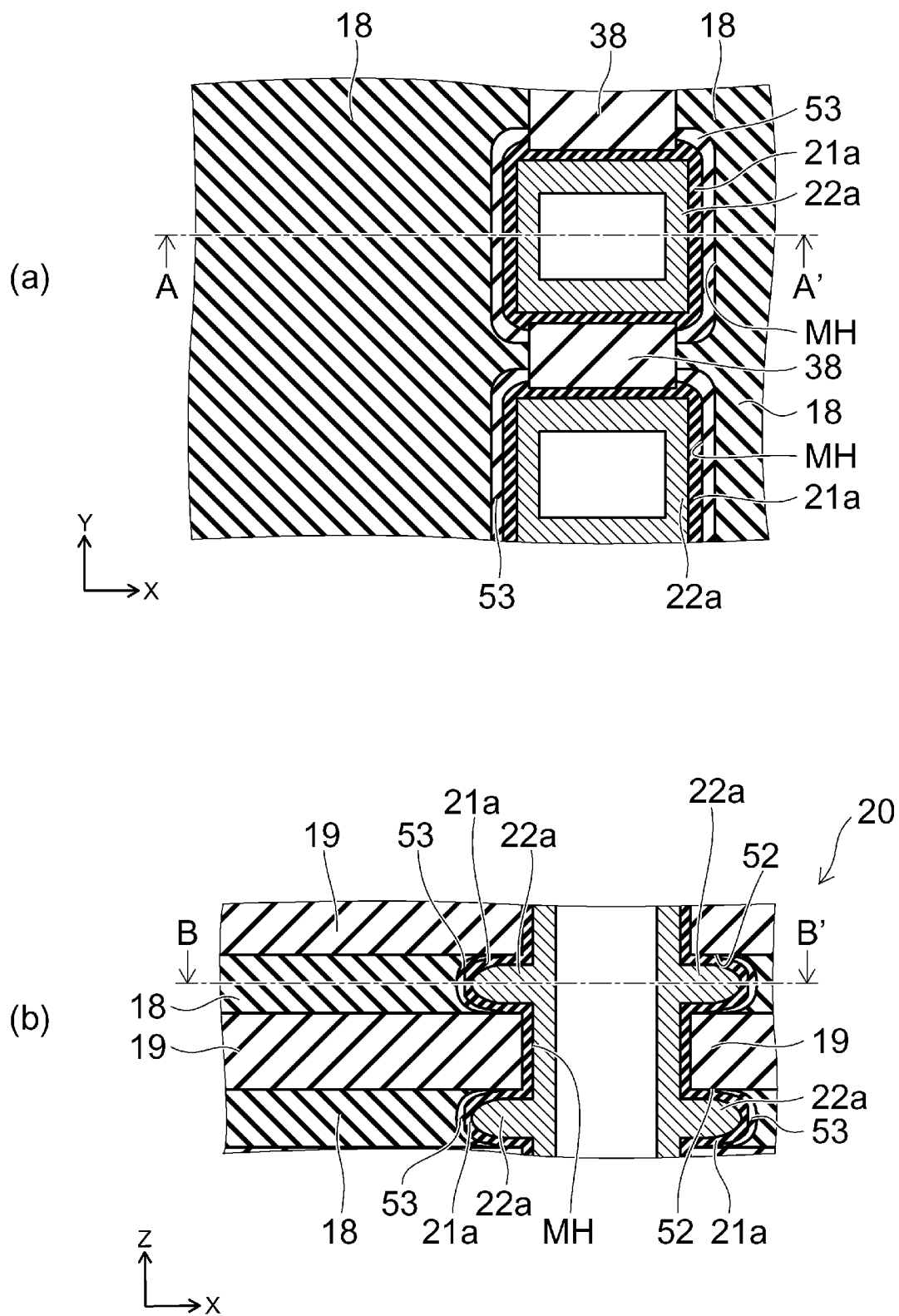
[図6]



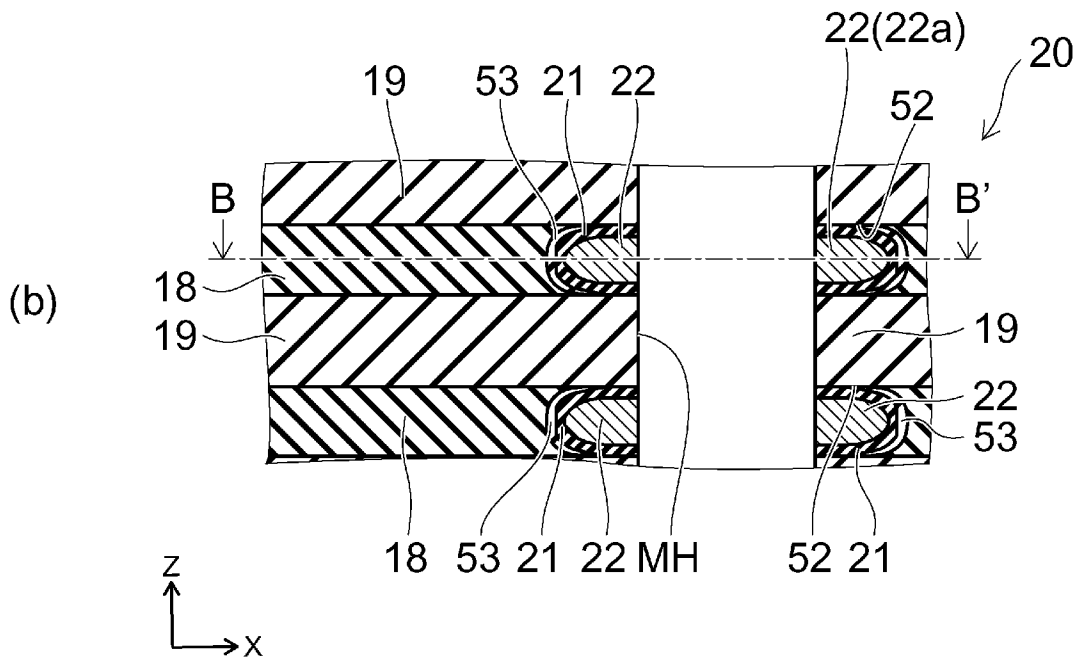
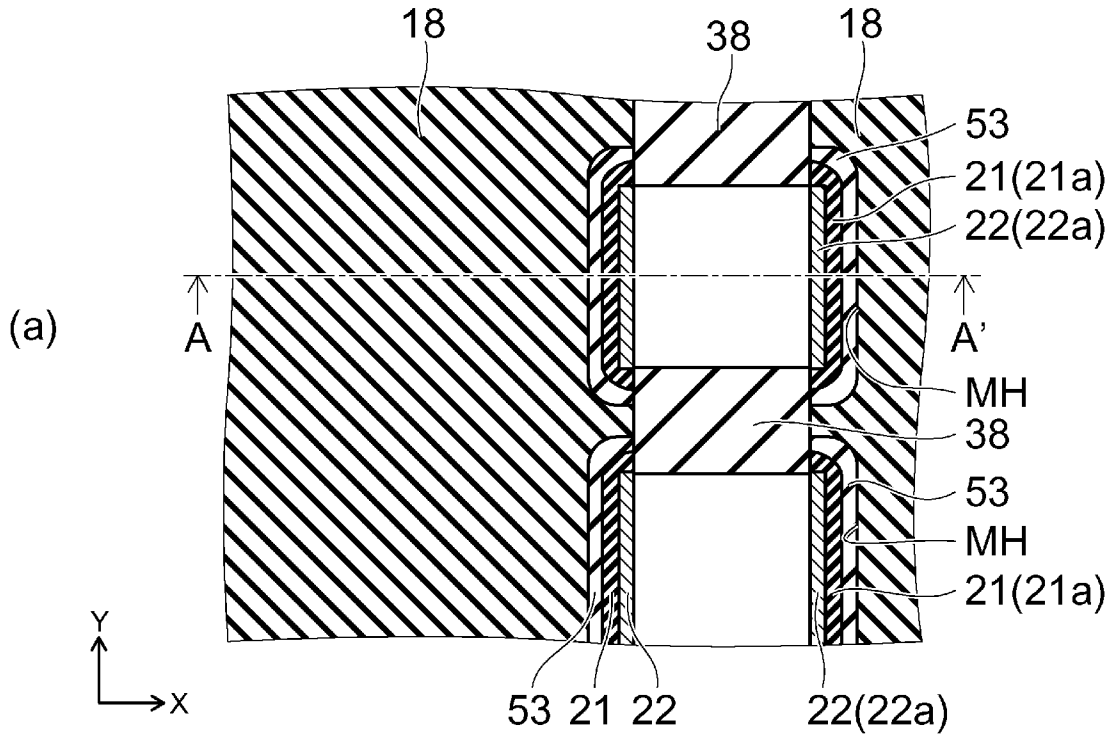
[図7]



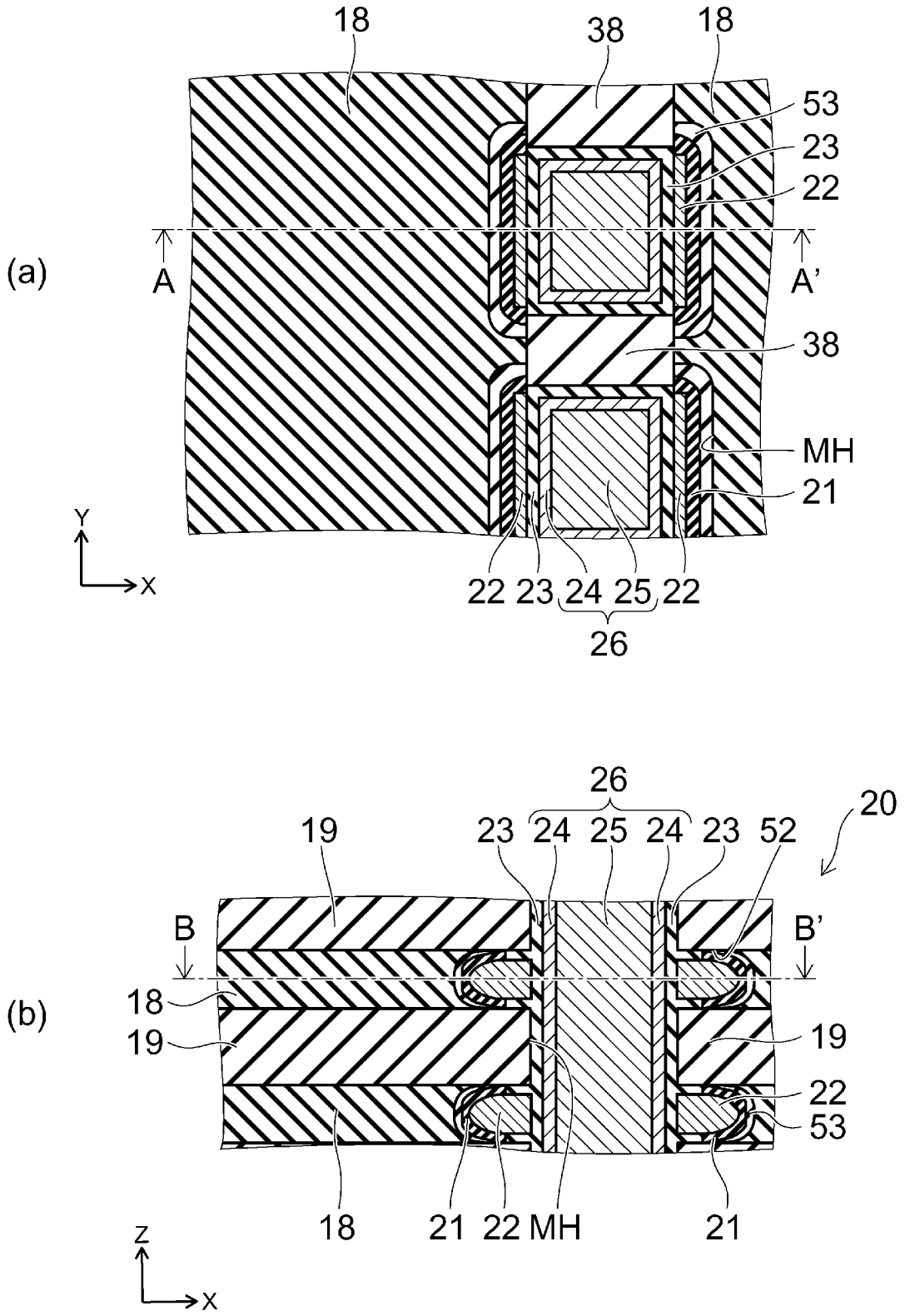
[図8]



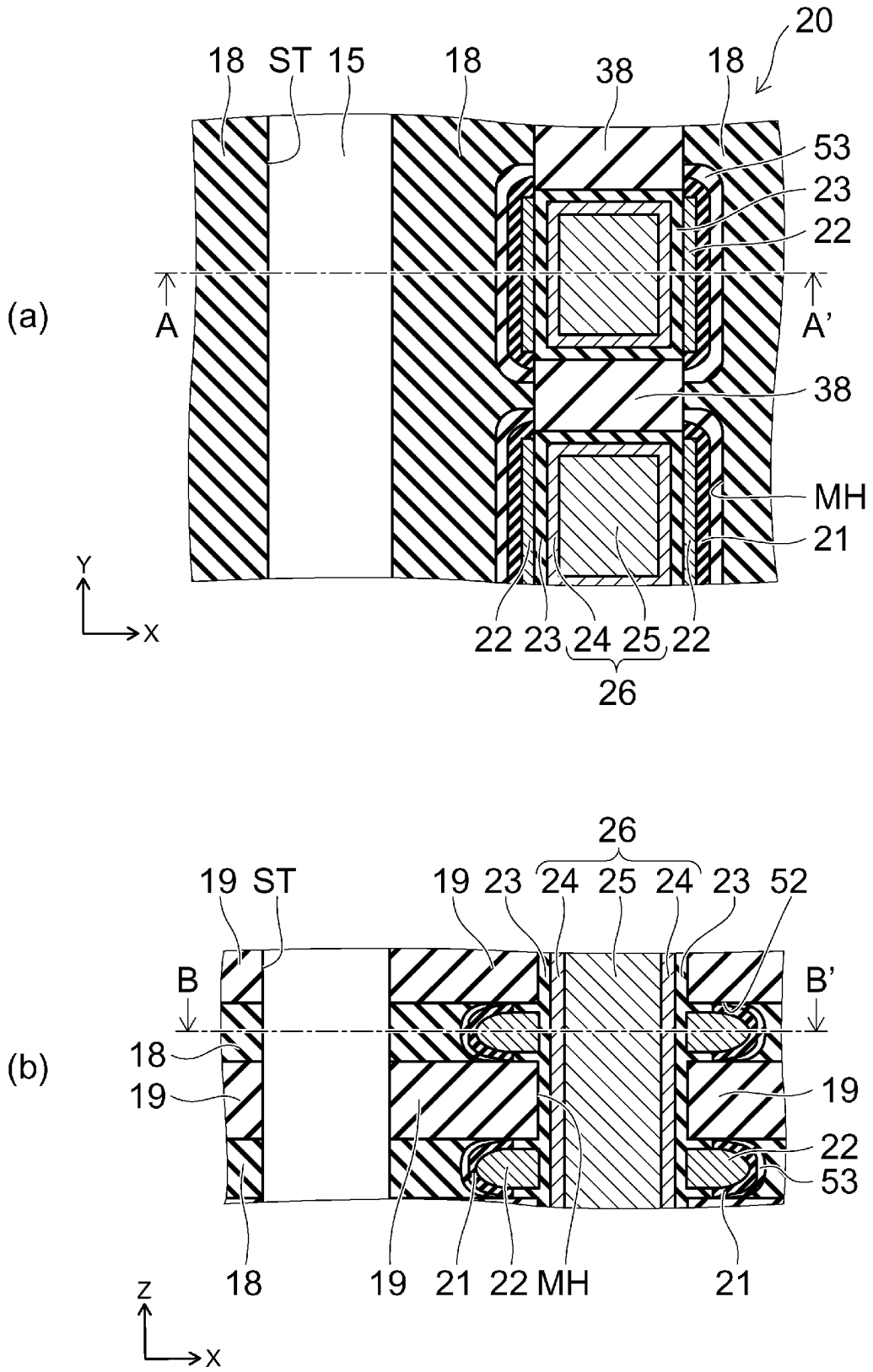
[図9]



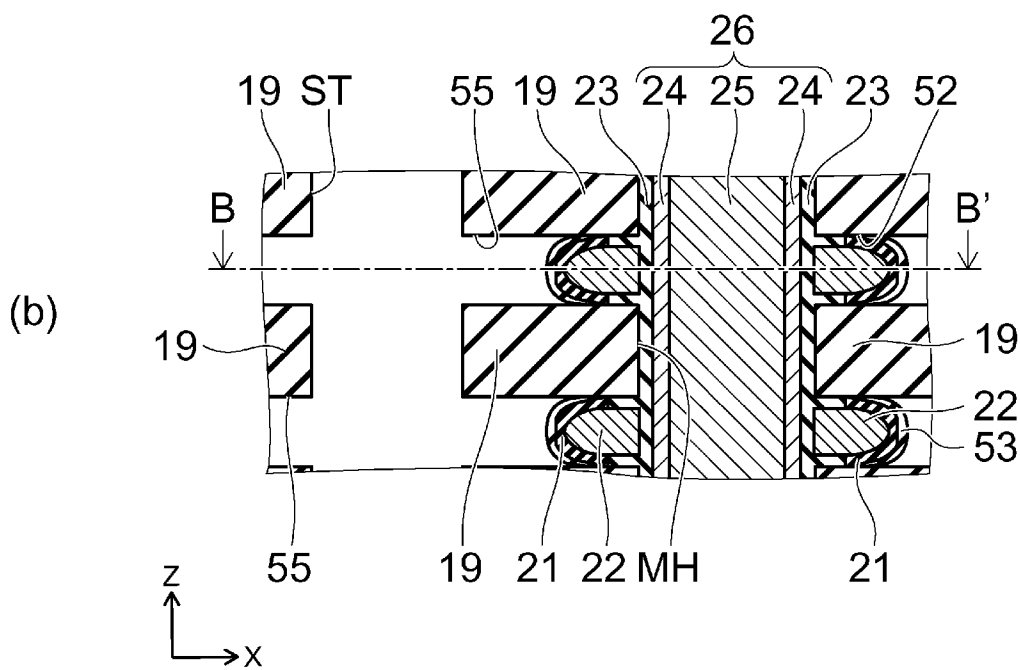
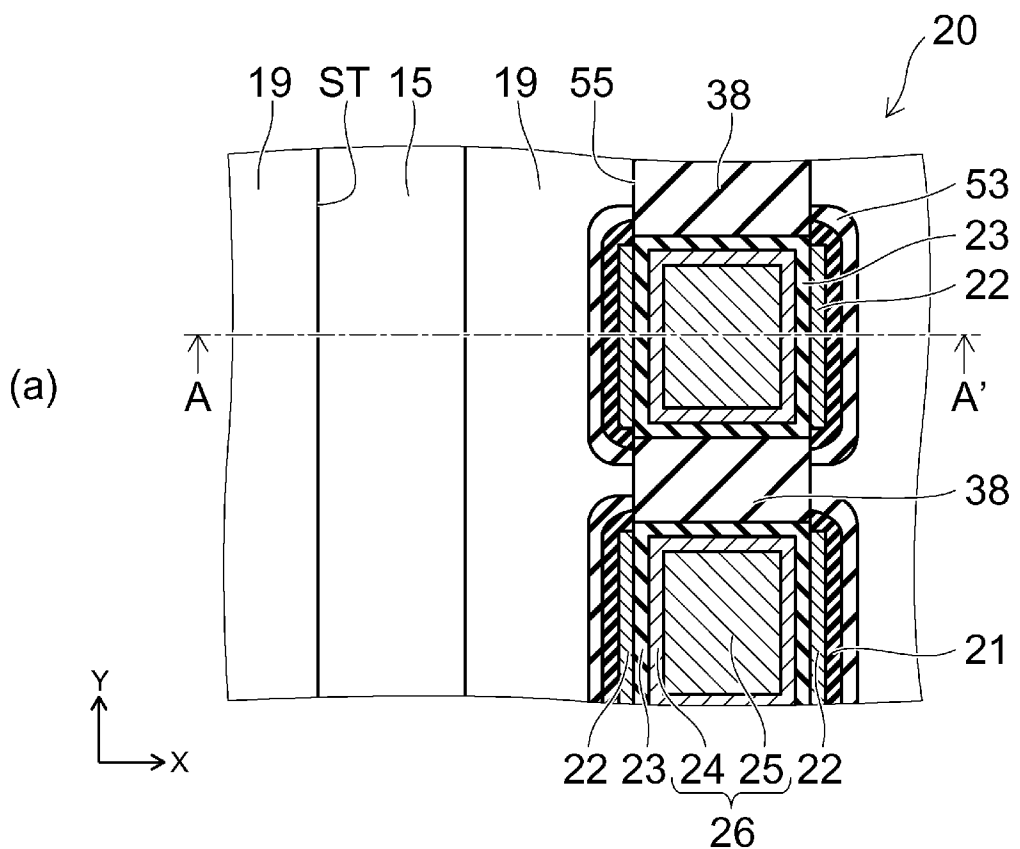
[図10]



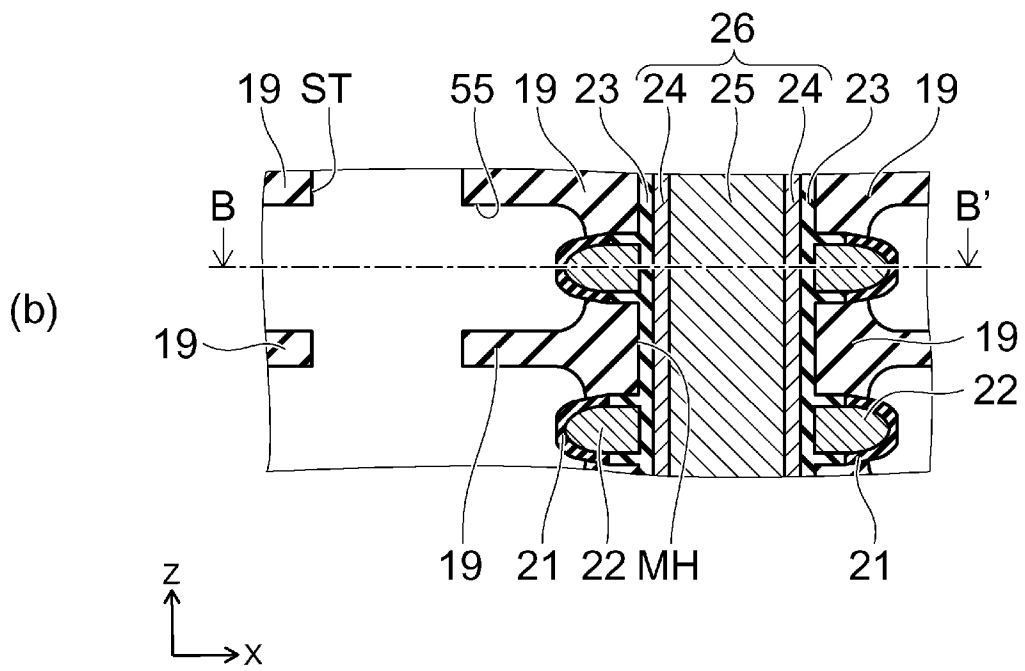
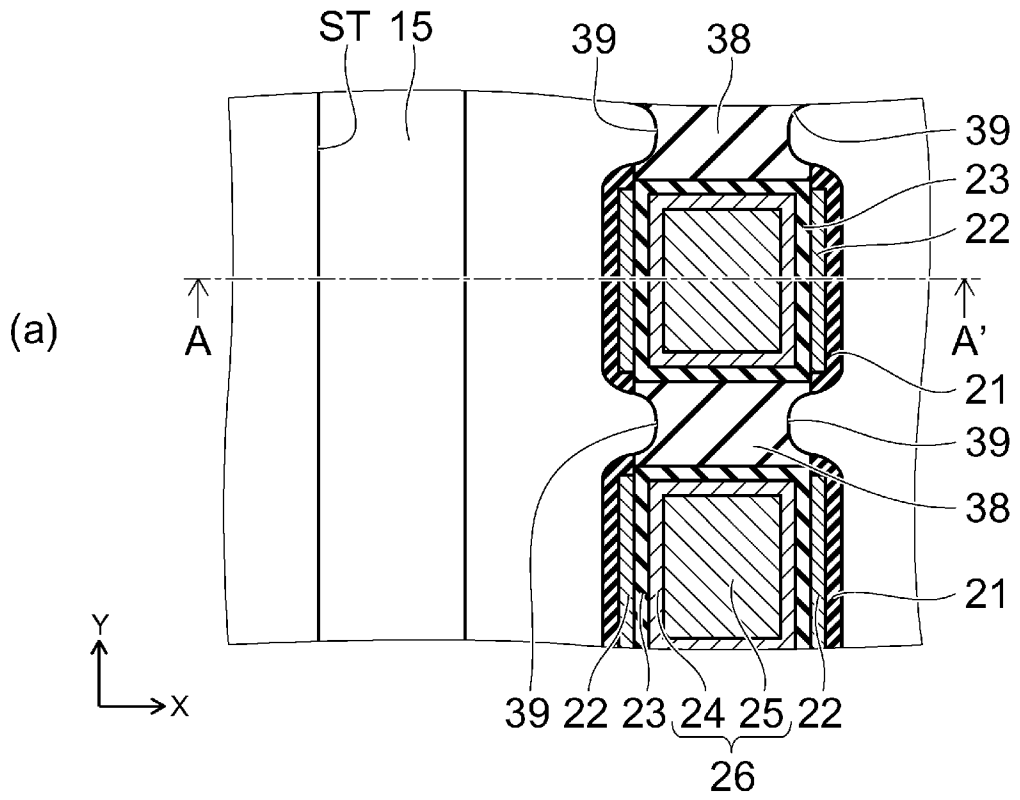
[図11]



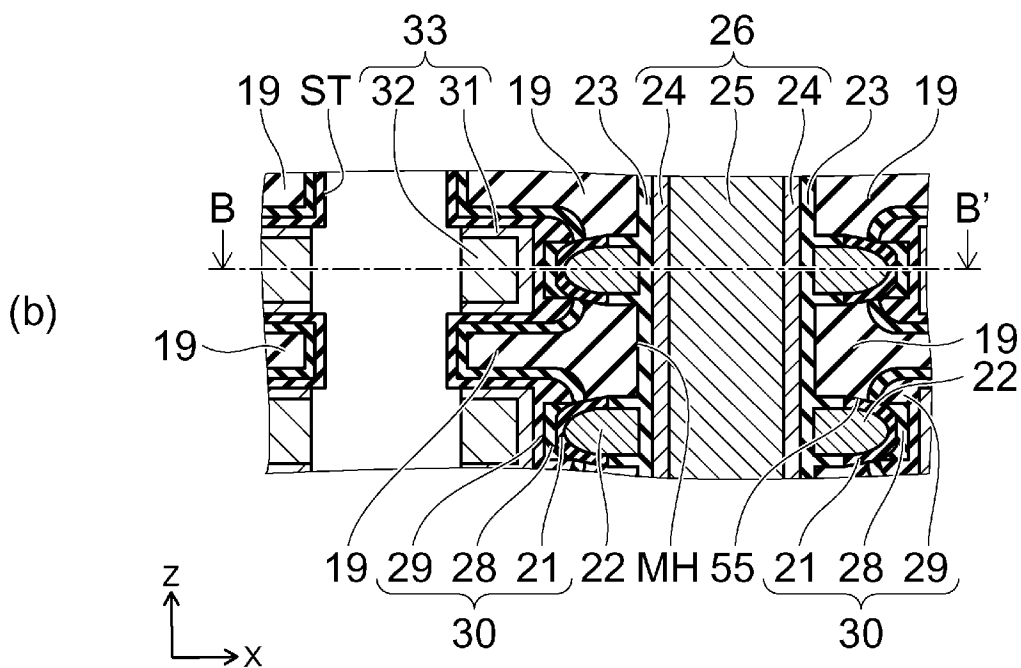
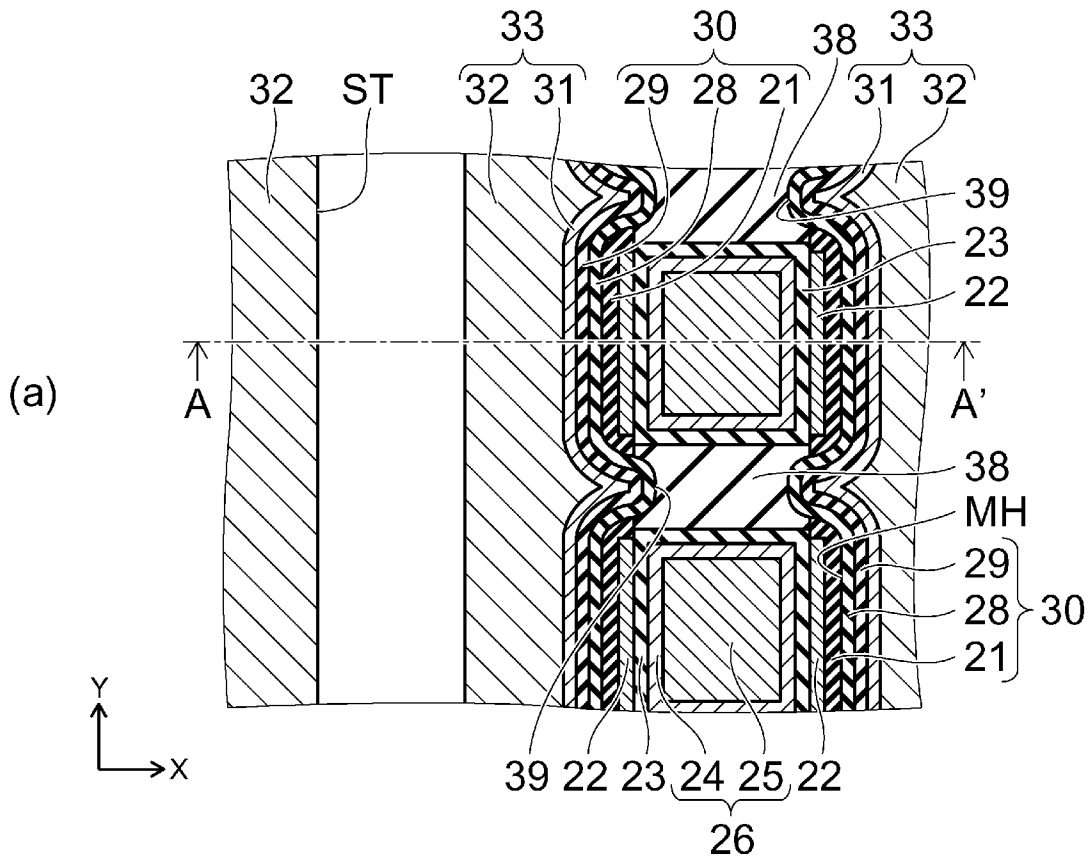
[図12]



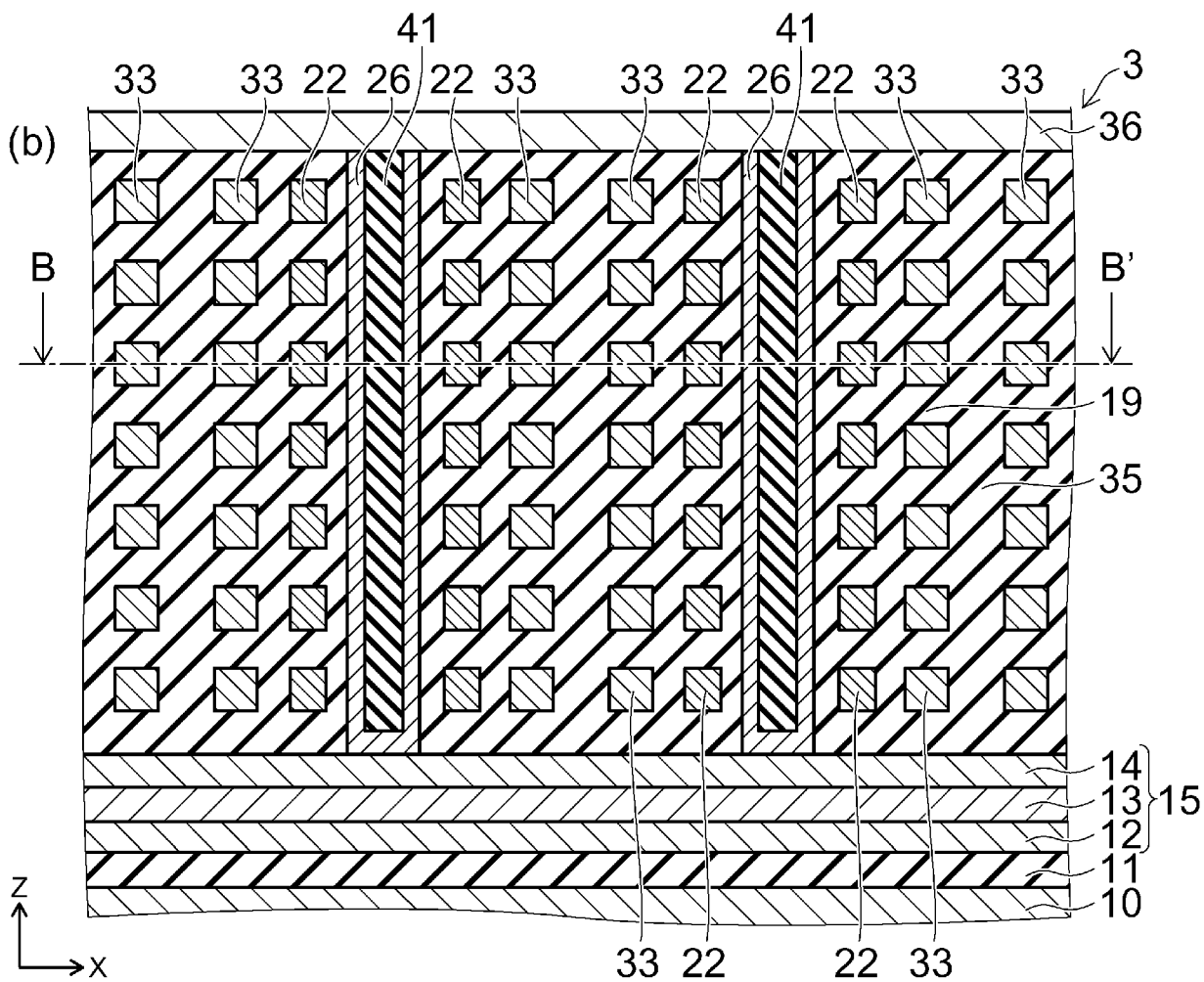
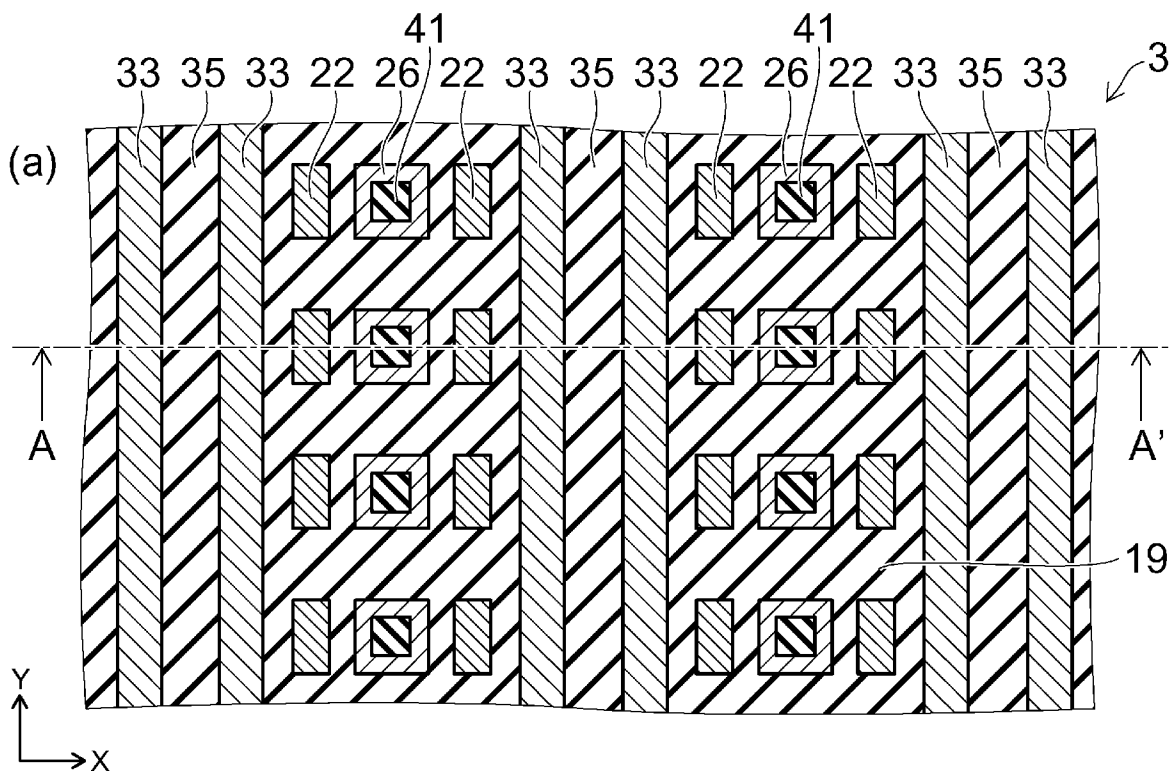
[図13]



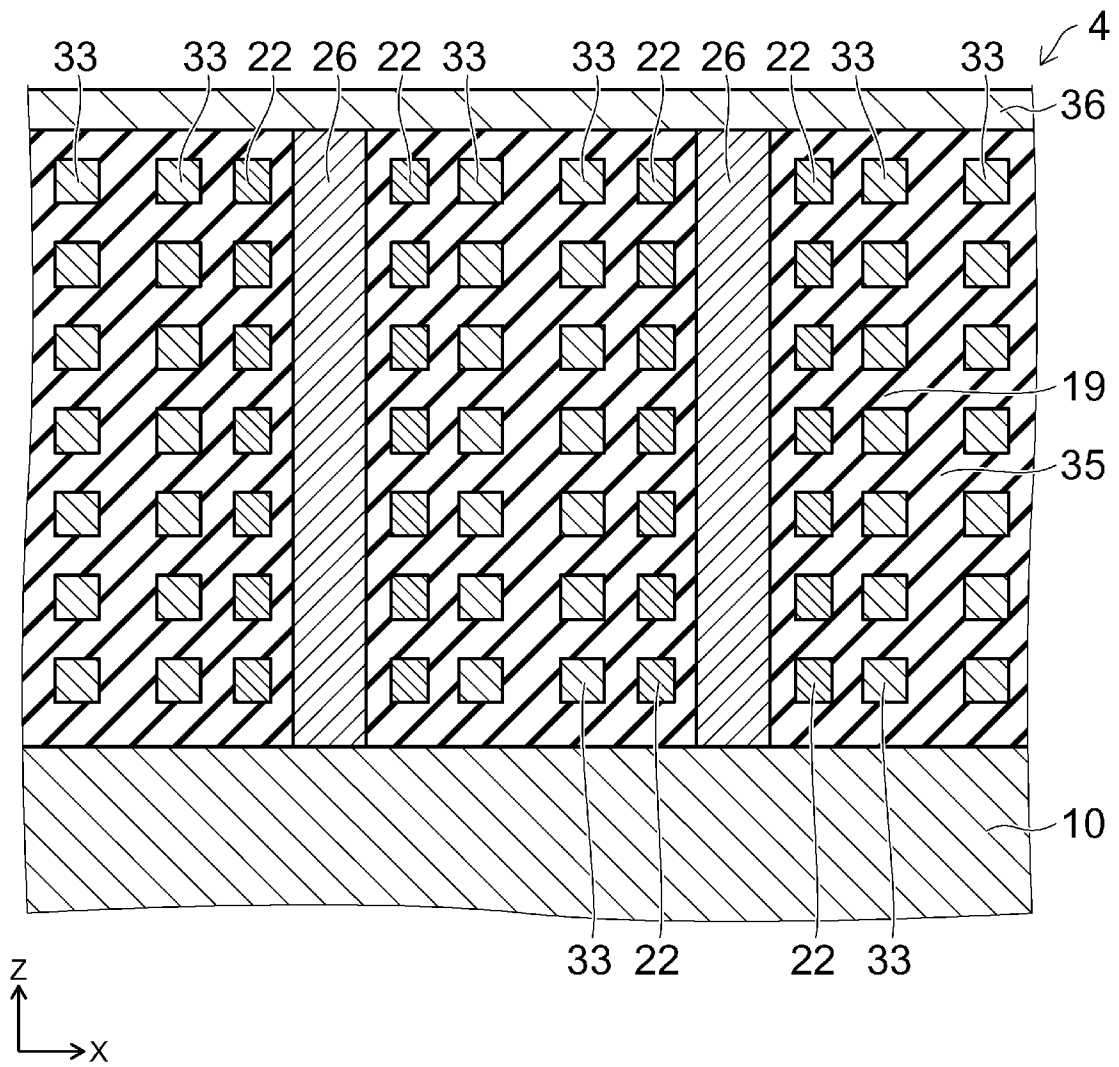
[圖14]



[図16]



[図17]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/056102

<p>A. CLASSIFICATION OF SUBJECT MATTER <i>H01L21/336(2006.01)i, H01L21/8247(2006.01)i, H01L27/115(2006.01)i, H01L29/788(2006.01)i, H01L29/792(2006.01)i</i></p> <p>According to International Patent Classification (IPC) or to both national classification and IPC</p>											
<p>B. FIELDS SEARCHED</p> <p>Minimum documentation searched (classification system followed by classification symbols) <i>H01L21/336, H01L21/8247, H01L27/115, H01L29/788, H01L29/792</i></p> <p>Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched <i>Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2015 Kokai Jitsuyo Shinan Koho 1971-2015 Toroku Jitsuyo Shinan Koho 1994-2015</i></p> <p>Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)</p>											
<p>C. DOCUMENTS CONSIDERED TO BE RELEVANT</p> <table border="1"> <thead> <tr> <th>Category*</th> <th>Citation of document, with indication, where appropriate, of the relevant passages</th> <th>Relevant to claim No.</th> </tr> </thead> <tbody> <tr> <td>X Y A</td> <td>Document 1: JP 2012-94694 A (Toshiba Corp.), 17 May 2012 (17.05.2012), paragraphs [0016] to [0061]; fig. 2 to 5-10 (Family: none)</td> <td>1-3, 8 7 4-6, 9-19</td> </tr> <tr> <td>Y</td> <td>Document 2: JP 2007-266143 A (Toshiba Corp.), 11 October 2007 (11.10.2007), paragraphs [0016] to [0029]; fig. 1 to 4 & US 2007/0252201 A1 & US 2011/0284947 A1 & US 2011/0287597 A1 & KR 10-2007-0096972 A & CN 101055875 A</td> <td>7</td> </tr> </tbody> </table>			Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.	X Y A	Document 1: JP 2012-94694 A (Toshiba Corp.), 17 May 2012 (17.05.2012), paragraphs [0016] to [0061]; fig. 2 to 5-10 (Family: none)	1-3, 8 7 4-6, 9-19	Y	Document 2: JP 2007-266143 A (Toshiba Corp.), 11 October 2007 (11.10.2007), paragraphs [0016] to [0029]; fig. 1 to 4 & US 2007/0252201 A1 & US 2011/0284947 A1 & US 2011/0287597 A1 & KR 10-2007-0096972 A & CN 101055875 A	7
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.									
X Y A	Document 1: JP 2012-94694 A (Toshiba Corp.), 17 May 2012 (17.05.2012), paragraphs [0016] to [0061]; fig. 2 to 5-10 (Family: none)	1-3, 8 7 4-6, 9-19									
Y	Document 2: JP 2007-266143 A (Toshiba Corp.), 11 October 2007 (11.10.2007), paragraphs [0016] to [0029]; fig. 1 to 4 & US 2007/0252201 A1 & US 2011/0284947 A1 & US 2011/0287597 A1 & KR 10-2007-0096972 A & CN 101055875 A	7									
<p><input type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.</p>											
<p>* Special categories of cited documents:</p> <table border="0"> <tr> <td style="vertical-align: top;"> <p>“A” document defining the general state of the art which is not considered to be of particular relevance</p> <p>“E” earlier application or patent but published on or after the international filing date</p> <p>“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>“O” document referring to an oral disclosure, use, exhibition or other means</p> <p>“P” document published prior to the international filing date but later than the priority date claimed</p> </td> <td style="vertical-align: top;"> <p>“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>“&” document member of the same patent family</p> </td> </tr> </table>			<p>“A” document defining the general state of the art which is not considered to be of particular relevance</p> <p>“E” earlier application or patent but published on or after the international filing date</p> <p>“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>“O” document referring to an oral disclosure, use, exhibition or other means</p> <p>“P” document published prior to the international filing date but later than the priority date claimed</p>	<p>“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>“&” document member of the same patent family</p>							
<p>“A” document defining the general state of the art which is not considered to be of particular relevance</p> <p>“E” earlier application or patent but published on or after the international filing date</p> <p>“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>“O” document referring to an oral disclosure, use, exhibition or other means</p> <p>“P” document published prior to the international filing date but later than the priority date claimed</p>	<p>“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>“&” document member of the same patent family</p>										
<p>Date of the actual completion of the international search 23 April 2015 (23.04.15)</p>		<p>Date of mailing of the international search report 12 May 2015 (12.05.15)</p>									
<p>Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan</p>		<p>Authorized officer</p> <p>Telephone No.</p>									

<p>A. 発明の属する分野の分類（国際特許分類（IPC））</p> <p>Int.Cl. H01L21/336(2006.01)i, H01L21/8247(2006.01)i, H01L27/115(2006.01)i, H01L29/788(2006.01)i, H01L29/792(2006.01)i</p>														
<p>B. 調査を行った分野</p> <p>調査を行った最小限資料（国際特許分類（IPC））</p> <p>Int.Cl. H01L21/336, H01L21/8247, H01L27/115, H01L29/788, H01L29/792</p>														
<p>最小限資料以外の資料で調査を行った分野に含まれるもの</p> <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2015年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2015年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2015年</td> </tr> </table>			日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2015年	日本国実用新案登録公報	1996-2015年	日本国登録実用新案公報	1994-2015年				
日本国実用新案公報	1922-1996年													
日本国公開実用新案公報	1971-2015年													
日本国実用新案登録公報	1996-2015年													
日本国登録実用新案公報	1994-2015年													
<p>国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）</p>														
<p>C. 関連すると認められる文献</p> <table border="1"> <thead> <tr> <th>引用文献の カテゴリー*</th> <th>引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示</th> <th>関連する 請求項の番号</th> </tr> </thead> <tbody> <tr> <td>X Y A</td> <td>文献1：JP 2012-94694 A（株式会社東芝）2012.05.17, 段落【0016】－【0061】、図2－図5-10 （ファミリーなし）</td> <td>1-3, 8 7 4-6, 9-19</td> </tr> <tr> <td>Y</td> <td>文献2：JP 2007-266143 A（株式会社東芝）2007.10.11, 段落【0016】－【0029】、図1－図4 & US 2007/0252201 A1 & US 2011/0284947 A1 & US 2011/0287597 A1 & KR 10-2007-0096972 A & CN 101055875 A</td> <td>7</td> </tr> </tbody> </table>			引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	X Y A	文献1：JP 2012-94694 A（株式会社東芝）2012.05.17, 段落【0016】－【0061】、図2－図5-10 （ファミリーなし）	1-3, 8 7 4-6, 9-19	Y	文献2：JP 2007-266143 A（株式会社東芝）2007.10.11, 段落【0016】－【0029】、図1－図4 & US 2007/0252201 A1 & US 2011/0284947 A1 & US 2011/0287597 A1 & KR 10-2007-0096972 A & CN 101055875 A	7			
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号												
X Y A	文献1：JP 2012-94694 A（株式会社東芝）2012.05.17, 段落【0016】－【0061】、図2－図5-10 （ファミリーなし）	1-3, 8 7 4-6, 9-19												
Y	文献2：JP 2007-266143 A（株式会社東芝）2007.10.11, 段落【0016】－【0029】、図1－図4 & US 2007/0252201 A1 & US 2011/0284947 A1 & US 2011/0287597 A1 & KR 10-2007-0096972 A & CN 101055875 A	7												
<p><input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。</p>														
<table border="0"> <tr> <td>* 引用文献のカテゴリー</td> <td>の日の後に公表された文献</td> </tr> <tr> <td>「A」 特に関連のある文献ではなく、一般的技術水準を示すもの</td> <td>「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの</td> </tr> <tr> <td>「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</td> <td>「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</td> </tr> <tr> <td>「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）</td> <td>「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</td> </tr> <tr> <td>「O」 口頭による開示、使用、展示等に言及する文献</td> <td>「&」 同一パテントファミリー文献</td> </tr> <tr> <td>「P」 国際出願日前で、かつ優先権の主張の基礎となる出願</td> <td></td> </tr> </table>			* 引用文献のカテゴリー	の日の後に公表された文献	「A」 特に関連のある文献ではなく、一般的技術水準を示すもの	「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの	「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの	「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの	「O」 口頭による開示、使用、展示等に言及する文献	「&」 同一パテントファミリー文献	「P」 国際出願日前で、かつ優先権の主張の基礎となる出願	
* 引用文献のカテゴリー	の日の後に公表された文献													
「A」 特に関連のある文献ではなく、一般的技術水準を示すもの	「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの													
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの													
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの													
「O」 口頭による開示、使用、展示等に言及する文献	「&」 同一パテントファミリー文献													
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願														
<p>国際調査を完了した日</p> <p>23.04.2015</p>	<p>国際調査報告の発送日</p> <p>12.05.2015</p>													
<p>国際調査機関の名称及びあて先</p> <p>日本国特許庁（ISA/J P）</p> <p>郵便番号100-8915</p> <p>東京都千代田区霞が関三丁目4番3号</p>	<p>特許庁審査官（権限のある職員）</p> <p>上田 智志</p> <p>電話番号 03-3581-1101 内線 3514</p>	<p>5 F 3664</p>												