

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成 18 年 4 月 6 日 (2006.4.6)

【公開番号】特開 2005-167057(P2005-167057A)

【公開日】平成 17 年 6 月 23 日 (2005.6.23)

【年通号数】公開・登録公報 2005-024

【出願番号】特願 2003-405622(P2003-405622)

【国際特許分類】

H 0 1 L 21/336 (2006.01)

H 0 1 L 29/786 (2006.01)

【F I】

H 0 1 L 29/78 6 1 6 A

H 0 1 L 29/78 6 1 6 V

【手続補正書】

【提出日】平成 18 年 2 月 22 日 (2006.2.22)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

基板上に形成された非単結晶の結晶性シリコン膜を島状領域とし、それぞれソース・ドレイン領域、該ソース・ドレイン領域間に L D D 領域を介して設定されるチャネル領域及び該チャネル領域上に絶縁膜を介して配置されたゲートを有する薄膜トランジスタであって、

前記 L D D 領域の上層部に所定の濃度にドーピングされた領域を設け、その下層部に、相対的に高濃度にドーピングされた領域を設けたことを特徴とする薄膜トランジスタ。

【請求項 2】

前記ゲートが前記 L D D 領域を少なくとも部分的に覆うことを特徴とする請求項 1 に記載の薄膜トランジスタ。

【請求項 3】

基板上に形成された非単結晶の結晶性シリコン膜を島状領域とし、それぞれソース・ドレイン領域、該ソース・ドレイン領域間に L D D 領域を介して設定されるチャネル領域及び該チャネル領域上に絶縁膜を介して配置されたゲートを有する薄膜トランジスタの製造方法であって、

前記 L D D 領域に対するドーピングを、比較的高ドーズ・高加速により行い、前記 L D D 領域の上層部に所定の濃度にドーピングされた領域を設け、その下層部に、相対的に高濃度にドーピングされた領域を設けたことを特徴とする薄膜トランジスタの製造方法。

【請求項 4】

基板上に形成された非単結晶の結晶性シリコン膜を島状領域とし、それぞれソース・ドレイン領域、該ソース・ドレイン領域間に L D D 領域を介して設定されるチャネル領域及び該チャネル領域上に絶縁膜を介して配置されたゲートを有する薄膜トランジスタの製造方法であって、

前記 L D D 領域に対するドーピングを、高加速及び低加速により、2 段階に分けて行なうことにより、前記 L D D 領域の上層部に所定の濃度にドーピングされた領域を設け、その下層部に、相対的に高濃度にドーピングされた領域を設けたことを特徴とする薄膜トランジスタの製造方法。

【請求項 5】

基板上に形成された非単結晶の結晶性シリコン膜を島状領域とし、それぞれソース・ドレイン領域、該ソース・ドレイン領域間に L D D 領域を介して設定されるチャンネル領域及び該チャンネル領域上に絶縁膜を介して配置されたゲートを有する薄膜トランジスタの製造方法であって、

前記 L D D 領域に対するドーピングを、軽重 2 種のイオンを用いて行い、前記 L D D 領域の上層部に所定の濃度にドーピングされた領域を設け、その下層部に、相対的に高濃度にドーピングされた領域を設けたことを特徴とする薄膜トランジスタの製造方法。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】発明の名称

【補正方法】変更

【補正の内容】

【発明の名称】薄膜トランジスタ及びその製造方法

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0 0 0 1

【補正方法】変更

【補正の内容】

【0 0 0 1】

近年、絶縁基板上に、薄膜状の活性層（活性領域ともいう）を有する絶縁ゲート型の半導体装置、特に、薄膜状の絶縁ゲート型のトランジスタ、いわゆる薄膜トランジスタ（T F T）が、アクティブマトリックス型 LCD をはじめとして広く利用されつつある。このようなトランジスタに於いて、ホットキャリア劣化を回避し、高信頼性を確保するために、L D D（Lightly Doped Drain）構造や、G O L D（Gate Overlapped LDD）構造が用いられる場合がある。このような構造に於いては、ソース・ドレイン低濃度領域のキャリア濃度は、ドレイン端の横方向電界が最も緩和される大きさに定められる。以下の記載では、L D D（Lightly Doped Drain）構造や、G O L D（Gate Overlapped LDD）構造に於けるオフセット領域或いはオーバーラップ領域を含むソース・ドレイン低濃度領域を、必要に応じて L D D 領域と総称するものとする。

【手続補正 4】

【補正対象書類名】明細書

【補正対象項目名】0 0 0 3

【補正方法】変更

【補正の内容】

【0 0 0 3】

それに引き続き、ゲート電極 1 0 8，1 0 9 をマスクとし、燐イオンを注入（ドーピング）し、ドーピングされた燐を活性化する。W 膜 1 0 9 によりマスクされた領域は殆どドーピングされないチャンネル領域 1 0 2 となり、ゲート電極 1 0 8，1 0 9 によりマスクされない領域は、高濃度の燐ドーピングがなされ、ソース・ドレイン領域 1 0 5，1 0 6 を形成する。T a N 膜 1 0 8 によりマスクされた領域は、燐による低濃度のドーピングがなされ、オーバーラップ領域 1 0 3，1 0 4 を形成する。このような G O L D 構造の詳しい製造方法については、特許文献 1 を参照されたい。

【特許文献 1】特開 2 0 0 1 - 0 9 4 1 1 3 このようなオーバーラップ領域、即ち L D D 構造が設けられることにより、電界緩和効果が生じ、絶縁破壊などの問題を防止することができる。特に、G O L D 構造に於いては、ゲート電極が、L D D 領域まで延伸して設けられるため、L D D 領域のキャリア濃度もゲート電極によってある程度制御される。その結果、L D D 領域の不純物濃度が低くとも、低濃度の L D D 領域の直列抵抗によって相互コンダクタンスが減少したり、L D D 領域上のゲート酸化膜に注入されるホットキャリア

によってトランジスタ特性が変動するというようなことは少なくなる。

【手続補正 5】

【補正対象書類名】明細書

【補正対象項目名】0011

【補正方法】変更

【補正の内容】

【0011】

図2は、本発明に基づくGOLD構造薄膜トランジスタを示す。概ね図1に示されたトランジスタと同様であるが、オーバーラップ領域103, 104に対する燐のドーピングをやや高ドーズ・高加速とし、比較的低濃度にドーピングされた上側層103b, 104bと、比較的高濃度にドーピングされた下側層103a, 104aとが形成されるようにする。下側層103a, 104aの不純物濃度は、所望の低オン抵抗が達成されるようなレベルに設定し、上側層103b, 104bの不純物濃度は、ホットキャリア劣化を回避し、高信頼性が確保されるように、ドレイン端の横方向電界を効果的に緩和し得るレベルに設定する。本実施例の場合、ホットキャリア劣化を回避するために最適な表面不純物濃度は、 $5 \times 10^{17} \sim 5 \times 10^{18} \text{ atoms/cm}^3$ であった。しかしながら、条件が異なる場合にあっては、本発明は、このような数値範囲に限定されない。図3は、高加速のドーピングを行うことにより、オーバーラップ領域の比較的深い領域に高濃度部分を形成できる様子を示している。即ち、高加速のドーピングを行うことにより、不純物が深部に比較的集中し、所要の濃度分布を達成することができる。

【手続補正 6】

【補正対象書類名】明細書

【補正対象項目名】0013

【補正方法】変更

【補正の内容】

【0013】

上記したようなオーバーラップ領域の濃度分布を実現することは、上記したような方法以外にも可能である。図4に示されるように、比較的高加速のドーピング及び比較的低加速のドーピングを前後して、2段階に行ない、しかもそれぞれのドーズ量を制御することにより、所望の濃度分布を実現することができる。特に、浅い部分の不純物濃度は、低加速ドーピングのドーズ量により、深い部分の不純物濃度は、高加速ドーピングのドーズ量により概ね決定されることから、濃度分布の態様を自由に制御し、本発明の目的を一層好適に達成することができる。言うまでもなく、高加速のドーピング及び比較的低加速のドーピングの順序は任意に選択することができる。