(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第4011941号
(P4011941)
(45)発行日　平成19年11月21日(2007.11.21)　(24)登録日　平成19年9月14日(2007.9.14)

(51)Int.Cl.
H01L 21/8246 (2006.01)
H01L 27/105 (2006.01)
G11C 11/22 (2006.01)

F I
H01L 27/10 444Z
G11C 11/22 501A
G11C 11/22 501F

請求項の数 5　(全 21 頁)

(21)出願番号　特願2002-67496 (P2002-67496)
(22)出願日　平成14年3月12日 (2002.3.12)
(65)公開番号　特開2003-273329 (P2003-273329A)
(43)公開日　平成15年9月26日 (2003.9.26)
審査請求日　平成17年3月1日 (2005.3.1)

(73)特許権者　000003078
株式会社東芝
東京都港区芝浦一丁目1番1号
(74)代理人　100058479
弁理士　鈴江　武彦
(74)代理人　100084618
弁理士　村松　貞男
(74)代理人　100092196
弁理士　橋本　良郎
(74)代理人　100091351
弁理士　河野　哲
(74)代理人　100088683
弁理士　中村　誠
(74)代理人　100070437
弁理士　河井　将次
最終頁に続く

(54)【発明の名称】半導体記憶装置

(57)【特許請求の範囲】
【請求項１】
セルトランジスタと、このセルトランジスタのソース、ドレイン間に一端、他端の電極がそれぞれ接続された強誘電体キャパシタとからメモリセルが構成され、前記メモリセルが複数個直列接続された第１のメモリセルブロックと、

前記第１のメモリセルブロックを選択する第１のブロック選択トランジスタと、

前記第１のメモリセルブロックの一端と前記第１のブロック選択トランジスタの一端との間に接続された第１の金属配線と、

前記第１のブロック選択トランジスタの他端に接続された第１のビット線と、

前記第１のビット線に隣接して配置された第２のビット線と、

前記第２のビット線に、一端が接続された第２のブロック選択トランジスタと、

前記第２のビット線に、一端が接続された第３のブロック選択トランジスタとを具備し、

前記第２のブロック選択トラジスタのゲート電極配線と第３のブロック選択トランジスタのゲート電極配線が、前記第１の金属配線の下方に配設されていることを特徴とする半導体記憶装置。

【請求項２】
セルトランジスタと、このセルトランジスタのソース、ドレイン間に一端、他端の電極がそれぞれ接続された強誘電体キャパシタとからメモリセルが構成され、前記メモリセルが複数個直列接続された第１のメモリセルブロックと、

前記第１のメモリセルブロックを選択する第１のブロック選択トランジスタと、
前記第１のメモリセルブロックの一端と前記第１のブロック選択トランジスタの一端との間に接続された第１の金属配線と、
前記第１のブロック選択トランジスタの他端に接続された第１のビット線と、
セルトランジスタと、このセルトランジスタのソース、ドレイン間に一端、他端の電極がそれぞれ接続された強誘電体キャパシタとからメモリセルが構成されて、前記メモリセルが複数個直列接続され、前記第１のメモリセルブロックに対して前記第１のビット線方向に配置された第２のメモリセルブロックと、
前記第２のメモリセルブロックの一端に、一端が接続され、他端が前記第１のビット線に接続された第２のブロック選択トランジスタと、
セルトランジスタと、このセルトランジスタのソース、ドレイン間に一端、他端の電極がそれぞれ接続された強誘電体キャパシタとからメモリセルが構成されて、前記メモリセルが複数個直列接続され、前記第１のメモリセルブロックに対して前記第１のビット線方向と垂直な方向に配置された第３のメモリセルブロックと、
前記第３のメモリセルブロックの一端に、一端が接続された第３のブロック選択トランジスタと、
前記第３のブロック選択トランジスタの他端に接続された第２のビット線と、
セルトランジスタと、このセルトランジスタのソース、ドレイン間に一端、他端の電極がそれぞれ接続された強誘電体キャパシタとからメモリセルが構成されて、前記メモリセルが複数個直列接続され、前記第３のメモリセルブロックに対して前記第１のビット線方向に配置された第４のメモリセルブロックと、
前記第２のビット線に一端が接続され、前記第４のメモリセルブロックを選択する、第４のブロック選択トランジスタと、
前記第４のメモリセルブロックの一端と前記第４のブロック選択トランジスタの他端との間に接続された第２の金属配線とを具備し、
前記第３のブロック選択トラジスタのゲート電極配線と第４のブロック選択トランジスタのゲート電極配線が、前記第１の金属配線の下方に配設され、前記第１のブロック選択トラジスタのゲート電極配線と第２のブロック選択トランジスタのゲート電極配線が、前記第２の金属配線の下方に配設されていることを特徴とする半導体記憶装置。
【請求項３】
前記第１、第２の金属配線は、前記強誘電体キャパシタの下部電極と同一の層に形成されていることを特徴とする請求項２に記載の半導体記憶装置。
【請求項４】
セルトランジスタと、このセルトランジスタのソース、ドレイン間に一端、他端の電極がそれぞれ接続された強誘電体キャパシタとからメモリセルが構成され、前記メモリセルが複数個直列接続された第１のメモリセルブロックと、
前記第１のメモリセルブロックを選択する第１のブロック選択トランジスタと、
前記第１のメモリセルブロックの一端と前記第１のブロック選択トランジスタの一端との間に、直列接続された第１、第２のデプレッション型トランジスタと、
前記第１のブロック選択トランジスタの他端に接続された第１のビット線と、
セルトランジスタと、このセルトランジスタのソース、ドレイン間に一端、他端の電極がそれぞれ接続された強誘電体キャパシタとからメモリセルが構成されて、前記メモリセルが複数個直列接続され、前記第１のメモリセルブロックに対して前記第１のビット線方向と垂直な方向に配置された第２のメモリセルブロックと、
前記第２のメモリセルブロックの一端に、一端が接続された第２のブロック選択トランジスタと、
前記第２のブロック選択トランジスタの他端に接続され、前記第１のビット線に隣接して配置された第２のビット線とを具備し、
前記第１のデプレッション型トランジスタのゲート電極は、前記第２のブロック選択トランジスタのゲート電極に接続されていることを特徴とする半導体記憶装置。

【請求項５】
セルトランジスタと、このセルトランジスタのソース、ドレイン間に一端、他端の電極がそれぞれ接続された強誘電体キャパシタとからメモリセルが構成され、前記メモリセルが複数個直列接続された第１のメモリセルブロックと、
前記第１のメモリセルブロックの一端に、一端が接続され、第１の信号をゲート入力とする第１のデプレッション型トランジスタと、
前記第１のデプレッション型トランジスタの他端に、一端が接続され、第２の信号をゲート入力とする第２のデプレッション型トランジスタと、
前記第２のデプレッション型トランジスタの他端に、一端が接続され、第３の信号をゲート入力とする第１のブロック選択トランジスタと、
前記第１のブロック選択トランジスタの他端に接続された第１のビット線と、
セルトランジスタと、このセルトランジスタのソース、ドレイン間に一端、他端の電極がそれぞれ接続された強誘電体キャパシタとからメモリセルが構成されて、前記メモリセルが複数個直列接続され、前記第１のメモリセルブロックに対して前記第１のビット線方向に配置された第２のメモリセルブロックと、
前記第２のメモリセルブロックの一端に、一端が接続され、他端が前記第１のビット線に接続されると共に、第４の信号をゲート入力とする第２のブロック選択トランジスタと、
セルトランジスタと、このセルトランジスタのソース、ドレイン間に一端、他端の電極がそれぞれ接続された強誘電体キャパシタとからメモリセルが構成されて、前記メモリセルが複数個直列接続され、前記第１のメモリセルブロックに対して前記第１のビット線方向と垂直な方向に配置された第３のメモリセルブロックと、
前記第３のメモリセルブロックの一端に、一端が接続された、前記第１の信号をゲート入力とする第３のブロック選択トランジスタと、
前記第３のブロック選択トランジスタの他端に接続された第２のビット線と、
セルトランジスタと、このセルトランジスタのソース、ドレイン間に一端、他端の電極がそれぞれ接続された強誘電体キャパシタとからメモリセルが構成されて、前記メモリセルが複数個直列接続され、前記第３のメモリセルブロックに対して前記第１のビット線方向に配置された第４のメモリセルブロックと、
前記第４のメモリセルブロックの一端に、一端が接続され、前記第４の信号をゲート入力とする第３のデプレッション型トランジスタと、
前記第３のデプレッション型トランジスタの他端に、一端が接続され、前記第３の信号をゲート入力とする第４のデプレッション型トランジスタと、
前記第４のデプレッション型トランジスタの他端に、一端が接続され、他端が前記第２のビット線に接続されると共に、前記第２の信号をゲート入力とする第４のブロック選択トランジスタと、
を具備することを特徴とする半導体記憶装置。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
この発明は、半導体記憶装置に係わり、特に不揮発性の強誘電体メモリに関するものである。
【０００２】
【従来の技術】
今日、半導体メモリは、大型コンピュータの主記憶から、パーソナルコンピュータ、家電製品、携帯電話等、至る所で利用されている。半導体メモリの種類としては、揮発性のＤＲＡＭ（DynamicＲＡＭ）、ＳＲＡＭ（StaticＲＡＭ）、不揮発性のＭＲＯＭ（MaskＲＯＭ）、FlashＥＥＰＲＯＭ等が市場に出まわっている。
【０００３】
特に、ＤＲＡＭは揮発性メモリであるにも関らず、その低コスト性（ＳＲＡＭに比べてセ

ル面積が１／４）、高速性（FlashＥＥＰＲＯＭに比べて高速）の点で優れており、市場の殆どを占めているのが現状である。

【０００４】

また、書き換え可能で不揮発性のFlashＥＥＰＲＯＭは、不揮発で電源を切ることが可能ではあるが、書き換え回数（Ｗ／Ｅ回数）が１０の６乗程度しかなく、書き込む時間がマイクロ秒程度かかり、さらに書き込みに高電圧（１２Ｖ～２２Ｖ）を印加する必要がある等の欠点があるため、ＤＲＡＭ程は市場がひらけていない。

【０００５】

これに対して、強誘電体キャパシタ（Ferroelectric Capacitor）を用いた不揮発性メモリ（Nonvolatile Ferroelectric Memory）は、１９８０年に提案されて以来、不揮発性で、しかも書き換え回数が１０の１２乗、読み出し書き込み時間がＤＲＡＭ程度、さらに３Ｖ～５Ｖで動作可能等の長所があるため、全メモリ市場を置き換える可能性があり、各メーカが開発を行っている。

【０００６】

図１１（ａ）に、従来の強誘電体メモリにおける１個のトランジスタと１個のキャパシタから構成されるメモリセルと、そのセルアレイ構成を示す。

【０００７】

従来の強誘電体メモリのメモリセル構成は、トランジスタＣＴとキャパシタＦＣを直列接続する構成である。セルアレイは、データを読み出すビット線ＢＬ、／ＢＬと、メモリセルトランジスタＣＴを選択するワード線ＷＬ０、ＷＬ１と、強誘電体キャパシタＦＣの一端を駆動するプレート線ＰＬ０、ＰＬ１とが配置された構成となる。さらに、プレート線ＰＬ０、ＰＬ１には、プレート線駆動回路ＰＬＤ０、ＰＬＤ１がそれぞれ接続されている。

【０００８】

しかしながら、この従来の強誘電体メモリにおいては、図１１（ｂ）に示すように、メモリセルは、ワード線とビット線の交点２個に１個配置されるFoldedビット線構成取るため、配線幅、配線間スペースをＦとすると、最小のセルサイズは、２Ｆｘ４Ｆ＝８$Ｆ^2$ に限定される。このように、従来の強誘電体メモリはそのセルサイズが８$Ｆ^2$ に限定される問題があった。

【０００９】

また、従来の強誘電体メモリにおいては、非選択メモリセルの強誘電体キャパシタの分極情報が破壊されるのを防ぐために、プレート線は、ワード線毎に分断され、個別に駆動する必要がある。また、個々のプレート線には、ワード線方向に複数の強誘電体キャパシタが接続されているため、負荷容量が重く、さらに、プレート線駆動回路が配置されるピッチがワード線と同様のピッチでしか形成できず厳しいために、プレート線駆動回路のサイズが大きくできない。このため、プレート線電位の上げ下げの遅延が大きくなり、結果として強誘電体メモリの動作が遅くなるという問題があった。

【００１０】

前記問題を解決するため、発明者は、先に出願した「特開平１０－２５５４８３号公報」、「特開平１１－１７７０３６号公報」、及び「特開２０００－２２０１０号公報」において、不揮発性の強誘電体メモリで、（１）小さい４$Ｆ^2$ サイズのメモリセル、（２）製造が容易な平面トランジスタ、（３）汎用性のある高速ランダムアクセス機能、の３点が両立できる、新しい強誘電体メモリを提案している。図１１（ｃ）に、この先願の強誘電体メモリの構成を示す。

【００１１】

図１１（ｃ）に示すように、この強誘電体メモリにおいては、１個のメモリセルは、セルトランジスタＣＴと強誘電体キャパシタＦＣの並列接続で構成されている。１つのメモリセルブロックＭＣＢは、この並列接続のメモリセルが複数直列接続され構成されている。このメモリセルブロックＭＣＢの一端は、ブロック選択トランジスタＢＳＴを介してビット線ＢＬに接続され、その他端はプレート線ＰＬに接続される。さらに、プレート線ＰＬ

には、プレート線駆動回路ＰＬＤが接続されている。このような構成により、平面トランジスタを用いて、図１１（ｄ）に示すように、最小の４Ｆ^2 サイズのメモリセル１０１が実現できる。

【００１２】
図１１（ｃ）に示す前記強誘電体メモリの動作は以下のようになる。ここで、読み出しを行うメモリセルのメモリセルトランジスタをＣＴ１、強誘電体キャパシタをＣ１とし、その他のメモリセルのメモリセルトランジスタをＣＴ、強誘電体キャパシタをＦＣとする。図１２（ａ）に示すように、待機時には、全てのワード線ＷＬ０～ＷＬ３の電位を“High”にして、メモリセルトランジスタＣＴ、ＣＴ１をオンにしておく。さらに、ブロック選択トランジスタＢＴ０の信号配線ＢＳ０の電位を“Low”にして、ブロック選択トランジスタＢＴ０をオフにしておく。こうすることにより、強誘電体キャパシタＦＣ、Ｃ１の両端は、オンしているセルトランジスタＣＴ、ＣＴ１により電気的にショートされるため、強誘電体キャパシタＦＣ、Ｃ１の両端に電位差は発生せず、記憶分極は安定に保持される。図１２（ｂ）に、待機時の強誘電体キャパシタにおける分極量のヒステリシス曲線を示す。

【００１３】
また、動作時は、読み出しを行う強誘電体キャパシタに並列に接続されたメモリセルトランジスタのみオフにし、その他のメモリセルトランジスタをオンにする。さらに、ブロック選択トランジスタをオンにする。

【００１４】
例えば、図１２（ｃ）に示すように、メモリセルトランジスタＣＴ１と強誘電体キャパシタＣ１から構成された強誘電体メモリセルにおいてキャパシタＣ１を選択する場合、まず、ワード線ＷＬ２の電位を“Low”にする。その後、プレート線ＰＬの電位を“High”、ブロック選択トランジスタＢＴ０の信号配線ＢＳ０の電位を“High”にする。これにより、プレート線ＰＬとビット線ＢＬ間の電位差が、オフしたメモリセルトランジスタＣＴ１に並列接続された強誘電体キャパシタＣ１の両端のみに印加されて、強誘電体キャパシタＣ１の分極情報がビット線ＢＬに読み出される。図１２（ｄ）に、動作時の強誘電体キャパシタにおける分極量のヒステリシス曲線を示す。

【００１５】
このようにして、メモリセルを直列接続しても、任意のワード線を選択することにより、任意の強誘電体キャパシタのセル情報が読み出され、完全なランダムアクセスが実現できる。また、プレート線を複数のメモリセルで共有化できるため、チップサイズを縮小しつつ、プレート線駆動回路の面積を大きくでき、高速動作が実現できる。

【００１６】
しかしながら、図１１（ｃ）に示した強誘電体メモリにおいても、次のような問題点がある。「特開平１１－１７７０３６号公報」に示すように、ビット線対の２本のビット線（／ＢＬ，ＢＬ）の各々に対して、ブロック選択トランジスタの信号配線（ゲート線）を２種類用意し、さらにプレート線を２種類用意することにより、Foldedビット線構成の強誘電体メモリが実現できる。この強誘電体メモリを図１３（ａ）、図１３（ｂ）に示す。

【００１７】
図１３（ａ）において、左側の上下に、メモリセルが４個直列接続されたもの（以下メモリセルブロックと記す）が配置されている。これらのうち、上のメモリセルブロックの左端にはプレート線ＰＬ０が接続され、その右端には信号配線ＢＳ０をゲートとするブロック選択トランジスタＢＴ０を介して、ビット線／ＢＬが接続される。また、下のメモリセルブロックの左端にはプレート線ＰＬ１が接続され、その右端には信号配線ＢＳ１をゲートとするブロック選択トランジスタＢＴ１を介して、ビット線ＢＬが接続される。

【００１８】
例えば、上のメモリセルブロックのうち、１つのメモリセルを選択する場合、プレート線ＰＬ０、信号配線ＢＳ０のみ“High”にし、プレート線ＰＬ１、信号配線ＢＳ１を“Low”のままにすることにより、ビット線／ＢＬにのみセルデータが読み出される。読み出さ

れた信号を、ビット線ＢＬ側を参照ビット線としてセンスアンプＳＡで増幅することにより、Foldedビット線構成が実現できる。

【００１９】

ここで、メモリセルブロックの配置上、信号配線ＢＳ１が上側のメモリセルブロック間上を通り、信号配線ＢＳ０が下側のメモリセルブロック間上を通る必要があるため、信号配線ＢＳ１と立体交差する金属配線からなるブリッジ線ＢＲ１１と、信号配線ＢＳ０と立体交差する金属配線からなるブリッジ線ＢＲ１２を設ける必要が生じる。

【００２０】

また、図１３（ａ）において、右側の上下に配置されたメモリセルブロックも図に示すように同様な構成であり、ブロック選択トランジスタとビット線をつなぐコンタクトＣ１は、共用化している。このような構成の強誘電体メモリにおいては次のような問題点が存在する。

【００２１】

第１に、ビット線容量が大きいことである。ビット線とブロック選択トランジスタとの接続点において、ブロック選択トランジスタがオフしている場合でも、図中にＡＡで示すように２ヶ所の拡散層の容量がビット線に接続される。これは、非選択のメモリセルブロック全てに当てはまり、ビット線容量が増大する原因となる。ビット線に接続される拡散層は、ビット線コンタクトＣ１下の拡散層ＡＡと、金属配線のブリッジ線とブロック選択トランジスタとの接続点である拡散層ＡＡである。

【００２２】

第２に、ブロック選択トランジスタのトランジスタ領域が大きいことである。原因は、ブロック選択トランジスタのトランジスタ領域に形成されるコンタクト数が多いためである。例えば、上の２つのメモリセルブロックで見ると、ビット線／ＢＬと接続されるコンタクトＣ１と、左側のメモリセルブロックではブリッジ線ＢＲ１１とブロック選択トランジスタＢＴ０とが接続されるコンタクトＣ１、さらに右側のメモリセルブロックではブロック選択トランジスタＢＴ０’とブリッジ線ＢＲ１２とが接続されるコンタクトＣ１の計３つのコンタクトが必要となる。なお、コンタクトＣ１はブロック選択トランジスタ部分で必要なコンタクトであり、コンタクトＣ２は、本来、セルトランジスタとセルキャパシタとを接続するのに必要なコンタクトを示している。

【００２３】

図１３（ｂ）において、左側の上下には、メモリセルブロックが配置されている。これらのうち、上のメモリセルブロックの左端にはプレート線ＰＬ０が接続され、その右端には信号配線ＢＳ０をゲートとするブロック選択トランジスタＢＴ０を介して、ビット線／ＢＬが接続される。また、下のメモリセルブロックの左端にはプレート線ＰＬ１が接続され、その右端には信号配線ＢＳ１をゲートとするブロック選択トランジスタＢＴ１を介して、ビット線ＢＬが接続される。

【００２４】

例えば、上のメモリセルブロックのうち、１つのメモリセルを選択する場合、プレート線ＰＬ０、信号配線ＢＳ０のみ“High”にし、プレート線ＰＬ１、信号配線ＢＳ１を“Low”のままにすることにより、ビット線／ＢＬにのみセルデータが読み出される。読み出された信号を、ビット線ＢＬ側を参照ビット線としてセンスアンプＳＡで増幅することにより、Foldedビット線構成が実現できる。

【００２５】

ここで、メモリセルブロックの配置上、信号配線ＢＳ１が上側のメモリセルブロック間上を通り、信号配線ＢＳ０が下側のメモリセルブロック間上を通る必要があるため、デプレッション型のトランジスタを用いて、信号配線ＢＳ０、ＢＳ１配線が不要なところで交差しても、その信号の電位に影響しないようにしている。

【００２６】

また、図１３（ｂ）において、右側の上下に配置されたメモリセルブロックも図に示すように同様な構成であり、ブロック選択トランジスタとビット線をつなぐコンタクトＣ１は

、共用化している。このような構成の強誘電体メモリにおいては次のような問題点が存在する。

【００２７】

第１に、ビット線容量が大きいことである。ビット線とブロック選択トランジスタとの接続点において、通常のブロック選択トランジスタがオフしている場合でも、デプレッション型トランジスタはオンしているため、ビット線からみたときこのトランジスタの容量が見える。さらに、図中にＡＡで示すように２ヶ所の拡散層の容量がビット線に接続される。これは、非選択のメモリセルブロック全てに当てはまり、ビット線容量が大幅に増大する原因となる。ビット線に接続される拡散層は、ビット線コンタクトＣ１下の拡散層ＡＡと、デプレッション型トランジスタとブロック選択トランジスタとの接続点である拡散層ＡＡである。

【００２８】

第２に、ブロック選択トランジスタのトランジスタ領域が大きいことである。原因は、図に示すように、トランジスタ１個毎にデプレッション型とエンハンスメント型のチャネル形成のためのイオン注入条件を変える必要があり、ブロック選択トランジスタサイズの縮小を妨げるからである。

【００２９】

また、信号配線ＢＳ０の電位を“High”にして、上側左のメモリセルブロックを選択する場合、信号配線ＢＳ０は下のデプレッション型トランジスタに接続されるため、カップリングによりビット線ＢＬ側の電位が上がる。これに対して、信号配線ＢＳ１の電位を“High”にして、下側左のメモリセルブロックを選択する場合、信号配線ＢＳ１は上のデプレッション型トランジスタに接続されるため、カップリングするが、上の信号配線ＢＳ０に接続されるブロック選択トランジスタＢＴ０はオフしているため、ビット線／ＢＬ側の電位が上がらない。このため、ビット線ペアに対して信号のアンバランスを生じる。

【００３０】

【発明が解決しようとする課題】

以上述べたように、従来の強誘電体メモリは、メモリセルサイズを縮小できる先願の強誘電体メモリであっても、以下のような問題点を有している。

【００３１】

（１）コンタクト数が多くメモリセルブロックサイズが大きくなる。（２）チャネル形成のためのイオン注入領域が細かく分かれ、メモリセルブロックサイズが大きくなる。（３）非選択ブロックに接続される拡散層数が多く、ビット線容量が大きくなり、読み出し信号が小さくなる。（４）デプレッショントランジスタを用いた場合、このチャネル容量が、非選択ブロックでもビット線容量として見え、ビット線容量が大きくなり、読み出し信号が小さくなる。（５）デプレッション型のトランジスタを用いた場合、ビット線対に信号のアンバランスを生じる。

【００３２】

そこでこの発明は、前記課題に鑑みてなされたものであり、メモリセルブロックサイズを小さくでき、さらにビット線容量を削減して、読み出し信号を増大できる強誘電体メモリを提供することを目的とする。

【００３３】

【課題を解決するための手段】

前記目的を達成するために、この発明に係る半導体記憶装置は、セルトランジスタと、このセルトランジスタのソース、ドレイン間に一端、他端の電極がそれぞれ接続された強誘電体キャパシタとからメモリセルが構成され、前記メモリセルが複数個直列接続された第１のメモリセルブロックと、前記第１のメモリセルブロックを選択する第１のブロック選択トランジスタと、前記第１のメモリセルブロックの一端と前記第１のブロック選択トランジスタの電流通路の一端との間に接続された第１の金属配線と、前記第１のブロック選択トランジスタの電流通路の他端に接続された第１のビット線と、前記第１のビット線に隣接して配置された第２のビット線と、前記第２のビット線に、電流通路の一端が接続さ

れた第２のブロック選択トランジスタと、前記第２のビット線に、電流通路の一端が接続された第３のブロック選択トランジスタとを具備し、前記第２のブロック選択トラジスタのゲート電極配線と第３のブロック選択トランジスタのゲート電極配線が、前記第１の金属配線の下方に配設されていることを特徴とする。

【００３４】

【発明の実施の形態】

以下、図面を参照してこの発明の実施の形態の半導体記憶装置について説明する。説明に際し、全図にわたり、共通する部分には共通する参照符号を付す。

【００３５】

［第１の実施の形態］

まず、この発明の第１の実施の形態の強誘電体メモリについて説明する。

【００３６】

図１は、第１の実施の形態の強誘電体メモリの構成を示す回路図である。

【００３７】

この第１の実施の形態では、図１３（ａ）に示した強誘電体メモリに比べて、メモリセルブロックサイズを縮小でき、またビット線が持つ容量を小さくできる構成を示す。

【００３８】

図１に示すように、１個のメモリセルは、並列接続されたセルトランジスタＣＴと強誘電体キャパシタＦＣで構成されている。すなわち、セルトランジスタＣＴの電流通路の一端には、強誘電体キャパシタＦＣの一端の電極が接続され、セルトランジスタＣＴの電流通路の他端には、強誘電体キャパシタＦＣの他端の電極が接続されている。

【００３９】

１つのメモリセルブロックは、前記並列接続のメモリセルを、セルトランジスタＣＴの電流通路が直列になるように複数接続することで構成されている。ここでは、４個のメモリセルを直列接続した例を示す。４個のメモリセルが直列接続されたメモリセルブロックＭＣＢ０の一端には、ブリッジ線ＢＲ０、ブロック選択トランジスタＢＴ０を介してビット線／ＢＬが接続されている。このビット線／ＢＬには、センスアンプＳＡが接続される。前記メモリセルブロックＭＣＢ０の他端には、プレート線ＰＬ０が接続されている。

【００４０】

図１３（ａ）に示した構成と大きく異なる点は、以下に述べるように、ブロック選択トランジスタ部分の構成、及び配置法である。

【００４１】

ここでは、説明を容易にするために、図１に示すように、左右上下に４つのメモリセルブロックＭＣＢ０、ＭＣＢ０’、ＭＣＢ１、ＭＣＢ１’が配置された例を示す。

【００４２】

図１３（ａ）に示した構成では、左側の２個のメモリセルブロックＭＣＢ０、ＭＣＢ１と右側の２個のメモリセルブロックＭＣＢ０’、ＭＣＢ１’をビット線とのコンタクト部で折り返していた。すなわち、ビット線コンタクトＣ１部を境に、左側のメモリセルブロックＭＣＢ０、ＭＣＢ１用のブロック選択トランジスタＢＴ０、ＢＴ１は左に、右側のメモリセルブロックＭＣＢ０’、ＭＣＢ１’用のブロック選択トランジスタＢＴ０’、ＢＴ１’は右に配置していた。

【００４３】

しかし、この第１の実施の形態では、図１に示すように、上側の左右のメモリセルブロックＭＣＢ０、ＭＣＢ０’用のブロック選択トランジスタＢＴ０、ＢＴ０’を信号配線（ゲート線）ＢＳ１、ＢＳ１’より右に、下側の左右のメモリセルブロックＭＣＢ１、ＭＣＢ１’用のブロック選択トランジスタＢＴ１、ＢＴ１’を信号配線（ゲート線）ＢＳ０、ＢＳ０’より左に、配置する方式を用いる。これにより、下側の左右のブロック選択トランジスタＢＴ１、ＢＴ１’用の信号配線（ゲート線）ＢＳ１、ＢＳ１’は、上側の２つのブロック選択トランジスタＢＴ０、ＢＴ０’の左を通過し、上側の左右のブロック選択トランジスタＢＴ０、ＢＴ０’用の信号配線（ゲート線）ＢＳ０、ＢＳ０’は、下側の２つの

ブロック選択トランジスタＢＴ１、ＢＴ１’の右を通過する構成となる。さらに、通過する２本の信号配線ＢＳ１とＢＳ１’は隣接して配置され、同様に信号配線ＢＳ０とＢＳ０’も隣接して配置される構成となる。

【００４４】

すなわち、この隣接配置された２本の信号配線ＢＳ１、ＢＳ１’は、ビット線コンタクトＣ１とブロック選択トランジスタＢＴ０あるいはＢＴ０’の間には配置されず、ブロック選択トランジスタＢＴ０とメモリセルブロックＭＣＢ０との間に配置される。また、２本の信号配線ＢＳ０、ＢＳ０’は、ビット線コンタクトＣ１とブロック選択トランジスタＢＴ１あるいはＢＴ１’の間には配置されず、ブロック選択トランジスタＢＴ１’とメモリセルブロックＭＣＢ１’との間に配置される。

【００４５】

さらに、図１に示すように、メモリセルブロックＭＣＢ０とブロック選択トランジスタＢＴ０との間に、金属配線にてブリッジ線ＢＲ０を形成する。そして、このブリッジ線ＢＲ０と、ブロック選択トランジスタＢＴ１、ＢＴ１’の信号配線ＢＳ１、ＢＳ１’とを立体交差させる。また、メモリセルブロックＭＣＢ１’とブロック選択トランジスタＢＴ１’との間に、金属配線にてブリッジ線ＢＲ１を形成する。そして、このブリッジ線ＢＲ１と、ブロック選択トランジスタＢＴ０、ＢＴ０’の信号配線ＢＳ０、ＢＳ０’とを立体交差させる。前記ブリッジ線ＢＲ０、ＢＲ１は、例えばアルミニウム配線により形成する。

【００４６】

図１３（ａ）に示した構成では、上側の左右のブロック選択トランジスタ部で、金属配線による２本のブリッジ線ＢＲ１１、ＢＲ１２が必要であるが、この第１の実施の形態では、通過する信号配線ＢＳ１、ＢＳ１’を１箇所に集めるため、金属配線による１本のブリッジ線ＢＲ０で済む。また同様に、図１３（ａ）に示した構成では、下側の左右のブロック選択トランジスタ部で、金属配線による２本のブリッジ線ＢＲ１３、ＢＲ１４が必要であるが、この第１の実施の形態では、通過する信号配線ＢＳ０、ＢＳ０’を１箇所に集めるため、金属配線による１本のブリッジ線ＢＲ１で済む。

【００４７】

図１において、コンタクトＣ１はブロック選択トランジスタ部で必要なコンタクトを表し、コンタクトＣ２は本来、メモリセル部で必要なコンタクトを示す。ブリッジ線ＢＲ０、ＢＲ１は金属配線からなるジャンパ線を示し、接続点ＡＡはビット線から見て、非選択のメモリセルブロックであっても、容量として見える拡散層を示す。

【００４８】

この第１の実施の形態では、ブロック選択トランジスタが形成される領域のコンタクト数が、ビット線／ＢＬ（またはＢＬ）と接続する部分のコンタクトＣ１と、ブロック選択トランジスタＢＴ０（またはＢＴ１’）を介してブリッジＢＲ０（またはＢＲ１）と接続する部分のコンタクトＣ１の２個となる。図１３（ａ）に示した構成では、コンタクトＣ１は３個必要である。したがって、この第１の実施の形態では、必要なコンタクトＣ１の数を３個から２個へと低減できる。

【００４９】

以上により、この第１の実施の形態では、設計ルールが同一のままで、図１３（ａ）に示した構成と比べて、４個のメモリセルブロックからなるブロックサイズを小さくできることがわかる。

【００５０】

また、ビット線と接続されるコンタクトＣ１の両側には、非選択時にオフしているブロック選択トランジスタが直接接続されるため、非選択のメモリセルブロックに接続される拡散層ＡＡの数が２個から１個へと低減できる。これにより、ビット線／ＢＬ（またはＢＬ）が持つ容量が小さくなり、読み出し時にメモリセルから読み出される読み出し信号を大きくできる。

【００５１】

次に、図１に示した前記強誘電体メモリにおけるブロック選択トランジスタ部分と金属配

線からなるブリッジ線部分の断面構造を説明する。
【００５２】
図２（ａ）及び図２（ｂ）は、前記第１の実施の形態の強誘電体メモリにおけるブロック選択トランジスタ部分とブリッジ線部分の構造を示す断面図である。
【００５３】
まず、図２（ａ）は、図１に示した上側のメモリセルブロックＭＣＢ０とＭＣＢ０’との間の断面を示しており、ブロック選択トランジスタＢＴ０、ＢＴ０’部分とブリッジ線ＢＲ０部分の断面を示している。
【００５４】
図２（ａ）に示すように、半導体基板１１には、素子分離絶縁膜１２、及び拡散層ＡＡ、１３Ａ、１３Ｂ、１３Ｃが形成されている。この素子分離絶縁膜１２上には、絶縁膜を介して信号配線ＢＳ１、ＢＳ１’が配置されている。信号配線ＢＳ１、ＢＳ１’上には、絶縁膜を介して金属配線からなるブリッジ線ＢＲ０が形成されている。拡散層１３ＡとブリッジＢＲ０との間にはコンタクトＣ２が形成されており、拡散層１３ＢとブリッジＢＲ０との間にはコンタクトＣ１が形成されている。
【００５５】
また、ブリッジＢＲ０上には、絶縁膜を介してビット線／ＢＬが形成されている。拡散層ＡＡとビット線／ＢＬとの間には、コンタクトＣ１が形成されている。拡散層ＡＡと拡散層１３Ｂとの間の半導体基板１１上には、ゲート絶縁膜を介して信号配線（ゲート線）ＢＳ０が形成されている。さらに、拡散層ＡＡと拡散層１３Ｃとの間の半導体基板１１上には、ゲート絶縁膜を介して信号配線（ゲート線）ＢＳ０’が形成されている。
【００５６】
さらに、拡散層１３Ｃ上には、絶縁膜を介してメモリセルブロックＭＣＢ０’の一端が形成されている。前記拡散層１３ＣとメモリセルブロックＭＣＢ０’の一端との間には、コンタクトＣ２が形成されている。
【００５７】
このような構造により、金属配線からなるブリッジ線ＢＲ０は、前述したように、ブロック選択トランジスタＢＴ１、ＢＴ１’の２本の信号配線ＢＳ１、ＢＳ１’を跨ぐように形成されている。
【００５８】
次に、下側のブロック選択トランジスタ部分とブリッジ線部分の構造は以下のようになっている。
【００５９】
図２（ｂ）は、図１に示した下側のメモリセルブロックＭＣＢ１とＭＣＢ１’との間の断面を示しており、ブロック選択トランジスタＢＴ１、ＢＴ１’部分とブリッジ線ＢＲ１部分の断面を示している。
【００６０】
図２（ｂ）に示すように、半導体基板１１には、素子分離絶縁膜１２、及び拡散層ＡＡ、１３Ａ、１３Ｂ、１３Ｃが形成されている。この素子分離絶縁膜１２上には、絶縁膜を介して信号配線ＢＳ０、ＢＳ０’が配置されている。信号配線ＢＳ０、ＢＳ０’上には、絶縁膜を介して金属配線からなるブリッジ線ＢＲ１が形成されている。拡散層１３Ａとブリッジ線ＢＲ１との間にはコンタクトＣ２が形成されており、拡散層１３Ｂとブリッジ線ＢＲ１との間にはコンタクトＣ１が形成されている。
【００６１】
また、ブリッジ線ＢＲ１上には、絶縁膜を介してビット線ＢＬが形成されている。拡散層ＡＡとビット線ＢＬとの間には、コンタクトＣ１が形成されている。拡散層ＡＡと拡散層１３Ｂとの間の半導体基板１１上には、ゲート絶縁膜を介して信号配線（ゲート線）ＢＳ１’が形成されている。さらに、拡散層ＡＡと拡散層１３Ｃとの間の半導体基板１１上には、ゲート絶縁膜を介して信号配線（ゲート線）ＢＳ１が形成されている。
【００６２】

さらに、拡散層１３Ｃ上には、絶縁膜を介してメモリセルブロックＭＣＢ１の一端が形成されている。前記拡散層１３ＣとメモリセルブロックＭＣＢ１の一端との間には、コンタクトＣ２が形成されている。

【００６３】

このような構造により、金属配線からなるブリッジ線ＢＲ１は、前述したように、ブロック選択トランジスタＢＴ１、ＢＴ１’の２本の信号配線ＢＳ１、ＢＳ１’を跨ぐように形成されている。

【００６４】

次に、図１に示した前記強誘電体メモリにおけるブロック選択トランジスタ部分とブリッジ線部分のレイアウトを説明する。

【００６５】

図３は、前記第１の実施の形態の強誘電体メモリの構成を示すレイアウト図である。ここでは、金属配線からなるブリッジ線ＢＲ０として、強誘電体キャパシタの下部電極を利用した例を示す。

【００６６】

図３に示すように、コンタクトＣ２とコンタクトＣ１との間には、信号配線ＢＳ１、ＢＳ１’が配置されている。そして、信号配線ＢＳ１、ＢＳ１’の上方には、コンタクトＣ２とコンタクトＣ１との間を接続するブリッジ線ＢＲ０が形成されている。このブリッジＢＲ０は、強誘電体キャパシタの下部電極を形成する際に用いられる導電体パターンから形成されたものであり、下部電極と同一の層に存在する金属配線などから形成されている。

【００６７】

以上説明したようにこの第１の実施の形態では、メモリセルブロック間において、メモリセルブロック間を通過するブロック選択トランジスタの信号配線（ゲート線）ＢＳ１、ＢＳ１’（またはＢＳ０、ＢＳ０’）を隣接して配置し、前記２つの信号配線を跨ぐように既存の配線パターンを形成することにより、メモリセルブロック間に必要なブロック選択トランジスタ及びその信号配線の形成領域を縮小することができる。さらに、ビット線に形成される容量を低減することができる。

【００６８】

［第２の実施の形態］

次に、この発明の第２の実施の形態の強誘電体メモリについて説明する。この第２の実施の形態では、金属配線からなるブリッジ線ＢＲ０として、強誘電体キャパシタの上部電極より上方で形成される金属配線を利用した例を示す。この第２の実施の形態では、前記第１の実施の形態における構成と同様の部分には同じ符号を付してその説明は省略し、以下に、異なる構成部分のみを説明する。

【００６９】

図４、図５、及び図６は、前記第２の実施の形態の強誘電体メモリの構成を示すレイアウト図である。

【００７０】

図４～図６に示すように、コンタクトＣ２とコンタクトＣ１との間には、信号配線ＢＳ１、ＢＳ１’が配置されている。そして、信号配線ＢＳ１、ＢＳ１’の上方には、コンタクトＣ２とコンタクトＣ１との間を接続する第１のメタル配線からなるブリッジ線ＢＲ０が形成されている。このブリッジ線ＢＲ０は、強誘電体キャパシタの上部電極よりも上方で用いられるメタル配線パターンから形成されたものである。その他の構成及び効果は、前述した第１の実施の形態と同様である。

【００７１】

以上説明したようにこの第２の実施の形態では、メモリセルブロック間において、メモリセルブロック間を通過するブロック選択トランジスタの信号配線（ゲート線）ＢＳ１、ＢＳ１’（またはＢＳ０、ＢＳ０’）を隣接して配置し、前記２つの信号配線を跨ぐように、強誘電体キャパシタの上部電極よりも上方で用いられるメタル配線パターンを形成することにより、メモリセルブロック間に必要なブロック選択トランジスタ及びその信号配線

の形成領域を縮小することができる。さらに、ビット線に形成される容量を低減することができる。
【００７２】
［第３の実施の形態］
次に、この発明の第３の実施の形態の強誘電体メモリについて説明する。この第３の実施の形態では、前記第１の実施の形態における金属配線からなるブリッジ線ＢＲ０、ＢＲ１の替わりに、デプレッション型のトランジスタを用いて、信号配線を通過させる例を示す。この第３の実施の形態では、前記第１の実施の形態における構成と同様の部分には同じ符号を付してその説明は省略し、以下に、異なる構成部分のみを説明する。
【００７３】
図７は、第３の実施の形態の強誘電体メモリの構成を示す回路図である。
【００７４】
この第３の実施の形態では、図７に示すように、上側の左右のメモリセルブロックＭＣＢ０、ＭＣＢ０’用のブロック選択トランジスタＢＴ０、ＢＴ０’を信号配線（ゲート線）ＢＳ１、ＢＳ１’より右に、下側の左右のメモリセルブロックＭＣＢ１、ＭＣＢ１’用のブロック選択トランジスタＢＴ１、ＢＴ１’を信号配線（ゲート線）ＢＳ０、ＢＳ０’より左に、配置する構成を用いる。これにより、下側の左右のブロック選択トランジスタＢＴ１、ＢＴ１’用の信号配線（ゲート線）ＢＳ１、ＢＳ１’は、上側の２つのブロック選択トランジスタＢＴ０、ＢＴ０’の左を通過し、上側の左右のブロック選択トランジスタＢＴ０、ＢＴ０’用の信号配線（ゲート線）ＢＳ０、ＢＳ０’は、下側の２つのブロック選択トランジスタＢＴ１、ＢＴ１’の右を通過する構成となる。さらに、通過する２本の信号配線ＢＳ１とＢＳ１’は隣接して配置され、同様に信号配線ＢＳ０とＢＳ０’も隣接して配置される構成となる。
【００７５】
すなわち、この隣接配置された２本の信号配線ＢＳ１、ＢＳ１’は、上側のビット線コンタクトＣ１とブロック選択トランジスタＢＴ０あるいはＢＴ０’の間には配置されず、ブロック選択トランジスタＢＴ０とメモリセルブロックＭＣＢ０との間に配置される。また、２本の信号配線ＢＳ０、ＢＳ０’は、下側のビット線コンタクトＣ１とブロック選択トランジスタＢＴ１あるいはＢＴ１’の間には配置されず、ブロック選択トランジスタＢＴ１’とメモリセルブロックＭＣＢ１’との間に配置される。
【００７６】
さらに、図７に示すように、メモリセルブロックＭＣＢ０とブロック選択トランジスタＢＴ０との間に、デプレッション型のトランジスタ（図中、トランジスタのマーク内を塗りつぶしてあるトランジスタ）ＤＴ１、ＤＴ１’を形成する。そして、トランジスタＤＴ１のゲート線を信号配線ＢＳ１とし、トランジスタＤＴ１’のゲート線を信号配線ＢＳ１’とする。また、メモリセルブロックＭＣＢ１’とブロック選択トランジスタＢＴ１’との間に、デプレッション型のトランジスタＤＴ０、ＤＴ０’を形成する。そして、トランジスタＤＴ０のゲート線を信号配線ＢＳ０とし、トランジスタＤＴ０’のゲート線を信号配線ＢＳ０’とする。
【００７７】
図１３（ｂ）に示した構成では、上側の左右のブロック選択トランジスタ部で、デプレッション型のトランジスタが分離して配置されているが、この第３の実施の形態では、通過する信号配線ＢＳ１、ＢＳ１’を１箇所に集めて、デプレッション型のトランジスタを隣接して配置しているため、このデプレッション型のトランジスタのチャネルを形成するためのイオン注入領域を１箇所に集めることができる。
【００７８】
また同様に、図１３（ｂ）に示した構成では、下側の左右のブロック選択トランジスタ部で、デプレッション型のトランジスタが分離して配置されているが、この第３の実施の形態では、通過する信号配線ＢＳ０、ＢＳ０’を１箇所に集めて、デプレッション型のトランジスタを隣接して配置しているため、このデプレッション型のトランジスタのチャネル

を形成するためのイオン注入領域を１箇所に集めることができる。
【００７９】
これらにより、この第３の実施の形態では、設計ルールが同一のままで、図１３（ｂ）に示した構成と比べて、４個のメモリセルブロックからなるブロックサイズを小さくできることがわかる。
【００８０】
また、図７において、コンタクトＣ１はブロック選択トランジスタ部で必要なコンタクトを表し、コンタクトＣ２は本来、メモリセル部で必要なコンタクトを示す。また、接続点ＡＡはビット線から見て、非選択のメモリセルブロックであっても、容量として見える拡散層を示す。
【００８１】
この第３の実施の形態では、ビット線から見て容量として見える拡散層ＡＡは１個となる。図１３（ｂ）に示した構成では、ビット線から見て容量として見える拡散層ＡＡは２個である。したがって、この第３の実施の形態では、ビット線から見て容量として見える拡散層ＡＡの数を２個から１個へと低減できる。
【００８２】
さらに、ビット線と接続されるコンタクトＣ１の両側には、非選択時にオフしているブロック選択トランジスタが直接接続されるため、非選択のメモリセルブロックに接続される拡散層ＡＡの数が２個から１個へと低減できる。これにより、ビット線／ＢＬ（またはＢＬ）が持つ容量が小さくなり、読み出し時にメモリセルから読み出される読み出し信号を大きくできる。
【００８３】
次に、図７に示した前記強誘電体メモリにおけるブロック選択トランジスタ部分と金属配線からなるブリッジ線部分の断面構造を説明する。
【００８４】
図８（ａ）及び図８（ｂ）は、前記第３の実施の形態の強誘電体メモリにおけるブロック選択トランジスタ部分とデプレッション型トランジスタ部分の構造を示す断面図である。
【００８５】
まず、図８（ａ）は、図７に示した上側のメモリセルブロックＭＣＢ０とＭＣＢ０’との間の断面を示しており、ブロック選択トランジスタＢＴ０、ＢＴ０’部分とデプレッション型トランジスタＤＴ１、ＤＴ１’部分の断面を示している。
【００８６】
図８（ａ）に示すように、半導体基板２１には、拡散層ＡＡ、２２Ａ、２２Ｂ、２２Ｃ、及び２２Ｄが形成されている。拡散層２２Ａと拡散層２２Ｂとの間の半導体基板２１上には、ゲート絶縁膜を介して信号配線（ゲート線）ＢＳ１が形成されている。拡散層２２Ｂと拡散層２２Ｃとの間の半導体基板２１上には、ゲート絶縁膜を介して信号配線（ゲート線）ＢＳ１’が形成されている。拡散層２２Ｃと拡散層ＡＡとの間の半導体基板２１上には、ゲート絶縁膜を介して信号配線（ゲート線）ＢＳ０が形成されている。さらに、拡散層ＡＡと拡散層２２Ｄとの間の半導体基板２１上には、ゲート絶縁膜を介して信号配線（ゲート線）ＢＳ０’が形成されている。
【００８７】
また、拡散層２２Ａ上には、絶縁膜を介してメモリセルブロックＭＣＢ０の一端が形成されている。前記拡散層２２ＡとメモリセルブロックＭＣＢ０の一端との間には、コンタクトＣ２が形成される。また、拡散層２２Ｄ上には、絶縁膜を介してメモリセルブロックＭＣＢ０’の一端が形成されている。前記拡散層２２ＤとメモリセルブロックＭＣＢ０’の一端との間には、コンタクトＣ２が形成されている。
【００８８】
また、前記信号配線上及びメモリセルブロックＭＣＢ０、ＭＣＢ０’の一端上には、絶縁膜を介してビット線／ＢＬが形成されている。そして、拡散層ＡＡとビット線／ＢＬとの間には、コンタクトＣ１が形成されている。

【００８９】
このような構造により、ブロック選択トランジスタＢＴ１、ＢＴ１’の２本の信号配線ＢＳ１、ＢＳ１’はデプレッション型トランジスタＤＴ１、ＤＴ１’のゲート線として形成されている。
【００９０】
次に、下側のブロック選択トランジスタ部分とデプレッション型トランジスタ部分の構造は以下のようになっている。
【００９１】
図８（ｂ）は、図７に示した下側のメモリセルブロックＭＣＢ１とＭＣＢ１’との間の断面を示しており、ブロック選択トランジスタＢＴ１、ＢＴ１’部分とデプレッション型トランジスタＤＴ０、ＤＴ０’部分の断面を示している。
【００９２】
図８（ｂ）に示すように、半導体基板２１には、拡散層ＡＡ、２２Ａ、２２Ｂ、２２Ｃ、及び２２Ｄが形成されている。拡散層２２Ａと拡散層２２Ｂとの間の半導体基板２１上には、ゲート絶縁膜を介して信号配線（ゲート線）ＢＳ０’が形成されている。拡散層２２Ｂと拡散層２２Ｃとの間の半導体基板２１上には、ゲート絶縁膜を介して信号配線（ゲート線）ＢＳ０が形成されている。拡散層２２Ｃと拡散層ＡＡとの間の半導体基板２１上には、ゲート絶縁膜を介して信号配線（ゲート線）ＢＳ１’が形成されている。さらに、拡散層ＡＡと拡散層２２Ｄとの間の半導体基板２１上には、ゲート絶縁膜を介して信号配線（ゲート線）ＢＳ１が形成されている。
【００９３】
また、拡散層２２Ａ上には、絶縁膜を介してメモリセルブロックＭＣＢ１’の一端が形成されている。前記拡散層２２Ａとメモリセルブロック ＭＣＢ１’の一端との間には、コンタクトＣ２が形成される。また、拡散層２２Ｄ上には、絶縁膜を介してメモリセルブロックＭＣＢ１の一端が形成されている。前記拡散層２２Ｄとメモリセルブロック ＭＣＢ１の一端との間には、コンタクトＣ２が形成されている。
【００９４】
また、前記信号配線上及びメモリセルブロックＭＣＢ１、ＭＣＢ１’の一端上には、絶縁膜を介してビット線ＢＬが形成されている。そして、拡散層ＡＡとビット線ＢＬとの間には、コンタクトＣ１が形成されている。
【００９５】
このような構造により、ブロック選択トランジスタＢＴ０、ＢＴ０’の２本の信号配線ＢＳ０、ＢＳ０’はデプレッション型トランジスタＤＴ０、ＤＴ０’のゲート線として形成されている。
【００９６】
次に、図７に示した前記強誘電体メモリにおけるブロック選択トランジスタ部分とデプレッション型トランジスタ部分のレイアウトを説明する。
【００９７】
図９、図１０は、前記第３の実施の形態の強誘電体メモリの構成を示すレイアウト図である。なお、図１０は、図９に示すレイアウトにおいて、一部の配線層を取り出したものである。
【００９８】
図９、図１０に示すように、コンタクトＣ２とコンタクトＣ１との間には、ブロック選択トランジスタＢＴ１、ＢＴ１’の信号配線（ゲート線）ＢＳ１、ＢＳ１’が配置されている。これら信号配線（ゲート線）ＢＳ１、ＢＳ１’下の半導体基板には、デプレッション型のイオン注入領域３１が形成されている。
【００９９】
また、コンタクトＣ１の両側には、ブロック選択トランジスタＢＴ０、ＢＴ０’の信号配線（ゲート線）ＢＳ０、ＢＳ０’が配置されている。
【０１００】

以上前述したように、この第３の実施の形態では、デプレッション型のトランジスタが２つ連続して配置されるため、これらデプレッション型トランジスタのチャネルを形成するためのイオン注入領域が、上側、下側とも、ブロック選択トランジスタ部分全体で１箇所に固められ、細かく分けて形成する必要がない。これにより、図１３（ｂ）に示した構成と比べて、図１に示した金属配線からなるブリッジ線と同様に、設計ルールが同一のままで、４個のメモリセルブロックからなるブロックサイズを小さくできることがわかる。

【０１０１】

また、ビット線と接続されるコンタクトＣ１の両側は非選択時にオフしているブロック選択トランジスタが直接接続されるため、非選択のメモリセルブロックに接続される拡散層ＡＡの数が２個から１個へと低減できる。これにより、ビット線／ＢＬ（またはＢＬ）が持つ容量が小さくなり、読み出し時にメモリセルから読み出される読み出し信号を大きくできる。

【０１０２】

さらに、デプレッション型トランジスタのゲート容量も、オフしているブロック選択トランジスタを介しているため、ビット線／ＢＬ（またはＢＬ）から見たとき見えなくなる。このため、ビット線が持つ容量が小さくなり、読み出し時にメモリセルから読み出される読み出し信号を大きくできる。

【０１０３】

また、デプレッション型トランジスタは、オフしているブロック選択トランジスタを介してビット線に接続されているため、このデプレッション型トランジスタのゲートの電位が変動しても、リファレンス側のビット線の電位は変動せず、ビット線対の信号にアンバランスが発生することはない。

【０１０４】

以上説明したようにこの第３の実施の形態では、メモリセルブロック間において、メモリセルブロック間を通過するブロック選択トランジスタの信号配線（ゲート線）ＢＳ１、ＢＳ１’（またはＢＳ０、ＢＳ０’）を隣接して配置し、２個のデプレッション型トランジスタのゲート線が前記２つの信号配線となるように構成することにより、メモリセルブロック間に必要なブロック選択トランジスタ及びその信号配線を形成するための領域を縮小することができる。さらに、ビット線に形成される容量を低減することができる。

【０１０５】

また、前述した各実施の形態はそれぞれ、単独で実施できるばかりでなく、適宜組み合わせて実施することも可能である。

【０１０６】

さらに、前述した各実施の形態には種々の段階の発明が含まれており、各実施の形態において開示した複数の構成要件の適宜な組み合わせにより、種々の段階の発明を抽出することも可能である。

【０１０７】

【発明の効果】

以上述べたようにこの発明によれば、メモリセルブロックサイズを小さくでき、さらにビット線容量を削減して、読み出し信号を増大できる強誘電体メモリを提供することが可能である。

【図面の簡単な説明】

【図１】この発明の第１の実施の形態の強誘電体メモリの構成を示す回路図である。

【図２】前記第１の実施の形態の強誘電体メモリにおけるブロック選択トランジスタ部分とブリッジ線部分の構造を示す断面図である。

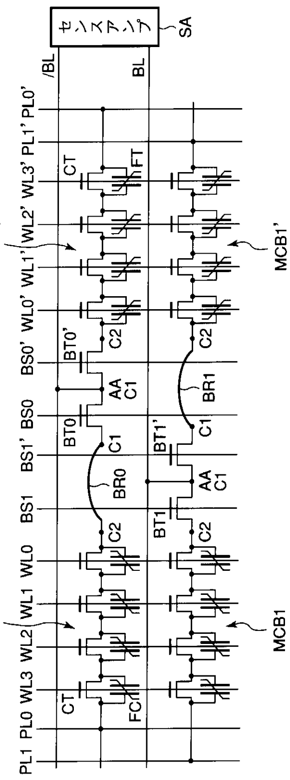
【図３】前記第１の実施の形態の強誘電体メモリの構成を示すレイアウト図である。

【図４】この発明の第２の実施の形態の強誘電体メモリの構成を示す第１のレイアウト図である。

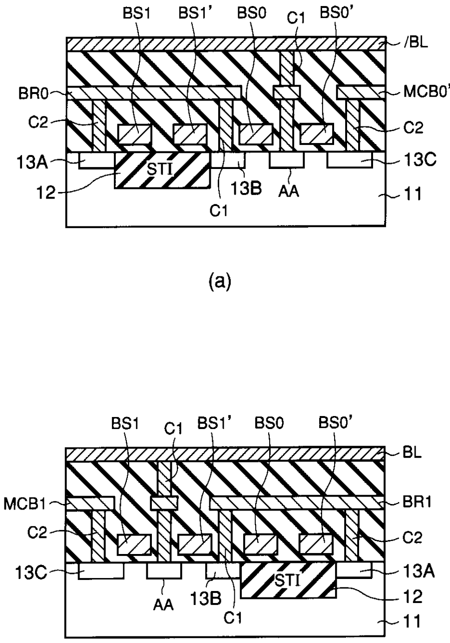
【図５】前記第２の実施の形態の強誘電体メモリの構成を示す第２のレイアウト図である。

【図６】前記第２の実施の形態の強誘電体メモリの構成を示す第３のレイアウト図である。
【図７】この発明の第３の実施の形態の強誘電体メモリの構成を示す回路図である。
【図８】前記第３の実施の形態の強誘電体メモリにおけるブロック選択トランジスタ部分とデプレッション型トランジスタ部分の構造を示す断面図である。
【図９】前記第３の実施の形態の強誘電体メモリの構成を示す第１のレイアウト図である。
【図１０】前記第３の実施の形態の強誘電体メモリの構成を示す第２のレイアウト図である。
【図１１】（ａ）は従来の第１の強誘電体メモリにおけるメモリセルアレイの構成を示す回路図であり、（ｂ）は前記メモリセルアレイの１部の断面図であり、（ｃ）は従来の第２の強誘電体メモリにおけるメモリセルブロックの構成を示す回路図であり、（ｄ）は前記メモリセルブロックの断面図である。
【図１２】前記従来の第２の強誘電体メモリのメモリセルブロックにおける動作を示す図である。
【図１３】従来の第３の強誘電体メモリにおけるメモリセルアレイの構成を示す回路図である。
【符号の説明】
ＡＡ…拡散層
ＢＲ０、ＢＲ１…ブリッジ線
ＢＳ０、ＢＳ０’、ＢＳ１、ＢＳ１’…信号配線（ゲート線）
ＢＴ０、ＢＴ０’、ＢＴ１、ＢＴ１’…ブロック選択トランジスタ
／ＢＬ、ＢＬ…ビット線
Ｃ１、Ｃ２…コンタクト
ＣＴ…セルトランジスタ
ＤＴ０、ＤＴ０’、ＤＴ１、ＤＴ１’…デプレッション型のトランジスタ
ＦＣ…強誘電体キャパシタ
ＭＣＢ０、ＭＣＢ０’、ＭＣＢ１、ＭＣＢ１’…メモリセルブロック
ＳＡ…センスアンプ
ＰＬ０…プレート線
１１、２１…半導体基板
１２…素子分離絶縁膜
１３Ａ、１３Ｂ、１３Ｃ…拡散層
２２Ａ、２２Ｂ、２２Ｃ、２２Ｄ…拡散層
３１…デプレッション型のイオン注入領域

【図１】



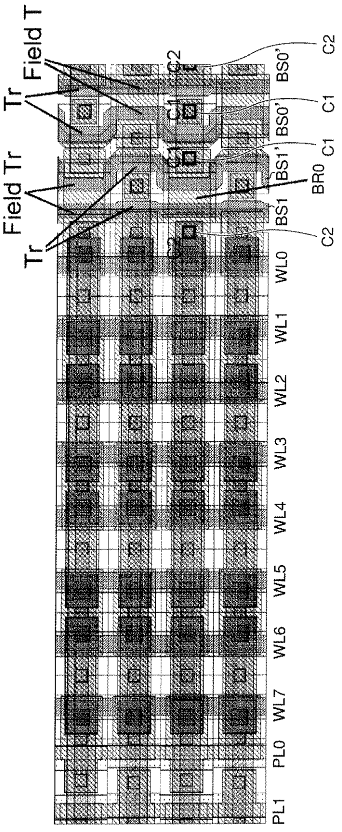
【図２】


BS1
BS1'
BS0
C1
BS0'
/BL
BR0
MCB0'
C2
STI
13A
13C
12
13B
AA
11
C1
BL
MCB1
BR1
AA

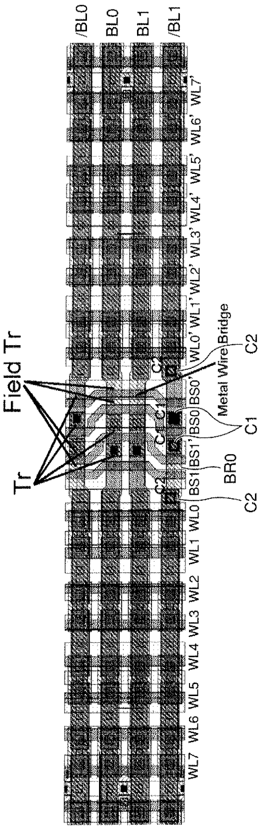
(a)

(b)

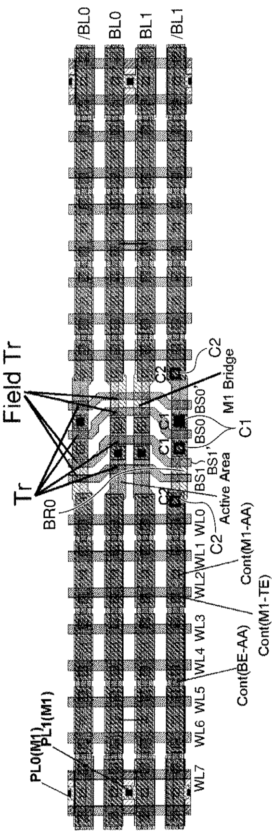
【図３】



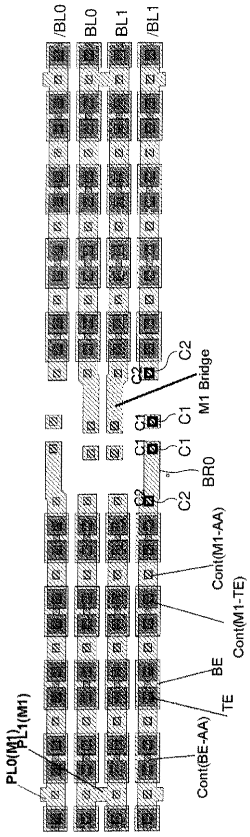
【図４】



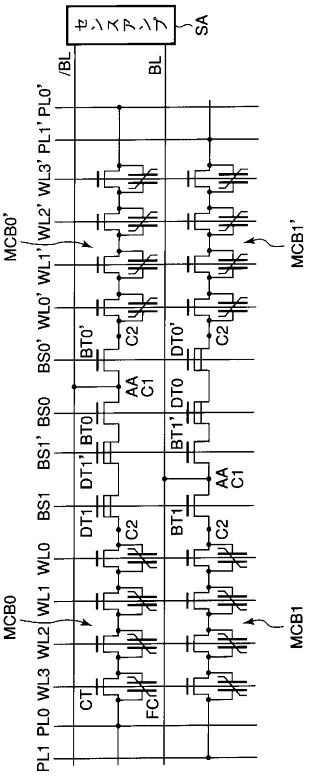
【図５】


/BL0
BL0
BL1
/BL1
Field Tr
Tr
C2
M1 Bridge
BS0'
BS0
C1
BS1
BS1'
Active Area
BR0
WL0
WL1
WL2
WL3
WL4
WL5
WL6
WL7
Cont(M1-AA)
Cont(M1-TE)
Cont(BE-AA)
PL0(M1)
PL1(M1)

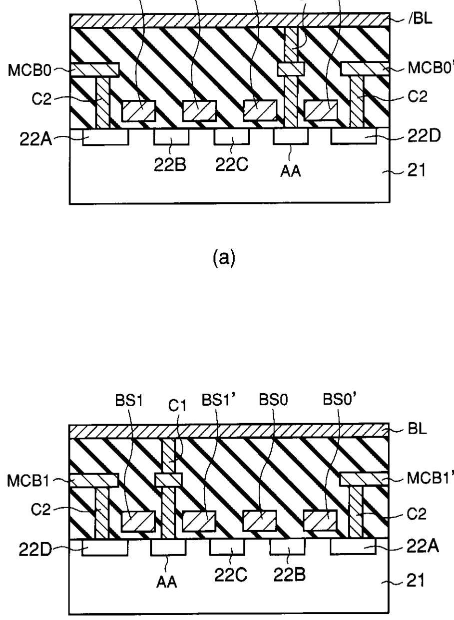
【図６】


/BL0
BL0
BL1
/BL1
C2
M1 Bridge
C1
BR0
Cont(M1-AA)
Cont(M1-TE)
BE
TE
Cont(BE-AA)
PL0(M1)
PL1(M1)

【図７】


センスアンプ
SA
/BL
BL
PL1' PL0'
WL3' WL2' WL1' WL0'
BS0' BS0 BS1' BS1
WL0 WL1 WL2 WL3
PL0 PL1
MCB0'
MCB1'
MCB0
MCB1
BT0'
DT0'
DT0
BT0
BT1'
DT1'
DT1
BT1
AA
C1
C2
CT
FC

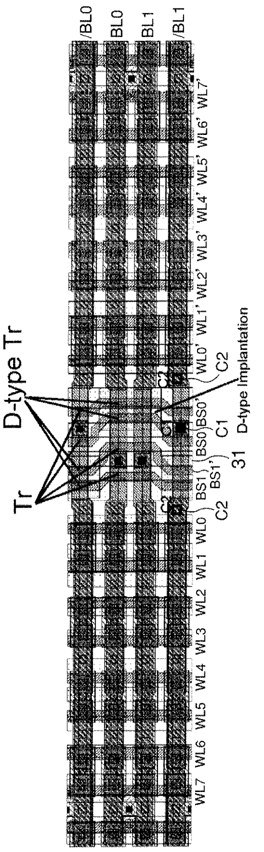
【図８】


BS1
BS1'
BS0
C1
BS0'
/BL
MCB0
MCB0'
C2
22A
22B
22C
AA
22D
21
BL
MCB1
MCB1'

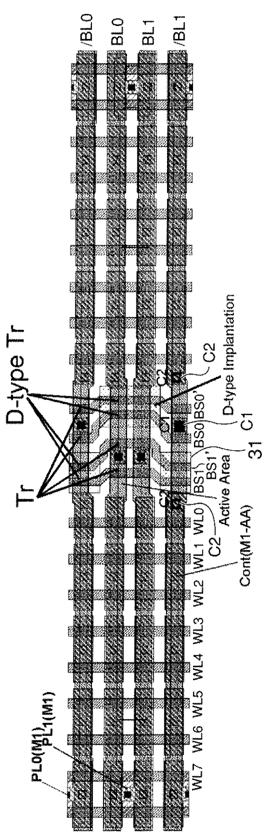
(a)

(b)

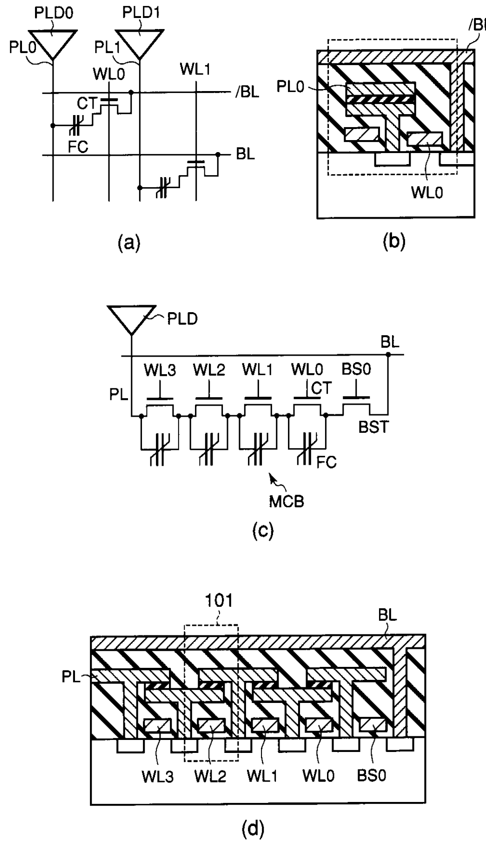
【図９】



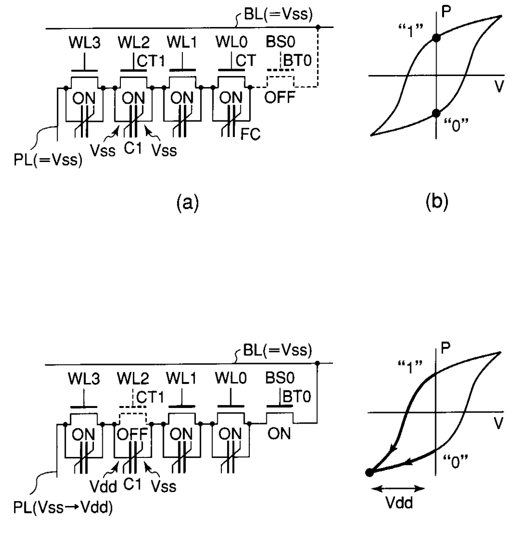
【図１０】



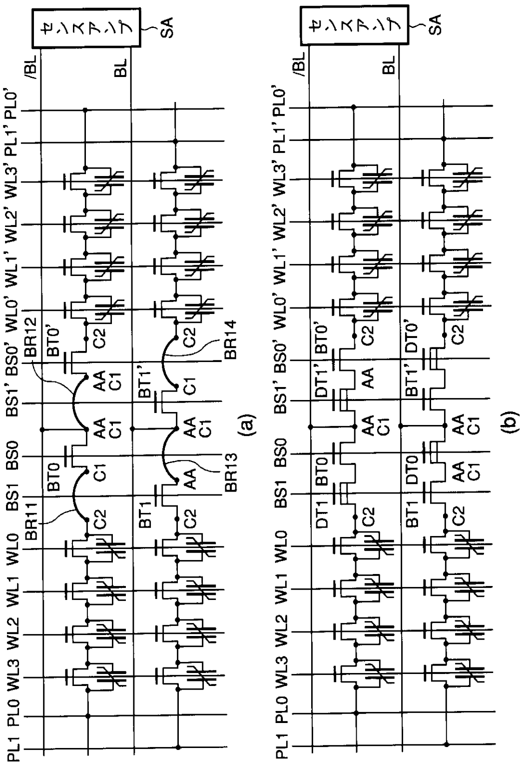
【図１１】



【図１２】



【図１３】



センスアンプ
SA
/BL
BL
PL1
PL0
WL3
WL2
WL1
WL0
BS1
BS0
BS1'
BS0'
WL0'
WL1'
WL2'
WL3'
PL1'
PL0'
BT0
BT1
BT0'
BT1'
DT0
DT1
DT0'
DT1'
BR11
BR12
BR13
BR14
AA
C1
C2
(a)
(b)

フロントページの続き

(72)発明者　高島　大三郎
神奈川県川崎市幸区小向東芝町１番地　株式会社東芝マイクロエレクトロニクスセンター内

審査官　河合　俊英

(56)参考文献　特開２００２－０２５２４７（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
H01L　21/8246
G11C　11/22
H01L　27/105