

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2024年12月5日(05.12.2024)



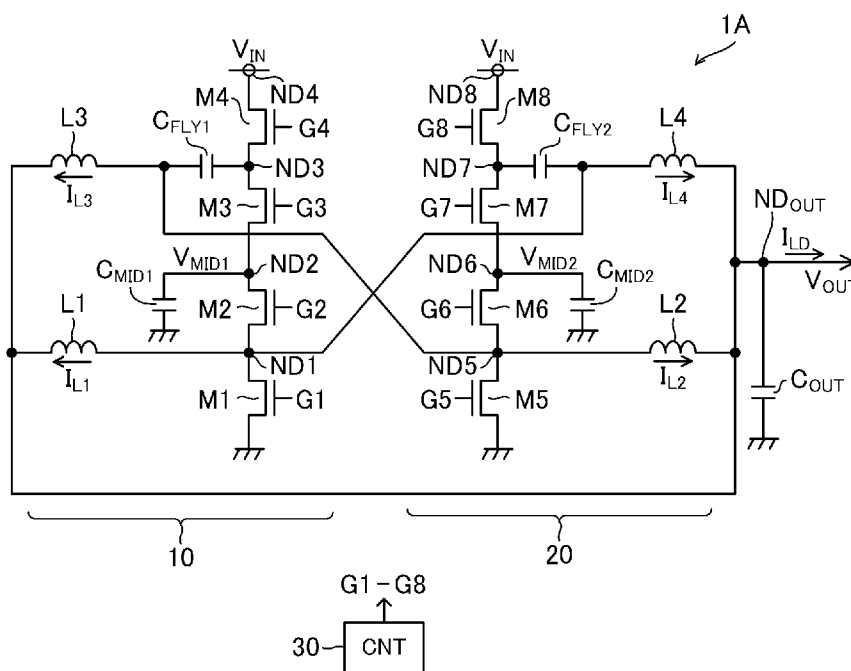
(10) 国際公開番号

WO 2024/247503 A1

- (51) 国際特許分類:
H02M 3/155 (2006.01)
- (21) 国際出願番号: PCT/JP2024/014540
- (22) 国際出願日: 2024年4月10日(10.04.2024)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2023-089912 2023年5月31日(31.05.2023) JP
- (71) 出願人: ローム株式会社 (ROHM CO., LTD.)
[JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町2-1番地 Kyoto (JP).
- (72) 発明者: 和智 貴嗣 (WACHI Takatsugu);
〒6158585 京都府京都市右京区西院溝崎町2-1番地 ローム株式会社内 Kyoto (JP).
- (74) 代理人: 弁理士法人 佐野特許事務所 (SANO PATENT OFFICE); 〒5400032 大阪府大阪府中央区天満橋京町2-6天満橋八千代ビル別館5F Osaka (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU,

(54) Title: POWER SUPPLY DEVICE AND POWER SUPPLY SYSTEM

(54) 発明の名称: 電源装置及び電源システム



(57) Abstract: First to fourth switching elements are connected in series, and fifth to eighth switching elements are connected in series, to a node that receives an input voltage from a reference node. A first inductor is provided between an output node and a connection node between the first and second switching elements, and a second inductor is provided between the output node and a connection node between the fifth and sixth switching elements. An output capacitor is provided between the output node and the reference node. An intermediate capacitor is connected to a connection node between the second and third switching elements and a connection node between the sixth and seventh switching elements.



WO 2024/247503 A1

LY, MA, MD, MG, MK, MN, MU, MW, MX, MY,
MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL,
PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK,
SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

- 一 国際調査報告 (条約第21条(3))

The output node is caused to generate an output voltage through state control of each switching element.

- (57) 要約：基準ノードから入力電圧を受けるノードに向けて、第1～第4スイッチング素子を直列接続し、第5～第8スイッチング素子を直列接続する。第1及び第2スイッチング素子間の接続ノードと出力ノードとの間に第1インダクタを設け、第5及び第6スイッチング素子間の接続ノードと出力ノードとの間に第2インダクタを設ける。出力ノード及び基準ノード間に出力キャパシタを設ける。第2及び第3スイッチング素子間の接続ノード及び第6及び第7スイッチング素子間の接続ノードに対して中間キャパシタを接続する。各スイッチング素子の状態制御を通じて出力電圧を出力ノードに発生させる。

明 細 書

発明の名称：電源装置及び電源システム

技術分野

[0001] 本開示は、電源装置及び電源システムに関する。

背景技術

[0002] スイッチング素子を用いて構成される電源装置の一種として、マルチフェーズコンバータがある。マルチフェーズコンバータにより、高い出力電力量及び低出力リップルを得ることが可能である。

先行技術文献

特許文献

[0003] 特許文献1：特開2022-6829号公報

発明の概要

発明が解決しようとする課題

[0004] マルチフェーズ動作が可能な、これまでの電源装置及び電源システムには、改善の余地がある。

[0005] 本開示は、マルチフェーズ動作を実行し得る良好な電源装置及び電源システムを提供することを目的とする。

課題を解決するための手段

[0006] 本開示に係る電源装置は、基準ノードと第1ノードとの間に設けられた第1スイッチング素子と、前記第1ノードと第2ノードとの間に設けられた第2スイッチング素子と、前記第2ノードと第3ノードとの間に設けられた第3スイッチング素子と、前記第3ノードと第4ノードとの間に設けられた第4スイッチング素子と、前記基準ノードと第5ノードとの間に設けられた第5スイッチング素子と、前記第5ノードと第6ノードとの間に設けられた第6スイッチング素子と、前記第6ノードと第7ノードとの間に設けられた第7スイッチング素子と、前記第7ノードと第8ノードとの間に設けられた第8スイッチング素子と、前記第3ノードと前記第5ノードとの間に設けられ

た第1 フライイングキャパシタと、前記第7 ノードと前記第1 ノードとの間に設けられた第2 フライイングキャパシタと、前記第1 ノードと出力ノードとの間に設けられた第1 インダクタと、前記第5 ノードと前記出力ノードとの間に設けられた第2 インダクタと、前記出力ノードと前記基準ノードとの間に設けられた出力キャパシタと、制御回路と、を備え、且つ、前記第2 ノード及び前記第6 ノードと前記基準ノードとの間に1 以上の中間キャパシタを備えるか、又は、前記第2 ノード及び前記第6 ノード間に単一の中間キャパシタを備え、前記第4 ノード及び前記第8 ノードには前記基準ノードでの電圧よりも高い入力電圧が供給され、前記制御回路は、前記第1 スwitchング素子～前記第8 スwitchング素子の状態を制御することを通じ、前記入力電圧よりも低い出力電圧を前記出力ノードに発生させる。

発明の効果

[0007] 本開示によれば、マルチフェーズ動作を実行し得る良好な電源装置及び電源システムを提供することが可能となる。

図面の簡単な説明

[0008] [図1]図1 は、参考実施形態に係る電源装置の構成図である。

[図2]図2 は、図1 の電源装置の動作説明図である。

[図3]図3 は、参考実施形態に係る電源装置の構成図である。

[図4]図4 は、図3 の電源装置の動作説明図である（状態s t 1）。

[図5]図5 は、図3 の電源装置の動作説明図である（状態s t 2）。

[図6]図6 は、図3 の電源装置の動作説明図である（状態s t 3）。

[図7]図7 は、図3 の電源装置の動作説明図である（状態s t 4）。

[図8]図8 は、本開示の第1 実施形態に係る電源装置の構成図である。

[図9]図9 は、本開示の第1 実施形態に係り、電源装置の動作説明図である（モードMD 1）。

[図10]図10 は、本開示の第1 実施形態に係り、電源装置の動作説明図である（モードMD 2）。

[図11]図11 は、本開示の第1 実施形態に係り、電源装置の動作説明図であ

る（モードMD3）。

[図12]図12は、本開示の第1実施形態に係り、電源装置の動作説明図である（モードMD4）。

[図13]図13は、本開示の第1実施形態に係り、制御回路の内部構成図である。

[図14]図14は、本開示の第1実施形態に係り、電源装置のタイミングチャートである。

[図15]図15は、本開示の第2実施形態に係る電源装置の構成図である。

[図16]図16は、本開示の第3実施形態に係る電源装置の構成図である。

[図17]図17は、本開示の第4実施形態に係る電源装置の構成図である。

[図18]図18は、本開示の第4実施形態に係る他の電源装置の構成図である。

[図19]図19は、本開示の第4実施形態に係る更に他の電源装置の構成図である。

[図20]図20は、本開示の第5実施形態に係る電源システムの構成図である。

[図21]図21は、本開示の第5実施形態に係り、電源システムにおける複数のクロック信号の関係図である。

[図22]図22は、本開示の第5実施形態に係り、マルチフェーズコンバータの構成方法の説明図である。

[図23]図23は、本開示の第5実施形態に係り、マルチフェーズコンバータの構成方法の説明図である。

[図24]図24は、本開示の第5実施形態に係り、マルチフェーズコンバータの構成方法の説明図である。

発明を実施するための形態

[0009] 以下、本開示の実施形態の例を、図面を参照して具体的に説明する。参照される各図において、同一の部分には同一の符号を付し、同一の部分に関する重複する説明を原則として省略する。尚、本明細書では、記述の簡略化上

、情報、信号、物理量、機能部、回路、素子又は部品等を参照する記号又は符号を記すことによって、該記号又は符号に対応する情報、信号、物理量、機能部、回路、素子又は部品等の名称を省略又は略記することがある。

[0010] まず、本開示の実施形態の記述にて用いられる幾つかの用語について説明を設ける。グラウンドとは、0 V（ゼロボルト）の基準電位を有する基準導電部を指す又は0 Vの基準電位そのものを指す。或る部品、電極又はノードがグラウンドに接続されるとは、0 Vの基準電位を有する基準ノードに対して当該部品、電極又はノードが接続されることを意味する。基準ノードとグラウンドとを互いに読み替え可能である。

[0011] レベルとは電位のレベルを指し、任意の注目した信号又は電圧についてハイレベルはローレベルよりも高い電位を有する。任意の注目した信号又は電圧について、信号又は電圧がハイレベルにあるとは厳密には信号又は電圧のレベルがハイレベルにあることを意味し、信号又は電圧がローレベルにあるとは厳密には信号又は電圧のレベルがローレベルにあることを意味する。任意の注目した信号又は電圧において、ローレベルからハイレベルへの切り替わりをライズエッジと称し、ハイレベルからローレベルへの切り替わりをフォールエッジと称する。

[0012] 任意のスイッチング素子をトランジスタにて構成することができる。MOSFETを含むFET（電界効果トランジスタ）として構成された任意のトランジスタについて、オン状態とは、当該トランジスタのドレイン及びソース間が導通している状態を指し、オフ状態とは、当該トランジスタのドレイン及びソース間が非導通となっている状態（遮断状態）を指す。FETに分類されないトランジスタについても同様である。MOSFETは、特に記述無き限り、エンハンスメント型のMOSFETであると解される。MOSFETは“metal-oxide-semiconductor field-effect transistor”の略称である。また、特に記述なき限り、任意のMOSFETにおいて、バックゲートはソースに短絡されていると考える良い。

[0013] 以下、任意のスイッチング素子について、オン状態、オフ状態を、単に、

オン、オフと表現することもある。任意のスイッチング素子について、オフ状態からオン状態への切り替わりをターンオンと表現し、オン状態からオフ状態への切り替わりをターンオフと表現する。また、任意のスイッチング素子について、スイッチング素子がオン状態とされる期間をオン期間と称し、スイッチング素子がオフ状態とされる期間をオフ期間と称する。

[0014] ハイレベル又はローレベルの信号レベルをとる任意の信号について、当該信号のレベルがハイレベルとなる期間をハイレベル期間と称し、当該信号のレベルがローレベルとなる期間をローレベル期間と称する。ハイレベル又はローレベルの電圧レベルをとる任意の電圧についても同様である。

[0015] 任意の回路素子、配線、ノードなど、回路を形成する複数の部位間についての接続とは、特に記述なき限り、電気的な接続を指すと解して良い。

[0016] 対比されるべき任意の2つの電圧が電圧 v_1 及び v_2 であるとした場合、“ $v_1 > v_2$ ”は電圧 v_1 が電圧 v_2 よりも高いことを表し、“ $v_1 < v_2$ ”は電圧 v_1 が電圧 v_2 よりも低いことを表す。電圧以外の物理量を含む他の式についても同様である。

[0017] <<参考実施形態>>

参考実施形態について説明する。図1に参考実施形態に係る電源装置910の回路図を示す。電源装置910は、4つのスイッチング素子 $m_1 \sim m_4$ と、キャパシタ C_{fly} 及び C_{mid} と、インダクタ L_a と、出力キャパシタ C_{out} と、備える。

[0018] 電源装置910は入力電圧 V_{in} を降圧することで出力電圧 V_{out} を生成するバックコンバータである。スイッチング素子 $m_1 \sim m_4$ は互いに直列接続される。正の入力電圧 V_{in} の印加端からグランドに向けて、スイッチング素子 m_4 、 m_3 、 m_2 、 m_1 の順番で配列される。スイッチング素子 m_2 及び m_3 間の接続ノードとグランドとの間にキャパシタ C_{mid} が設けられる。スイッチング素子 m_1 及び m_2 間の接続ノードとスイッチング素子 m_2 及び m_3 間の接続ノードとの間にキャパシタ C_{fly} が設けられる。キャパシタ C_{mid} は中間キャパシタとして機能し、キャパシタ C_{fly} はフラ

イングキャパシタとして機能する。スイッチング素子 m_1 及び m_2 間の接続ノードと出力ノード N_{Dout} との間にインダクタ L_a が設けられる。キャパシタ C_{out} は出力キャパシタとして機能する。キャパシタ C_{out} の正極は出力ノード N_{Dout} に接続され、キャパシタ C_{out} の負極はグラウンドに接続される。出力ノード N_{Dout} に出力電圧 V_{out} が発生する。

[0019] 電源装置910における図示されない制御回路は、出力電圧 V_{out} の情報及びインダクタ L_a の電流情報に基づき、図2に示す如く、スイッチング素子 m_1 及び m_3 の組とスイッチング素子 m_2 及び m_4 の組とが交互にオン、オフされるようスイッチング素子 m_1 ～ m_4 をスイッチングさせる。このスイッチングによりキャパシタ C_{fly} 及び C_{mid} が交互に直列又は並列接続される。つまり、スイッチング素子 m_1 ～ m_4 並びにキャパシタ C_{fly} 及び C_{mid} によりスイッチドキャパシタ回路が構成され、結果、定常状態においてキャパシタ C_{mid} の正極の電圧 V_{mid} は略電圧($V_{in}/2$)となる。キャパシタ C_{mid} の正極はスイッチング素子 m_2 及び m_3 間の接続ノードに接続される。一方、スイッチング素子 m_1 及び m_2 、インダクタ L_a 及びキャパシタ C_{out} により同期式のバックコンバータが構成される。当該同期式のバックコンバータは電圧 V_{mid} を降圧することで出力電圧 V_{out} を生成する。

[0020] スwitching素子 m_2 及び m_4 のオン期間にて電流921及び922が発生する。電流921は入力電圧 V_{in} の印加端からスイッチング素子 m_4 を通じキャパシタ C_{fly} へと向かう電流であり、キャパシタ C_{fly} の充電に寄与する。電流922は、キャパシタ C_{mid} からスイッチング素子 m_2 及びインダクタ L_a を通じ出力ノード N_{Dout} に向かう電流であり、キャパシタ C_{mid} の放電により発生する。

[0021] スwitching素子 m_1 及び m_3 のオン期間にて電流923及び924が発生する。電流923はキャパシタ C_{fly} からスイッチング素子 m_3 を通じキャパシタ C_{mid} の正極に向かう電流である。電流923はキャパシタ C_{fly} の放電により発生し、キャパシタ C_{mid} の充電に寄与する。電流9

24はグラウンドからスイッチング素子 $m1$ 及びインダクタ L_a を介して出力ノード N_{Dout} に向かう。

[0022] 電源装置910を、スイッチドキャパシタ回路及び同期式のバックコンバータを融合したハイブリッド型バックコンバータと称することができる。スイッチドキャパシタ回路により入力電圧 V_{in} を半分にまで低減し、得られた電圧 V_{mid} を同期式のバックコンバータにて更に降圧するという方法を採用することで、高い効率を得ることができる。

[0023] 例えば、48Vの入力電圧 V_{in} から12Vの出力電圧 V_{out} を生成するケースを考える。基準方法として、単純な同期式のバックコンバータにて48Vを直接12Vに降圧する方法がある。基準方法では、48Vの入力電圧 V_{in} のスイッチングにより矩形波電圧（概ね0V及び48V間で変動する矩形波電圧）を生成し、矩形波電圧を整流及び平滑化することで12Vの出力電圧を得る。これに対し、電源装置910では、電圧（ $V_{in}/2$ ）のスイッチングにより矩形波電圧（概ね0V及び24V間で変動する矩形波電圧）を生成し、矩形波電圧を整流及び平滑化することで12Vの出力電圧を得る。このため、基準方法に係る電源装置と比べて、電源装置910ではスイッチング損失を低く抑えることができる。

[0024] スwitching損失の低下の要因は複数の要因を含むが、以下に幾つか例示する。基準方法ではスイッチングのデューティが比較的小さくなる。スイッチングのデューティが比較的小さいとき、矩形波電圧において瞬時値が上昇する期間の損失及び低下する期間の損失の影響が比較的大きくなる。これに対し、電源装置910を用いれば、同期式のバックコンバータへの入力電圧が電圧（ $V_{in}/2$ ）となるため、基準方法と比べてスイッチングのデューティが比較的大きくなり、スイッチング損失の改善につながる。また、スイッチングの過程では各種の寄生容量への充放電が発生するが、電源装置910では、同期式のバックコンバータへの入力電圧が電圧（ $V_{in}/2$ ）とされる分、基準方法と比べて寄生容量への充放電に伴う損失を比較的低く抑えることができる。

- [0025] 電源装置910を元に、図3に示される電源装置930を構成することができる。電源装置930はマルチフェーズコンバータの一種である。図1の電源装置910に対してスイッチング素子 $m5$ 及びインダクタ Lb を追加することで電源装置930が構成される。但し、この追加に伴い、電源装置930では、キャパシタ $Cfly$ の第1端はスイッチング素子 $m3$ 及び $m4$ 間の接続ノードに接続され、キャパシタ $Cfly$ の第2端はスイッチング素子 $m5$ の第1端及びインダクタ Lb の第1端に接続される。スイッチング素子 $m5$ の第2端はグラウンドに接続される。インダクタ Lb の第2端はインダクタ La と共に出力ノード $NDout$ に接続される。出力ノード $NDout$ に出力電圧 $Vout$ が発生する。
- [0026] 電源装置930はバックコンバータ931とスタックドコンバータ (stacked converter) 932とを有する。バックコンバータ931は、スイッチング素子 $m1$ 及び $m2$ 、インダクタ La 、キャパシタ $Cout$ を備え、電圧 $Vmid$ を降圧することで所望の出力電圧を生成する。スイッチング素子 $m1$ 、 $m2$ は、バックコンバータ931におけるローサイドスイッチング素子、ハイサイドスイッチング素子として機能する。
- [0027] スタックドコンバータ932は、スイッチング素子 $m3$ ～ $m5$ 、キャパシタ $Cfly$ 及びインダクタ Lb を備え、入力電圧 Vin から電圧 $Vmid$ を生成する。キャパシタ $Cmid$ もスタックドコンバータ932の構成要素に含まれると解して良い。また、スタックドコンバータ932はマルチフェーズコンバータにおける1フェーズ分のコンバータとしても機能する。スイッチング素子 $m3$ は、キャパシタ $Cmid$ を充電するための制御用スイッチング素子として機能する。スイッチング素子 $m4$ は、電圧 $Vmid$ を生成するためのスイッチング素子として機能すると共に、マルチフェーズ用のハイサイドスイッチング素子としても機能する。スイッチング素子 $m5$ は、マルチフェーズ用のローサイドスイッチング素子として機能する。
- [0028] 電源装置930における図示されない制御回路は、出力電圧 $Vout$ の情報及びインダクタ La の電流情報に基づきスイッチング素子 $m1$ ～ $m5$ のス

スイッチング制御を行う。当該スイッチング制御により、スイッチング素子 $m_1 \sim m_5$ の状態は、図4～図7に示す状態 $st_1 \sim st_4$ 間で切り替えられる。図4～図7では、各状態にて発生する電流の流れが複数の矢印付き折れ線にて示されている。尚、ここでは、電流連続モードにて電源装置930が動作しているものとする。

[0029] 図4に示す如く状態 st_1 において、スイッチング素子 m_1 及び m_4 はオン状態であり、スイッチング素子 m_2 、 m_3 及び m_5 はオフ状態である。状態 st_1 において電流941及び942が発生する。電流941は入力電圧 V_{in} の印加端からスイッチング素子 m_4 、キャパシタ C_{fly} 及びインダクタ L_b を通じて出力ノード N_{out} へと向かう電流である。電流941はキャパシタ C_{fly} への充電電流に相当し、電流941によりキャパシタ C_{fly} が充電される。電流942は図2の電流924と同等のものであり、グラウンドからスイッチング素子 m_1 及びインダクタ L_a を介して出力ノード N_{out} に向かう。状態 st_1 においてキャパシタ C_{mid} に対する充電は生じず、キャパシタ C_{mid} の蓄積電荷は不変に保持される。

[0030] 図5に示す如く状態 st_2 において、スイッチング素子 m_2 及び m_4 はオン状態であり、スイッチング素子 m_1 、 m_3 及び m_5 はオフ状態である。状態 st_2 において上記電流941と共に電流943が発生する。電流943は図2の電流922と同等のものである。即ち電流943は、キャパシタ C_{mid} からスイッチング素子 m_2 及びインダクタ L_a を通じ出力ノード N_{out} に向かう電流であり、キャパシタ C_{mid} の放電により発生する。

[0031] 図6に示す如く状態 st_3 において、スイッチング素子 m_2 、 m_3 及び m_5 はオン状態であり、スイッチング素子 m_1 及び m_4 はオフ状態である。状態 st_3 において上記電流943と共に電流944及び945が発生する。電流944は図2の電流923に対応する。電流944はグラウンドからスイッチング素子 m_5 、キャパシタ C_{fly} 及びスイッチング素子 m_3 を通じてキャパシタ C_{mid} の正極に向かい、キャパシタ C_{mid} を通じてグラウンドに戻る。電流944によりキャパシタ C_{fly} が放電される一方でキャパシ

タC m i dが充電される。電流945はグラウンドからスイッチング素子m5及びインダクタL bを通じ出力ノードN D o u tに向かう。

[0032] 図7に示す如く状態s t 4において、スイッチング素子m1、m3及びm5はオン状態であり、スイッチング素子m2及びm4はオフ状態である。状態s t 4において上記電流942、944及び945が発生する。

[0033] 状態s t 1において電流941及び942の大きさは同程度である。また状態s t 2において電流941及び943の大きさは同程度である。そして状態s t 2ではスイッチング素子m2及びm4がオンであることから、キャパシタC f l y及びC m i dにとって、状態s t 2はキャパシタC f l y及びC m i dが直列接続された状態と等価である。また状態s t 3及びs t 4ではスイッチング素子m3及びm5を通じてキャパシタC f l y及びC m i dが並列接続される。結果、電源装置910と類似して、電源装置930においてもスイッチング素子m1～m5並びにキャパシタC f l y及びC m i dによりスイッチドキャパシタ回路が形成される。このため、定常状態においてキャパシタC m i dの正極の電圧V m i dは略電圧($V_{in}/2$)となる。

[0034] バックコンバータ931による出力ノードN D o u tへの出力電流(942、943)、及び、スタックドコンバータ932による出力ノードN D o u tへの出力電流(941、945)は脈流であって、前者の出力電流と後者の出力電流は互いに異なる位相を有する。即ち、電源装置930はマルチフェーズコンバータ(マルチフェーズ方式のD C / D Cコンバータ)であり、フェーズ数は2である。

[0035] <<第1実施形態>>

図8に本開示の第1実施形態に係る電源装置1Aの構成を示す。電源装置1Aは、図3の電源装置930を2つ設けたかのような構成を備える。

[0036] 電源装置1Aは、図示されない電圧源から正の入力電圧 V_{IN} の供給を受け、入力電圧 V_{IN} を降圧することで正の出力電圧 V_{OUT} を生成する。出力電圧 V_{OUT} は入力電圧 V_{IN} よりも低い。電源装置1Aは出力電圧 V_{OUT} を所定の目標

電圧にて安定化させる。即ち、定常状態において出力電圧 V_{OUT} は目標電圧と実質的に一致する。以下、目標電圧を記号 “ V_{TG} ” にて参照する。電源装置 1 A において中間電圧 V_{MID1} 及び V_{MID2} が生成され、出力電圧 V_{OUT} は中間電圧 V_{MID1} 及び V_{MID2} よりも低い。また定常状態において、中間電圧 V_{MID1} 及び V_{MID2} は実質的に入力電圧 V_{IN} の $1/2$ となる。故に “ $V_{IN} > 2 \times V_{OUT}$ ” が成立する。“ $V_{IN} > 2 \times V_{OUT}$ ” が成立する限り、入力電圧 V_{IN} 及び出力電圧 V_{OUT} の値は任意である。換言すれば、“ $V_{IN} > 2 \times V_{TG}$ ” が成立する限り、入力電圧 V_{IN} 及び目標電圧 V_{TG} の値は任意である。例えば、入力電圧 V_{IN} は 48 V であり、目標電圧 V_{TG} (即ち定常状態における出力電圧 V_{OUT}) は 12 V 又は 5 V である。

[0037] 尚、電源装置 1 A に関し、定常状態とは、電源装置 1 A の起動に伴い出力電圧 V_{OUT} が 0 V から上昇して目標電圧 V_{TG} に達した後、出力電圧 V_{OUT} が目標電圧 V_{TG} にて安定化されている状態を指す。

[0038] 電源装置 1 A は、コンバータ 10 及びコンバータ 20 並びに制御回路 30 を備える。コンバータ 10 及びコンバータ 20 の構成要素として、電源装置 1 A は、スイッチング素子 M1 ~ M8 と、キャパシタ C_{FLY1} 、 C_{FLY2} 、 C_{MID1} 、 C_{MID2} 及び C_{OUT} と、インダクタ L1 ~ L4 を備える。キャパシタ C_{FLY1} 及び C_{FLY2} をフライングキャパシタと称することができる。キャパシタ C_{MID1} 及び C_{MID2} を中間キャパシタと称することができる。キャパシタ C_{OUT} を出力キャパシタと称することができる。

[0039] コンバータ 10 は第 1 チャネルのコンバータである。コンバータ 10 の構成要素には、スイッチング素子 M1 ~ M4 と、キャパシタ C_{FLY1} 及び C_{MID1} と、インダクタ L1 及び L3 が含まれる。コンバータ 20 は第 2 チャネルのコンバータである。コンバータ 20 の構成要素には、スイッチング素子 M5 ~ M8 と、キャパシタ C_{FLY2} 及び C_{MID2} と、インダクタ L2 及び L4 が含まれる。キャパシタ C_{OUT} はコンバータ 10 及び 20 に兼用される。即ちキャパシタ C_{OUT} はコンバータ 10 及び 20 の夫々の構成要素であって、コンバータ 10 及び 20 にて共用される。

- [0040] キャパシタ C_{OUT} 以外にも、電源装置1Aにおける幾つかの部品はコンバータ10及び20にて兼用される（換言すれば共有される）。これについて以下詳説する。
- [0041] コンバータ10は第1チャンネルのバックコンバータと第1チャンネルのスタックドコンバータとを有する。第1チャンネルのバックコンバータは、スイッチング素子M1及びM2、インダクタL1を備え、キャパシタ C_{OUT} と協働して中間電圧 V_{MID1} を降圧することで出力ノード ND_{OUT} に出力電圧 V_{OUT} を発生させる。コンバータ10の動作に注目したとき、スイッチング素子M1、M2は、第1チャンネルのバックコンバータにおけるローサイドスイッチング素子、ハイサイドスイッチング素子として機能する。
- [0042] 第1チャンネルのスタックドコンバータは、スイッチング素子M3～M5、キャパシタ C_{FLY1} 及びインダクタL3を備え、入力電圧 V_{IN} から中間電圧 V_{MID1} を生成する。キャパシタ C_{MID1} も第1チャンネルのスタックドコンバータの構成要素に含まれると解して良い。コンバータ10自体は2フェーズのマルチフェーズコンバータである。第1チャンネルのスタックドコンバータはコンバータ10における1フェーズ分のコンバータとしても機能する。スイッチング素子M3は、キャパシタ C_{MID1} を充電するための制御用スイッチング素子として機能する。スイッチング素子M4は、中間電圧 V_{MID1} を生成するためのスイッチング素子として機能すると共に、マルチフェーズ用のハイサイドスイッチング素子としても機能する。コンバータ10の動作に注目したとき、スイッチング素子M5は、マルチフェーズ用のローサイドスイッチング素子として機能する。
- [0043] コンバータ20は第2チャンネルのバックコンバータと第2チャンネルのスタックドコンバータとを有する。第2チャンネルのバックコンバータは、スイッチング素子M5及びM6、インダクタL2を備え、キャパシタ C_{OUT} と協働して中間電圧 V_{MID2} を降圧することで出力ノード ND_{OUT} に出力電圧 V_{OUT} を発生させる。コンバータ20の動作に注目したとき、スイッチング素子M5、M6は、第2チャンネルのバックコンバータにおけるローサイドスイッチング

素子、ハイサイドスイッチング素子として機能する。

[0044] 第2チャンネルのスタックドコンバータは、スイッチング素子M7、M8及びM1、キャパシタ C_{FLY2} 並びにインダクタL4を備え、入力電圧 V_{IN} から中間電圧 V_{MID2} を生成する。キャパシタ C_{MID2} も第2チャンネルのスタックドコンバータの構成要素に含まれると解して良い。コンバータ20自体は2フェーズのマルチフェーズコンバータである。第2チャンネルのスタックドコンバータはコンバータ20における1フェーズ分のコンバータとしても機能する。スイッチング素子M7は、キャパシタ C_{MID2} を充電するための制御用スイッチング素子として機能する。スイッチング素子M8は、中間電圧 V_{MID2} を生成するためのスイッチング素子として機能すると共に、マルチフェーズ用のハイサイドスイッチング素子としても機能する。コンバータ20の動作に注目したとき、スイッチング素子M1は、マルチフェーズ用のローサイドスイッチング素子として機能する。

[0045] 電源装置1Aでは、第1チャンネルのバックコンバータと、第1チャンネルのスタックドコンバータと、第2チャンネルのバックコンバータと、第2チャンネルのスタックドコンバータとが、夫々に電流を出力ノード ND_{OUT} に供給し、これによって出力ノード ND_{OUT} に所望電圧値を有する出力電圧 V_{OUT} を発生させる。

[0046] 上述の説明から理解されるよう、スイッチング素子M1は、第1チャンネルのバックコンバータにおけるローサイドスイッチング素子として、且つ、第2チャンネルのスタックドコンバータにおけるマルチフェーズ用のローサイドスイッチング素子として兼用される。これに類似して、スイッチング素子M5は、第2チャンネルのバックコンバータにおけるローサイドスイッチング素子として、且つ、第1チャンネルのスタックドコンバータにおけるマルチフェーズ用のローサイドスイッチング素子として兼用される。

[0047] 上述したようにコンバータ10及び20は各々に2フェーズのマルチフェーズコンバータである。電源装置1Aではコンバータ10及び20が並列動作する。図3の電源装置930を2つ設ける場合にはスイッチング素子が計

10個必要となるのに対し、電源装置1Aでは計8つのスイッチング素子にて2つの電源装置930を並列動作させたのと同様の作用を実現でき、部品点数の削減効果が得られる。

[0048] 図8の電源装置1Aの構成について更に詳細に説明する。本実施形態において、スイッチング素子M1～M8は夫々にNチャンネル型のMOSFETにより構成される。このため、以下、スイッチング素子M1～M8をトランジスタM1～M8と称することがある。

[0049] トランジスタM1～M4はグラウンドとノードND4との間で直列接続される。トランジスタM1はグラウンド及びノードND1間に設けられ、トランジスタM2はノードND1及びND2間に設けられ、トランジスタM3はノードND2及びND3間に設けられ、トランジスタM4はノードND3及びND4間に設けられる。より具体的には、トランジスタM1のソースはグラウンドに接続される。トランジスタM1のドレイン及びトランジスタM2のソースはノードND1に接続される。トランジスタM2のドレイン及びトランジスタM3のソースはノードND2に接続される。トランジスタM3のドレイン及びトランジスタM4のソースはノードND3に接続される。トランジスタM4のドレインはノードND4に接続される。トランジスタM1～M4のゲートに供給される信号を、夫々、ゲート信号G1～G4と称する。

[0050] トランジスタM5～M8はグラウンドとノードND8との間で直列接続される。トランジスタM5はグラウンド及びノードND5間に設けられ、トランジスタM6はノードND5及びND6間に設けられ、トランジスタM7はノードND6及びND7間に設けられ、トランジスタM8はノードND7及びND8間に設けられる。より具体的には、トランジスタM5のソースはグラウンドに接続される。トランジスタM5のドレイン及びトランジスタM6のソースはノードND5に接続される。トランジスタM6のドレイン及びトランジスタM7のソースはノードND6に接続される。トランジスタM7のドレイン及びトランジスタM8のソースはノードND7に接続される。トランジスタM8のドレインはノードND8に接続される。トランジスタM5～M8の

ゲートに供給される信号を、夫々、ゲート信号G5～G8と称する。

[0051] ノードND4及びND8は入力電圧 V_{IN} を受ける電源ノードである。即ち、ノードND4及びND8に対して入力電圧 V_{IN} が供給される。ここでは、トランジスタM4のドレインが接続される電源ノードとトランジスタM8のドレインが接続される電源ノードに対して互いに異なる参照符号（ND4、ND8）を割り当てているが、ノードND4及びND8は単一のノードであっても良いし、入力電圧 V_{IN} の供給を受ける互いに分離した2つのノードであっても良い。

[0052] キャパシタ C_{MID1} はノードND2及びグランド間に設けられる。即ち、キャパシタ C_{MID1} の第1端はノードND2に接続され、キャパシタ C_{MID1} の第2端はグランドに接続される。キャパシタ C_{MID1} の第1端はキャパシタ C_{MID1} の正極に相当する。ノードND2における電圧は中間電圧 V_{MID1} である。即ち、キャパシタ C_{MID1} において中間電圧 V_{MID1} 分の電荷が蓄積される。

[0053] キャパシタ C_{MID2} はノードND6及びグランド間に設けられる。即ち、キャパシタ C_{MID2} の第1端はノードND6に接続され、キャパシタ C_{MID2} の第2端はグランドに接続される。キャパシタ C_{MID2} の第1端はキャパシタ C_{MID2} の正極に相当する。ノードND6における電圧は中間電圧 V_{MID2} である。即ち、キャパシタ C_{MID2} において中間電圧 V_{MID2} 分の電荷が蓄積される。

[0054] インダクタL1はノードND1と出力ノードND_{OUT}との間に設けられる。即ち、インダクタL1の第1端はノードND1に接続され、インダクタL1の第2端は出力ノードND_{OUT}に接続される。キャパシタ C_{FLY1} はノードND3及びND5間に設けられる。即ち、キャパシタ C_{FLY1} の第1端はノードND3に接続され、キャパシタ C_{FLY1} の第2端はノードND5に接続される。インダクタL3はノードND5と出力ノードND_{OUT}との間に設けられる。即ち、インダクタL3の第1端はノードND5に接続され（従ってキャパシタ C_{FLY1} の第2端に接続され）、インダクタL3の第2端は出力ノードND_{OUT}に接続される。

[0055] インダクタL2はノードND5と出力ノードND_{OUT}との間に設けられる。

即ち、インダクタ L_2 の第1端はノード ND_5 に接続され、インダクタ L_2 の第2端は出力ノード ND_{OUT} に接続される。キャパシタ C_{FLY2} はノード ND_7 及び ND_1 間に設けられる。即ち、キャパシタ C_{FLY2} の第1端はノード ND_7 に接続され、キャパシタ C_{FLY2} の第2端はノード ND_1 に接続される。インダクタ L_4 はノード ND_1 と出力ノード ND_{OUT} との間に設けられる。即ち、インダクタ L_4 の第1端はノード ND_1 に接続され（従ってキャパシタ C_{FLY2} の第2端に接続され）、インダクタ L_4 の第2端は出力ノード ND_{OUT} に接続される。

[0056] キャパシタ C_{OUT} は出力ノード ND_{OUT} 及びグランド間に設けられる。即ち、キャパシタ C_{OUT} の第1端は出力ノード ND_{OUT} に接続され、キャパシタ C_{OUT} の第2端はグランドに接続される。キャパシタ C_{OUT} の第1端はキャパシタ C_{OUT} の正極に相当する。出力ノード ND_{OUT} における電圧は出力電圧 V_{OUT} である。即ち、キャパシタ C_{OUT} において出力電圧 V_{OUT} 分の電荷が蓄積される。

[0057] 制御回路30は、トランジスタ $M_1 \sim M_8$ の各ゲートに接続され、トランジスタ $M_1 \sim M_8$ に対してゲート信号 $G_1 \sim G_8$ を供給することでトランジスタ $M_1 \sim M_8$ の状態（オン／オフ状態）を個別に制御する。制御回路30によりトランジスタ $M_1 \sim M_8$ の状態が制御されること通じ、入力電圧 V_{IN} より低い所望の出力電圧 V_{OUT} が出力ノード ND_{OUT} に発生する。半導体集積回路にて制御回路30を形成して良い。

[0058] ゲート信号 $G_1 \sim G_8$ の何れかをゲート信号 G_x と称する。トランジスタ $M_1 \sim M_8$ の内、ゲート信号 G_x をゲートにて受けるトランジスタを、トランジスタ M_x と称する。ゲート信号 G_x がハイレベルを有するときトランジスタ M_x はオン状態であり、ゲート信号 G_x がローレベルを有するときトランジスタ M_x はオフ状態である。従って、ゲート信号 G_1 のハイレベル期間にてトランジスタ M_1 はオン状態であり、ゲート信号 G_1 のローレベル期間にてトランジスタ M_1 はオフ状態である。同様に、ゲート信号 G_2 のハイレベル期間にてトランジスタ M_2 はオン状態であり、ゲート信号 G_2 のローレ

ベル期間にてトランジスタM2はオフ状態である。トランジスタM3～M8についても同様である。ハイレベルのゲート信号G_xは、トランジスタM_xのソース電位から見てトランジスタM_xのゲート閾電圧だけ高い電位よりも更に高い電位を有する。ローレベルのゲート信号G_xはトランジスタM_xのソース電位と同等の電位を有して良い。

[0059] 制御回路30はトランジスタM1～M8の動作モードをモードMD1～MD4間で順次切り替える。換言すれば、制御回路30はトランジスタM1～M8の状態を第1～第4状態間で順次切り替える。トランジスタM1～M8の動作モードがモードMD1、MD2、MD3、MD4に設定されることは、トランジスタM1～M8の状態が、夫々、第1、第2、第3、第4状態に設定されること相当する。図9～図12を参照してモードMD1～MD4について説明する。

[0060] 尚、キャパシタC_{FLY1}の第2端の電位（即ちノードND5の電位）を基準にキャパシタC_{FLY1}の第1端の電位（即ちノードND3の電位）を上昇させる向きの電流はキャパシタC_{FLY1}の充電電流であり、その逆向きの電流はキャパシタC_{FLY1}の放電電流である。同様に、キャパシタC_{FLY2}の第2端の電位（即ちノードND1の電位）を基準にキャパシタC_{FLY2}の第1端の電位（即ちノードND7の電位）を上昇させる向きの電流はキャパシタC_{FLY2}の充電電流であり、その逆向きの電流はキャパシタC_{FLY2}の放電電流である。キャパシタC_{MID1}に関しては、中間電圧V_{MID1}を上昇させる向きの電流が充電電流であり、中間電圧V_{MID1}を低下させる向きの電流が放電電流である。同様に、キャパシタC_{MID2}に関しては、中間電圧V_{MID2}を上昇させる向きの電流が充電電流であり、中間電圧V_{MID2}を低下させる向きの電流が放電電流である。

[0061] またここでは、電流連続モードにて電源装置1Aが動作しているものとする。電流連続モードでは、インダクタL1～L4の夫々の第1端から第2端に向けて常時電流が流れる、即ちキャパシタC_{OUT}が充電される向きにインダクタL1～L4を通じて常時電流が流れる。インダクタL1を通じて流れる

電流をインダクタ電流 I_{L1} と称する。同様に、インダクタ $L2$ 、 $L3$ 、 $L4$ を通じて流れる電流を、夫々、インダクタ電流 I_{L2} 、 I_{L3} 、 I_{L4} と称する。出力ノード ND_{OUT} は図示されない負荷に接続される。負荷は出力電圧 V_{OUT} に基づいて駆動する任意の負荷である。出力ノード ND_{OUT} から負荷に供給される電流を負荷電流 I_{LD} と称する。負荷電流 I_{LD} は電源装置 1 A の出力電流に相当する。

[0062] 図 9 に、モード MD 1 におけるトランジスタ M1～M8 のオン／オフ状態と、モード MD 1 にて発生する電流の流れが示される。モード MD 1 において、制御回路 30 は、トランジスタ M2、M3、M5 及び M8 をオン状態に制御する一方、トランジスタ M1、M4、M6 及び M7 をオフ状態に制御する。モード MD 1 での状態は、コンバータ 10 にとっては図 6 の状態 $st3$ に対応し、コンバータ 20 にとっては図 4 の状態 $st1$ に対応する。

[0063] モード MD 1 では、コンバータ 10 において電流 811～813 が発生する。電流 811、812、813 は、コンバータ 10 にとって、図 6 の電流 943、944、945 に対応するものである。電流 811 は、キャパシタ C_{MID1} からスイッチング素子 M2 及びインダクタ $L1$ を通じ出力ノード ND_{OUT} に向かう電流であり、キャパシタ C_{MID1} の放電により発生する。電流 812 は、グラウンドからスイッチング素子 M5、キャパシタ C_{FLY1} 、スイッチング素子 M3 を通じてキャパシタ C_{MID1} の第 1 端に向かい、キャパシタ C_{MID1} を通じてグラウンドに戻る。電流 812 によりキャパシタ C_{FLY1} が放電される一方でキャパシタ C_{MID1} が充電される。電流 813 は、グラウンドからスイッチング素子 M5 及びインダクタ $L3$ を通じ出力ノード ND_{OUT} に向かう。

[0064] モード MD 1 では、コンバータ 20 において電流 814 及び 815 が発生する。電流 814、815 は、コンバータ 20 にとって、図 4 の電流 941、942 に対応するものである。電流 814 はノード $ND8$ からスイッチング素子 M8、キャパシタ C_{FLY2} 及びインダクタ $L4$ を通じて出力ノード ND_{OUT} へと向かう。電流 814 によりキャパシタ C_{FLY2} が充電される。電流 815 はグラウンドからスイッチング素子 M5 及びインダクタ $L2$ を通じて出力ノ

ードND_{OUT}に向かう。モードMD1においてキャパシタC_{MID2}に対する充電は生じず、キャパシタC_{MID2}の蓄積電荷は不変に保持される。

[0065] 図10に、モードMD2におけるトランジスタM1～M8のオン/オフ状態と、モードMD2にて発生する電流の流れが示される。モードMD2において、制御回路30は、トランジスタM2、M4、M6及びM8をオン状態に制御する一方、トランジスタM1、M3、M5及びM7をオフ状態に制御する。モードMD2での状態は、コンバータ10にとっては図5の状態st2に対応し、コンバータ20にとっても図5の状態st2に対応する。

[0066] モードMD2では、コンバータ10において上記電流811と共に電流816が発生する。電流811、816は、コンバータ10にとって、図5の電流943、941に対応するものである。上述したように電流811はキャパシタC_{MID1}の放電により発生する。電流816はノードND4からスイッチング素子M4、キャパシタC_{FLY1}及びインダクタL3を通じて出力ノードND_{OUT}へと向かう。電流816によりキャパシタC_{FLY1}が充電される。

[0067] モードMD2では、コンバータ20において上記電流814と共に電流817が発生する。電流814、817は、コンバータ20にとって、図5の電流941、943に対応するものである。上述したように電流814によりキャパシタC_{FLY2}が充電される。電流817は、キャパシタC_{MID1}からスイッチング素子M6及びインダクタL2を通じ出力ノードND_{OUT}に向かう電流であり、キャパシタC_{MID2}の放電により発生する。

[0068] 図11に、モードMD3におけるトランジスタM1～M8のオン/オフ状態と、モードMD3にて発生する電流の流れが示される。モードMD3において、制御回路30は、トランジスタM1、M4、M6及びM7をオン状態に制御する一方、トランジスタM2、M3、M5及びM8をオフ状態に制御する。モードMD3での状態は、コンバータ10にとっては図4の状態st1に対応し、コンバータ20にとっては図6の状態st3に対応する。

[0069] モードMD3では、コンバータ10において上記電流816と共に電流818が発生する。電流816、818は、コンバータ10にとって、図4の

電流 941、942 に対応するものである。上述したように電流 816 によりキャパシタ C_{FLY1} が充電される。電流 818 はグランドからスイッチング素子 M1 及びインダクタ L1 を通じて出力ノード ND_{OUT} に向かう。モード MD3 においてキャパシタ C_{MID1} に対する充放電は生じず、キャパシタ C_{MID1} の蓄積電荷は不変に保持される。

[0070] モード MD3 では、コンバータ 20 において上記電流 817 と共に電流 819 及び 820 が発生する。電流 817、819、820 は、コンバータ 20 にとって、図 6 の電流 943、944、945 に対応するものである。上述したように電流 817 はキャパシタ C_{MID2} の放電により発生する。電流 819 は、グランドからスイッチング素子 M1、キャパシタ C_{FLY2} 、スイッチング素子 M7 を通じてキャパシタ C_{MID2} の第 1 端に向かい、キャパシタ C_{MID2} を通じてグランドに戻る。電流 819 によりキャパシタ C_{FLY2} が放電される一方でキャパシタ C_{MID2} が充電される。電流 820 は、グランドからスイッチング素子 M1 及びインダクタ L4 を通じ出力ノード ND_{OUT} に向かう。

[0071] 図 12 に、モード MD4 におけるトランジスタ M1～M8 のオン／オフ状態と、モード MD4 にて発生する電流の流れが示される。モード MD4 において、制御回路 30 は、トランジスタ M1、M3、M5 及び M7 をオン状態に制御する一方、トランジスタ M2、M4、M6 及び M8 をオフ状態に制御する。モード MD4 での状態は、コンバータ 10 にとっては図 7 の状態 st_4 に対応し、コンバータ 20 にとっても図 7 の状態 st_4 に対応する。

[0072] モード MD4 では、コンバータ 10 において上記電流 812、813 及び 818 が発生する。電流 812、813 及び 818 は、コンバータ 10 にとって、図 7 の電流 944、945、942 に対応するものである。上述したように、電流 812 によりキャパシタ C_{FLY1} が放電される一方でキャパシタ C_{MID1} が充電される。

[0073] モード MD4 では、コンバータ 20 において上記電流 819、820 及び 815 が発生する。電流 819、820 及び 815 は、コンバータ 20 にとって、図 7 の電流 944、945、942 に対応するものである。上述した

ように、電流 819 によりキャパシタ C_{FLY2} が放電される一方でキャパシタ C_{MID2} が充電される。

[0074] コンバータ 10 に注目する。モード MD 3 において電流 818 及び 816 の大きさ（即ちインダクタ電流 I_{L1} 及び I_{L3} の大きさ）は同程度である。またモード MD 2 において電流 811 及び 816 の大きさ（即ちインダクタ電流 I_{L1} 及び I_{L3} の大きさ）は同程度である。そしてモード MD 2 ではトランジスタ M2 及び M4 がオンであることから、キャパシタ C_{FLY1} 及び C_{MID1} にとって、モード MD 2 の状態はキャパシタ C_{FLY1} 及び C_{MID1} が直列接続された状態と等価である。またモード MD 1 及び MD 4 ではトランジスタ M3 及び M5 を通じてキャパシタ C_{FLY1} 及び C_{MID1} が並列接続される。結果、トランジスタ M1 ~ M5 並びにキャパシタ C_{FLY1} 及び C_{MID1} によりスイッチドキャパシタ回路が形成される。このため、定常状態においてキャパシタ C_{MID1} の両端間電圧（即ち中間電圧 V_{MID1} ）は、入力電圧 V_{IN} の分圧に相当する電圧（ $V_{IN}/2$ ）と一致する。但し、厳密には、中間電圧 V_{MID1} は電圧（ $V_{IN}/2$ ）を中心に多少変動する。

[0075] コンバータ 20 に注目する。モード MD 1 において電流 815 及び 814 の大きさ（即ちインダクタ電流 I_{L2} 及び I_{L4} の大きさ）は同程度である。またモード MD 2 において電流 817 及び 814 の大きさ（即ちインダクタ電流 I_{L2} 及び I_{L4} の大きさ）は同程度である。そしてモード MD 2 ではトランジスタ M6 及び M8 がオンであることから、キャパシタ C_{FLY2} 及び C_{MID2} にとって、モード MD 2 の状態はキャパシタ C_{FLY2} 及び C_{MID2} が直列接続された状態と等価である。またモード MD 3 及び MD 4 ではトランジスタ M7 及び M1 を通じてキャパシタ C_{FLY2} 及び C_{MID2} が並列接続される。結果、トランジスタ M5 ~ M8 及び M1 並びにキャパシタ C_{FLY2} 及び C_{MID2} によりスイッチドキャパシタ回路が形成される。このため、定常状態においてキャパシタ C_{MID2} の両端間電圧（即ち中間電圧 V_{MID2} ）は、入力電圧 V_{IN} の分圧に相当する電圧（ $V_{IN}/2$ ）と一致する。但し、厳密には、中間電圧 V_{MID2} は電圧（ $V_{IN}/2$ ）を中心に多少変動する。

[0076] 図13に制御回路30の内部構成を示す。図14に制御回路30の動作に関するタイミングチャートを示す。図14では、上から下に向けて、信号CLK1、CMPOUT1、CLK2、CMPOUT2、G1~G8の波形が示される。

[0077] 制御回路30は、エラーアンプ31と、ランプ回路32__1及び32__2と、電流情報取得回路33__1及び33__2と、加算器34__1及び34__2と、PWMコンパレータ35__1及び35__2と、コントローラ36__1及び36__2と、を備える。尚、電源装置1Aには抵抗R1及びR2が設けられる。抵抗R1の第1端は出力ノードND_{OUT}に接続され、抵抗R1の第2端は抵抗R2の第1端に接続され、抵抗R2の第2端はグラウンドに接続される。抵抗R1及びR2間の接続ノードに出力電圧V_{OUT}に応じた帰還電圧V_{FB}が発生する。帰還電圧V_{FB}は出力電圧V_{OUT}の分圧であり、故に出力電圧V_{OUT}に比例する。抵抗R1及びR2により帰還電圧V_{FB}を生成する帰還電圧生成回路が形成される。帰還電圧V_{FB}は制御回路30に供給される。但し、帰還電圧生成回路は制御回路30の構成要素に含まれると解しても良い。また出力電圧V_{OUT}そのものが帰還電圧V_{FB}とされても良い。何れにせよ、帰還電圧V_{FB}は出力電圧V_{OUT}の情報（詳細には出力電圧V_{OUT}の値を示す情報）である。

[0078] エラーアンプ31は、電流出力型のトランスコンダクタンスアンプである。エラーアンプ31は、反転入力端子、非反転入力端子及び出力端子を備える。エラーアンプ31の反転入力端子に対して帰還電圧V_{FB}が供給される。エラーアンプ31の非反転入力端子には所定の基準電圧V_{REF}が供給される。基準電圧V_{REF}は、正の所定電圧値を有する直流電圧であり、制御回路30内の図示されない基準電圧生成回路にて生成される。エラーアンプ31の出力端子は配線WR_{ERR}に接続される。尚、電源装置1Aの起動の際、基準電圧V_{REF}の値を0Vから正の所定電圧値に向けて徐々に上昇させるソフトスタート制御が行われて良いが、以下ではソフトスタート制御の存在を無視する。

[0079] エラーアンプ31は、帰還電圧V_{FB}及び基準電圧V_{REF}間の差分に応じた電

流信号を自身の出力端子から出力することで、帰還電圧 V_{FB} 及び基準電圧 V_{REF} 間の差分に応じた誤差電圧 V_{ERR} を配線 WR_{ERR} に発生させる。具体的には、エラーアンプ31は、帰還電圧 V_{FB} が基準電圧 V_{REF} よりも低いときには誤差電圧 V_{ERR} が上昇するよう自身の出力端子から配線 WR_{ERR} に向けて電流を出力し、帰還電圧 V_{FB} が基準電圧 V_{REF} よりも高いときには誤差電圧 V_{ERR} が低下するよう配線 WR_{ERR} から自身の出力端子に向けて電流を引き込む。尚、特に図示しないが、配線 WR_{ERR} 及びグランド間にキャパシタを含む位相補償回路が接続されて良い。

- [0080] ランプ回路32__1は、トランジスタM2のオン期間において所定の初期電圧 V_{INT} から所定の変化率で単調上昇するランプ電圧 V_{RAMP1} を生成する。ランプ回路32__1において、初期電圧 V_{INT} は例えば0Vであるが、0Vと相違し得る。トランジスタM2のオフ期間においてランプ電圧 V_{RAMP1} は初期電圧 V_{INT} で固定される。
- [0081] 電流情報取得回路33__1は、インダクタL1の電流情報を取得し、インダクタL1の電流情報を示すセンス電圧 V_{IL1} を生成する。インダクタL1の電流情報はインダクタ電流 I_{L1} の値を示す情報である。センス電圧 V_{IL1} は正の比例係数にてインダクタ電流 I_{L1} の値に比例する電圧値を持つ。故に、インダクタ電流 I_{L1} の増大に伴ってセンス電圧 V_{IL1} は上昇し、インダクタ電流 I_{L1} の減少に伴ってセンス電圧 V_{IL1} は低下する。ここでは、“ $V_{IL1} = k_{IV} \times I_{L1}$ ”であるとする。 k_{IV} は所定の正の係数である。
- [0082] センス電圧 V_{IL1} がインダクタL1の電流情報を示す限り、センス電圧 V_{IL1} の生成方法は任意である。例えばインダクタ電流 I_{L1} を電流センサにて直接検出することでセンス電圧 V_{IL1} を生成して良い。ここにおける電流センサはインダクタL1及びノードND1間に直列に挿入されたシャント抵抗（不図示）であって良い。或いは例えば、トランジスタM2のオン期間においてトランジスタM2に流れる電流（従ってインダクタ電流 I_{L1} ）を検出することで、又は、トランジスタM1のオン期間においてトランジスタM1に流れる電流（従ってインダクタ電流 I_{L1} ）を検出することで、センス電圧 V_{IL1} を生

成するようにしても良い。この他、インダクタ電流 I_{L1} に応じた電圧が発生する任意の箇所の電圧を検出することで、センス電圧 V_{IL1} を生成するようにしても良い。

[0083] 加算器 34__1 は、ランプ電圧 V_{RAMP1} に対してセンス電圧 V_{IL1} を加算することで、それらの和電圧であるスロープ電圧 V_{SLP1} を生成する。即ち “ $V_{SLP1} = V_{RAMP1} + V_{IL1}$ ” である。

[0084] PWMコンパレータ 35__1 は誤差電圧 V_{ERR} 及びスロープ電圧 V_{SLP1} を比較し、それらの比較結果を示す信号 $CMPOUT1$ を生成及び出力する。PWMコンパレータ 35__1 の反転入力端子に誤差電圧 V_{ERR} が入力され、PWMコンパレータ 35__1 の非反転入力端子にスロープ電圧 V_{SLP1} が入力される。PWMコンパレータ 35__1 は、“ $V_{SLP1} < V_{ERR}$ ” の成立時においてローレベルの信号 $CMPOUT1$ を出力し、“ $V_{SLP1} > V_{ERR}$ ” の成立時においてハイレベルの信号 $CMPOUT1$ を出力する。“ $V_{SLP1} = V_{ERR}$ ” の成立時において信号 $CMPOUT1$ はローレベル又はハイレベルを有する。

[0085] コントローラ 36__1 に対して信号 $CMPOUT1$ と基準クロック信号 $CLK1$ が入力される。基準クロック信号 $CLK1$ は、制御回路 30 に設けられた図示されない内部クロック生成回路にて生成される。基準クロック信号 $CLK1$ は所定の周波数 f_{PWM} を有する矩形波信号であり、ハイレベル又はローレベルの信号レベルを交互に持つ。基準クロック信号 $CLK1$ のデューティは任意である。ここでは、基準クロック信号 $CLK1$ は原則としてローレベルを有し、周波数 f_{PWM} の逆数の間隔で微小時間だけハイレベルを持つものとする（図 14 参照）。

[0086] コントローラ 36__1 は、基準クロック信号 $CLK1$ における所定レベル変化を契機に、ゲート信号 $G1$ 及び $G7$ にフォールエッジを生じさせることで（即ちゲート信号 $G1$ 及び $G7$ のレベルをハイレベルからローレベルへ切り替えることで）トランジスタ $M1$ 及び $M7$ をターンオフさせると共に、ゲート信号 $G2$ 及び $G8$ にライズエッジを生じさせることで（即ちゲート信号

G 2 及び G 8 のレベルをローレベルからハイレベルへ切り替えることで) トランジスタ M 2 及び M 8 をターンオンさせる。基準クロック信号 C L K 1 における所定レベル変化 (第 1 所定レベル変化) は、ここでは基準クロック信号 C L K 1 のローレベルからハイレベルへの変化であるが、基準クロック信号 C L K 1 のハイレベルからローレベルへの変化であっても良い。

[0087] トランジスタ M 1 及び M 7 のターンオフ及びトランジスタ M 2 及び M 8 のターンオンの後、スロープ電圧 V_{SLP1} の単調上昇を経て “ $V_{SLP1} < V_{ERR}$ ” の成立状態から “ $V_{SLP1} > V_{ERR}$ ” の成立状態に遷移することで信号 C M P O U T 1 にライズエッジが生じる。信号 C M P O U T 1 にライズエッジが生じると、コントローラ 3 6 __ 1 は、ゲート信号 G 1 及び G 7 にライズエッジを生じさせることでトランジスタ M 1 及び M 7 をターンオンさせると共にゲート信号 G 2 及び G 8 にフォールエッジを生じさせることでトランジスタ M 2 及び M 8 をターンオフさせる。トランジスタ M 2 のターンオフに伴い、ランプ電圧 V_{RAMP1} は十分に低い初期電圧 V_{INT} へと低下するため、“ $V_{SLP1} < V_{ERR}$ ” の成立状態に戻り、速やかに信号 C M P O U T 1 にフォールエッジが生じる。尚、トランジスタ M 1 及び M 7 がターンオフされ且つトランジスタ M 2 及び M 8 がターンオンされるタイミングから、トランジスタ M 1 及び M 7 がターンオンされ且つトランジスタ M 2 及び M 8 がターンオフされるタイミングまでの時間を時間 t_{ON1} と称する。

[0088] ランプ回路 3 2 __ 2 は、トランジスタ M 6 のオン期間において所定の初期電圧 V_{INT} から所定の変化率で単調上昇するランプ電圧 V_{RAMP2} を生成する。ランプ回路 3 2 __ 2 において、初期電圧 V_{INT} は例えば 0 V であるが、0 V と相違し得る。トランジスタ M 6 のオフ期間においてランプ電圧 V_{RAMP2} は初期電圧 V_{INT} で固定される。尚、ランプ回路 3 2 __ 2 はランプ回路 3 2 __ 1 と同じ構成を有する。このため、トランジスタ M 6 のオン期間におけるランプ電圧 V_{RAMP2} の変化率は、トランジスタ M 2 のオン期間におけるランプ電圧 V_{RAMP1} の変化率と等しい。

[0089] 電流情報取得回路 3 3 __ 2 は、インダクタ L 2 の電流情報を取得し、イン

ダクタL2の電流情報を示すセンス電圧 V_{IL2} を生成する。インダクタL2の電流情報はインダクタ電流 I_{L2} の値を示す情報である。センス電圧 V_{IL2} は正の比例係数にてインダクタ電流 I_{L2} の値に比例する電圧値を持つ。故に、インダクタ電流 I_{L2} の増大に伴ってセンス電圧 V_{IL2} は上昇し、インダクタ電流 I_{L2} の減少に伴ってセンス電圧 V_{IL2} は低下する。ここでは、“ $V_{IL2} = k_{IV} \times I_{L2}$ ”であるとする。

[0090] センス電圧 V_{IL2} がインダクタL2の電流情報を示す限り、センス電圧 V_{IL2} の生成方法は任意である。例えばインダクタ電流 I_{L2} を電流センサにて直接検出することでセンス電圧 V_{IL2} を生成して良い。ここにおける電流センサはインダクタL2及びノードND5間に直列に挿入されたシャント抵抗（不図示）であって良い。或いは例えば、トランジスタM6のオン期間においてトランジスタM6に流れる電流（従ってインダクタ電流 I_{L2} ）を検出することで、又は、トランジスタM5のオン期間においてトランジスタM5に流れる電流（従ってインダクタ電流 I_{L2} ）を検出することで、センス電圧 V_{IL2} を生成するようにしても良い。この他、インダクタ電流 I_{L2} に応じた電圧が発生する任意の箇所の電圧を検出することで、センス電圧 V_{IL2} を生成するようにしても良い。

[0091] 加算器34__2は、ランプ電圧 V_{RAMP2} に対してセンス電圧 V_{IL2} を加算することで、それらの和電圧であるスロープ電圧 V_{SLP2} を生成する。即ち“ $V_{SLP2} = V_{RAMP2} + V_{IL2}$ ”である。

[0092] PWMコンパレータ35__2は誤差電圧 V_{ERR} 及びスロープ電圧 V_{SLP2} を比較し、それらの比較結果を示す信号CMPOUT2を生成及び出力する。PWMコンパレータ35__2の反転入力端子に誤差電圧 V_{ERR} が入力され、PWMコンパレータ35__2の非反転入力端子にスロープ電圧 V_{SLP2} が入力される。PWMコンパレータ35__2は、“ $V_{SLP2} < V_{ERR}$ ”の成立時においてローレベルの信号CMPOUT2を出力し、“ $V_{SLP2} > V_{ERR}$ ”の成立時においてハイレベルの信号CMPOUT2を出力する。“ $V_{SLP2} = V_{ERR}$ ”の成立時において信号CMPOUT2はローレベル又はハイレベルを有する

。

[0093] コントローラ36__2に対して信号CMP OUT 2とシフトクロック信号CLK 2が入力される。シフトクロック信号CLK 2は基準クロックCLK 1の位相をシフトさせた信号である。従って、基準クロック信号CLK 1及びシフトクロック信号CLK 2は互いに同じ周波数 f_{PWM} を有し且つ互いに異なる位相を有する。基準クロックCLK 1と同様、シフトクロック信号CLK 2は原則としてローレベルを有し、周波数 f_{PWM} の逆数の間隔で微小時間だけハイレベルを持つ（図14参照）。シフトクロック信号CLK 2は基準クロックCLK 1を元に制御回路30内で生成されて良い。ここでは、シフトクロック信号CLK 2は基準クロック信号CLK 1から 180° 分の位相が遅れた信号であるとする。従ってクロック信号CLK 1及びCLK 2間の位相差は 180° である。遅れ量を 180° に設定することが出力電圧 V_{OUT} のリプル最小化に最適である。但し、基準クロック信号CLK 1の位相から見たシフトクロック信号CLK 2の位相の遅れ量は 180° 以外であっても良い（例えば 170° 又は 190° であっても良い）。

[0094] コントローラ36__2は、シフトクロック信号CLK 2における所定レベル変化を契機に、ゲート信号G3及びG5にフォールエッジを生じさせることでトランジスタM3及びM5をターンオフさせると共にゲート信号G4及びG6にライズエッジを生じさせることでトランジスタM4及びM6をターンオンさせる。シフトクロック信号CLK 2における所定レベル変化（第2所定レベル変化）は、ここではシフトクロック信号CLK 2のローレベルからハイレベルへの変化であるが、シフトクロック信号CLK 2のハイレベルからローレベルへの変化であっても良い。

[0095] トランジスタM3及びM5のターンオフ及びトランジスタM4及びM6のターンオンの後、スロープ電圧 V_{SLP2} の単調上昇を経て“ $V_{SLP2} < V_{ERR}$ ”の成立状態から“ $V_{SLP2} > V_{ERR}$ ”の成立状態に移することで信号CMP OUT 2にライズエッジが生じる。信号CMP OUT 2にライズエッジが生じると、コントローラ36__2は、ゲート信号G3及びG5にライズエッジ

を生じさせることでトランジスタM3及びM5をターンオンさせると共にゲート信号G4及びG6にフォールエッジを生じさせることでトランジスタM4及びM6をターンオフさせる。トランジスタM6のターンオフに伴い、ランプ電圧 V_{RAMP2} は十分に低い初期電圧 V_{INT} へと低下するため、“ $V_{SLP2} < V_{ERR}$ ”の成立状態に戻り、速やかに信号CMP OUT 2にフォールエッジが生じる。尚、トランジスタM3及びM5がターンオフされ且つトランジスタM4及びM6がターンオンされるタイミングから、トランジスタM3及びM5がターンオンされ且つトランジスタM4及びM6がターンオフされるタイミングまでの時間を時間 t_{ON2} と称する。

[0096] コントローラ36__1及び36__2による上述のスイッチング制御により、図14に示す如く（図9～図12も参照）、トランジスタM1～M8の動作モードがモードMD1～MD4間で順次切り替わる。即ち、図14のタイミングチャートにおいて、モードMD3を起点に考えると、トランジスタM1～M8の動作モードは、基準クロック信号CLK1のライズエッジを契機にモードMD3からモードMD2に切り替わり、その後、信号CMP OUT 2のライズエッジを契機にモードMD2からモードMD1に切り替わり、その後、信号CMP OUT 1のライズエッジを契機にモードMD1からモードMD4に切り替わり、その後、シフトクロック信号CLK2のライズエッジを契機にモードMD4からモードMD3に戻る。以後、同様の動作が繰り返される。モードMD3からモードMD2への遷移タイミングと、次回のモードMD3からモードMD2への遷移タイミングとの間の長さは、基準クロック信号CLK1の周波数 f_{PWM} の逆数と一致する。

[0097] “ $V_{OUT} = V_{TG}$ ”であるとき“ $V_{FB} = V_{REF}$ ”である。“ $V_{OUT} = V_{TG}$ ”の成立状態を起点に負荷電流 I_{LD} が増大することを通じて“ $V_{OUT} < V_{TG}$ ”となると、“ $V_{FB} < V_{REF}$ ”となるので誤差電圧 V_{ERR} が上昇する。誤差電圧 V_{ERR} の上昇は、トランジスタM2及びM6のオン期間の増大をもたらす。トランジスタM2のオン期間の増大によりインダクタ電流 I_{L1} が増加すると共にトランジスタM6のオン期間の増大によりインダクタ電流 I_{L2} が増加し、結

果、出力電圧 V_{OUT} が目標電圧 V_{TG} に向けて上昇してゆく。逆に、“ $V_{OUT} = V_{TG}$ ”の成立状態を起点に負荷電流 I_{LD} が減少することを通じて“ $V_{OUT} > V_{TG}$ ”となると、“ $V_{FB} > V_{REF}$ ”となるので誤差電圧 V_{ERR} が低下する。誤差電圧 V_{ERR} の低下は、トランジスタM2及びM6のオン期間の減少をもたらす。トランジスタM2のオン期間の減少によりインダクタ電流 I_{L1} が減少すると共にトランジスタM6のオン期間の減少によりインダクタ電流 I_{L2} が減少し、結果、出力電圧 V_{OUT} が目標電圧 V_{TG} に向けて低下してゆく。このように、出力電圧 V_{OUT} 及び目標電圧 V_{TG} 間の差を減ずる制御が行われる。

[0098] 上述の時間 t_{ON1} は、誤差電圧 V_{ERR} に依存し（従って出力電圧 V_{OUT} の情報に依存し）且つセンス電圧 V_{IL1} に依存する（従ってインダクタL1の電流情報に依存する）。つまり、コントローラ36_1は、出力電圧 V_{OUT} の情報及びインダクタL1の電流情報に基づき、基準クロック信号CLK1に同期してトランジスタM1、M2、M7及びM8のスイッチング制御を行う。コントローラ36_1は、基準クロック信号CLK1における所定レベル変化を契機にトランジスタM1及びM7をターンオフさせ且つトランジスタM2及びM8をターンオンさせた後、出力電圧 V_{OUT} の情報及びインダクタL1の電流情報に応じた時間 t_{ON1} が経過すると、トランジスタM1及びM7をターンオンさせ且つトランジスタM2及びM8をターンオフさせる。

[0099] 上述の時間 t_{ON2} は、誤差電圧 V_{ERR} に依存し（従って出力電圧 V_{OUT} の情報に依存し）且つセンス電圧 V_{IL2} に依存する（従ってインダクタL2の電流情報に依存する）。つまり、コントローラ36_2は、出力電圧 V_{OUT} の情報及びインダクタL2の電流情報に基づき、シフトクロック信号CLK2に同期してトランジスタM3～M6のスイッチング制御を行う。コントローラ36_2は、シフトクロック信号CLK2における所定レベル変化を契機にトランジスタM3及びM5をターンオフさせ且つトランジスタM4及びM6をターンオンさせた後、出力電圧 V_{OUT} の情報及びインダクタL2の電流情報に応じた時間 t_{ON2} が経過すると、トランジスタM3及びM5をターンオンさせ且つトランジスタM4及びM6をターンオフさせる。

[0100] コンバータ10及び20は互いに同じ構成を有する。加えて、インダクタ L_1 の電流情報に基づくトランジスタM1、M2、M7及びM8のスイッチング制御と、インダクタ L_2 の電流情報に基づくトランジスタM3、M4、M5及びM6のスイッチング制御と、は互いに等価である。故に、コンバータ10の出力電流とコンバータ20の出力電流とのバランスがとれた状態でマルチフェーズ動作が実現される。

[0101] 電源装置1Aにおいて、コンバータ10の出力電流はインダクタ電流 I_{L1} 及び I_{L3} の和であり、コンバータ20の出力電流はインダクタ電流 I_{L2} 及び I_{L4} の和である。第1チャンネルのバックコンバータの出力電流（即ちインダクタ電流 I_{L1} ）の平均と、第1チャンネルのスタックドコンバータの出力電流（即ちインダクタ電流 I_{L3} ）の平均は、略同じとなる。同様に、第2チャンネルのバックコンバータの出力電流（即ちインダクタ電流 I_{L2} ）の平均と、第2チャンネルのスタックドコンバータの出力電流（即ちインダクタ電流 I_{L4} ）の平均は、略同じとなる。結果、各タイミングにおいてインダクタ電流 I_{L1} ～ I_{L4} の瞬時値は互いに相違するものの、インダクタ電流 I_{L1} の平均と、インダクタ電流 I_{L2} の平均と、インダクタ電流 I_{L3} の平均と、インダクタ電流 I_{L4} の平均とは実質的に等しくなる。

[0102] 第1チャンネルのバックコンバータの出力電流（即ちインダクタ電流 I_{L1} ）、第2チャンネルのバックコンバータの出力電流（即ちインダクタ電流 I_{L2} ）、第1チャンネルのスタックドコンバータの出力電流（即ちインダクタ電流 I_{L3} ）、及び、第2チャンネルのスタックドコンバータの出力電流（即ちインダクタ電流 I_{L4} ）は、夫々に脈流である。これらの内、第1チャンネルのバックコンバータの出力電流（即ちインダクタ電流 I_{L1} ）と第1チャンネルのスタックドコンバータの出力電流（即ちインダクタ電流 I_{L3} ）とは互いに異なる位相を有し、一方で、第2チャンネルのバックコンバータの出力電流（即ちインダクタ電流 I_{L2} ）と第2チャンネルのスタックドコンバータの出力電流（即ちインダクタ電流 I_{L4} ）とは互いに異なる位相を有する。

[0103] 図13の回路構成は例であり、電流に関する上記バランスがとれる限り、

制御回路30の構成は様々に変形可能である。例えば、図13の制御回路30から加算器34__1及び34__2を削除し、代わりにインダクタL1及びL2の電流情報をエラーアンプ31側に帰還する変形が適用されて良い。当該変形においては、“ $V_{SLP1} = V_{RAMP1}$ ” 且つ “ $V_{SLP2} = V_{RAMP2}$ ” とすると共に、PWMコンパレータ35__1の反転入力端子に電圧 ($V_{ERR} - V_{IL1}$) を入力し且つPWMコンパレータ35__2の反転入力端子に電圧 ($V_{ERR} - V_{IL2}$) を入力する。当該変形に係るPWMコンパレータ35__1は、“ $V_{SLP1} = V_{RAMP1} < V_{ERR} - V_{IL1}$ ” であれば信号CMPOUT1をローレベルとし、“ $V_{SLP1} = V_{RAMP1} > V_{ERR} - V_{IL1}$ ” であれば信号CMPOUT1をハイレベルとする。同様に、当該変形に係るPWMコンパレータ35__2は、“ $V_{SLP2} = V_{RAMP2} < V_{ERR} - V_{IL2}$ ” であれば信号CMPOUT2をローレベルとし、“ $V_{SLP2} = V_{RAMP2} > V_{ERR} - V_{IL2}$ ” であれば信号CMPOUT2をハイレベルとする。

[0104] <<第2実施形態>>

本開示の第2実施形態を説明する。第2実施形態及び後述の第3～第6実施形態は第1実施形態を基礎とする実施形態であり、第2～第6実施形態において特に述べない事項に関しては、矛盾の無い限り、第1実施形態の記載が第2～第6実施形態にも適用される。但し、第2実施形態の記載を解釈するにあたり、第1及び第2実施形態間で矛盾する事項については第2実施形態の記載が優先されて良い（後述の第3～第6実施形態についても同様）。矛盾の無い限り、第1～第6実施形態の内、任意の複数の実施形態を組み合わせても良い。

[0105] 第1実施形態に係る電源装置1Aでは、独立した2つの中間キャパシタ、即ちキャパシタ C_{MID1} 及び C_{MID2} を設けているが、コンバータ10及び20は上述のような差動動作を行うため、それらのキャパシタを1つのキャパシタに集約しても良い。

[0106] 即ち例えば、図8の電源装置1Aを図15の電源装置1Bに変形しても良い。図15は本開示の第2実施形態に係る電源装置1Bの構成図である。図

8の電源装置1Aを基準に、キャパシタ C_{MID1} 及び C_{MID2} の何れか一方を削除した上で、ノードND2及びND6間を短絡することで電源装置1Bが得られる。上記の削除と短絡を除き、電源装置1Bの構成及び動作は電源装置1Aのそれらと同じである。図15ではキャパシタ C_{MID2} が削除されている。このため、電源装置1Bはキャパシタ C_{MID1} 及び C_{MID2} の内、キャパシタ C_{MID1} のみを有し、キャパシタ C_{MID1} がコンバータ10及び20間で共用される。電源装置1BではノードND2及びND6が互いに接続されるため、過渡応答時を含め、常時、ノードND2における中間電圧 V_{MID1} とノードND6における中間電圧 V_{MID2} は等しい。

[0107] 電源装置1Bでは電源装置1Aよりも部品点数が削減される。また、電源装置1Bでは電源装置1Aよりも中間キャパシタの総容量を低減できる可能性がある。例えば、電源装置1Aにおいてキャパシタ C_{MID1} 及び C_{MID2} が夫々に $10\mu\text{F}$ （マイクロファラッド）の静電容量値を持つとき、電源装置1Bでは中間キャパシタとして $10\mu\text{F}$ のキャパシタ C_{MID1} を用意するだけで済む可能性がある。但し、中間キャパシタは各チャンネルのバックコンバータの入力容量として機能するため、必要な負荷電流 I_{LD} の大きさによっては、電源装置1Bにおけるキャパシタ C_{MID1} に $10\mu\text{F}$ を超える静電容量値を持たせる必要が生じる。

[0108] <<第3実施形態>>

本開示の第3実施形態を説明する。図8の電源装置1Aを図16の電源装置1Cに変形しても良い。図16は本開示の第3実施形態に係る電源装置1Cの構成図である。図8の電源装置1Aを基準に、キャパシタ C_{MID1} 及び C_{MID2} を単一のキャパシタ C_{MID} に置換することで電源装置1Cが得られる。この際、電源装置1Cにおいてキャパシタ C_{MID} の第1端はノードND2に接続され、キャパシタ C_{MID} の第2端はノードND6に接続される。上記置換を除き、電源装置1Cの構成及び動作は電源装置1Aのそれらと同じである。電源装置1Cではキャパシタ C_{MID} が単一の中間キャパシタとして機能する。電源装置1A～1Cの何れにおいても、トランジスタM1～M8のスイッチン

グ制御が行われる期間にてノードND2における中間電圧 V_{MID1} とノードND6における中間電圧 V_{MID2} は脈動するが、中間電圧 V_{MID1} の平均電圧及び中間電圧 V_{MID2} の平均電圧は夫々に入力電圧 V_{IN} の半分となる。

[0109] 電源装置1Cでは電源装置1Aよりも部品点数が削減される。また、電源装置1Cでは電源装置1Aよりも中間キャパシタの総容量を低減できる可能性がある。例えば、電源装置1Aにおいてキャパシタ C_{MID1} 及び C_{MID2} が夫々に $10\mu F$ （マイクロファラッド）の静電容量値を持つとき、電源装置1Cでは中間キャパシタとして $10\mu F$ のキャパシタ C_{MID} を用意するだけで済む可能性がある。但し、中間キャパシタは各チャンネルのバックコンバータの入力容量として機能するため、必要な負荷電流 I_{LD} の大きさによっては、電源装置1Cにおけるキャパシタ C_{MID} に $10\mu F$ を超える静電容量値を持たせる必要が生じる。

[0110] <<第4実施形態>>

本開示の第4実施形態を説明する。図8の電源装置1AからインダクタL3及びL4を削除することで電源装置1Aを図17の電源装置1A'に変形しても良い。同様に、図15の電源装置1BからインダクタL3及びL4を削除することで電源装置1Bを図18の電源装置1B'に変形しても良い。同様に、図16の電源装置1CからインダクタL3及びL4を削除することで電源装置1Cを図19の電源装置1C'に変形しても良い。図17、図18、図19は、第4実施形態に係る電源装置1A'、1B'、1C'の構成図である。

[0111] 電源装置1A'では電源装置1Aから見てインダクタL3及びL4を通過する電流が発生しなくなるだけであり、その他の点において電源装置1A'の構成及び動作は電源装置1Aのそれらと同じである。電源装置1B'では電源装置1Bから見てインダクタL3及びL4を通過する電流が発生しなくなるだけであり、その他の点において電源装置1B'の構成及び動作は電源装置1Bのそれらと同じである。電源装置1C'では電源装置1Cから見てインダクタL3及びL4を通過する電流が発生しなくなるだけであり、その

他の点において電源装置1 C' の構成及び動作は電源装置1 Cのそれらと同じである。

[0112] 電源装置1 A'、1 B' 又は1 C' では、第1チャンネルのバックコンバータの出力電流（即ちインダクタ電流 I_{L1} ）と第2チャンネルのバックコンバータの出力電流（即ちインダクタ電流 I_{L2} ）のみで電源装置の出力電流が形成される。このため、電源装置1 A'、1 B' 及び1 C' の夫々は、2フェーズのマルチフェーズコンバータ（マルチフェーズ方式のDC/DCコンバータ）となる。

[0113] <<第5実施形態>>

本開示の第5実施形態を説明する。図20に第5実施形態に係る電源システムSYSの構成を示す。電源システムSYSはn個の電源モジュールPMを備える。nは2以上の任意の整数である。各電源モジュールPMは電源装置1を備える。各電源装置1は第1～第4実施形態にて述べた何れかの電源装置であり、故に上述の電源装置1 A、1 B、1 C、1 A'、1 B' 又は1 C' であって良い。n個の電源モジュールPMは電源モジュールPM[1]～PM[n]から成る。電源モジュールPM[i]に設けられる電源装置1を電源装置1[i]と表記する。iは任意の整数を表す。

[0114] 電源装置1[i]そのものが電源モジュールPM[i]であっても良いし、電源装置1[i]と他の付加回路とで電源モジュールPM[i]が構成されても良い。以下に示す電源モジュールPM[i]の任意の動作は電源装置1[i]の動作であると解しても良い。

[0115] 各電源装置1は出力ノード ND_{OUT} を有する。電源装置1[1]～1[n]における計n個の出力ノード ND_{OUT} は互いに独立したn個のノードであっても良い。この場合、電源装置1[1]～1[n]の夫々にて独立した出力電圧 V_{OUT} が生成され、電源装置1[1]～1[n]の全体でn種類の出力電圧 V_{OUT} を生成できる。

[0116] 但し、以下では、電源装置1[1]～1[n]における計n個の出力ノード ND_{OUT} は互いに接続されるものとする。このため、電源装置1[1]の出

力電圧 V_{OUT} と、電源装置1 [2] の出力電圧 V_{OUT} と、電源装置1 [3] の出力電圧 V_{OUT} と、 \dots 、電源装置1 [n] の出力電圧 V_{OUT} は、全て同じものを指す。

- [0117] 電源装置1 [1] ~1 [n] は全て同じ電源装置であって良い。即ち例えば、電源装置1 [1] ~1 [n] の夫々は全て電源装置1 Aであっても良いし、全て電源装置1 Bであっても良いし、全て電源装置1 Cであっても良い。電源装置1 A、1 B、1 C、1 A'、1 B' 又は1 C' から成る6種類の電源装置の内、2種類以上の電源装置が電源装置1 [1] ~1 [n] に混在していても良い。以下では、電源装置1 [1] ~1 [n] の夫々は電源装置1 A、1 B及び1 Cの何れかであるとする。即ち、各電源装置1 は2フェーズのマルチフェーズコンバータであるとする。そうすると、電源装置1 [1] ~1 [n] により全体として $(2 \times n)$ フェーズのマルチフェーズコンバータを構成できる。
- [0118] 電源システムSYSにおいて各電源装置1 をクロック信号に同期して動作させる。電源装置1 [i] のクロック信号を記号“CLK [i]”にて参照する。即ち、電源装置1 [i] はクロック信号CLK [i] に同期して動作する。クロック信号CLK [i] は所定の周波数 f_{PWM} を有する矩形波信号であり、ハイレベル又はローレベルの信号レベルを交互に持つ。詳細には、電源装置1 [i] は上述の基準クロック信号CLK 1としてクロック信号CLK [i] を用いる。
- [0119] ここで、クロック信号CLK [1] ~CLK [n] は互いに同じ周波数 f_{PWM} を有し且つ互いに異なる位相を有する。図21に“ $n \geq 4$ ”である場合のクロック信号CLK [1] ~CLK [4] の波形を示す。クロック信号CLK [i+1] はクロック信号CLK [i] の位相を、位相の遅れ方向に、シフトさせた信号である。即ち例えば、クロック信号CLK [2] はクロック信号CLK [1] の位相を所定量 $\Delta\theta$ だけ遅らせることで得られる信号であり、クロック信号CLK [3] はクロック信号CLK [2] の位相を更に所定量 $\Delta\theta$ だけ遅らせることで得られる信号であり、クロック信号CLK [4

]はクロック信号CLK [3]の位相を更に所定量 $\Delta\theta$ だけ遅らせることで得られる信号である。クロック信号CLK [1]から見てクロック信号CLK [n]の位相の遅れ量は 360° 未満である。“ $n=4$ ”であるとき、例えば、所定量 $\Delta\theta$ は 10° である。

[0120] この際、電源装置1 [1] ~ 1 [n]により全体として $(2 \times n)$ フェーズのマルチフェーズコンバータを構成できるよう、所定量 $\Delta\theta$ が決定される。即ち、“ $1 \leq i \leq n$ ”且つ“ $1 \leq j \leq n$ ”を満たす互いに異なる任意の整数 i 及び j について、電源装置1 [i]における第1及び第3コンバータ出力電流と電源装置1 [j]における第1及び第3コンバータ出力電流が全て互いに異なる位相を有するよう、且つ、電源装置1 [i]における第2及び第4コンバータ出力電流と電源装置1 [j]における第2及び第4コンバータ出力電流が全て互いに異なる位相を有するよう、所定量 $\Delta\theta$ が決定される。ここで、電源装置1 [i]における第1、第2、第3、第4コンバータ出力電流は、夫々、電源装置1 [i]における第1チャンネルのバックコンバータの出力電流（即ちインダクタ電流 I_{L1} ）、第2チャンネルのバックコンバータの出力電流（即ちインダクタ電流 I_{L2} ）、第1チャンネルのスタックドコンバータの出力電流（即ちインダクタ電流 I_{L3} ）、及び、第2チャンネルのスタックドコンバータの出力電流（即ちインダクタ電流 I_{L4} ）である。電源装置1 [j]における第1、第2、第3、第4コンバータ出力電流は、夫々、電源装置1 [j]における第1チャンネルのバックコンバータの出力電流（即ちインダクタ電流 I_{L1} ）、第2チャンネルのバックコンバータの出力電流（即ちインダクタ電流 I_{L2} ）、第1チャンネルのスタックドコンバータの出力電流（即ちインダクタ電流 I_{L3} ）、及び、第2チャンネルのスタックドコンバータの出力電流（即ちインダクタ電流 I_{L4} ）である。

[0121] $(2 \times n)$ フェーズのマルチフェーズコンバータの構成方法として、以下の第1構成方法、第2構成方法又は第3構成方法を採用できる。

[0122] 図22を参照して第1構成方法を説明する。第1構成方法では、電源モジュールPM [1]がマスタモジュールとして機能し、電源モジュールPM [

1]にて生成されたクロック信号CLK [1]を基準にクロックチェーン方式でクロック信号CLK [2]~CLK [n]が決定される。即ち、第1構成方法に係る電源モジュールPM [1] (例えば電源装置1 [1]内の制御回路30)は、クロック信号CLK [1]を自身の基準クロック信号CLK 1として用いると共に、クロック信号CLK [1]の位相を所定量 $\Delta\theta$ だけ遅らせた信号をクロック信号CLK [2]として生成し、生成したクロック信号CLK [2]を電源モジュールPM [2]に供給する。第1構成方法に係る電源モジュールPM [2] (例えば電源装置1 [2]内の制御回路30)は、クロック信号CLK [2]を自身の基準クロック信号CLK 1として用いると共に、クロック信号CLK [2]の位相を所定量 $\Delta\theta$ だけ遅らせた信号をクロック信号CLK [3]として生成し、生成したクロック信号CLK [3]を電源モジュールPM [3]に供給する。電源モジュールPM [3]等も同様である。

[0123] 一般化すると、“ $1 \leq i \leq n - 1$ ”を満たす任意の整数*i*に関し、第1構成方法に係る電源モジュールPM [*i*] (例えば電源装置1 [*i*]内の制御回路30)は、クロック信号CLK [*i*]を自身の基準クロック信号CLK 1として用いると共に、クロック信号CLK [*i*]の位相を所定量 $\Delta\theta$ だけ遅らせた信号をクロック信号CLK [*i*+1]として生成し、生成したクロック信号CLK [*i*+1]を電源モジュールPM [*i*+1]に供給する。第1構成方法に係る電源モジュールPM [*n*] (例えば電源装置1 [*n*]内の制御回路30)は、クロック信号CLK [*n*]を自身の基準クロック信号CLK 1として用いる。電源モジュールPM [*n*]は、クロック信号CLK [*n*]の位相を所定量 $\Delta\theta$ だけ遅らせた信号を生成する必要は無い。

[0124] 図23を参照して第2構成方法を説明する。第2構成方法では、電源モジュールPM [1]がマスタモジュールとして機能し、電源モジュールPM [1] (例えば電源装置1 [1]内の制御回路30)にてクロック信号CLK [1]~CLK [n]を全て生成する。第2構成方法に係る電源モジュールPM [1] (例えば電源装置1 [1]内の制御回路30)は、クロック信号

CLK [1] を自身の基準クロック信号CLK 1として用いると共に、クロック信号CLK [2] ~CLK [n] を夫々電源モジュールPM [2] ~PM [n] に供給する。“ $2 \leq i \leq n$ ” を満たす任意の整数 i に関し、第2構成方法に係る電源モジュールPM [i] は、供給されたクロック信号CLK [i] を自身の基準クロック信号CLK 1として用いる。

[0125] 図24を参照して第3構成方法を説明する。第3構成方法の採用時には電源システムSYSにホスト装置HSTが設けられる。ホスト装置HSTはマイクロコンピュータ等にて構成される。第3構成方法に係るホスト装置HSTは、クロック信号CLK [1] ~CLK [n] を生成し、クロック信号CLK [1] ~CLK [n] を外部クロック信号として夫々電源モジュールPM [1] ~PM [n] に供給する。“ $1 \leq i \leq n$ ” を満たす任意の整数 i に関し、第3構成方法に係る電源モジュールPM [i] は、供給されたクロック信号CLK [i] を自身の基準クロック信号CLK 1として用いる。

[0126] <<第6実施形態>>

本開示の第6実施形態を説明する。第6実施形態では第1~第5実施形態に対する変形技術、応用技術又は補足事項等を説明する。

[0127] 本開示に係る電源装置1又は電源システムSYSを、安定した直流電圧を要する任意の装置又はシステムに適用することができる。例えば、データセンタ用の電源システムに電源装置1又は電源システムSYSを適用して良い。この際例えば、電源装置1又は電源システムSYSにおける出力電圧 V_{OUT} は48Vであって良く、電源装置1又は電源システムSYSは48Vの電源バスに対して出力電圧 V_{OUT} を供給する。近年、データセンタでの消費電力低減は重要な課題となっており、この中で12Vの電源バスから48Vの電源バスへの移行が進んでいる。48Vの電源バスから、サーバシステムに対して又は半導体メモリ若しくは磁気ディスク等から成るストレージデバイスに対して、高効率で電力供給を行う必要があり、大電力化及び部品点数の削減への要求が高い。電源装置1又は電源システムSYSの利用により、マルチフェーズ動作による大電力化が可能であると共に、部品点数の削減効果が得

られる。

- [0128] 或いは、自動車等の車両におけるプライマリ電源に対して電源装置1又は電源システムS Y Sを適用して良い。この際、電源装置1又は電源システムS Y Sは、車両に搭載されたバッテリーから入力電圧 V_{IN} を直接受けて出力電圧 V_{OUT} を生成して良く、出力電圧 V_{OUT} は車両に搭載された任意のシステム（例えばレベル3以上の自動運転システム）の駆動用電圧として機能して良い。或いは例えば、充電システム用の電源に対して電源装置1又は電源システムS Y Sを適用して良い。充電システムは電動車両のバッテリーを充電するものであって良い。或いは例えば、基地局向けの電源に対して電源装置1又は電源システムS Y Sを適用して良い。
- [0129] 任意の信号又は電圧に関して、上述の主旨を損なわない形で、それらのハイレベルとローレベルの関係は上述したものの逆とされ得る。
- [0130] 各実施形態に示されたF E T（電界効果トランジスタ）のチャンネルの種類は例示である。上述の主旨を損なわない形で、任意のF E Tのチャンネルの種類はPチャンネル型及びNチャンネル型間で変更され得る。従って例えば、トランジスタM1～M8はPチャンネル型のM O S F E Tにて形成されていても良いし、トランジスタM1～M8の中にNチャンネル型のM O S F E TとPチャンネル型のM O S F E Tとを混在させても良い。
- [0131] 不都合が生じない限り、上述の任意のトランジスタは、任意の種類 of トランジスタであって良い。例えば、M O S F E Tとして上述された任意のトランジスタを、不都合が生じない限り、接合型F E T、I G B T（Insulated Gate Bipolar Transistor）又はバイポーラトランジスタに置き換えることも可能である。任意のトランジスタは第1電極、第2電極及び制御電極を有する。F E Tにおいては、第1及び第2電極の内的一方がドレインで他方がソースであり且つ制御電極がゲートである。I G B Tにおいては、第1及び第2電極の内的一方がコレクタで他方がエミッタであり且つ制御電極がゲートである。I G B Tに属さないバイポーラトランジスタにおいては、第1及び第2電極の内的一方がコレクタで他方がエミッタであり且つ制御電極がベ

ースである。

[0132] 本開示の実施形態は、特許請求の範囲に示された技術的思想の範囲内において、適宜、種々の変更が可能である。以上の実施形態は、あくまでも、本開示の実施形態の例であって、本開示ないし各構成要件の用語の意義は、以上の実施形態に記載されたものに制限されるものではない。上述の説明文中に示した具体的な数値は、単なる例示であって、当然の如く、それらを様々な数値に変更することができる。

[0133] <<付記>>

上述の実施形態にて具体的構成例が示された本開示について付記を設ける。

[0134] 本開示の一側面に係る電源装置は（例えば図8、図15又は図16参照）、基準ノードと第1ノードとの間に設けられた第1スイッチング素子（M1）と、前記第1ノードと第2ノードとの間に設けられた第2スイッチング素子（M2）と、前記第2ノードと第3ノードとの間に設けられた第3スイッチング素子（M3）と、前記第3ノードと第4ノードとの間に設けられた第4スイッチング素子（M4）と、前記基準ノードと第5ノードとの間に設けられた第5スイッチング素子（M5）と、前記第5ノードと第6ノードとの間に設けられた第6スイッチング素子（M6）と、前記第6ノードと第7ノードとの間に設けられた第7スイッチング素子（M7）と、前記第7ノードと第8ノードとの間に設けられた第8スイッチング素子（M8）と、前記第3ノードと前記第5ノードとの間に設けられた第1フライングキャパシタ（ C_{FLY1} ）と、前記第7ノードと前記第1ノードとの間に設けられた第2フライングキャパシタ（ C_{FLY2} ）と、前記第1ノードと出力ノードとの間に設けられた第1インダクタ（L1）と、前記第5ノードと前記出力ノードとの間に設けられた第2インダクタ（L2）と、前記出力ノードと前記基準ノードとの間に設けられた出力キャパシタ（ C_{OUT} ）と、制御回路（30）と、を備え、且つ、前記第2ノード及び前記第6ノードと前記基準ノードとの間に1以上の中間キャパシタを備えるか（例えば図8又は図15参照）、又は、前

記第2ノード及び前記第6ノード間に単一の間接キャパシタ（例えば図16参照）を備え、前記第4ノード及び前記第8ノードには前記基準ノードでの電圧よりも高い入力電圧（ V_{IN} ）が供給され、前記制御回路は、前記第1スイッチング素子～前記第8スイッチング素子の状態を制御することを通じ、前記入力電圧よりも低い出力電圧（ V_{OUT} ）を前記出力ノードに発生させる構成（第1の構成）である。

[0135] これにより、良好なマルチフェーズ動作を実現できる電源装置を構成できる。

[0136] 上記第1の構成に係る電源装置において（図9～図12参照）、前記制御回路は、前記第1スイッチング素子～前記第8スイッチング素子の動作モードを第1モード、第2モード、第3モード及び第4モード（MD1～MD4）間で順次切り替え、前記第1モードにおいて、前記第2、第3、第5及び第8スイッチング素子をオン状態に制御し、且つ、前記第1、第4、第6及び第7スイッチング素子をオフ状態に制御し、前記第2モードにおいて、前記第2、第4、第6及び第8スイッチング素子をオン状態に制御し、且つ、前記第1、第3、第5及び第7スイッチング素子をオフ状態に制御し、前記第3モードにおいて、前記第1、第4、第6及び第7スイッチング素子をオン状態に制御し、且つ、前記第2、第3、第5及び第8スイッチング素子をオフ状態に制御し、前記第4モードにおいて、前記第1、第3、第5及び第7スイッチング素子をオン状態に制御し、且つ、前記第2、第4、第6及び第8スイッチング素子をオフ状態に制御する構成（第2の構成）であっても良い。

[0137] 上記第2の構成に係る電源装置において（図13及び図14参照）、前記制御回路は、前記出力電圧の情報（ V_{FB} ）、前記第1インダクタの電流情報（ V_{IL1} ）及び前記第2インダクタの電流情報（ V_{IL2} ）に基づき、前記第1スイッチング素子～前記第8スイッチング素子の動作モードを前記第1モード～前記第4モード間で順次切り替える構成（第3の構成）であっても良い。

- [0138] 上記第3の構成に係る電源装置において（図13及び図14参照）、前記制御回路は、前記出力電圧の情報及び前記第1インダクタの電流情報に基づき、基準クロック信号（CLK1）に同期して前記第1、第2、第7及び第8スイッチング素子のスイッチング制御を行うよう構成された第1コントローラ（36_1）と、前記出力電圧の情報及び前記第2インダクタの電流情報に基づき、シフトクロック信号（CLK2）に同期して前記第3、第4、第5及び第6スイッチング素子のスイッチング制御を行うよう構成された第2コントローラ（36_1）と、を有し、前記シフトクロック信号は前記基準クロック信号の位相をシフトさせた信号である構成（第4の構成）であっても良い。
- [0139] 上記第4の構成に係る電源装置において（図13及び図14参照）、前記第1コントローラは、前記基準クロック信号における所定レベル変化を契機に前記第1及び第7スイッチング素子をターンオフさせるとともに前記第2及び第8スイッチング素子をターンオンさせ、その後、前記出力電圧の情報及び前記第1インダクタの電流情報に応じた時間（ t_{ON1} ）が経過すると前記第1及び第7スイッチング素子をターンオンさせるとともに前記第2及び第8スイッチング素子をターンオフさせ、前記第2コントローラは、前記シフトクロック信号における所定レベル変化を契機に前記第3及び第5スイッチング素子をターンオフさせるとともに前記第4及び第6スイッチング素子をターンオンさせ、その後、前記出力電圧の情報及び前記第2インダクタの電流情報に応じた時間（ t_{ON2} ）が経過すると前記第3及び第5スイッチング素子をターンオンさせるとともに前記第4及び第6スイッチング素子をターンオフさせる構成（第5の構成）であっても良い。
- [0140] 上記第1～第5の構成の何れかに係る電源装置において、前記第5ノードと前記出力ノードとの間に設けられた第3インダクタ（L3）と、前記第1ノードと前記出力ノードとの間に設けられた第4インダクタ（L4）と、を更に備える構成（第6の構成）であっても良い。
- [0141] これにより、図3の電源装置930を2つ設ける場合と比べ、より少ない

部品点数にて、必要な出力電力を得ることができる。

- [0142] 上記第1～第5の構成の何れかに係る電源装置において（例えば図8参照）、前記1以上の中間キャパシタとして、前記第2ノードと前記基準ノードとの間に設けられた第1中間キャパシタ（ C_{MID1} ）と、前記第6ノードと前記基準ノードとの間に設けられた第2中間キャパシタ（ C_{MID2} ）と、を備える構成（第7の構成）であっても良い。
- [0143] 上記第1～第5の構成の何れかに係る電源装置において（例えば図15参照）、前記1以上の中間キャパシタとして1つの中間キャパシタ（ C_{MID1} ）を備え、前記第2ノード及び前記第6ノードは互いに接続され、前記第2ノード及び前記第6ノードと前記基準ノードとの間に前記1つの中間キャパシタが設けられる構成（第8の構成）であっても良い。
- [0144] 上記第1～第5の構成の何れかに係る電源装置において（例えば図16参照）、前記第2ノード及び前記第6ノード間に前記単一の中間キャパシタ（ C_{MID} ）が設けられる構成（第9の構成）であっても良い。
- [0145] 本開示の一側面に係る電源システム（図20；SYS）、は、上記第1～第9の構成の何れかに係る電源装置を複数備えた構成（第10の構成）である。
- [0146] 上記第10の構成に係る電源システムにおいて、各電源装置をクロック信号に同期して動作させ、複数の電源装置に対する複数のクロック信号（ $CLK[1] \sim CLK[n]$ ）は、互いに同じ周波数を有し且つ互いに異なる位相を有する構成（第11の構成）であっても良い。
- [0147] 上記第11の構成に係る電源システムにおいて、前記複数の電源装置の各出力ノードは互いに接続される構成（第12の構成）であっても良い。
- [0148] 本開示の一側面に係る電源装置（図20；SYS）は、上記第4又は第5の構成に係る電源装置を複数備えた電源システムであって、複数の電源装置における複数の基準クロック信号（ $CLK[1] \sim CLK[n]$ ）は、互いに同じ周波数を有し且つ互いに異なる位相を有する構成（第13の構成）であっても良い。

[0149] 上記第13の構成に係る電源システムにおいて、前記複数の電源装置の各出力ノードは互いに接続される構成（第14の構成）であっても良い。

符号の説明

[0150] 910、930 電源装置

931 バックコンバータ

932 スタックドコンバータ

V_{in} 入力電圧

V_{out} 出力電圧

$m1 \sim m5$ スイッチング素子

C_{fly} 、 C_{mid} 、 C_{out} キャパシタ

L_a 、 L_b インダクタ

1、1A~1C、1A' ~ 1C' 電源装置

10、20 コンバータ

30 制御回路

$M1 \sim M8$ スイッチング素子（トランジスタ）

$G1 \sim G8$ ゲート信号

C_{FLY1} 、 C_{FLY2} キャパシタ（フライングキャパシタ）

C_{MID1} 、 C_{MID2} キャパシタ（中間キャパシタ）

C_{OUT} キャパシタ（出力キャパシタ）

$L1 \sim L4$ インダクタ

V_{IN} 入力電圧

V_{OUT} 出力電圧

V_{MID1} 、 V_{MID2} 中間電圧

$ND1 \sim ND8$ ノード

ND_{OUT} 出力ノード

$I_{L1} \sim I_{L4}$ インダクタ電流

I_{LD} 負荷電流

31 エラーアンプ

3 2 _ 1、3 2 _ 2 ランプ回路
3 3 _ 1、3 3 _ 2 電流情報取得回路
3 4 _ 1、3 4 _ 2 加算器
3 5 _ 1、3 5 _ 2 PWMコンパレータ
3 6 _ 1、3 6 _ 2 コントローラ
R 1、R 2 抵抗
 V_{FB} 帰還電圧
 V_{REF} 基準電圧
 V_{ERR} 誤差電圧
 WR_{ERR} 配線
 V_{RAMP1} 、 V_{RAMP2} ランプ電圧
 V_{IL1} 、 V_{IL2} センス電圧
 V_{SLP1} 、 V_{SLP2} スロープ電圧
CLK 1 基準クロック信号
CLK 2 シフトクロック信号
SYS 電源システム
PM [1] ~ PM [n] 電源モジュール
1 [1] ~ 1 [n] 電源装置
CLK [1] ~ CLK [n] クロック信号

請求の範囲

- [請求項1] 基準ノードと第1ノードとの間に設けられた第1スイッチング素子と、
- 前記第1ノードと第2ノードとの間に設けられた第2スイッチング素子と、
- 前記第2ノードと第3ノードとの間に設けられた第3スイッチング素子と、
- 前記第3ノードと第4ノードとの間に設けられた第4スイッチング素子と、
- 前記基準ノードと第5ノードとの間に設けられた第5スイッチング素子と、
- 前記第5ノードと第6ノードとの間に設けられた第6スイッチング素子と、
- 前記第6ノードと第7ノードとの間に設けられた第7スイッチング素子と、
- 前記第7ノードと第8ノードとの間に設けられた第8スイッチング素子と、
- 前記第3ノードと前記第5ノードとの間に設けられた第1フライングキャパシタと、
- 前記第7ノードと前記第1ノードとの間に設けられた第2フライングキャパシタと、
- 前記第1ノードと出力ノードとの間に設けられた第1インダクタと、
- 前記第5ノードと前記出力ノードとの間に設けられた第2インダクタと、
- 前記出力ノードと前記基準ノードとの間に設けられた出力キャパシタと、
- 制御回路と、を備え、且つ、前記第2ノード及び前記第6ノードと

前記基準ノードとの間に1以上の中間キャパシタを備えるか、又は、前記第2ノード及び前記第6ノード間に単一の中間キャパシタを備え、

前記第4ノード及び前記第8ノードには前記基準ノードでの電圧よりも高い入力電圧が供給され、

前記制御回路は、前記第1スイッチング素子～前記第8スイッチング素子の状態を制御することを通じ、前記入力電圧よりも低い出力電圧を前記出力ノードに発生させる

、電源装置。

[請求項2]

前記制御回路は、前記第1スイッチング素子～前記第8スイッチング素子の動作モードを第1モード、第2モード、第3モード及び第4モード間で順次切り替え、

前記第1モードにおいて、前記第2、第3、第5及び第8スイッチング素子をオン状態に制御し、且つ、前記第1、第4、第6及び第7スイッチング素子をオフ状態に制御し、

前記第2モードにおいて、前記第2、第4、第6及び第8スイッチング素子をオン状態に制御し、且つ、前記第1、第3、第5及び第7スイッチング素子をオフ状態に制御し、

前記第3モードにおいて、前記第1、第4、第6及び第7スイッチング素子をオン状態に制御し、且つ、前記第2、第3、第5及び第8スイッチング素子をオフ状態に制御し、

前記第4モードにおいて、前記第1、第3、第5及び第7スイッチング素子をオン状態に制御し、且つ、前記第2、第4、第6及び第8スイッチング素子をオフ状態に制御する

、請求項1に記載の電源装置。

[請求項3]

前記制御回路は、前記出力電圧の情報、前記第1インダクタの電流情報及び前記第2インダクタの電流情報に基づき、前記第1スイッチング素子～前記第8スイッチング素子の動作モードを前記第1モード

～前記第4モード間で順次切り替える
、請求項2に記載の電源装置。

[請求項4] 前記制御回路は、前記出力電圧の情報及び前記第1インダクタの電流情報に基づき、基準クロック信号に同期して前記第1、第2、第7及び第8スイッチング素子のスイッチング制御を行うよう構成された第1コントローラと、前記出力電圧の情報及び前記第2インダクタの電流情報に基づき、シフトクロック信号に同期して前記第3、第4、第5及び第6スイッチング素子のスイッチング制御を行うよう構成された第2コントローラと、を有し、

前記シフトクロック信号は前記基準クロック信号の位相をシフトさせた信号である
、請求項3に記載の電源装置。

[請求項5] 前記第1コントローラは、前記基準クロック信号における所定レベル変化を契機に前記第1及び第7スイッチング素子をターンオフさせるとともに前記第2及び第8スイッチング素子をターンオンさせ、その後、前記出力電圧の情報及び前記第1インダクタの電流情報に応じた時間が経過すると前記第1及び第7スイッチング素子をターンオンさせるとともに前記第2及び第8スイッチング素子をターンオフさせ、

前記第2コントローラは、前記シフトクロック信号における所定レベル変化を契機に前記第3及び第5スイッチング素子をターンオフさせるとともに前記第4及び第6スイッチング素子をターンオンさせ、その後、前記出力電圧の情報及び前記第2インダクタの電流情報に応じた時間が経過すると前記第3及び第5スイッチング素子をターンオンさせるとともに前記第4及び第6スイッチング素子をターンオフさせる
、請求項4に記載の電源装置。

[請求項6] 前記第5ノードと前記出力ノードとの間に設けられた第3インダク

たと、

前記第1ノードと前記出力ノードとの間に設けられた第4インダクタと、を更に備える

、請求項1～5の何れかに記載の電源装置。

[請求項7]

前記1以上の中間キャパシタとして、

前記第2ノードと前記基準ノードとの間に設けられた第1中間キャパシタと、

前記第6ノードと前記基準ノードとの間に設けられた第2中間キャパシタと、を備える

、請求項1～5の何れかに記載の電源装置。

[請求項8]

前記1以上の中間キャパシタとして1つの中間キャパシタを備え、

前記第2ノード及び前記第6ノードは互いに接続され、前記第2ノード及び前記第6ノードと前記基準ノードとの間に前記1つの中間キャパシタが設けられる

、請求項1～5の何れかに記載の電源装置。

[請求項9]

前記第2ノード及び前記第6ノード間に前記単一の中間キャパシタが設けられる

、請求項1～5の何れかに記載の電源装置。

[請求項10]

請求項1～9の何れかに記載の電源装置を複数備えた電源システム。

[請求項11]

各電源装置をクロック信号に同期して動作させ、

複数の電源装置に対する複数のクロック信号は、互いに同じ周波数を有し且つ互いに異なる位相を有する

、請求項10に記載の電源システム。

[請求項12]

前記複数の電源装置の各出力ノードは互いに接続される

、請求項11に記載の電源システム。

[請求項13]

請求項4又は5に記載の電源装置を複数備えた電源システムであって、

複数の電源装置における複数の基準クロック信号は、互いに同じ周波数を有し且つ互いに異なる位相を有する

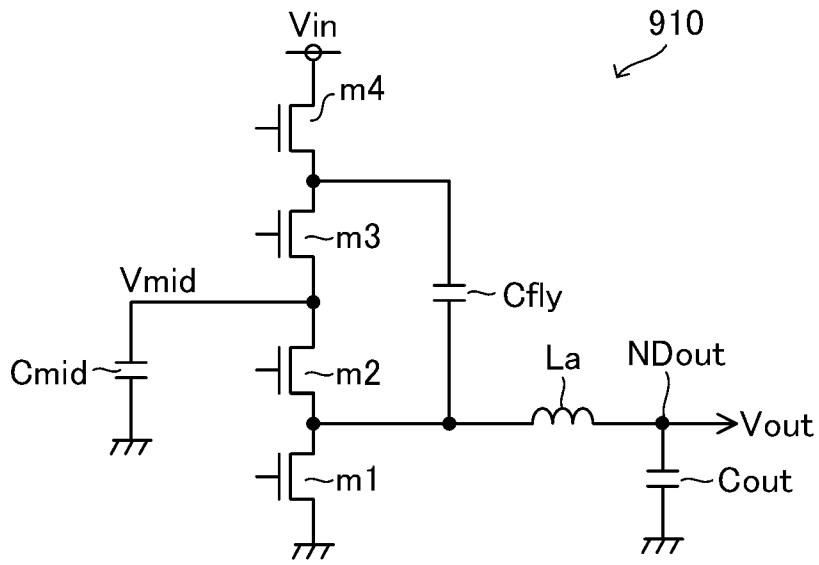
、電源システム。

[請求項14]

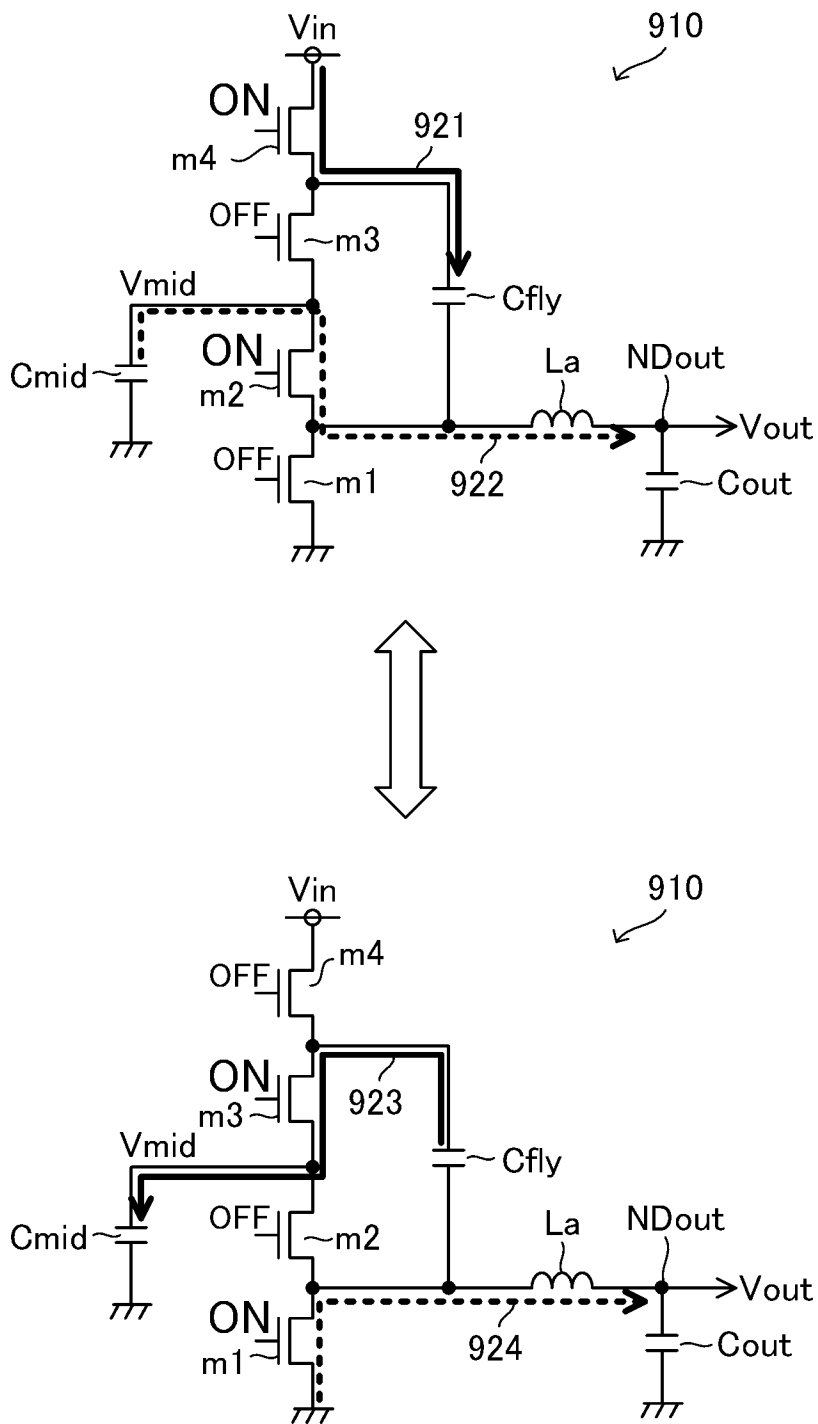
前記複数の電源装置の各出力ノードは互いに接続される

、請求項13に記載の電源システム。

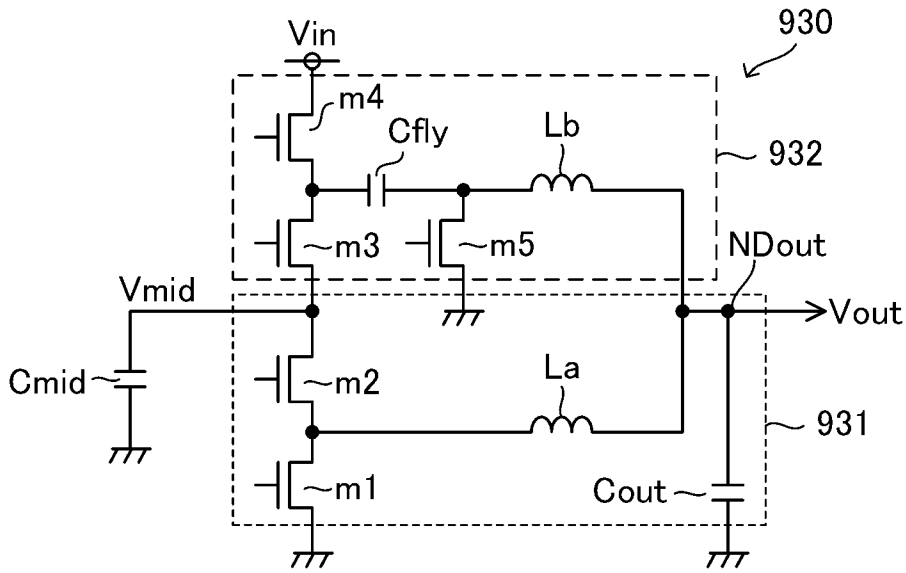
[図1]



[図2]

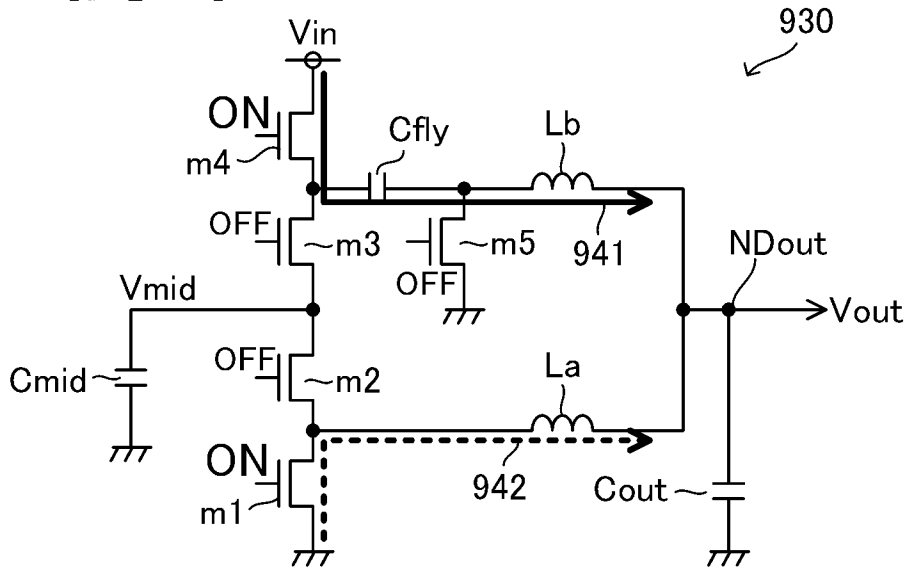


[図3]



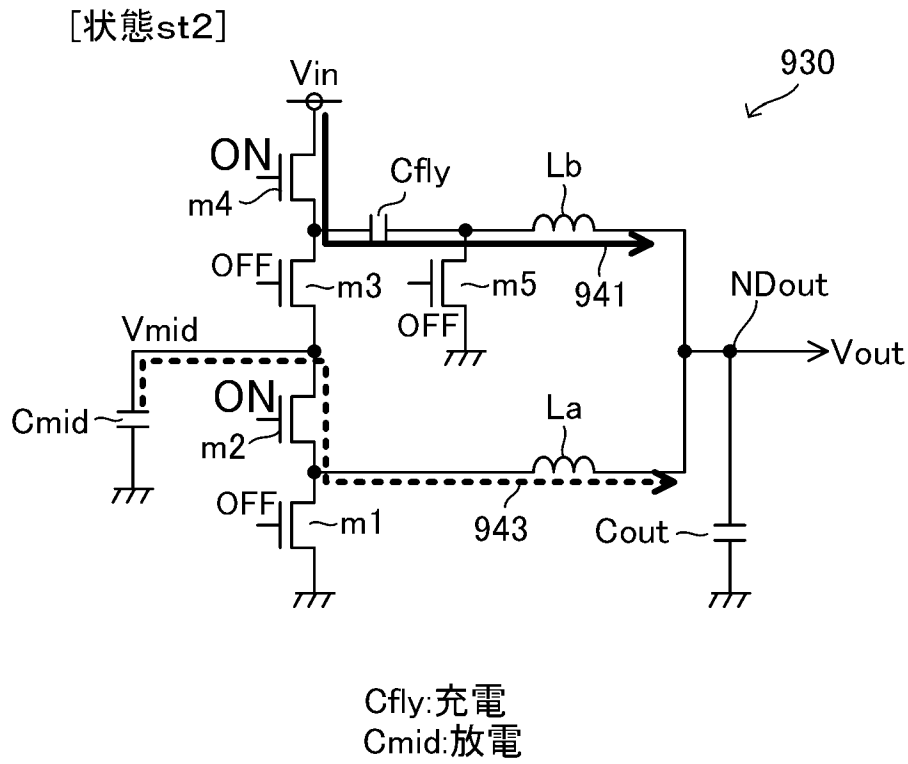
[図4]

[状態st1]

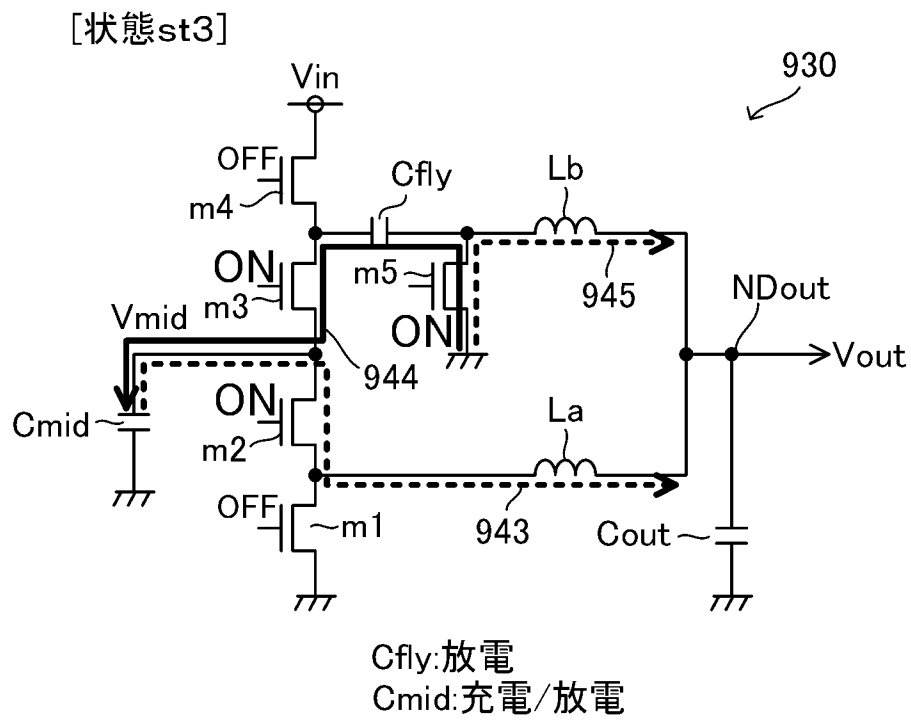


Cfly:充電
Cmid:電荷保持

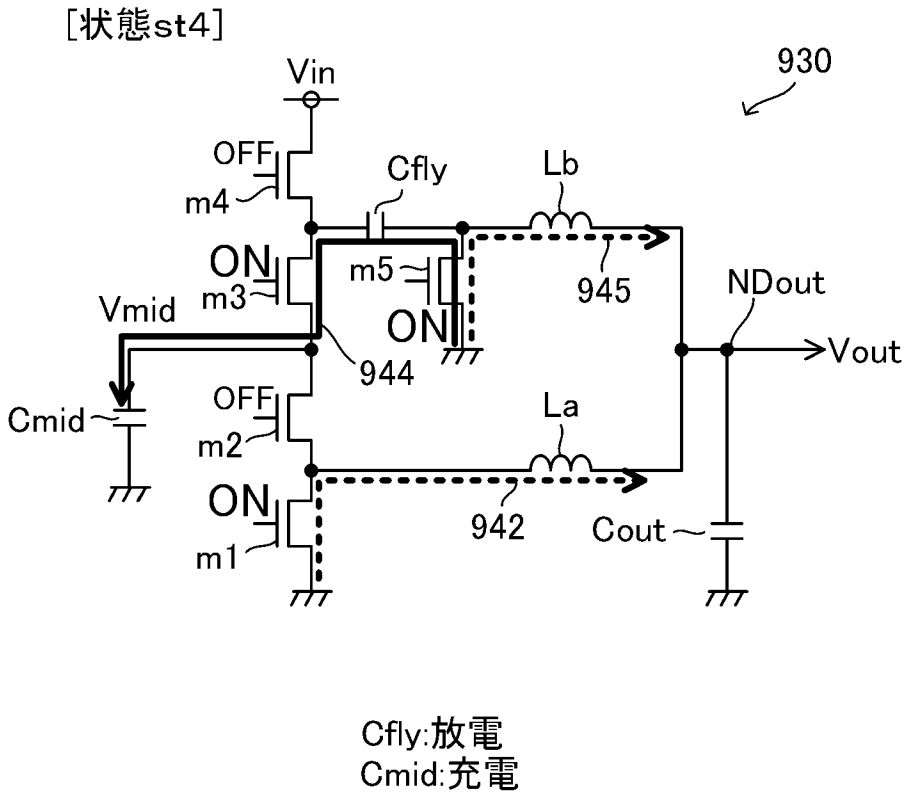
[図5]



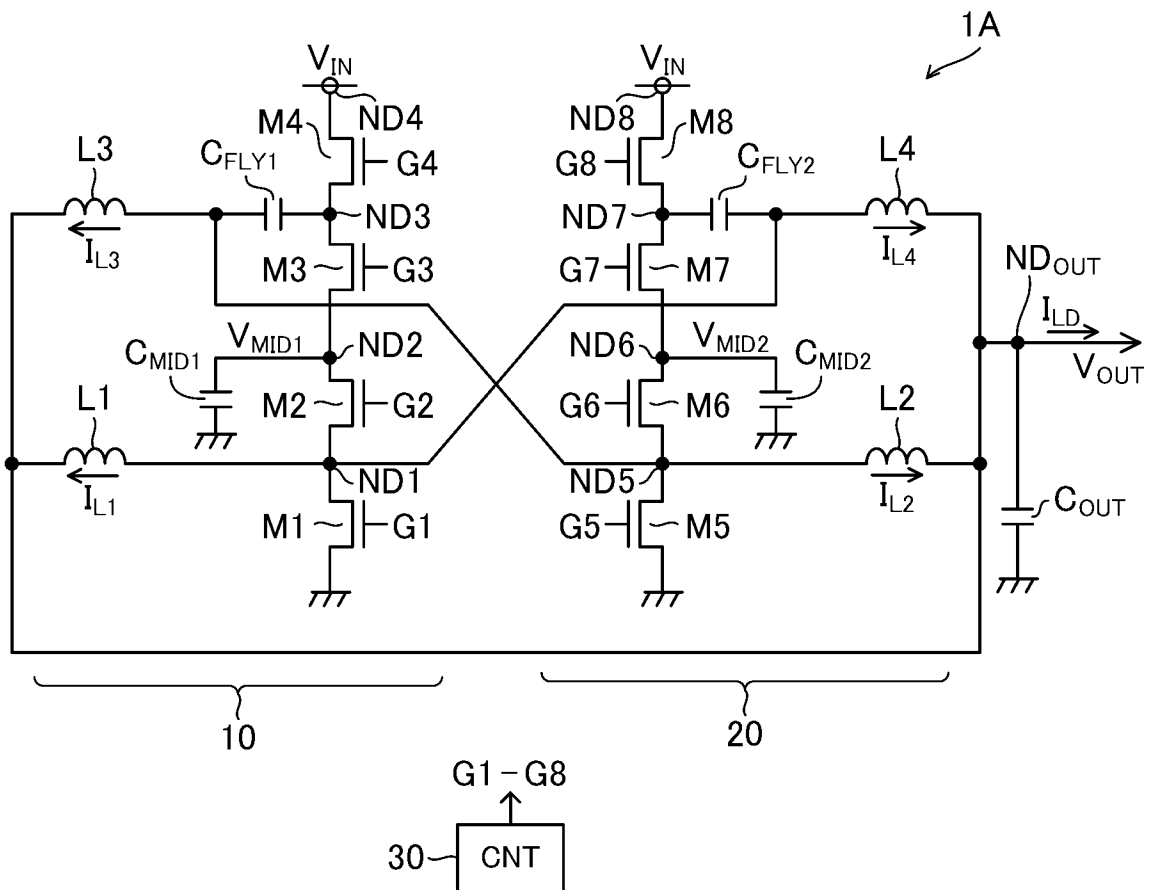
[図6]



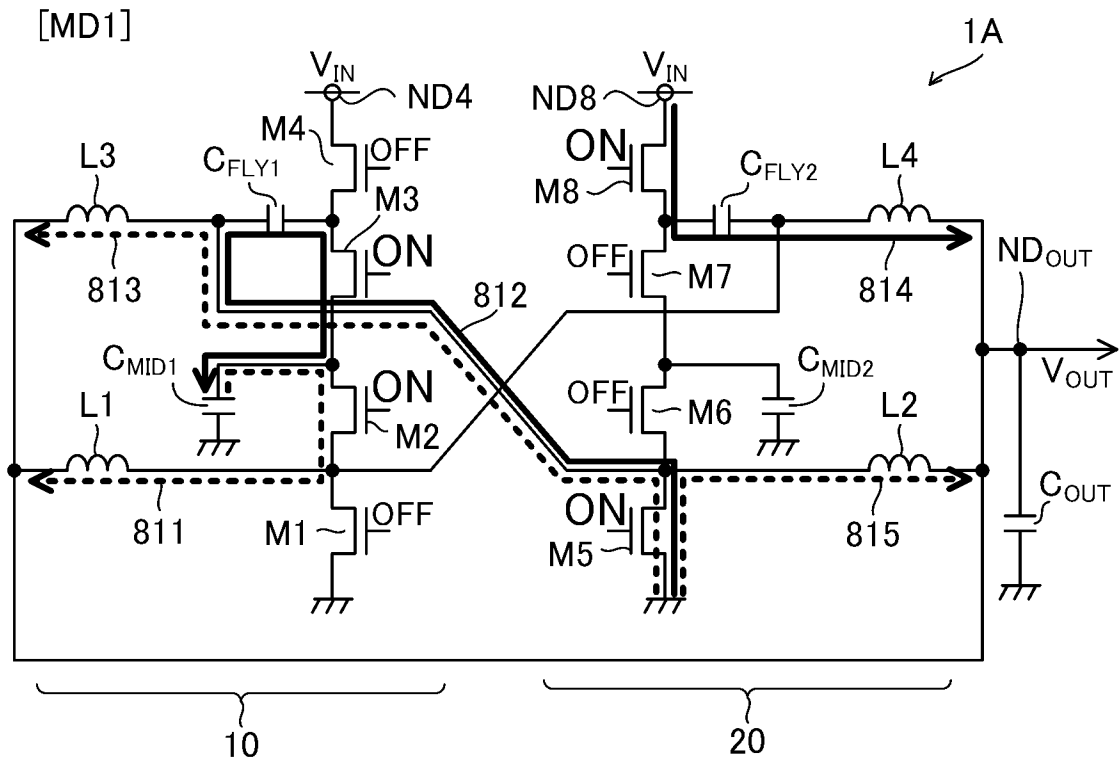
[图7]



[图8]



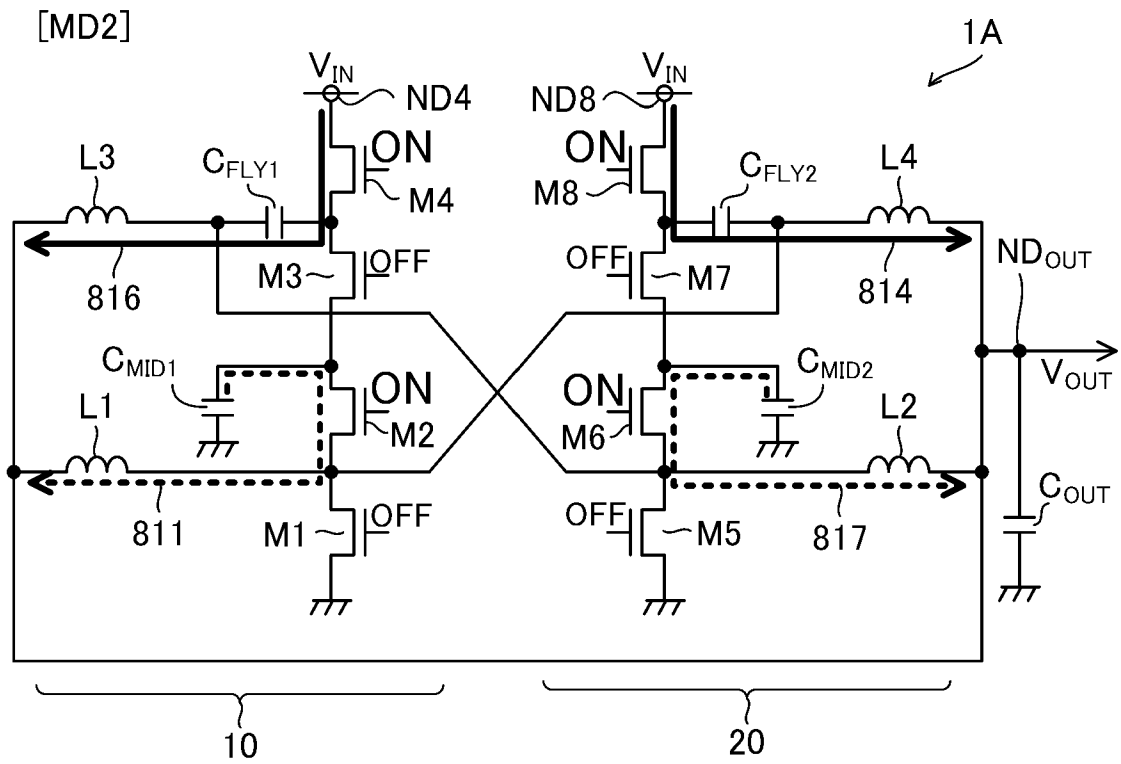
[図9]



C_{FLY1}: 放電
 C_{MID1}: 充電/放電
 (状態st3に対応)

C_{FLY2}: 充電
 C_{MID2}: 電荷保持
 (状態st1に対応)

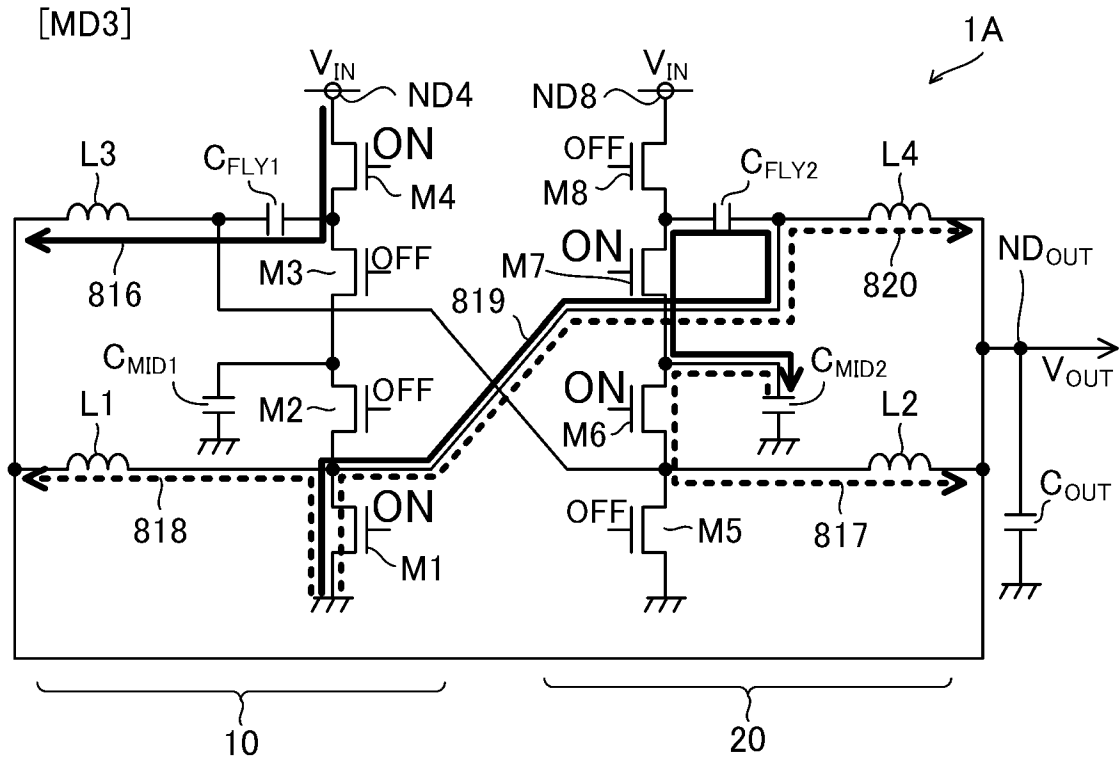
[図10]



C_{FLY1} : 充電
 C_{MID1} : 放電
 (状態st2に対応)

C_{FLY2} : 充電
 C_{MID2} : 放電
 (状態st2に対応)

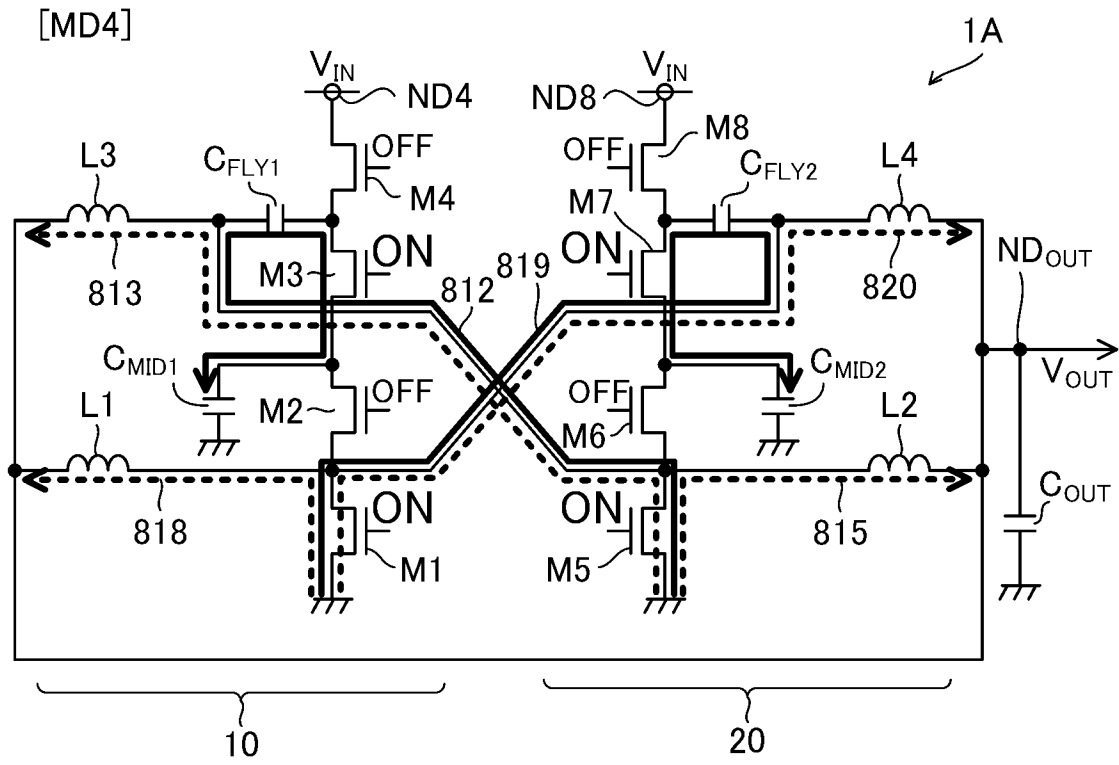
[図11]



C_{FLY1} : 充電
 C_{MID1} : 電荷保持
 (状態st1に対応)

C_{FLY2} : 放電
 C_{MID2} : 充電/放電
 (状態st3に対応)

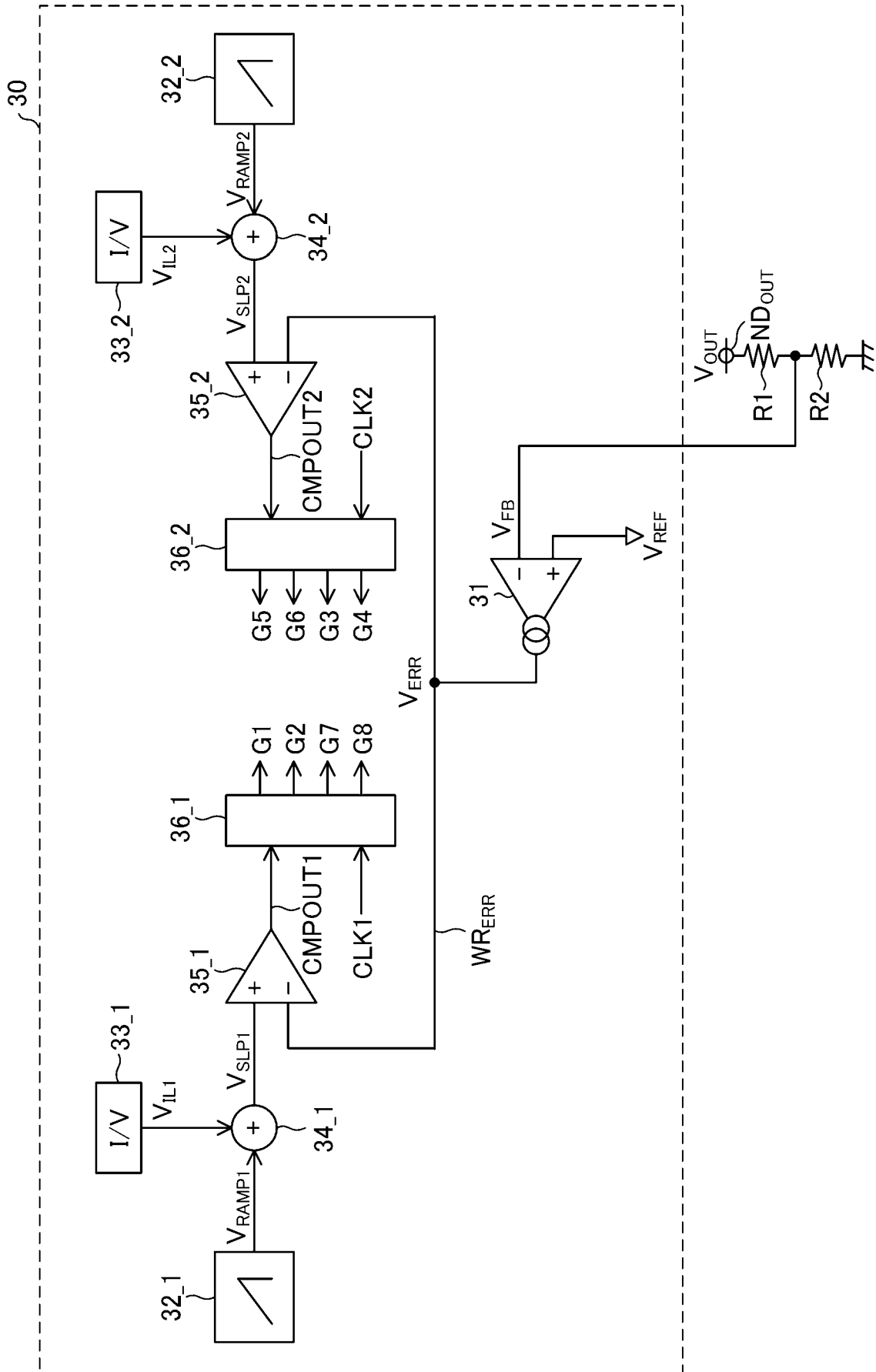
[図12]



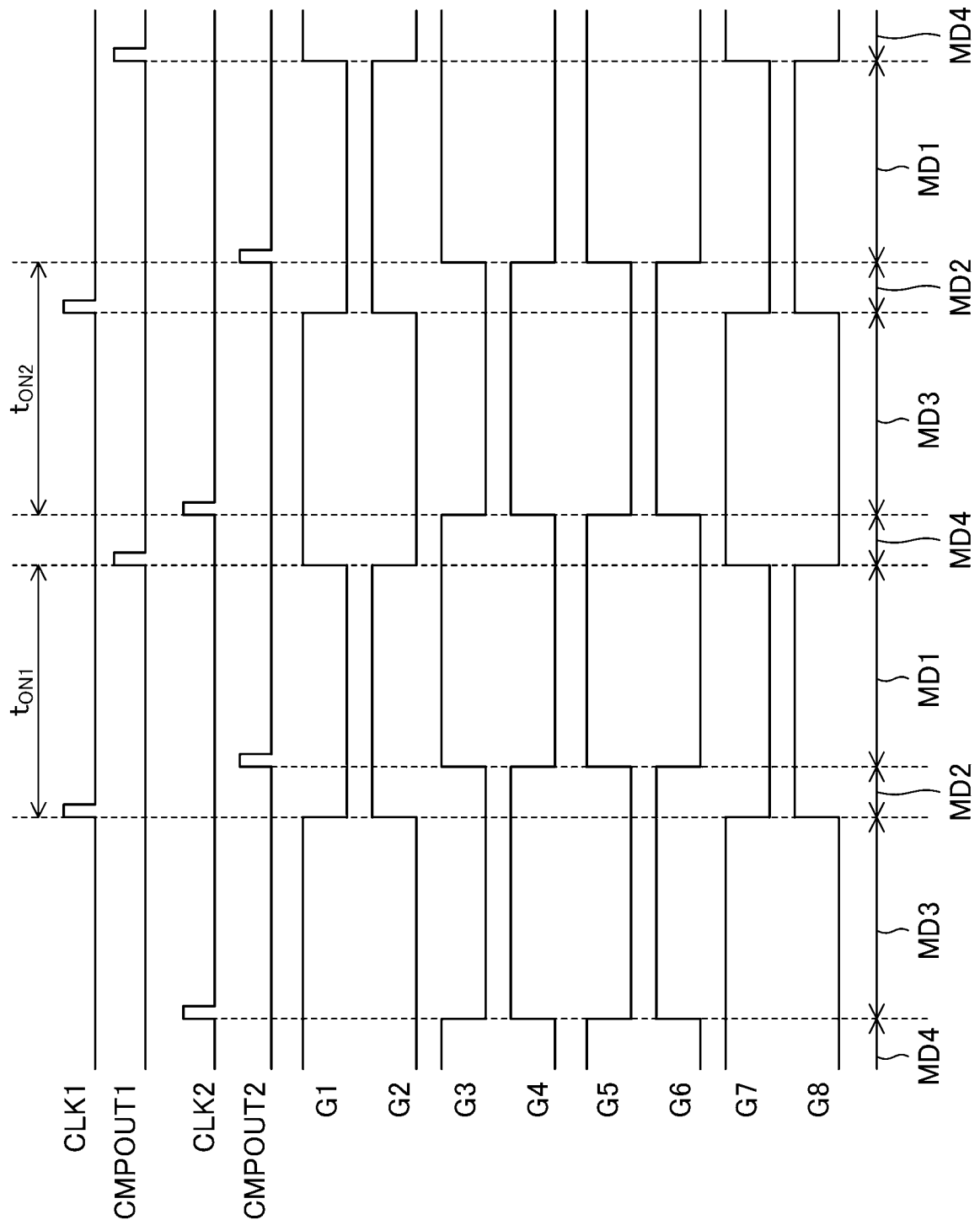
C_{FLY1} : 放電
 C_{MID1} : 充電
 (状態st4に対応)

C_{FLY2} : 放電
 C_{MID2} : 充電
 (状態st4に対応)

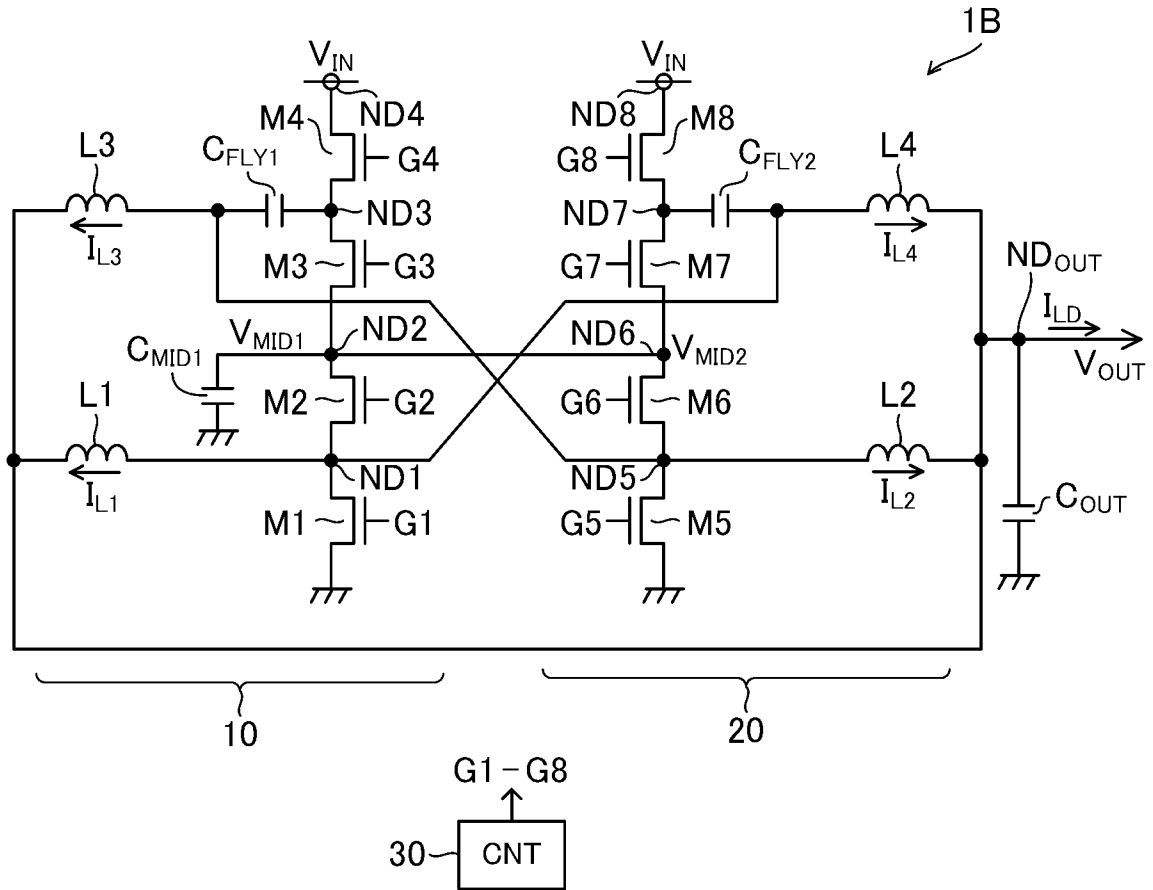
[13]



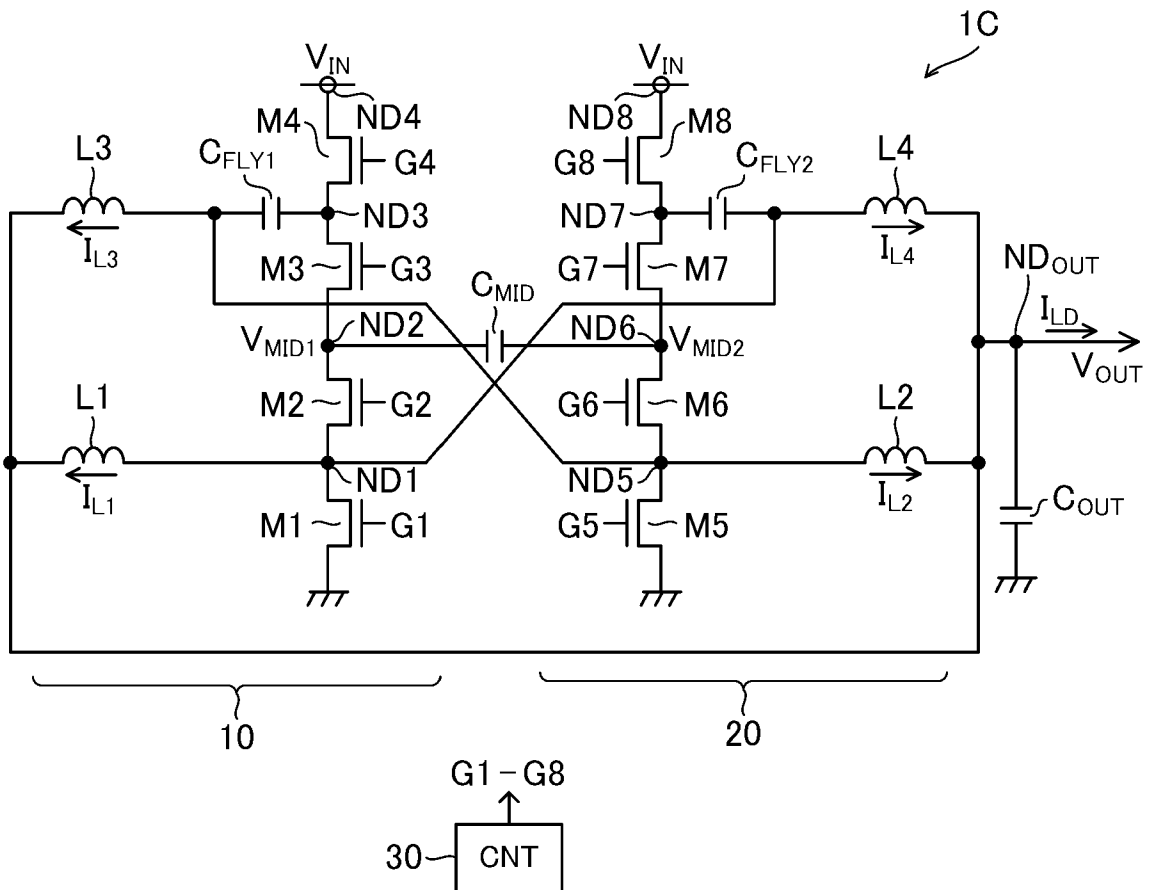
[図14]



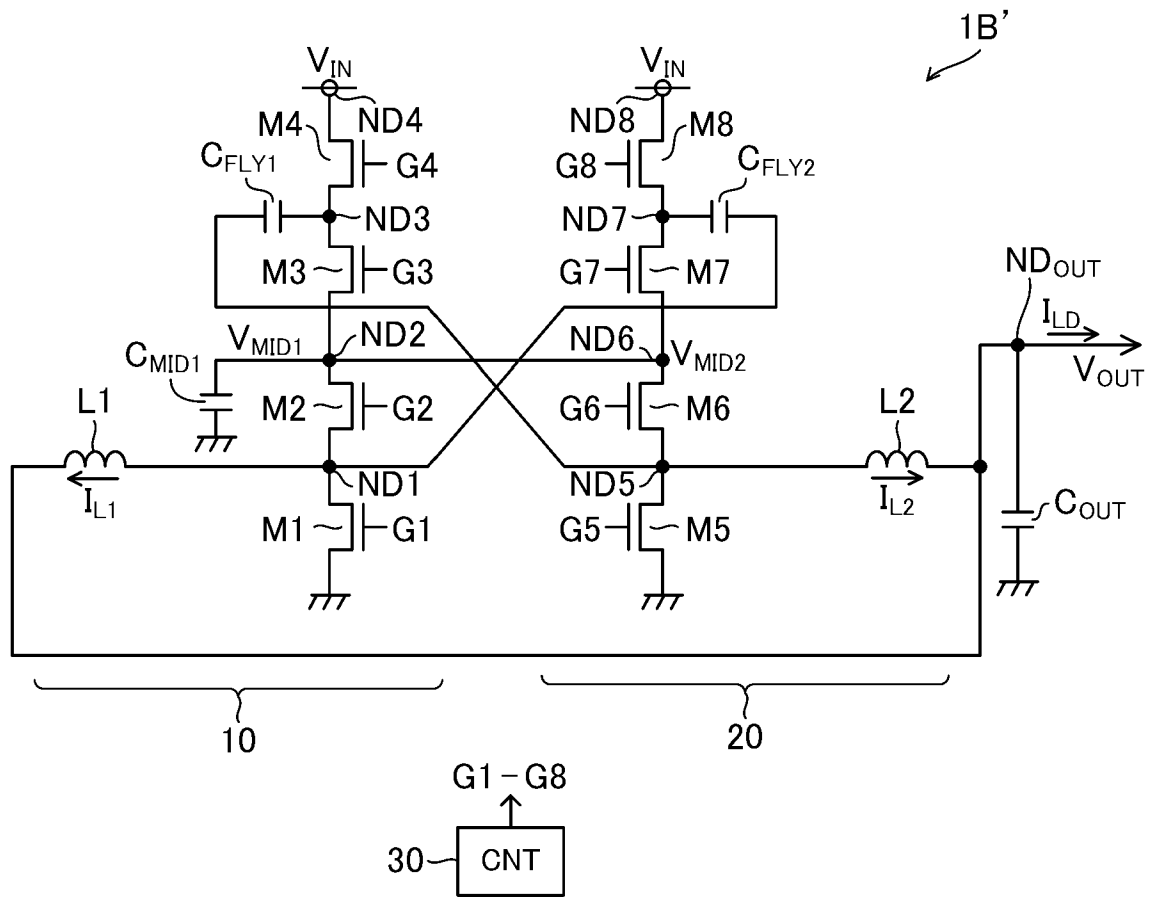
[図15]



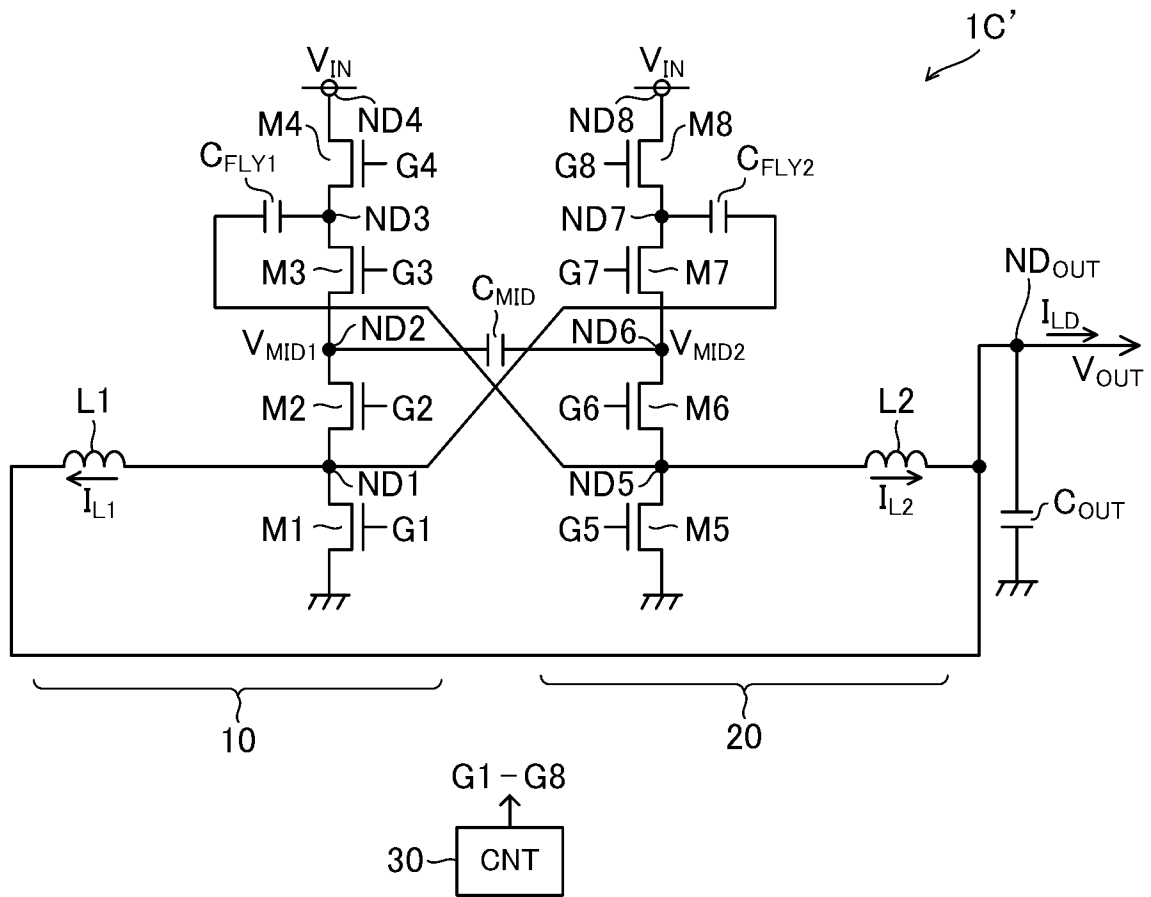
[図16]



[圖18]

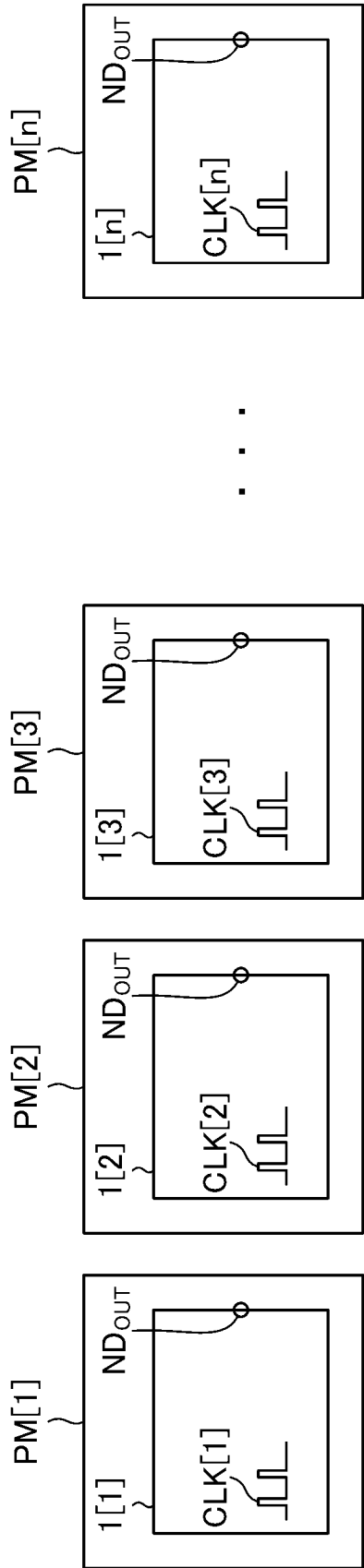


[図19]

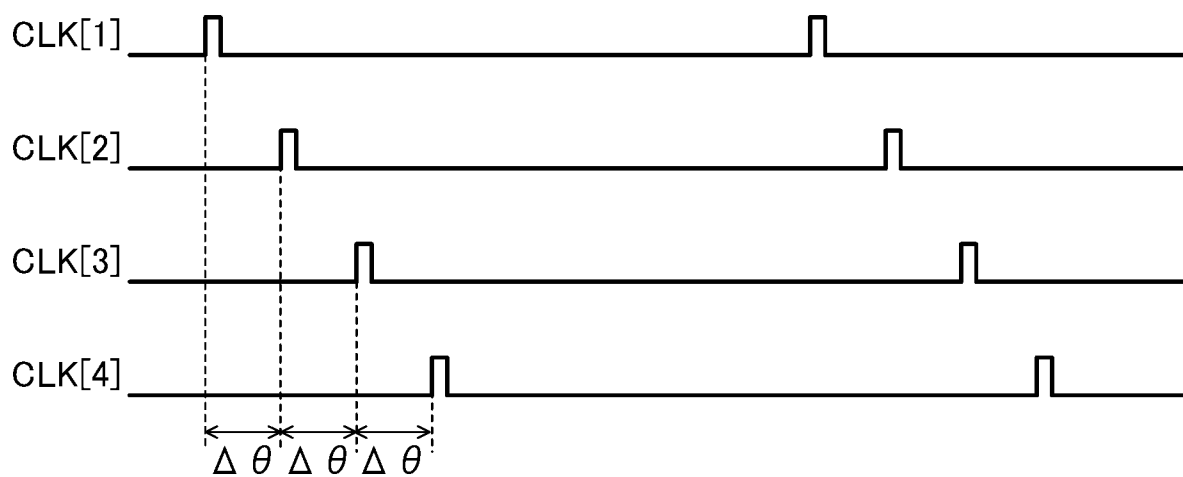


[図20]

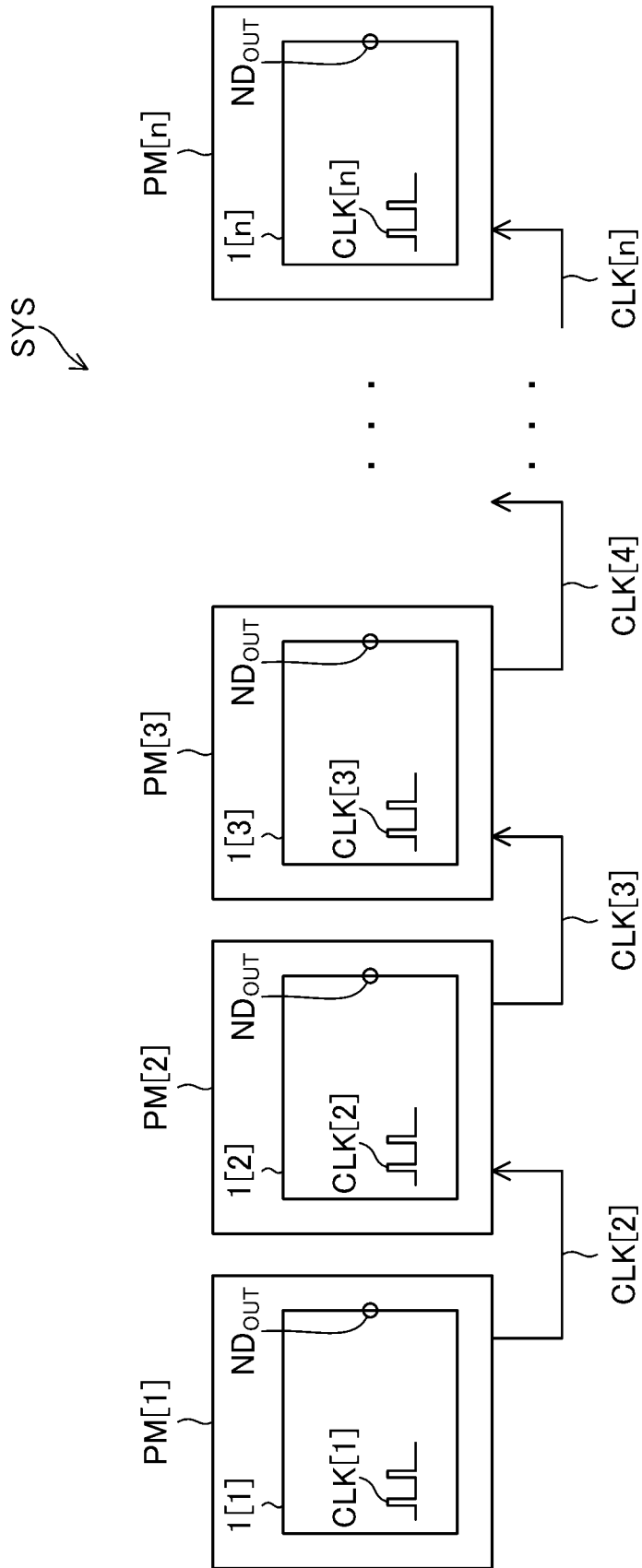
SYS ↘



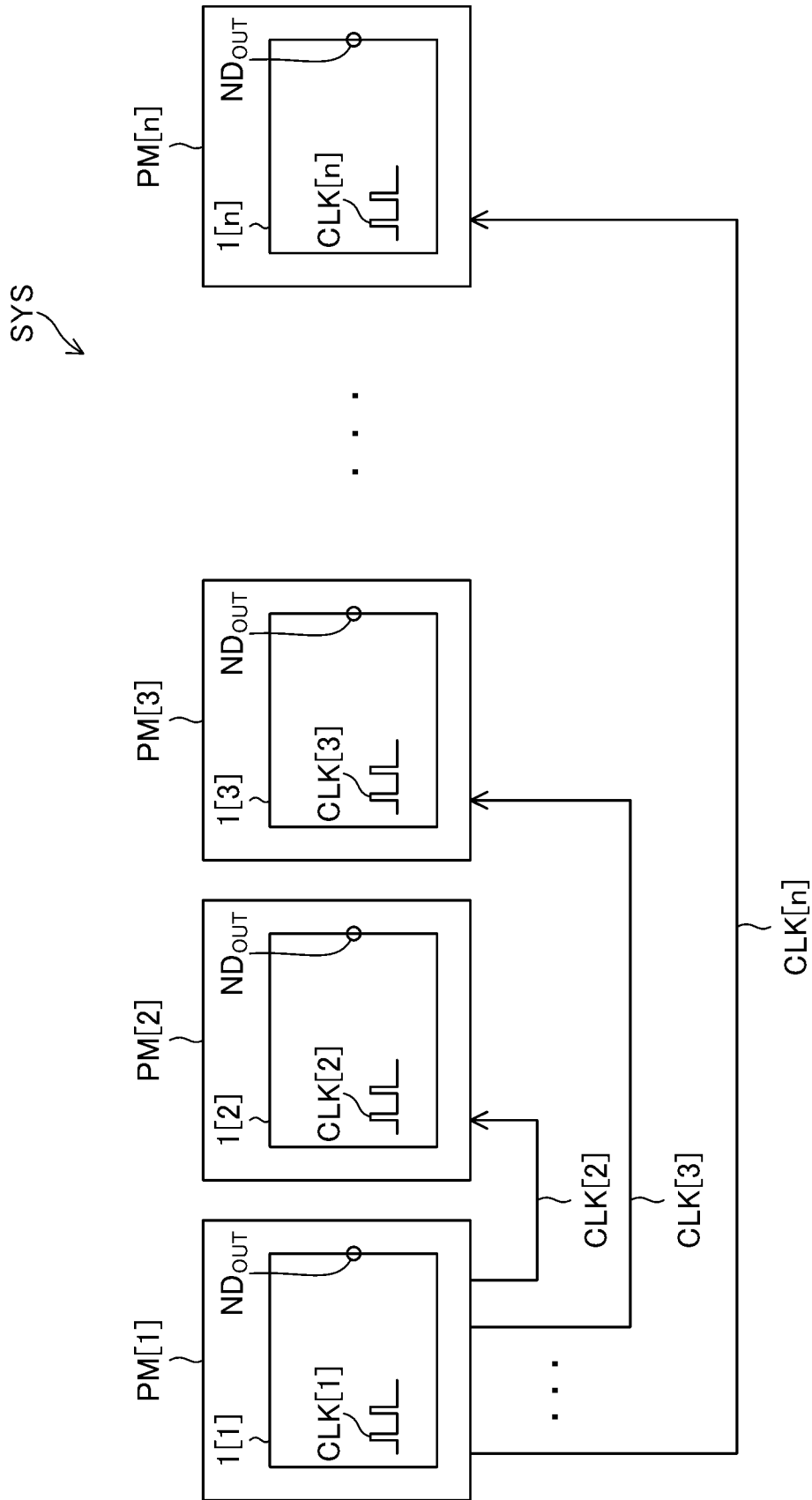
[図21]



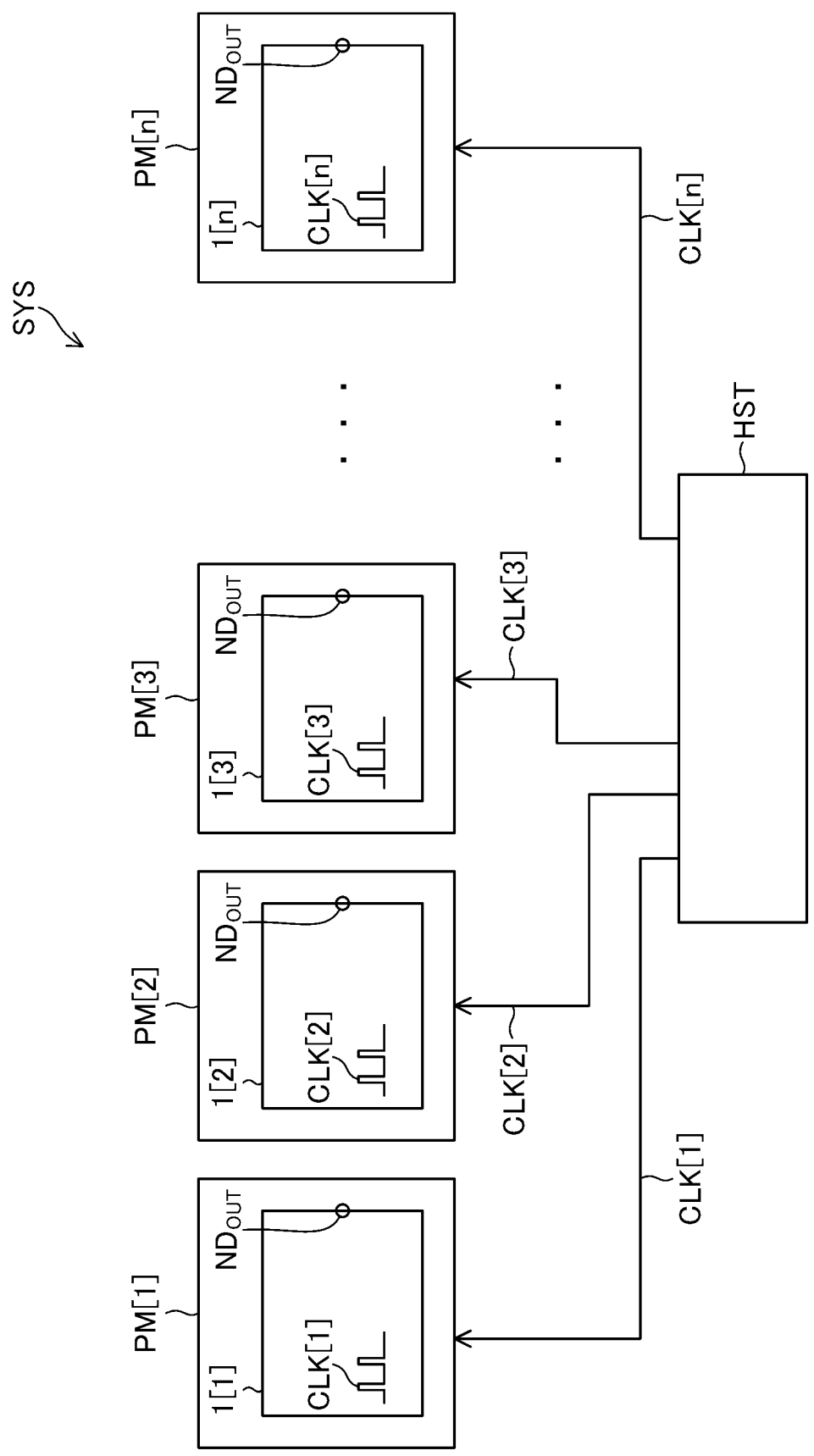
[22]



[図23]



[図24]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2024/014540

A. CLASSIFICATION OF SUBJECT MATTER		
<i>H02M 3/155</i> (2006.01)i FI: H02M3/155 H; H02M3/155 W		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) H02M3/155		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2024 Registered utility model specifications of Japan 1996-2024 Published registered utility model applications of Japan 1994-2024		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2020-156161 A (KABUSHIKI KAISHA MEIDENSHA) 24 September 2020 (2020-09-24) fig. 1	1-14
A	JP 2021-164400 A (HYUNDAI MOTOR COMPANY) 11 October 2021 (2021-10-11) fig. 1	1-14
A	US 2019/0028031 A1 (TEXAS INSTRUMENTS INCORPORATED) 24 January 2019 (2019-01-24) fig. 1	1-14
A	US 2019/0207505 A1 (TEXAS INSTRUMENTS INCORPORATED) 04 July 2019 (2019-07-04) fig. 4	1-14
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "D" document cited by the applicant in the international application "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 01 May 2024		Date of mailing of the international search report 21 May 2024
Name and mailing address of the ISA/JP Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No. PCT/JP2024/014540

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2020-156161	A	24 September 2020	US 2022/0209682 A1 fig. 1	
				US 2022/0045622 A1	

JP	2021-164400	A	11 October 2021	US 2021/0313877 A1 fig. 1	
				DE 102020212833 A1	
				KR 10-2021-0122617 A	
				CN 113497557 A	

US	2019/0028031	A1	24 January 2019	US 2020/0021196 A1 fig. 1	

US	2019/0207505	A1	04 July 2019	(Family: none)	

A. 発明の属する分野の分類（国際特許分類（IPC）） H02M 3/155(2006.01)i FI: H02M3/155 H; H02M3/155 W		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H02M3/155 最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2024年 日本国実用新案登録公報 1996-2024年 日本国登録実用新案公報 1994-2024年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2020-156161 A（株式会社明電舎）24.09.2020（2020-09-24） 図1	1-14
A	JP 2021-164400 A（現代自動車株式会社）11.10.2021（2021-10-11） 図1	1-14
A	US 2019/0028031 A1（TEXAS INSTRUMENTS INCORPORATED）24.01.2019（2019-01-24） FIG.1	1-14
A	US 2019/0207505 A1（TEXAS INSTRUMENTS INCORPORATED）04.07.2019（2019-07-04） FIG.4	1-14
<input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技術水準を示すもの “D” 国際出願で出願人が先行技術文献として記載した文献 “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 01.05.2024	国際調査報告の発送日 21.05.2024	
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 安食 泰秀 3H 3740 電話番号 03-3581-1101 内線 3316	

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2024/014540

引用文献			公表日	パテントファミリー文献			公表日
JP	2020-156161	A	24.09.2020	US	2022/0209682	A1	
				FIG.1			
				US	2022/0045622	A1	

JP	2021-164400	A	11.10.2021	US	2021/0313877	A1	
				FIG.1			
				DE	102020212833	A1	
				KR	10-2021-0122617	A	
				CN	113497557	A	

US	2019/0028031	A1	24.01.2019	US	2020/0021196	A1	
				FIG.1			

US	2019/0207505	A1	04.07.2019	(ファミリーなし)			
