

307044

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6

B6

本案已向：

美國(地區) 申請專利，申請日期：西曆 案號：，☐有 ☒無主張優先權
1994年7月27日 08/280,953

有關微生物已寄存於：

，寄存日期：

，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明()

發明領域

本發明係有關於半導體裝置，尤其是含表面通道PMOS電晶體之BiCMOS裝置及程序。

發明背景

在單一基體上MOSFET結構及雙極電晶體的整合已愈來愈形重要。如已熟知者，數位及線性功能通常由積體電路執行，該積體電路亦應用一雙極或金氧半導體(MOS)技術。當然雙極積體電路比MOS電路提供高速操作及較大的驅動電流，其代價為較高的功率耗損，尤其是與互補MOS(CMOS)電路比較時，前進的製造方法中允許雙極及CMOS電晶體在相同積體電路上使用。這一般稱為BiCMOS裝置。

在BiCMOS裝置中，BiCMOS基本上對於BiCMOS之基極使用一壕溝區(moat region)，對射極應用摻雜聚矽，及對集極應用一井區(well region)。基本上電阻包含一擴散區或以n型摻雜之聚矽。CMOS電路包含NMOS及PMOS電晶體。為了使PMOS電晶體較大且提供低臨限電壓，最好使用一表面通道PMOS電晶體。因使NMOS及PMOS電晶體對於閘極使用NMOS矽，對於源極/汲極區使用擴展區，此使得需要n+及p+聚矽閘極的程序複雜化，該閘極基本為源極/汲極植入所摻雜。

但是源極/汲極植入無法提供通過聚矽閘極至閘極氧化物之摻雜。在雙極射極植入期間，可由植入NMOS閘極達成NMOS閘極之足夠摻雜。可由增加聚矽厚度而改進PMOS閘極

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明()

之摻雜。但是在BiCMOS程度中增加聚矽厚度是不需要的，該程序對於射極及NMOS及PMOS閘極使用相同聚矽層。結果，在PMOS電晶體中，必需要有足夠之摻雜通過聚矽至閘極氧化物，而不需要增加聚矽之厚度。✓

發明概述

本發明說明一裝置及方法，其形成一半導體裝置，含一表面通道PMOS電晶體及一p型電阻。一導體層，如聚矽，形成於半導體本體之表面。一導體層之第一區植入p型摻雜物。形成對應一電阻及多個PMOS電晶體之第一區。然後蝕刻導體層以對PMOS電晶體之每一電晶體形成一p型電阻及一PMOS電晶體。隨後在半導體本體中形成多個形成源極/汲極區。

在一實施例中，提出一形成BiCMOS裝置之方法。在含第一井區的半導體本體的表面上形成一第一絕緣層。一基極區植入第一井區中。然後蝕刻第一絕緣層以曝露基極區之一部份。一聚矽層隨後在半導體本體的表面上形成，且該聚矽層之第一區植入p型摻雜物。第一區對應一電阻及多個PMOS電晶體形成之處。對應雙極電晶體及多個NMOS電晶體形成處的第二區隨後植入n型摻雜物。然後蝕刻聚矽層以形成射極，PMOS閘極，NMOS閘極，及電阻。然後將p型摻雜物植入與PMOS閘極相鄰之半導體本體，以對每一PMOS電晶體形成一對PMOS源極/汲極區，其中n型摻雜物亦同時摻雜聚矽PMOS閘極。隨後n型摻雜物植入與NMOS閘極相

五、發明說明 (3)

鄰之半導體本體，以對每一NMOS電晶體形成一對NMOS源極／汲極區，且n型摻雜物亦同時植入NMOS閘極。

本發明的優點為提供一包含p型電阻形成之BiCMOS程序。

本發明的另一優點為提供一BiCMOS程序，其足以摻雜PMOS閘極，而不必加大聚矽閘極之厚度。

本發明的另一優點為提供一BiCMOS程序，允許表面通道PMOS電晶體加大，且提供低臨限電壓而不需加大聚矽之厚度。

上述及其他優點對於嫺熟於本技術者可於下列說明中更加明瞭，並請參考附圖。

圖形簡述

圖1為本發明之實施例中BiCMOS裝置之截面圖；且

圖2a-g為圖1中BiCMOS裝置製造之不同階段的截面圖
在不同圖中如無特別說明，相同的組件以相同標號表示。

發明之詳細說明：

本發明將以BiCMOS結構加以說明，其含雙極電晶體，一NMOS電晶體，一PMOS電晶體及一p型電阻。

如圖1所示，在截面上，有雙極電晶體60，PMOS電晶體64，NMOS電晶體68，及電阻70。該結構形成基板12，在本實施例中為一p型矽。在雙極電晶體60中的n+區14作為次集極，且依傳統方式n+區25提供表面接點。N區18a作為

五、發明說明()

雙極電晶體60之集極。本質基極26為一置於n型區18a的p型區。p+區50作為雙極電晶體60之本質基極區。射極30可摻入聚矽層，其延伸過在絕緣層24中的開口進入本質基極區26。矽化層56可覆蓋射極30。

N區18b為p通道電晶體64之井區，已知PMOS電晶體64可在井區18a中交互形成，如共案待審案件美國專利No.08/161, 962, 日期1993年3月12日，及No.08/106, 458, 日期8/13/93，皆為德州儀器所有。p+區52作為PMOS電晶體64之源極/汲極區。N+區54作為NMOS電晶體68之源極/汲極。閘氧化物28置於閘極40及n區18b和p區20之間。摻雜聚矽可用於形成電晶體64及68之閘極40。閘極40可視需要而加以矽化以形成矽化層56。

電阻70包含p型摻雜聚矽且位在場絕緣區22上。p型電阻（而非n型電阻）的優點為PMOS閘極可在電阻植入及源極/汲極植入時植入。因PMOS閘極之充分摻雜可達成而不需調整聚矽層厚度。

場絕緣區22使本質基極區26與集極接點25，電晶體64與68，及p通道電晶體64與雙極電晶體60相隔離。N+區14位在電晶體60及64下方，且為埋入p+區16所分開，且n區18a-b為p區20所分開，以允許兩電晶體之n型區18a-b位在不同之電位。

圖2a為n+埋入層14，p+埋入層16，n形區18a-b，p形區20，場絕緣區22，及絕緣層24形成之後的結構10。用

五、發明說明()

於形成埋入層的方法可參見美國專利編號No.4,958,213,1993年11月18號出版,且為德州儀器公司所有。形成場絕緣區22的方法見美國專利編號4,541,167,1985年11月17日出版,亦為德儀所有。絕緣層24可為一空(dummy)閘極氧化物,形成方法為由Anti Kooi氧化,其後由去滑(deglaze)程序至20A的深度隨後熱氧化至300A。下面說明本發明之biCMOS裝配形成圖2a之結構之例。

結構10之表面打樣(pattern),且使用NMOS形摻雜物植入以形成一深NMOS形區(集極接點25)且延伸過n區18a,而與次集極相接觸,如圖2b之n+區14。其次可執行Vt調整之植入,其一用於NMOS電晶體68,且另一用於PMOS電晶體64。仍參考圖2b,基極區26打樣,且應用p型摻雜物植入(即在10Kev之硼 $7.0E13cm^{-2}$)。

參考圖2c,空氧化物層24,隨後應用一去滑程序加以移除,且用一絕緣層,如閘極氧化物層28,加以取代。閘極氧化物層28由熱氧化形成,且厚度大小為100A。罩層27已曝露閘極氧化物層區28。該氧化物層氣化物隨後加以蝕刻以曝露雙極電晶體區26之一部份,隨後移除罩區27,且執行去滑程序(如10%HF,10分鐘),以使介面氧化物達到最小。參考圖2d,一層導體材料,如聚矽層29應用LPCVD方法在結構10之表面沈積。聚矽層29之厚度大小為3500A左右。

現仍參考圖2d,罩層31已曝露聚矽層29,PMOS閘極及

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明()

n型電阻在此形成。然後在曝露區應用p型摻雜物，如硼（如， $2E15$ ，在 $20KeV$ 下）植入。

參考圖2e，移除單層31而以單層32取代，以曝露射極及NMOS閘極將形成之區。然後n型摻雜物，如砷，或砷及磷之混合物（如 $1E16$ ，對於砷在 $100KeV$ 下）植入曝露區。隨後移除單層32。

在電阻70及射極30已適當摻雜之後，對聚矽層29打樣且加以蝕刻，如圖2f所示，以形成射極30，閘極40，及電阻70。

參考圖2g，然後應用傳統技術植入微摻雜之汲極（LDD）44及46，形成側壁隔層48，且形成源極/汲極區52及54。須注意LDD44可視需要形成而非必要。由沈積一介電層及不等向蝕刻介電層而形成側壁隔層48。側壁隔層48最好在薄氧化物層上含氮化物，但僅止為薄氧化物層上。在側壁隔板48形成之後，應用p型及n型摻雜物相對植入源極/汲極52及54，且加以退火。

在源極/汲極植入期間亦植入閘極40。因此在射極植入，NMOS源極/汲極54植入及NMOS電晶體閘極植入，且在電阻植入及PMOS源極/汲極52植入期間，PMOS電晶體閘極植入。結果可在NMOS及PMOS電晶體中達到充分摻雜。

在上述方法已完成之後，隨著與圖1之主動區接觸的互連金屬化形成，閘極40，源極/汲極區52及54，及射極30可矽化。形成此互連之方法為一般已知者。因此各別電路與基體12及外部連結分開，該連結可為線連接，直接連

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

五、發明說明()

接,等一般技術上已知者。個別電路可加以包封形成雙線(dual-in-line)包封,晶片載體,或另一種形式之包封。此包封之一例見美國專利申請案No.4,495,376,1985年1月22日出版,為德儀所有。

已用上述較佳實施例說明本發明,本實施例並非用於限制本發明。不同的修改及說明實施例的結合,如以不同順序執行上述步驟,其本發明的其他實施例,對於嫺熟於本技術可加以執行。因此下面之申請專利範圍將用於涵蓋修改例及實施例。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

四、中文發明摘要(發明之名稱:具表面通道PMOS電晶體之BiCMOS方法)

一BiCMOS裝置10含一雙極電晶體60，一PMOS電晶體64及一p型聚矽電阻70。雙極電晶體60包含一射極30，基極26，及由井區18形成之集極區。PMOS電晶體64包含源極/汲極區52，閘極40，及閘極氧化物28。PMOS電晶體64可含LDD區44。射極30及閘極40亦在相同聚矽層形成，因此厚度相同。如果需要，射極30及閘極40可矽化。

英文發明摘要(發明之名稱:

BiCMOS PROCESS WITH SURFACE CHANNEL

PMOS TRANSISTOR

A BiCMOS device 10 having a bipolar transistor 60, PMOS transistor 64 and a p-type polysilicon resistor 70. Bipolar transistor 60 is comprised of an emitter electrode 30, base region 26, and collector region formed by well region 18. PMOS transistor 64 comprises source/drain regions 52, gate electrode 40, and gate oxide 28. PMOS transistor 64 may also comprises LDD regions 44. The emitter electrode 30 and gates 40 are formed out of the same polysilicon layer and thus have the same thickness. If desired, the emitter electrode 30 and gate electrodes 40 may be silicided.

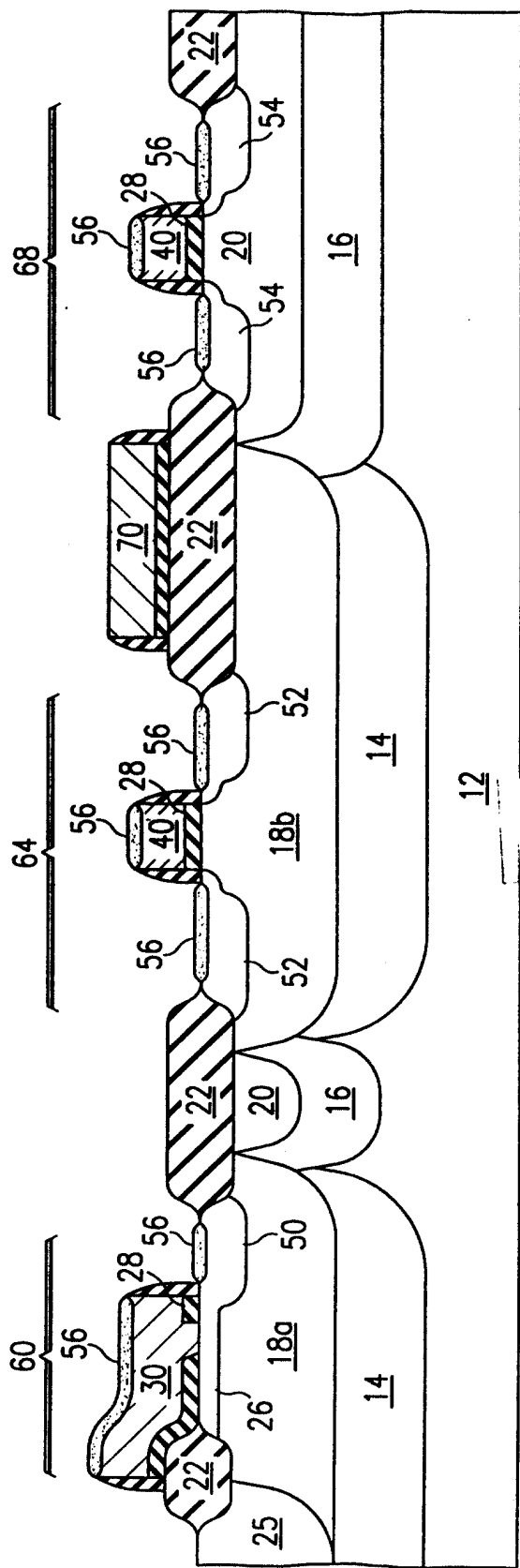


圖 1

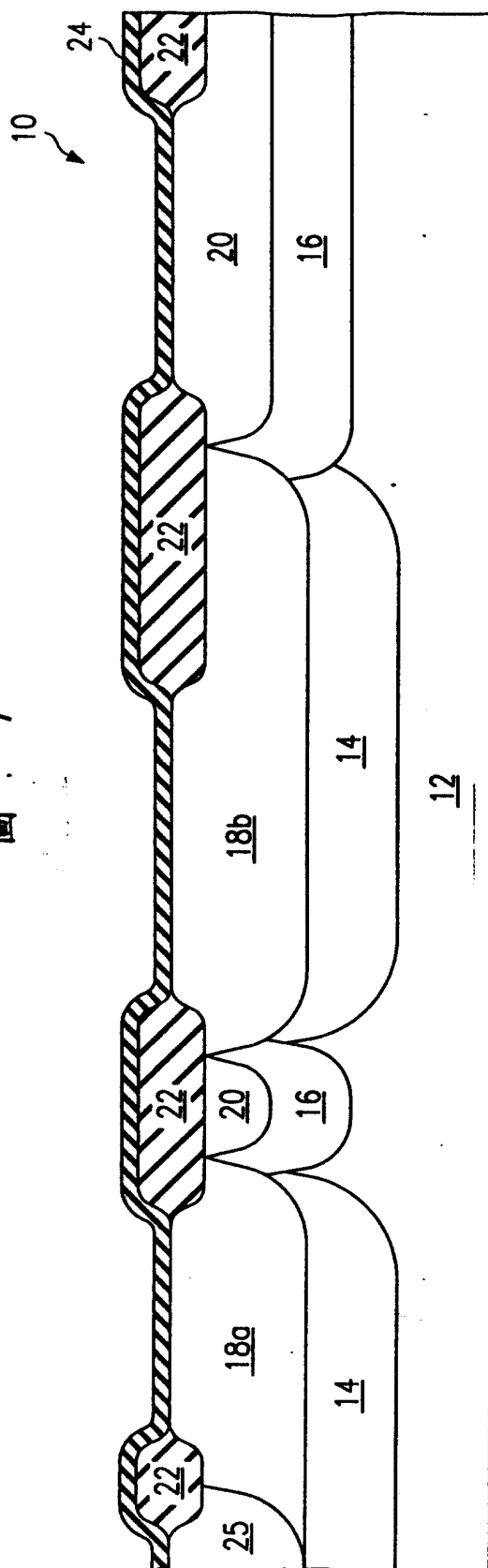


圖 2A

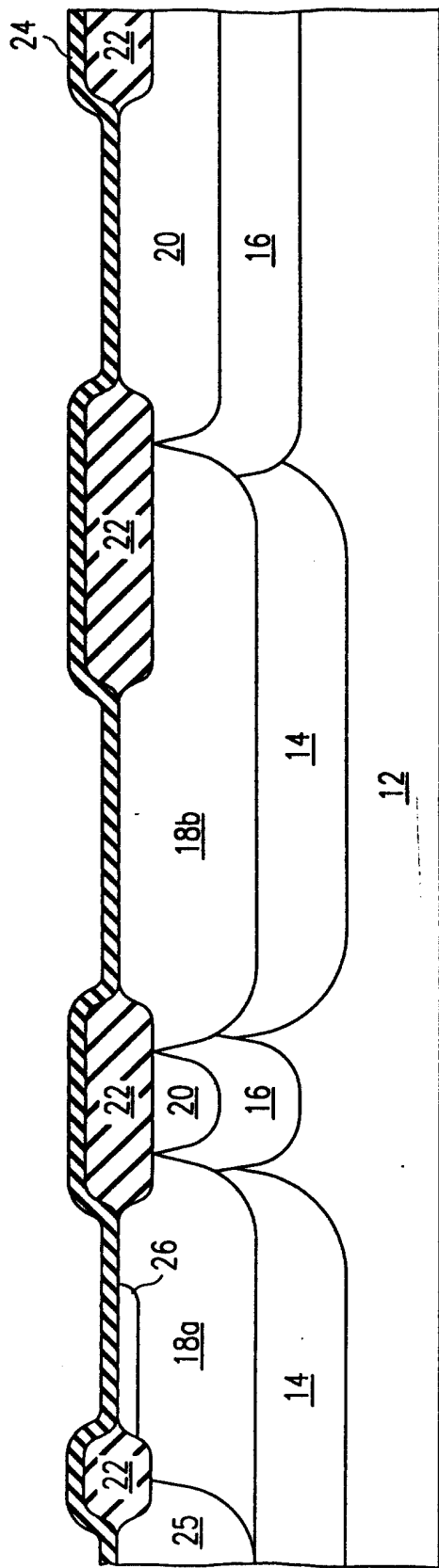


圖 2B

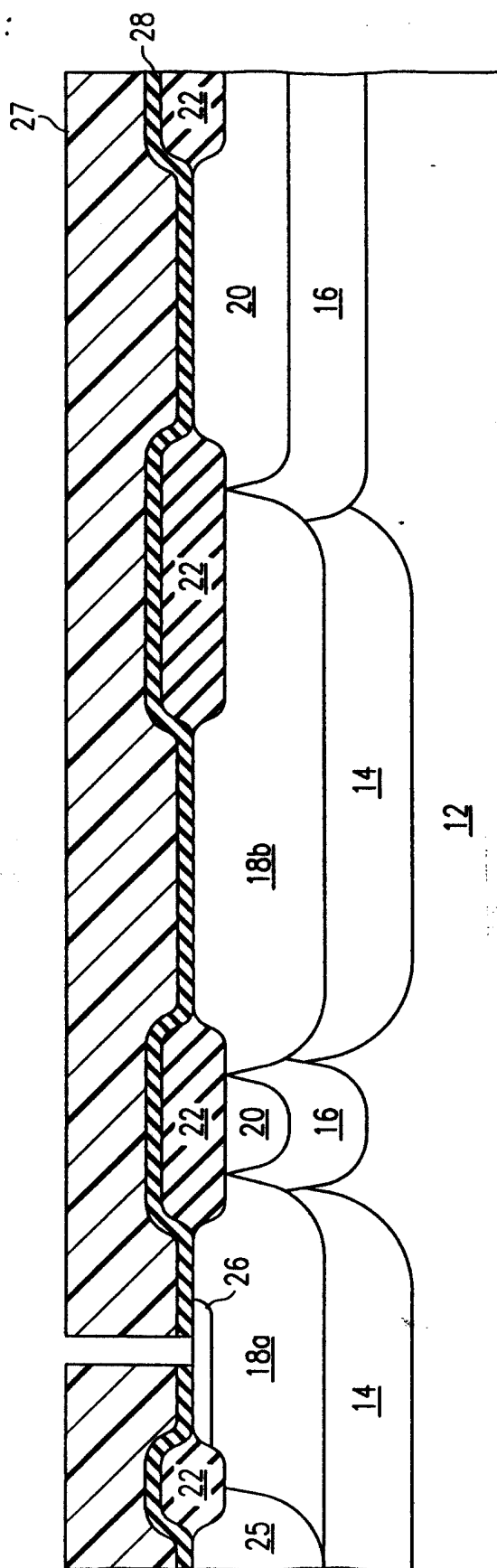
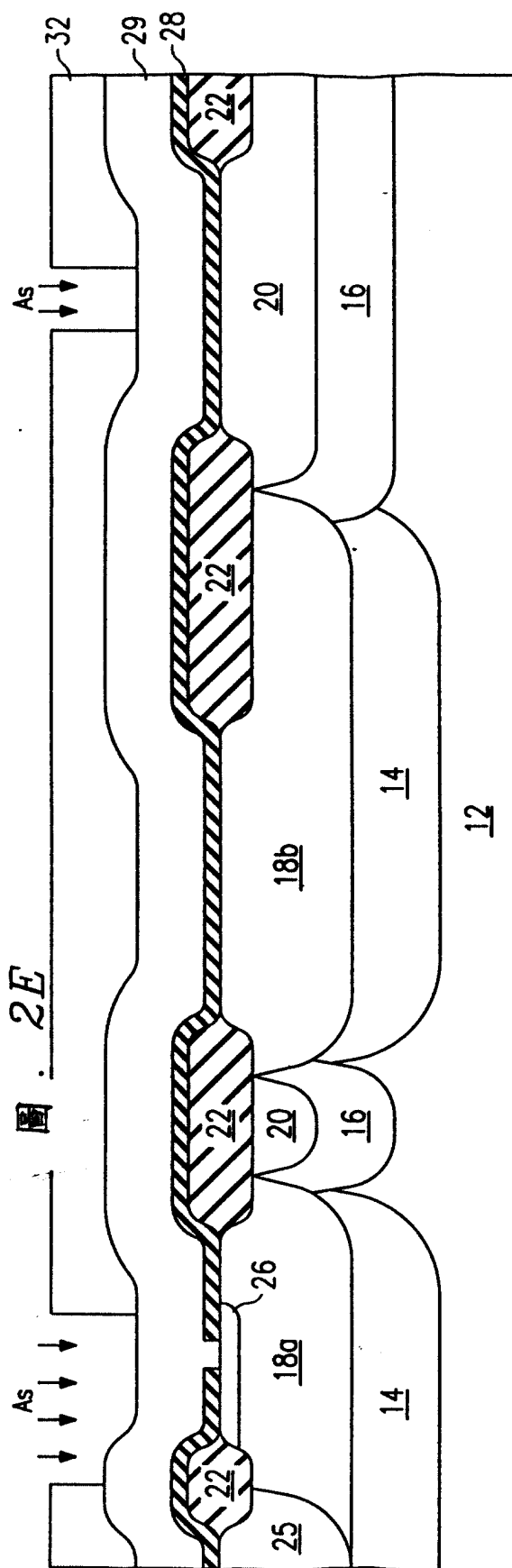
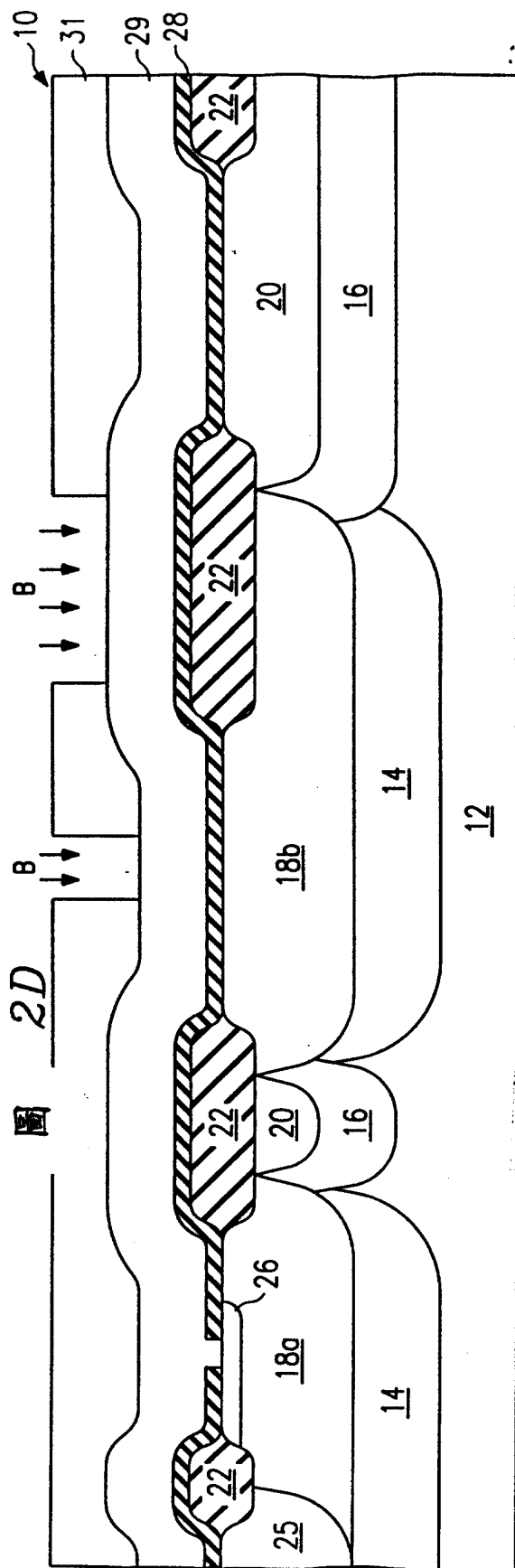


圖 2C



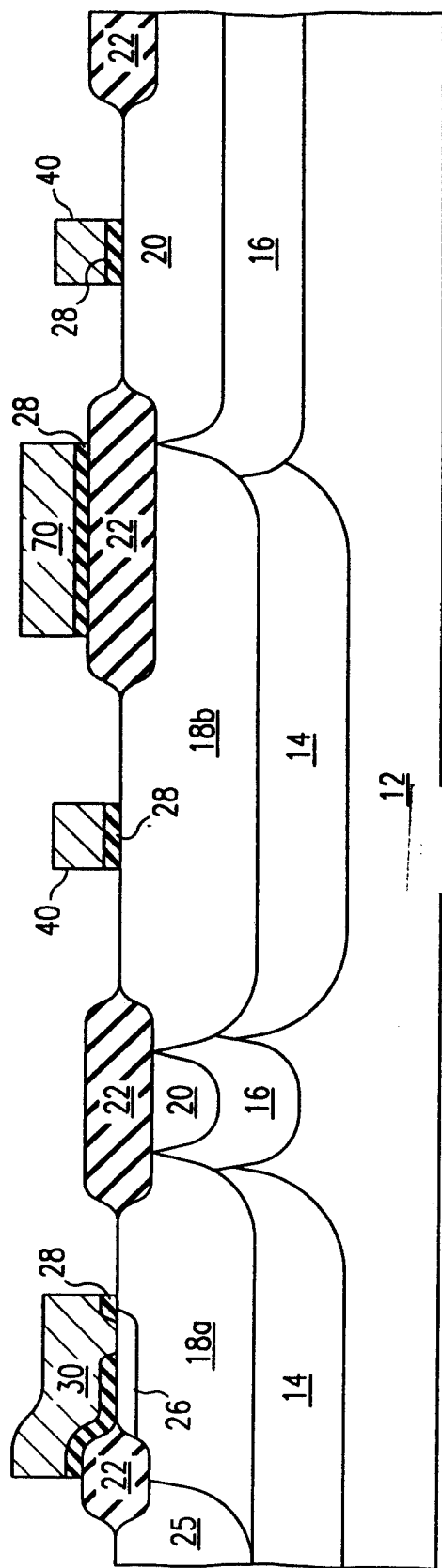


圖 2F

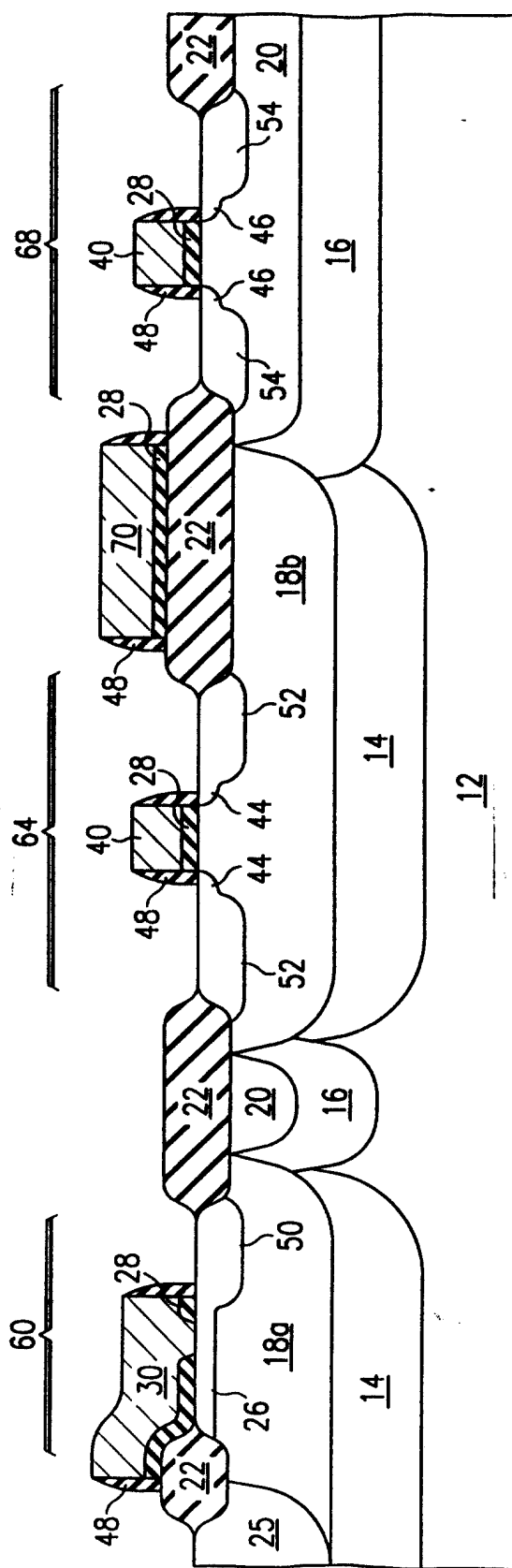


圖 2G

公告本

專利申請案第84113480號
ROC Patent Appln. No.84113480
修正之說明書中文本 - 附件一
Amended Specification in Chinese - Encl. I
(民國 85 年 10 月 4 日 送交)
(Submitted on October 4, 1996)

申請日期	84.12.18
案 號	84113480
類別	H01L 27/05

Int. Cl. 6 (以上各欄由本局填註)

A4
C4

修正 補充
85.10.4
307044

307044

發明專利說明書

一、發明 名稱	中 文	具表面通道PMOS電晶體之BiCMOS方法
	英 文	BiCOMOS PROCESS WITH SURFACE CHANNEL PMOS TRANSISTOR
二、發明 創作人	姓 名	艾羅伯 Robert H. Eklund
	國 籍	美國
	住、居所	美國德州波蘭市壯赫三路1121號 1121 Joshua Tree Drive, Plano, Texas 75023, U.S.A.
三、申請人	姓 名 (名稱)	美商德州儀器公司 Texas Instruments Incorporated
	國 籍	美國
	住、居所 (事務所)	美國德克薩斯州達拉斯城北方大廈655474號信箱 P.O. Box 655474, MAIL STATION 219, EXPRESSWAY SITE, NORTH BLDG., DALLAS, TX, USA
	代 表 人 姓 名	郝威廉(William E. Hiller)

85.10.-4 補充

六、申請專利範圍

1. 一種形成半導體裝置的方法，包含下列步驟：
 - a. 在一半導體本體的表面上形成一導體層；
 - b. 在導體層的第一區植入p型摻雜物，該第一區對應於多個PMOS電晶體形成之處；
 - c. 蝕刻該導體層，以在該多個PMOS電晶體上的每一電晶體形成一PMOS閘極；且
 - d. 在該半導體本體中形成多個PMOS源極/汲極區。
2. 如申請專利範圍第1項之方法，更包含下列步驟：
 - a. 在導體層的第二區，為多個雙極電晶體及多個NMOS電晶體形成之後，植入n型摻雜物，其中蝕刻該導體層的步驟亦對該多個NMOS電晶體之每一電晶體形成一射極；及
 - b. 在該半導體本體中對多個NMOS電晶體中的每一電晶體形成一對NMOS源極/汲極區。
3. 如申請專利範圍第2項之方法，其中該n型摻雜物含砷。
4. 如申請專利範圍第2項之方法，其中該n型摻雜物含砷及磷。
5. 如申請專利範圍第2項之方法，更包含下列步驟：
 - a. 在蝕刻該導體層的步驟之後於該PMOS及NMOS閘極的每一閘極之相反側，植入微摻雜之汲極；
 - b. 在該每一PMOS及NMOS閘極，該電阻及該射極相鄰處形成側壁氧化物。
6. 如申請專利範圍第2項之方法，包含矽化該射極，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

六、申請專利範圍

該NMOS及PMOS閘極，及該NMOS及PMOS源極／汲極區的步驟。

7. 如申請專利範圍第1項之方法，其中該形成PMOS源極／汲極區之步驟包含步驟如下：

- a. 將該p型摻雜物植入該PMOS源極／汲極區及該PMOS閘極；及
- b. 將該PMOS源極／汲極區退火。

8. 如申請專利範圍第1項之方法，其中該p型摻雜物包含硼。

9. 如申請專利範圍第1項之方法，其中該第一區亦對應一電阻形成處，且其中該蝕刻步驟形成該電阻。

10. 一種形成一BiCMOS裝置的方法，包含下列步驟：

- a. 於該含第一井區之半導體本體的表面上形成一第一絕緣層；
- b. 在該第一井區植入一基極區；
- c. 移除該第一絕緣層；
- d. 在該半導體本體的表面上形成一第二絕緣層；
- e. 蝕刻該第二絕緣層，以曝露該基極區的一部份；
- f. 在該半導體本體的表面上，形成一聚矽層；
- g. 在該聚矽層的第一區中植入p型摻雜物，該第一區對應一電阻及多個PMOS電晶體形成之處；
- h. 將n型摻雜物植入聚矽層的第二區，該聚矽層對應雙極電晶體及多個NMOS電晶體形成處；
- i. 蝕刻該聚矽層，以形成一射極，一PMOS閘極，一

六、申請專利範圍

NMOS 閘極，及該電阻；

j. 將該 p 型摻雜物植入該與 PMOS 閘極相鄰之半導體本體，以對多個 PMOS 電晶體中的每一電晶體形成一對 PMOS 源極／汲極區，其中該 p 型摻雜物亦同時植入該 PMOS 閘極中；

k. 將該 n 型摻雜物植入該與 NMOS 閘極相鄰之半導體本體，以對多個 NMOS 電晶體中的每一電晶體形成一對 NMOS 源極／汲極區，其中該 n 型摻雜物亦同時植入該 NMOS 閘極中；及

l. 將該 BiCMOS 裝置退火。

11. 如申請專利範圍第 10 項之方法，其中該 n 型摻雜物含砷。

12. 如申請專利範圍第 10 項之方法，其中該 n 型摻雜物含砷及磷。

13. 如申請專利範圍第 10 項之方法，其中該 p 型摻雜物包含硼。

14. 一種 BiCMOS 裝置含：

a. 在該半導體本體上形成一 p 型摻雜聚矽電阻；及

b. 在該半導體本體上形成多個表面通道 PMOS 電晶體，該表面通道 PMOS 電晶體中的每一電晶體含一第一摻雜聚矽濃度的聚矽閘極，及一第二摻雜聚矽濃度的源極／汲極區，該第一摻雜聚矽濃度大於該第二摻雜聚矽濃度。

15. 如申請專利範圍第 14 項之 BiCMOS 裝置，更包含：

a. 一雙極電晶體，含一選擇厚度之聚矽射極，其中該

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

六、申請專利範圍

摻雜聚矽閘極的厚度亦等於該選擇之厚度。

16. 如申請專利範圍第14項之BiCMOS裝置，其中該摻雜聚矽閘極的摻雜濃度大於p型摻雜聚矽電阻。

17. 如申請專利範圍第14項之BiCMOS裝置，其中該電阻及該摻雜聚矽閘極含硼摻雜物。

18. 如申請專利範圍第14項之BiCMOS裝置，在該摻雜聚矽閘極及該聚矽射極上方更包含一矽化層。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂