

(21)申請案號：098129887

(22)申請日：中華民國 98 (2009) 年 09 月 04 日

(51)Int. Cl. : **H01G4/12 (2006.01)**

(30)優先權：2008/09/04 美國 61/094,317

(71)申請人：微協斯普拉格股份有限公司 (美國) VISHAY SPRAGUE, INC. (US)  
美國(72)發明人：卡拉羅 魯文 KATRARO, REUVEN (IL)；柯恩 尼辛姆 COHEN, NISSIM (IL)；  
卡拉維奇科弗爾森 瑪瑞娜 KRAVCHIK-VOLFSON, MARINA (IL)；伯夏德斯基  
艾利 BERSHADSKY, ELI (IL)；布爾特圖德 約翰 BULTITUDE, JOHN (US)

(74)代理人：林志剛

申請實體審查：有 申請專利範圍項數：23 項 圖式數：6 共 25 頁

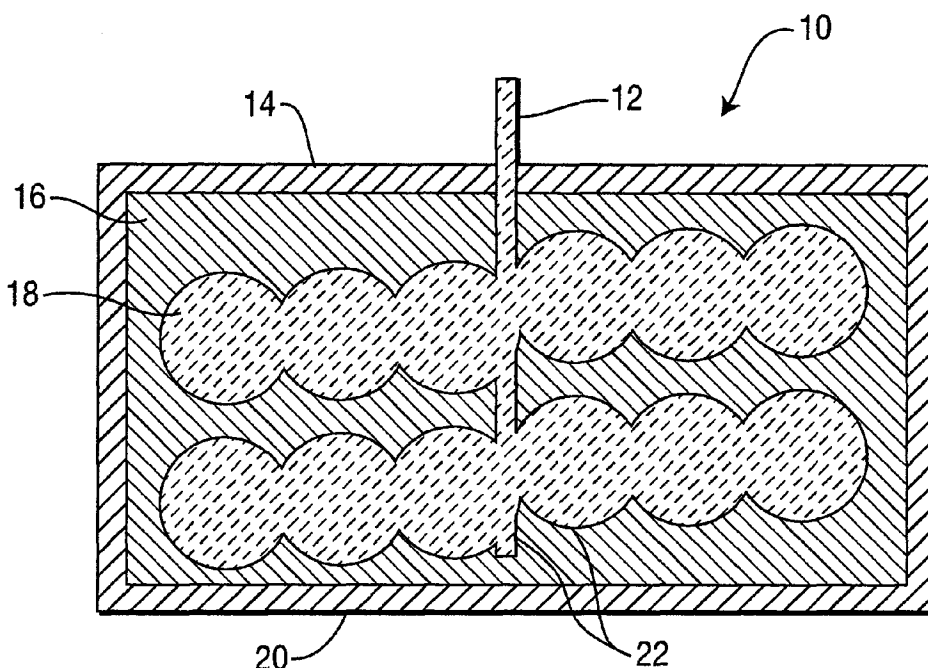
(54)名稱

單體電容與其製造方法

BULK CAPACITOR AND METHOD

(57)摘要

一種單體電容包含由金屬箔形成之第一電極及形成在該金屬箔上的半導體多孔陶瓷體。一介電層係例如藉由氧化形成在該多孔陶瓷體上。導電媒體係沈積在該多孔陶瓷體上，填入該多孔陶瓷體的孔中並形成第二電極。該電容可以然後被以各種層加以密封並可以包含傳統電終端。一種製造單體電容的方法包含在由金屬箔形成的第一電極上形成導電多孔陶瓷體、氧化以形成一介電層及以導電媒體以填入該多孔體以形成第二電極。一薄半導體陶瓷層也可以配置於該金屬箔與該多孔陶瓷體之間。



- 10：電容
- 12：第一電極
- 16：導電媒體
- 18：多孔陶瓷體
- 20：導電金屬層
- 22：介電層

(21)申請案號：098129887

(22)申請日：中華民國 98 (2009) 年 09 月 04 日

(51)Int. Cl. : **H01G4/12 (2006.01)**

(30)優先權：2008/09/04 美國 61/094,317

(71)申請人：微協斯普拉格股份有限公司 (美國) VISHAY SPRAGUE, INC. (US)  
美國(72)發明人：卡拉羅 魯文 KATRARO, REUVEN (IL)；柯恩 尼辛姆 COHEN, NISSIM (IL)；  
卡拉維奇科弗爾森 瑪瑞娜 KRAVCHIK-VOLFSON, MARINA (IL)；伯夏德斯基  
艾利 BERSHADSKY, ELI (IL)；布爾特圖德 約翰 BULTITUDE, JOHN (US)

(74)代理人：林志剛

申請實體審查：有 申請專利範圍項數：23 項 圖式數：6 共 25 頁

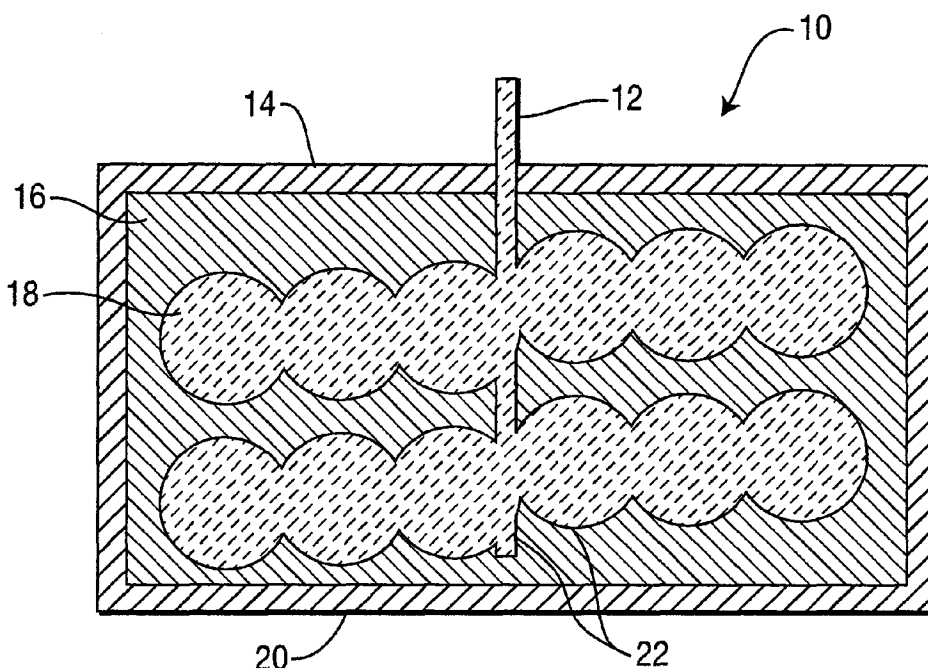
(54)名稱

單體電容與其製造方法

BULK CAPACITOR AND METHOD

(57)摘要

一種單體電容包含由金屬箔形成之第一電極及形成在該金屬箔上的半導體多孔陶瓷體。一介電層係例如藉由氧化形成在該多孔陶瓷體上。導電媒體係沈積在該多孔陶瓷體上，填入該多孔陶瓷體的孔中並形成第二電極。該電容可以然後被以各種層加以密封並可以包含傳統電終端。一種製造單體電容的方法包含在由金屬箔形成的第一電極上形成導電多孔陶瓷體、氧化以形成一介電層及以導電媒體以填入該多孔體以形成第二電極。一薄半導體陶瓷層也可以配置於該金屬箔與該多孔陶瓷體之間。



- 10：電容
- 12：第一電極
- 16：導電媒體
- 18：多孔陶瓷體
- 20：導電金屬層
- 22：介電層

## 六、發明說明

### 【發明所屬之技術領域】

本發明關係於電容。更明確地說，本發明關係於能完成高電容密度的電容。

### 【先前技術】

生產（包含電解電容與陶瓷電容的）電容的技術正被推向其實際實體限制。傳統上，高電容密度係藉由例如鉭電解電容之高表面積或碳雙層電容加以完成。或者，高電容密度也可以藉由例如用於多層陶瓷電容之薄高介電常數（K）介電材料加以完成。不管這些進步為何，仍有問題產生。更明確地說，用於高電容密度的需求係持續增加超出有關於此等方法相關限制。高電容密度為製作更小電子裝置所想要的特性。

其中，有需要一電容，其能允許完成高電容密度。因此，於此所揭示之實施例的目的或優點為提供一種電容及製造電容的方法，其可以完成高電容密度。

這些態樣之一或多者將由以下之說明書及申請專利範圍加以了解。

### 【發明內容】

依據於此所揭示實施例的一態樣，單體電容包含一金屬箔、在該金屬箔上的半導體多孔陶瓷體、在該多孔陶瓷體上的介電層（例如藉由氧化形成）、填入該多孔體的導

電媒體、及導電金屬層，密封該多孔體。依據本發明另一態樣，製造單體電容的方法包含：在金屬箔上形成半導體多孔陶瓷體；氧化該半導體多孔陶瓷體，以形成介電層；以導電媒體填入該多孔體；及以導電金屬層，密封該多孔體。

### 【實施方式】

本發明提供一具有高電容密度的電容。本發明透過高介電常數陶瓷與多孔基質的高表面積的創新組合，而完成高電容密度。更明確地說，一電容可以利用陶瓷材料的高介電常數組合具有高表面積的多孔陶瓷體。

多孔陶瓷體係被形成在金屬箔上。通常，金屬箔作為第一電極。中間陶瓷層也可以配置於多孔陶瓷體與獎牌箔之間。多孔陶瓷體後續被氧化。氧化可以藉由各種技術形成，例如熱或電化氧化。氧化形成一薄高 K 介電層在多孔陶瓷體的自由面上。多孔陶瓷體然後被填以導電媒體，例如導電聚合物。通常，導電媒體形成第二電極。後續結構然後可以加入，以密封電容結構並形成適當安裝結構及/或電終端。例如，在多孔陶瓷體被填入導電媒體後，可以例如銀之導電金屬層加以密封。

為多孔結構所提供之高表面積與為介電質所提供之高 K 介電薄層的所得組合允許完成小尺寸高電容密度電容。

圖 1 顯示電容 10 的簡化實施例。電容 10 包含第一電極 12，其可以由包含金屬箔的各種材料所形成。可以使用

各種金屬箔。金屬箔可以採用由包含：Ta、Ni、W、Nb、V、Mo、Fe 或其合金的元素群。Kovar 及 Invar 合金也是較佳的，因為其熱膨脹係數（CTE）匹配介電層及/或陶瓷層的 CTE。適當箔可以由各種來源取得，包含但並不限於：美國賓州 Wyomissing 的木匠技術公司、賓州 Boyertown 的 Cabot Supermetals 公司、及麻州的 Newton 的 HC Starck 公司。應注意的是，第一電極 12 具有被選擇以匹配介電及/或陶瓷元件的 CTE 藉以最小化熱應力。在典型實施例中，利用 3-15ppm 的 CTE。可以使用各種箔厚度，例如 20-250 微米的範圍。更典型範圍可以為 100-150 微米範圍。

半導體多孔陶瓷體 18 被形成在第一電極 12 上。可以了解的是，各種幾何剖面（主要取決於第一電極 12 的形狀）均可以利用而不脫離本發明的範圍。應了解的是，多孔陶瓷體可以使用各種製程以各種陶瓷層及/或組成物加以形成及/或沈積。在一實施例中，在沈積半導體多孔陶瓷體 18 之前，薄導電半導體陶瓷層可以沈積在第一電極 12 上。各種半導體陶瓷材料可以使用包含鈦酸鋇銲（BST）。也可以使用其他適當化學組成物，包含元件如  $\text{Nb}_2\text{O}_5$ 、 $\text{TiO}_2$ 、 $\text{BaCO}_3$  及  $\text{SrTiO}_3$ 。其他的適當材料包含銲酸鉛鎂（即， $\text{Pb}_3\text{MgNb}_2\text{O}_9$ ）、鈦酸鉛、及鈣鈦氧化物。

圖 2 顯示一實施例的簡化剖面圖，其具有第一電極 12、半導體第一陶瓷層 17 及半導體多孔陶瓷體 18。可以了解的是，厚度並未依規格顯示。第一陶瓷層 17 係相對地

薄並被沈積於第一電極 12 上有 1 至 10 微米的厚度。第一陶瓷層 17 典型在還原氣氛中被燒結至全密度。該還原氣氛可以由各種氣體加以選擇。例如，還原氣氛可以被由具有氫濃度典型 1-10% 的 Ar 及 H<sub>2</sub> 氣體選出。其他氣體，例如 N<sub>2</sub>/H<sub>2</sub> 也可以使用。還原氣氛典型於 900-1400℃ 之間。在峰值溫度的典型持續時間為 5-60 分。可以了解的是，各種溫度分佈均可以利用。第一陶瓷層 17 較佳在還原燒結處理後，具有高於 5 歐姆-公分之導電率（即更有導電率）。

多孔陶瓷體 18 係被沈積至第一陶瓷層 17 上成為第二陶瓷層。應了解的是，多孔陶瓷體 18 可以直接沈積至第一電極 12 上。第一陶瓷層 17 及多孔陶瓷體 18 可以使用傳統陶瓷沈積技術，例如網印、刮刀、積層、噴塗或浸入塗覆加以沈積。在本例子中，第一陶瓷層 17 及多孔陶瓷體 18 係使用電泳沈積（EPD）加以沈積。

因為第一陶瓷層 17 在還原燒結後為半導體，所以第二層（例如形成多孔陶瓷體 18）可以使用 EPD 技術沈積。通常，EPD 使用帶電粒子，這些粒子在電場的影響下被沈積在相對電極上。EPD 可以沈積大範圍的顆粒材料，幾乎與其化學組成物無關。EPD 可以形成獨立體及層。該等層可以由微米範圍厚至幾毫米厚。在懸浮劑中之粉末的固體負荷、電場強度及時間為控制在 EPD 製程中之沈積重量的主要參數。

多孔陶瓷體 18 可以由高表面積的例如 BET（

Brunauer, Emmett, Teller)  $0.5-5\text{m}^2/\text{g}$  之粉末構成。多孔陶瓷體 18 典型在例如上述有關第一陶瓷層之還原氣氛的還原氣氛下燒結。各種還原溫度均可以使用。還原溫度典型被選擇以維持開放孔結構並避免大量稠密化。在還原後多孔陶瓷體 18 的厚度典型在  $10-250$  微米範圍內。

所得陶瓷體具有開放孔結構，多孔性到達體積的  $75\%$ 。孔結構可以包含大範圍的孔尺寸，範圍由  $0.1-6$  微米。較佳孔尺寸係在  $0.3-3$  微米範圍內。多孔陶瓷體 18 可以具有各種幾何，其典型取決於第一電極 12 的形狀而定。例如，第一電極 12 可以為具有約  $100$  微米厚的矩形。多孔陶瓷體 18 可以由多個角度（例如由兩側）沈積在第一電極 12 上。第一電極可以具有其他幾何剖面，例如梳形、及/或簡單或複雜形，包含一或更多之多角形。

回到圖 1，介電層 22 係形成在多孔陶瓷體 18（及如果有的話，第一陶瓷層 17）之上。應注意的是，示於圖中之元件符號 22 及 18 係指向相同結構。這是因為在圖中很難顯示各種薄層。應了解的是，介電層 17 大致重疊於多孔陶瓷體 18 的自由表面上。多孔陶瓷體的所得形狀基本上在沈積介電層後保持不變（除了在厚度的很小增加）。介電層 22 可以經由各種製程，包含熱或電化學氧化所形成。在使用熱氧化的實施例中，多孔陶瓷體 18 係在含氧氣氛中被加熱至於  $500-1400^\circ\text{C}$  間之溫度持續  $5-120$  分鐘的時間。這造成薄介電層被形成在半導電多孔陶瓷體 18（及如果有的話，第一陶瓷層 17）之上。在處理及/或峰值溫

度期間可以使用抽取及沖洗循環，以確保氧出現在多孔陶瓷體 18 的孔內。

在使用電化學氧化的實施例中，多孔陶瓷體 18（及如果有的話，第一陶瓷層 17）係被插入於高鹼性溶液中，鹼度（ $\text{pH} > 10$ ）。這可以造成介電層的形成。例如，溶液可以為鉍基、 $\text{Sr}$ 、 $\text{BaOH}_2$ （鉍、氫氧化鉍）選擇地配合  $\text{Br}$ 、 $\text{Sr}(\text{OH})_2$ 。多孔陶瓷體 18 被浸入典型被加熱至溫度於  $40-130^\circ\text{C}$  間的溶液。典型施加一陽極電場，以造成在多孔陶瓷體 18 的自由表面發生溶解還原。典型施加電壓於約 2-20 伏間，持續 1-12 小時。一旦介電層形成，後置處理可以被利用以穩定化介電層 22（例如在氧氣氛中加熱至  $250-1200^\circ\text{C}$ ）。

介電層的特性可以進一步藉由在溶液中之溶解元素，例如  $\text{Mn}$ 、 $\text{Nb}$ 、 $\text{Mg}$ 、 $\text{Si}$ 、 $\text{Zr}$ 、 $\text{Ti}$ 、 $\text{Bi}$ 、 $\text{Cu}$ 、 $\text{Ag}$  加以修改。這些元素參與電化學格式氧化層。也可以施加至  $1200^\circ\text{C}$  的後置處理。例如，可以藉由氧化及後加熱處置，形成高穩定錳層（ $\text{Mn}_x\text{O}_y$ ， $x > 2$ ， $y > 3$ ）之介電層。（無論由熱或電化學氧化或其他製程形成之）介電層 22 典型被形成有厚度 0.1-1 微米範圍並具有典型範圍  $10^6-10^{11}$  歐姆之高絕緣電阻（ $\text{IR}$ ）。一旦氧化，多孔陶瓷體 18（及如果有的話，第一陶瓷層 17）典型特徵為 500-50000 範圍中的高介電常數（ $\text{K}$ ）。

導電媒體 16 係用以填入多孔陶瓷體 18 中。各種組成物均可以使用作為導電媒體，包含導電聚合物： $\text{PEDT}$ （



聚（3,4-乙炔基二氧噻吩），聚（乙炔）、聚（吡咯）、聚（噻吩）、聚苯胺、聚噻吩、聚（苯硫醚），及聚（苯基乙烯）（PVV）及其可溶衍生物、聚（3-烷基噻吩）、聚吡啶、聚茈、聚吡啶、聚萘、多氮杂、聚（芴）、及聚萘。

在一實施例中，商用可得 PEDT 組成物係可以由麻州 Newton 的 HC Starck 公司（Clevious（PEDT）購得。通常，導電媒體應具有高於 100 西門/公分之導電率並較佳等於或高於 1000s/cm。導電媒體可以藉由各種製程施加，包含浸入塗覆、浸漬法。通常，多孔陶瓷體 18 係被浸漬入稀釋混合物，該混合物包含細微分佈的導電媒體（例如奈米大小）的粒子。

通常，導電媒體 16 形成第二電極。隨後結構然後可以加入，以密封電容結構並形成適當安裝結構及/或電終端。在此例子中，導電金屬層 20 密封多孔陶瓷體 18（現被塗覆有介電層 22 及導電媒體 16）並作動為第二電極的電終端。可以使用各種金屬。在一實施例中，使用高導電的銀膏。金屬層也可以藉由包含塗刷或浸入的各種技術加以施加。適當金屬係由各種來源購得，包含北卡 Cary 的 Lord 公司、加州 Irvine 的 Emerson&Cumming、及杜邦。

圖 3 顯示依據本發明之另一實施例。顯示於圖 3 的個別層可以使用上述有關於圖 1 所討論的材料與製程加以形成。在此實施例中，電容 100 具有在此例子中包含金屬箔的第一電極 212。第一陶瓷層 217 係被配置在金屬箔 212

上。多孔陶瓷體 218 係被形成在第一陶瓷層 217 上。可以了解的是，多孔陶瓷體 218 可以直接形成在第一電極 212 上。介電層 222 係形成在多孔陶瓷體 218 上。導電媒體 216 密封多孔陶瓷體 218。導電媒體 216 基本上形成第二電極。適當導電媒體可以包含有關於圖 1 所討論的導電聚合物。

應注意，如圖所示之元件符號 222、218 及 216 指向相同結構。這是由於在圖中很難顯示各種薄層之故。應了解的是，介電層 222 大致疊於多孔陶瓷體 218 的自由表面積上。多孔陶瓷體的所得形狀在沈積介電層後實質保持不變（除了在厚度上之很小增加之外）。導電媒體 216 然後密封多孔陶瓷體，得到如圖 3 所示之大致矩形。

剩餘結構主要係有關形成導電終端及密封所得結構。在此例子中，至少一部份的導電聚合物層係被覆蓋於高導電銀膏層 260 中。第一電接腳 270 係電耦接至第一電極 212 及第二電接腳 280 係耦接至銀膏層 260。該結構也為層 290 所密封，該層 290 可以包含各種材料，例如環氧類樹脂、樹脂、聚對二甲苯基或各種已知模塑技術。整個電容組件可以附接至如下所詳細討論的安裝基板 295。

圖 4 顯示例如典型印刷電路（PC）板的安裝基板 295 的詳細視圖。安裝基板包含基礎部份 300，其可以使用傳統 PC 板技術加以製造。第一與第二金屬化層 302、304 係被形成在該基板 300 上。第一與第二金屬化層 302、304 大致彼此分開，以對準第一與第二電接腳 270、280，如圖

3 所示。應了解的是，第一及第二金屬化層可以耦接至一或更多電路軌跡（未示出）。導電膠 306 係被用以電耦接第一及電接腳 270、280 至第一與第二金屬化層 302、304。非導電膠 308 可以用於配置在第一與第二金屬化層 302、304 間之區域中。一旦電容 100 被安裝至基板，一焊接操作可以使用傳統技術進行。可以了解的是，各種安裝技術可以加以使用而不脫離本發明之範圍。

圖 5 顯示依據本發明之另一實施例。在此實施例中，第一電極 512 係沿著結構的邊緣配置，以相對於如圖 4 所揭示之配置於中央的第一電極 212。示於圖 5 的個別層可以使用有關於圖 1 所討論的材料與製程加以形成。在此實施例中，電容 400 具有第一電極 512。第一陶瓷層 517 係配置於金屬箔 512 上。多孔陶瓷體 518 係形成在第一陶瓷層 517 上。可以了解的是，多孔陶瓷體 518 可以直接形成在第一電極 512 上。

介電層 522 係形成在多孔陶瓷體 518 的自由面上。導電媒體 516（例如導電聚合物）係被浸漬入多孔體 518 的孔中。

應注意，顯示於圖中之元件符號 522、518 及 516 指向相同結構。這是由於在圖中很難顯示各薄層。應了解的是，介電層 522 大致重疊多孔陶瓷體 518 的自由表面積。在沈積介電層後，多孔陶瓷體的所得形狀基本上保持不變（除了厚度上少許增加）。導電媒體 522 然後密封多孔陶瓷體，得到如圖 5 所示之大致矩形形狀。

層 516 的典型厚度為 1-10 微米。完全浸漬多孔陶瓷體 518 中的所有開放孔係較佳的，因為這提供最大電容值。導電聚合物較佳對介電層 522 具有良好黏著力，以確保良好電性能。絕緣層 513 係配置於第一電極與耦接至第二電極的剩餘層之間，以於兩電極間提供電絕緣。各式各樣絕緣材料可以用於此目的。

剩餘結構主要是有關於形成用於第二電極的電終端及密封所得結構。導電金屬膏層 560（例如銀膏）被施加至一部份的導電媒體 516。第一電接腳 570 係電耦接至第一電極金屬箔 512 及第二電接腳 580 係耦接至導電金屬膏層 560。該結構也為層 590 所密封，層 590 可以包含為各種已知技術之一所施加之各種材料，例如環氧類樹脂、樹脂、聚對二甲苯基。應了解的是，各種電終端及密封技術可以被利用，以不脫離本發明之範圍。應了解的是，其他層也可以加入結構中，而不脫離本發明的範圍。

圖 6 顯示製造本發明之單體電容的方法之實施例。各種製程步驟係被說明於圖 6 中，並被如上所述地執行。在步驟 600 中，準備適當陶瓷材料。如方塊 602 所示，陶瓷粒子然後被放置於適當懸浮液，供沈積用（例如藉由 EPD）。使用傳統方法，如方塊 604 所示，第一電極（例如 Kovar 箔）被整形為想要幾何形狀。

第一（薄）陶瓷層然後被沈積在第一電極上，如方塊 606 所示。第一陶瓷層然後在還原氣氛（例如  $\text{Ar}/\text{H}_2$ ）被燒結至全密度，如方塊 608 所示。還原溫度典型於 900-

1400℃。在峰值溫度的典型持續時間典型為 5-60 分。再者，如方塊 610 所示，多孔陶瓷體被沈積在第一陶瓷層上。多孔陶瓷體然後被於還原氣氛中燒結，如方塊 612 所示，並大致如上所討論。各種還原溫度可以被利用。還原溫度典型選擇以維持開放孔結構並避免大量稠密化。

多孔陶瓷體然後被氧化，以形成薄介電層，如方塊 614 所示。例如，多孔陶瓷體可以在含氧氣氛中被加熱至 900℃ 的溫度持續約 5-120 分。這造成介電層的形成。在該製程中，可以使用抽取及沖洗循環，以確保氧出現在多孔陶瓷體的孔中。

多孔陶瓷體（現在被覆蓋於薄介電層中）然後被浸漬於導電媒體（例如以上討論之導電聚合物），如方塊 616 所示。在此例子中，如方塊 618 所示，至少一部份的多孔陶瓷體然後被塗覆以適當銀化合物（例如銀膏）。形成陽極與陰極的電接腳係被附接及封裝係被密封，如方塊 620 所示。

單體電容及該單體電容的製造方法已經被揭示。其中所揭示的只是例示用。本發明仍可以在所主張的精神與範圍內想出各種變化、選擇或替換。熟習於本技藝者可以想出針對上述實施例之各種修改、替換及組合，而不會脫離本發明之精神與範圍，這些修改、替換及組合係被認為在本發明概念內。隨附之申請專利範圍係想要涵蓋落在本發明精神與範圍內的所有改變與修改。

【圖式簡單說明】

圖 1 顯示依據本發明之電容的實施例；

圖 2 為剖面圖，顯示依據本發明一態樣的第一電極、  
第一陶瓷層及多孔陶瓷體的一部份；

圖 3 顯示依據本發明之電容的另一實施例；

圖 4 顯示依據本發明之安裝基板；

圖 5 顯示依據本發明之電容的另一實施例；及

圖 6 顯示依據本發明一態樣的方法。

【主要元件符號說明】

10：電容

12：第一電極

16：導電媒體

17：第一陶瓷層

18：多孔陶瓷體

20：導電金屬層

22：介電層

100：電容

212：金屬箔

216：導電媒體

217：第一陶瓷層

218：多孔陶瓷體

222：介電層

260：銀膏層

270：第一電接腳

280：第二電接腳

290：層

295：安裝基板

300：基礎部份

302：第一金屬化層

304：第二金屬化層

306：導電膠

308：非導電膠

400：電容

512：金屬箔

513：絕緣層

516：導電媒體

517：第一陶瓷層

518：多孔陶瓷體

522：介電層

560：導電金屬膏層

570：第一電接腳

580：第二電接腳

590：層

# 發明專利說明書

(本申請書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：98129887

※申請日：98 年 09 月 04 日

※IPC 分類：H01G 4/12 (2006.01)

## 一、發明名稱：(中文／英文)

單體電容與其製造方法

Bulk capacitor and method

## 二、中文發明摘要：

一種單體電容包含由金屬箔形成之第一電極及形成在該金屬箔上的半導體多孔陶瓷體。一介電層係例如藉由氧化形成在該多孔陶瓷體上。導電媒體係沈積在該多孔陶瓷體上，填入該多孔陶瓷體的孔中並形成第二電極。該電容可以然後被以各種層加以密封並可以包含傳統電終端。一種製造單體電容的方法包含在由金屬箔形成的第一電極上形成導電多孔陶瓷體、氧化以形成一介電層及以導電媒體以填入該多孔體以形成第二電極。一薄半導體陶瓷層也可以配置於該金屬箔與該多孔陶瓷體之間。



### 三、英文發明摘要：

A bulk capacitor includes a first electrode formed of a metal foil and a semi-conductive porous ceramic body formed on the metal foil. A dielectric layer is formed on the porous ceramic body for example by oxidation. A conductive medium is deposited on the porous ceramic body filling the pores of the porous ceramic body and forming a second electrode. The capacitor can then be encapsulated with various layers and can include conventional electrical terminations. A method of manufacturing a bulk capacitor includes forming a conductive porous ceramic body on a first electrode formed of a metal foil, oxidizing to form a dielectric layer and filling the porous body with a conductive medium to form a second electrode. A thin semi-conductive ceramic layer can also be disposed between the metal foil and the porous ceramic body.

## 七、申請專利範圍

1. 一種單體電容，包含：  
由金屬箔形成之第一電極，  
沈積在該金屬箔上之半導體多孔陶瓷體，  
形成在該多孔陶瓷體上的介電層，及  
導電媒體，填入至少一部份的多孔陶瓷體，形成第二電極。
2. 如申請專利範圍第 1 項所述之單體電容，更包含導電金屬層，密封該多孔陶瓷體。
3. 如申請專利範圍第 2 項所述之單體電容，其中該導電金屬層包含銀。
4. 如申請專利範圍第 1 項所述之單體電容，更包含半導體陶瓷層，配置於該金屬箔與該多孔陶瓷體之間。
5. 如申請專利範圍第 1 項所述之單體電容，其中該金屬箔具有幾何剖面。
6. 如申請專利範圍第 1 項所述之單體電容，其中該導電媒體包含導電聚合物。
7. 如申請專利範圍第 1 項所述之單體電容，其中該介電層被形成在該多孔陶瓷體的自由面上。
8. 如申請專利範圍第 1 項所述之單體電容，其中該介電層係形成在多孔陶瓷體上及該金屬箔上。
9. 如申請專利範圍第 1 項所述之單體電容，更包含耦接至該第一電極之第一電接腳及耦接至該第二電極的第二電接腳，其中該第一電接腳與第二電接腳被架構以配合

位在安裝基板上的第一與第二導電墊。

10. 如申請專利範圍第 9 項所述之單體電容，其中該第一與第二電極係經由導電黏劑被結合至該第一與第二導電墊。

11. 如申請專利範圍第 10 項所述之單體電容，更包含非導電黏劑，配置於該第一與第二電接腳之間。

12. 一種製造單體電容的方法，該方法包含：

在包含金屬箔的第一電極上形成導電多孔陶瓷體，  
氧化該多孔陶瓷體，以形成介電層，及  
以形成第二電極的導電媒體，填入該多孔陶瓷體。

13. 如申請專利範圍第 12 項所述之方法，包含以導電金屬層密封該多孔陶瓷體。

14. 如申請專利範圍第 13 項所述之方法，其中該導電金屬層包含銀。

15. 如申請專利範圍第 12 項所述之方法，更包含在該金屬箔與該多孔陶瓷體間，形成半導體陶瓷層。

16. 如申請專利範圍第 12 項所述之方法，更包含在該金屬箔中，形成幾何剖面。

17. 如申請專利範圍第 12 項所述之方法，其中該氧化係以熱式執行。

18. 如申請專利範圍第 12 項所述之方法，其中該氧化係以電化學式執行。

19. 如申請專利範圍第 12 項所述之方法，其中該導電媒體包含導電聚合物。

20. 如申請專利範圍第 12 項所述之方法，其中該介電層被形成在多孔陶瓷體上及該金屬箔上。

21. 如申請專利範圍第 12 項所述之方法，其中第一電接腳耦接至該第一電極及第二電接腳耦接至該第二電極，其中該第一電接腳與第二電接腳係架構以配合位在安裝基板上的第一及第二導電墊。

22. 如申請專利範圍第 21 項所述之方法，其中該第一與第二電極經由導電黏劑結合至該第一與第二導電墊。

23. 如申請專利範圍第 22 項所述之方法，其中非導電黏劑係配置於該第一與第二電接腳之間。

圖 1

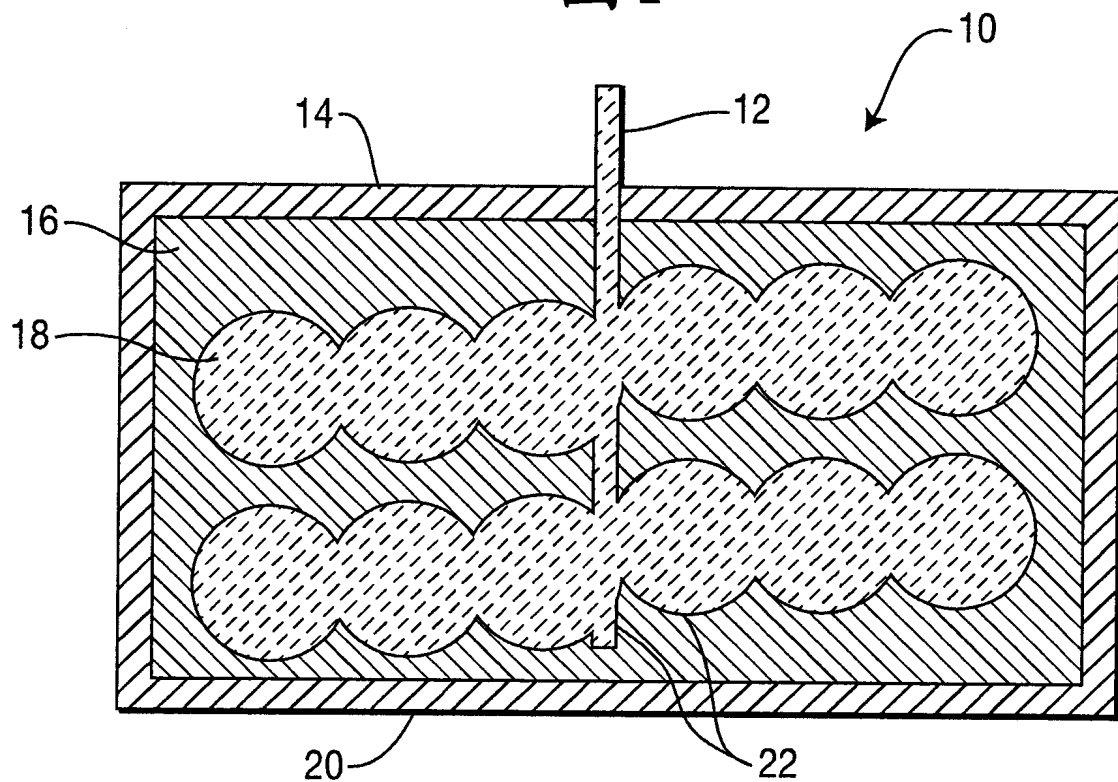


圖 2

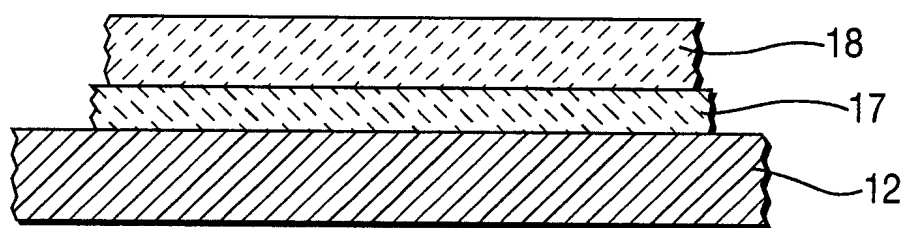


圖 4

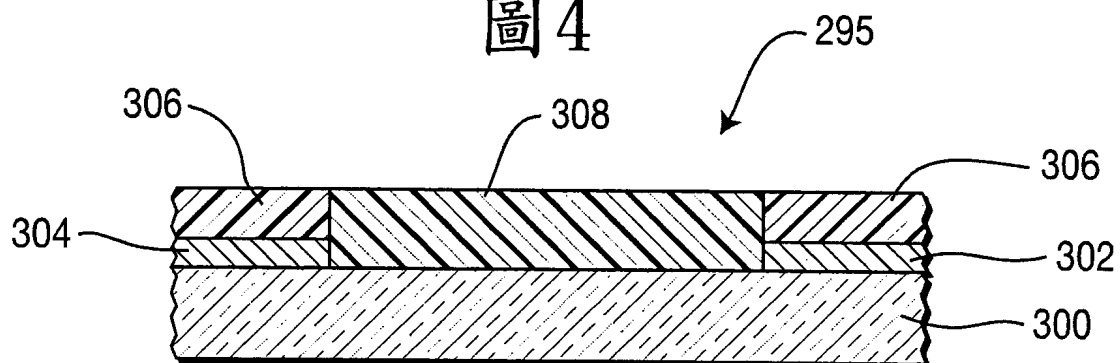


圖3

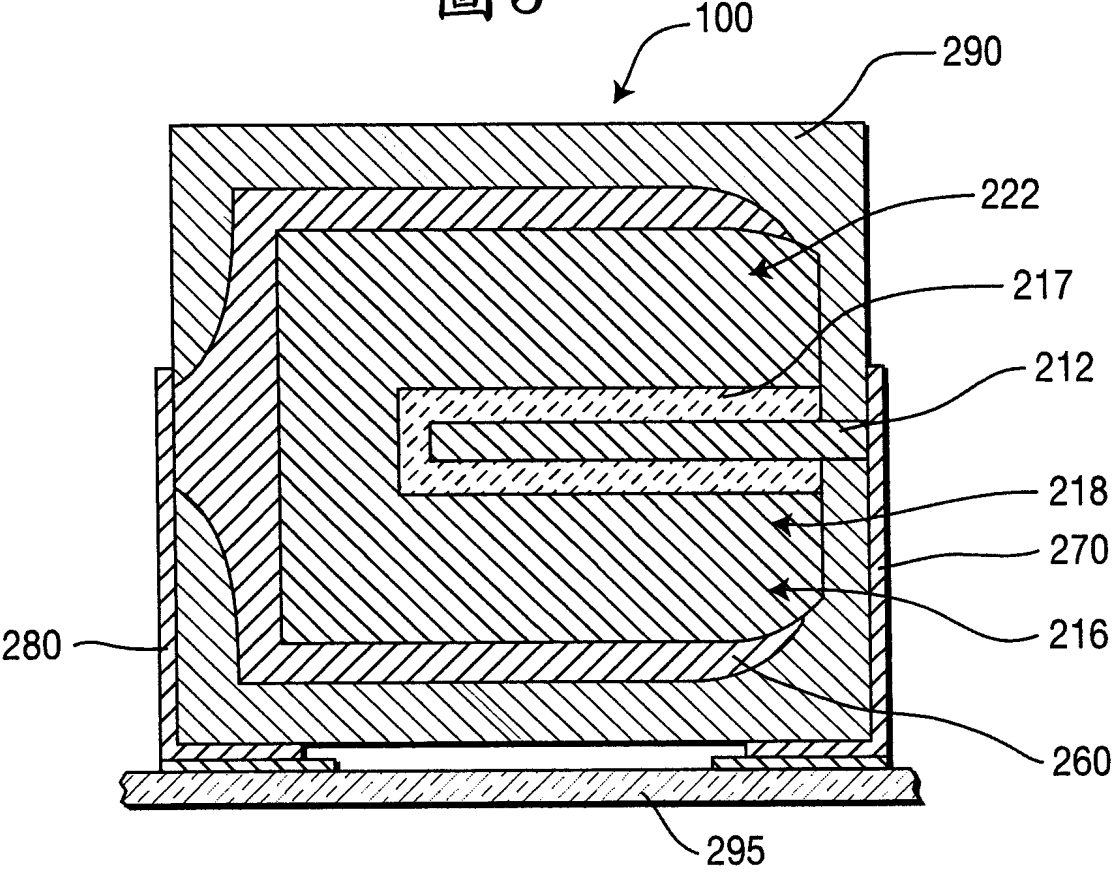


圖5

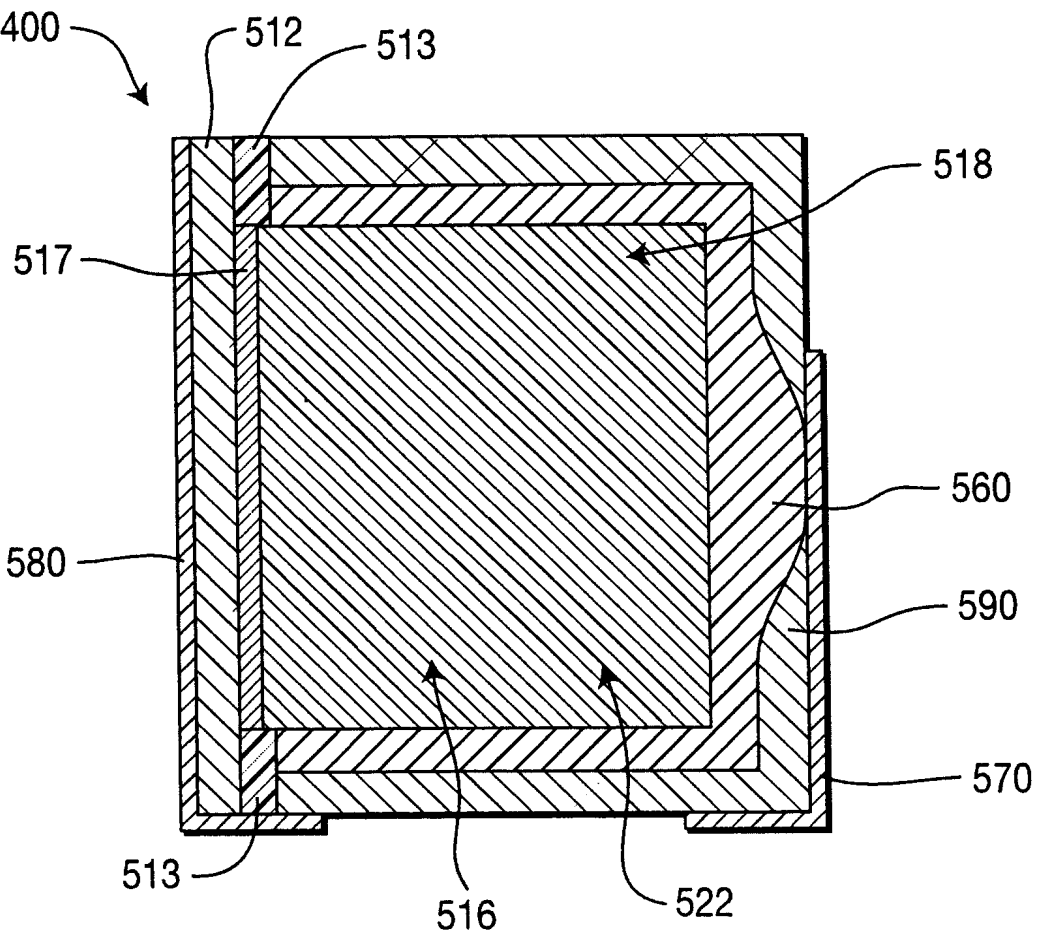
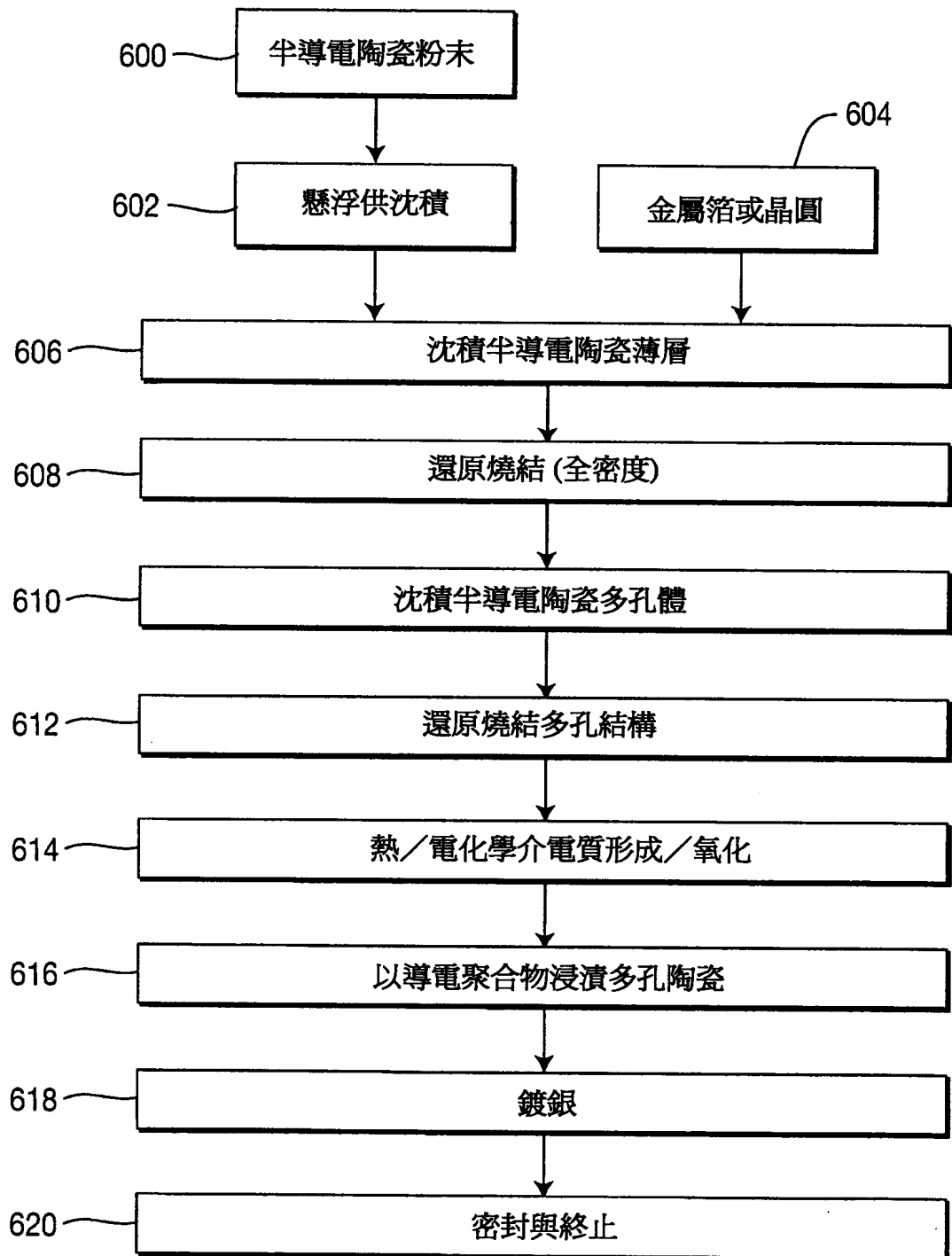


圖 6



四、指定代表圖：

(一) 本案指定代表圖為：第(1)圖。

(二) 本代表圖之元件符號簡單說明：

10：電容

12：第一電極

16：導電媒體

18：多孔陶瓷體

20：導電金屬層

22：介電層



五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無