



(12) 发明专利

(10) 授权公告号 CN 1399165 B

(45) 授权公告日 2010.05.26

(21) 申请号 02126893.2

审查员 钟焱鑫

(22) 申请日 1996.11.17

(30) 优先权数据

323674/95 1995.11.17 JP

(62) 分案原申请数据

96123320.6 1996.11.17

(73) 专利权人 株式会社半导体能源研究所

地址 日本神奈川县

(72) 发明人 山崎舜平

(74) 专利代理机构 中国专利代理(香港)有限公司 72001

代理人 梁永

(51) Int. Cl.

G02F 1/136 (2006.01)

H01L 29/786 (2006.01)

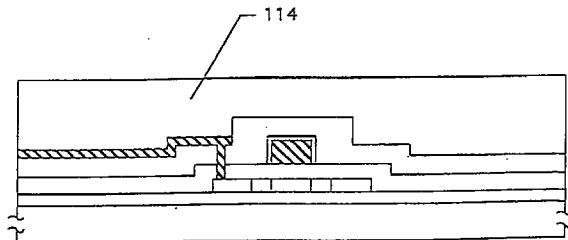
权利要求书 2 页 说明书 6 页 附图 5 页

(54) 发明名称

显示器件

(57) 摘要

一种显示器件，包括：衬底；开关元件，包含至少一个形成在所述衬底上的薄膜晶体管，所述薄膜晶体管包括：形成在所述衬底上的由晶体硅构成的半导体岛区，所述半导体岛区具有至少一对掺杂区和位于所述一对掺杂区之间的沟道区；形成在所述半导体岛区上的栅绝缘膜；形成在所述沟道区上的栅电极，所述栅绝缘膜位于所述栅电极和所述沟道区之间；形成在所述开关元件上由氮化硅构成的第一绝缘膜；形成在所述第一绝缘膜上的有机树脂膜；和形成在所述有机树脂膜上的像素电极，电连接到所述掺杂区之一。此结构可防止掩蔽膜与薄膜晶体管之间产生电容的问题。



1. 一种显示器件,包括:

一个衬底;

一个开关元件,包含至少一个形成在所述衬底上的薄膜晶体管,所述薄膜晶体管包括:

与所述衬底相邻的由晶体硅构成的半导体岛区,所述半导体岛区具有至少一对掺杂区和位于所述一对掺杂区之间的沟道区;

与所述半导体岛区相邻的栅绝缘膜;

与所述沟道区相邻的栅电极,所述栅绝缘膜位于所述栅电极和所述沟道区之间;

形成在所述开关元件上由氮化硅构成的第一绝缘膜;

形成在所述第一绝缘膜上的有机树脂膜;

形成在所述有机树脂膜上的掩蔽膜;

形成在所述掩蔽膜上的第三绝缘膜;和

形成在所述第三绝缘膜上的像素电极,电连接到所述掺杂区之一。

2. 根据权利要求 1 的显示器件,其中所述显示器件是液晶显示器。

3. 根据权利要求 1 的显示器件,其中所述显示器件是 EL 显示器。

4. 根据权利要求 1 的显示器件,其中所述有机树脂膜是选自聚酰亚胺树脂和丙烯酸树脂之一的材料。

5. 一种显示器件,包括:

一个衬底;

一个开关元件,包含至少一个形成在所述衬底上的薄膜晶体管,所述薄膜晶体管包括:

与所述衬底相邻的由晶体硅构成的半导体岛区,所述半导体岛区具有至少一对掺杂区和位于所述一对掺杂区之间的沟道区;

与所述半导体岛区相邻的栅绝缘膜;

与所述沟道区相邻的栅电极,所述栅绝缘膜位于所述栅电极和所述沟道区之间;

包括氮化硅和氧化硅的一个多层绝缘膜;

形成在所述多层绝缘膜上的有机树脂膜;

形成在所述有机树脂膜上的掩蔽膜;

形成在所述掩蔽膜上的第三绝缘膜;和

形成在所述第三绝缘膜上的像素电极,电连接到所述掺杂区之一。

6. 根据权利要求 5 的显示器件,其中所述显示器件是液晶显示器。

7. 根据权利要求 5 的显示器件,其中所述显示器件是 EL 显示器。

8. 根据权利要求 5 的显示器件,其中所述有机树脂膜是选自聚酰亚胺树脂和丙烯酸树脂之一的材料。

9. 一种显示器件,包括:

一个衬底;

一个开关元件,包含至少一个形成在所述衬底上的薄膜晶体管,所述薄膜晶体管包括:

形成在所述衬底上的由晶体硅构成的半导体岛区,所述半导体岛区具有至少一对掺杂

区和位于所述一对掺杂区之间的沟道区；  
与所述半导体岛区相邻的栅绝缘膜；  
与所述沟道区相邻的栅电极，所述栅绝缘膜位于所述栅电极和所述沟道区之间；  
形成在所述开关元件上由氮氧化硅构成的绝缘膜；  
形成在所述绝缘膜上的有机树脂膜；  
形成在所述有机树脂膜上的掩蔽膜；  
形成在所述掩蔽膜上的第三绝缘膜；和  
形成在所述第三绝缘膜上的像素电极，电连接到所述掺杂区之一。

10. 根据权利要求 9 的显示器件，其中所述显示器件是液晶显示器。
11. 根据权利要求 9 的显示器件，其中所述显示器件是 EL 显示器。
12. 根据权利要求 9 的显示器件，其中所述有机树脂膜是选自聚酰亚胺树脂和丙烯酸树脂之一的材料。
13. 根据权利要求 1 的显示器件，其中所述薄膜晶体管是顶棚极式薄膜晶体管。
14. 根据权利要求 1 的显示器件，其中所述薄膜晶体管是底棚极式薄膜晶体管。
15. 根据权利要求 5 的显示器件，其中所述薄膜晶体管是底棚极式薄膜晶体管。
16. 根据权利要求 5 的显示器件，其中所述薄膜晶体管是顶棚极式薄膜晶体管。
17. 根据权利要求 9 的显示器件，其中所述薄膜晶体管是底棚极式薄膜晶体管。

## 显示器件

[0001] 本申请是申请日为 1996 年 11 月 17 日、申请号为 96123320.6、发明名称为“显示器件”的发明专利申请的分案申请。

### 发明领域

[0002] 本发明涉及显示器件。

### 背景技术

[0003] 传统已知的平板显示器包括有源矩阵液晶显示器，其结构中，为按矩阵形状设置的大量象素中的每一个提供用于开关的薄膜晶体管，并由该薄膜晶体管控制电荷进入各个象素电极和从各个象素电极出来。

[0004] 在这种结构中，必须设置掩蔽装置（光屏蔽装置），用以避免光进入在象素区设置的薄膜晶体管。

[0005] 从杂质弥散和稳定性的角度出发，通常选用金属膜作为掩蔽装置（光屏蔽装置）。而且，设置这类用于薄膜晶体管掩蔽装置通常还起到黑色矩阵的作用，覆盖象素电极的外围边缘区域。

[0006] 这类结构具有如下问题。第一个问题是在掩蔽膜与薄膜晶体管之间产生电容，这对薄膜晶体管的工作有不利影响。第二个问题是因为掩蔽膜通常形成在不平整的衬底上，可能使掩蔽功能不充分。

[0007] 与掩蔽功能相关的问题同样影响与象素边缘搭接而设置的黑色矩阵。

### 发明内容

[0008] 本说明书公开的发明的目的在于提供一种能解决与用于遮蔽薄膜晶体管的掩蔽膜相关的问题的结构，以达到作为有源矩阵显示器的高性能。

[0009] 本发明提供了一种显示器件，包括：一个衬底；一个开关元件，包含至少一个形成在所述衬底上的薄膜晶体管，所述薄膜晶体管包括：形成在所述衬底上的由晶体硅构成的半导体岛区，所述半导体岛区具有至少一对掺杂区和位于所述一对掺杂区之间的沟道区；形成在所述半导体岛区上的栅绝缘膜；形成在所述沟道区上的栅电极，所述栅绝缘膜位于所述栅电极和所述沟道区之间；形成在所述开关元件上由氮化硅构成的第一绝缘膜；形成在所述第一绝缘膜上的有机树脂膜；和形成在所述有机树脂膜上的像素电极，电连接到所述掺杂区之一。

[0010] 本发明还提供了一种显示器件，包括：一个衬底；一个开关元件，包含至少一个形成在所述衬底上的薄膜晶体管，所述薄膜晶体管包括：形成在所述衬底上的由晶体硅构成的半导体岛区，所述半导体岛区具有至少一对掺杂区和位于所述一对掺杂区之间的沟道区；形成在所述半导体岛区上的栅绝缘膜；形成在所述沟道区上的栅电极，所述栅绝缘膜位于所述栅电极和所述沟道区之间；形成在所述开关元件上由氧化硅构成的第一绝缘膜；形成在所述第一绝缘膜上由氮化硅构成的第二绝缘膜；形成在所述第二绝缘膜上的有机树

脂膜；和形成在所述有机树脂膜上的像素电极，电连接到所述掺杂区之一。

[0011] 本发明还提供了一种显示器件，包括：一个衬底；一个开关元件，包含至少一个形成在所述衬底上的薄膜晶体管，所述薄膜晶体管包括：形成在所述衬底上的由晶体硅构成的半导体岛区，所述半导体岛区具有至少一对掺杂区和位于所述一对掺杂区之间的沟道区；形成在所述半导体岛区上的栅绝缘膜；形成在所述沟道区上的栅电极，所述栅绝缘膜位于所述栅电极和所述沟道区之间；形成在所述开关元件上由氮氧化硅构成的绝缘膜；形成在所述绝缘膜上的有机树脂膜；和形成在所述有机树脂膜上的像素电极，电连接到所述掺杂区之一。

[0012] 其中所述显示器件是液晶显示器或 EL 显示器。

[0013] 其中所述有机树脂膜是选自聚酰亚胺树脂和丙烯酸树脂之一的材料。

## 附图说明

[0014] 图 1A-1D 展示了有源矩阵电路的像素部分的制造工序。

[0015] 图 2A-2C 展示了有源矩阵电路的像素部分的制造工序。

[0016] 图 3A-3C 展示了有源矩阵电路的像素部分的制造工序。

[0017] 图 4A-4C 展示了有源矩阵电路的像素部分的制造工序。

[0018] 图 5A-5D 展示了有源矩阵电路的像素部分的制造工序。

## 具体实施方式

[0019] 以下将说明本发明的第一实施例。图 1A-1D 和图 2A-2C 展示了本实施例所述有源矩阵液晶显示器的像素部分的制造工序。

[0020] 如图 1A 所示，采用等离子体 CVD 工艺，在玻璃衬底 101 上首先形成厚度为  $3000 \text{ \AA}$  的氧化硅膜 102 作为背膜。

[0021] 接着，形成非晶硅膜（未示出），之后将作为由薄膜半导体制成的起始膜，用于形成薄膜晶体管的有源层。

[0022] 采用 CVD 工艺形成厚为  $500 \text{ \AA}$  的非晶硅膜（未示出）。

[0023] 然后采用加热处理或者用激光来照射或者采用加热处理与微光来照射相结合的工艺，使非晶硅膜晶化，制取结晶硅膜（未示出）。

[0024] 对结晶硅膜（未示出）刻图，制成薄膜晶体管的有源层 103。

[0025] 接着，进行等离子体 CVD 处理，形成厚  $1000 \text{ \AA}$  的氧化硅膜 104，通过覆盖有源层 103，用作栅绝缘膜，如图 1A 所示。因此，获得如图 1A 所示的状态。

[0026] 接着，采用溅射工艺形成含  $0.1\text{wt\%}$  钪的铝膜（未示出），厚度为  $4000 \text{ \AA}$ 。此铝膜将用作栅电极层。

[0027] 形成铝膜之后，在其表面上形成厚  $100 \text{ \AA}$  的致密阳极氧化膜（未示出）。用氨水对含 3% 的酒石酸的乙二醇溶液进行中和，在由此获得的电解液中，以铝膜作为阳极，进行阳极氧化。

[0028] 另外，通过设置光刻胶掩模（未示出）来刻图。作为刻图的结果，形成栅电极 105。

[0029] 形成栅电极 105 之后，利用设置就位的光刻胶掩模（未示出）再次进行阳极氧化。此次阳极氧化采用含 3% 乙二酸的水溶液作为电解液。

[0030] 由于剩余的光刻胶掩模(未示出),所以此次阳极氧化仅在栅电极 105 的侧面选择地发生。本工序中形成的阳极氧化膜具有多孔结构。

[0031] 因此,在栅电极 105 侧面形成多孔阳极氧化膜 106。此多孔阳极氧化膜可生长至几个微米的数量级。由阳极氧化的持续时间可控制此生长的尺寸。

[0032] 这里,阳极氧化膜 106 的厚度是 6000 Å。

[0033] 接着,利用氨水对含 3% 酒石酸的乙二醇溶液进行中和,采用由此获得的电解液再次进行阳极氧化。在本次阳极氧化工序中,由于电解液渗入多孔阳极氧化膜 106,所以围绕栅电极 105 形成致密的阳极氧化膜 107。

[0034] 此致密阳极氧化膜 107 的厚度为 500 Å。此致密阳极氧化膜 107 的主要功能是覆盖栅电极,防止在后续工序中产生小丘和晶须。

[0035] 而且还具有保护栅电极 105 的作用,在以后去涂多孔阳极氧化膜 106 的同时以免其受到腐蚀。

[0036] 其作用还助于偏移棚区的形成,在后续工序中利用多孔阳极氧化膜 106 作为掩模来形成偏移棚区。

[0037] 因此,实现了图 1B 所示的状态。

[0038] 此状态下,注入杂质离子。这里,注入 P(磷) 离子来获得 N 沟道型薄膜晶体管。

[0039] 当在图 1B 所示状态进行杂质离子的注入时,把杂质离子选择地注入在由 108 和 111 所表示的区域。亦即,区 108 和 111 成为高浓度杂质区。

[0040] 由于栅电极 105 起掩模作用,所以杂质离子不注入到栅电极 105 正下方的区 109。此区 109 用作沟道形成区。

[0041] 由于多孔阳极氧化膜 105 和致密阳极氧化膜 107 起掩模作用,杂质离子也不注入由 110 所表示的区。

[0042] 由 107 表示的区用作偏移棚区,其作用既不是源 / 漏区也不是沟道形成区。

[0043] 尤其是,偏移棚区具有缓和沟道形成区与漏区之间形成的电场强度的功能。偏移棚区的存在可使薄膜晶体管的截止电流降低并且能抑制其性能变坏。

[0044] 因此,在自对准的基础上形成 108 表示的源区、109 表示的沟道形成区、110 表示的偏移棚区和 111 表示的漏区。

[0045] 完成杂质离子注入之后,选择地去除多孔阳极氧化膜 106。之后,通过激光来照射进行退火处理。由于激光可以被引入高浓度杂质区与偏移棚区之间的界面,所以已被杂质离子的注入所损坏的结部位可以有效地被退火。

[0046] 当实现了图 1B 所示状态时,形成厚 2000 Å 的氧化硅膜 112 作为第一层绝缘膜。

[0047] 氮化硅膜或者由氧化硅膜和氮化硅膜组成的多层膜可以用作此第一层绝缘膜。

[0048] 接着,在第一层绝缘膜 112 中形成接触孔,以此形成与薄膜晶体管源区接触的源电极 113。因此,实现了图 1C 所示状态。

[0049] 然后,采用透明聚酰亚胺树脂或者丙烯酸树脂形成第二层绝缘膜 114。把树脂材料制成的层绝缘膜 114 形成为平坦表面。因此,实现了图 1D 所示状态。

[0050] 接着,如图 2A 所示,形成铬膜并刻图成为掩蔽膜 115,其起掩蔽膜作用和用于薄膜晶体管的黑色矩阵作用。

[0051] 选择相对介电常数等于或小于 3 的材料作为形成第二层绝缘膜 114 的树脂材料。

该膜制成厚达几个微米。树脂材料适宜于这种应用,因为即使制成较厚也不会延长制造工序所需的时间。

[0052] 这种结构可以防止铬制成的掩蔽膜 115 与位于其下方的薄膜晶体管之间产生电容。

[0053] 此外,如果用树脂材料制作,则第二层绝缘膜 114 表面可以容易地平面化。这可以防止因表面不平整而发生光泄漏。

[0054] 当实现了图 2A 所示状态后,使用树脂材料、氧化硅膜或氮化硅膜形成第三层绝缘膜 116。这里,采用与第二层绝缘膜 114 相同的树脂材料用作第三层绝缘膜 116。

[0055] 采用树脂材料作为第三层绝缘膜有利于解决后续工序将要形成的象素电极与掩蔽膜 115 之间产生电容的问题,并使其上将要形成象素电极的表面平整。

[0056] 因此,实现了图 2B 所示状态。接着,通过形成接触孔、形成构成象素电极的 ITO 电极以及进行刻图,来形成象素电极 117。

[0057] 由此完成了图 2C 所示结构。在图 2C 所示结构中,可使设置于薄膜晶体管(尤其是源电极 113)与掩蔽膜(和 / 或黑色矩阵)115 之间的层绝缘膜形成为具有小的相对介电常数和大的厚度。这可以防止产生不必要的电容。

[0058] 上述结构是可以实现的,因为形成厚的树脂膜的工艺简单,不涉及处理时间增多的问题。

[0059] 以下将说明本发明的第二实施例。

[0060] 本实施例的特征在于,其采用的结构是对第一实施例所述结构的改进,从而提供更高的可靠性。

[0061] 如上所述,使用金属材料如铬作为掩蔽膜和黑色矩阵。但是,从长期可靠性来看,与来自金属材料的杂质弥散和金属材料与其它电极或导线之间的短路存在相关性。

[0062] 特别是,如果图 2C 所示状态的层绝缘膜中存在针孔,则会产生如下问题,在掩蔽膜 115(可同时作为黑色矩阵)与象素电极 117 之间发生短路。

[0063] 消除存在于层绝缘膜 116 的针孔的影响的可能方法是形成层绝缘膜 116 作为特别的多层膜。

[0064] 然而,这种方法是不适宜的,因为会增加制造工序的数量及生产成本。

[0065] 根据本实施例的结构按下列方式在第一实施例所述结构中,采用可以阳极氧化的材料用于掩蔽膜,以便遮蔽薄膜晶体管,而且在其上形成阳极氧化膜。

[0066] 采用铝或者钽作为可以阳极氧化的材料。

[0067] 尤其是,作用铝将可提供良好的掩蔽膜,因为采用用于工业产品如铝框的阳极氧化技术,可使阳极氧化膜染成黑色或类似的暗色。

[0068] 图 3A-3C 示意地展示了根据本实施例的制造工序。首先,通过图 1A-1D 的工序实现图 1D 所示的状态。然后,如图 2A 所示,形成掩蔽膜 115。

[0069] 这里,使用铝作为掩蔽膜 115。在电解液中进行阳极氧化,在掩蔽膜 115 表面上形成阳极氧化膜 301,如图 3A 所示。

[0070] 图 3A 展示了作用遮蔽薄膜晶体管的掩蔽膜的掩蔽膜 301。但是,一般还要再延伸形成黑色矩阵。

[0071] 当实现图 3A 所示状态后,利用氧化硅膜或氮化硅膜或者由树脂材料来形成第三

层绝缘膜 116, 如图 3B 所示。

[0072] 此外, 采用 ITO 形成象素电极 117, 如图 3C 所示。

[0073] 即使层绝缘膜 116 中存在针孔, 阳极氧化膜 301 的存在也可防止象素电极 117 和掩蔽膜 115 发生短路。

[0074] 另外, 由于阳极氧化膜 301 化学性质稳定, 从长期可靠性角度来看, 其在以下方面是良好的, 即可防止掩蔽膜 115 中的杂质向其邻近部位扩散。

[0075] 以下将说明本发明的第三实施例。

[0076] 本实施涉及的结构中象素的孔径比得以改善。对于象素结构通常要求其孔径比应尽可能地大。为了获得象素的大孔径比, 必须提供面积尽可能宽的象素电极。

[0077] 但是, 对于这种企求存在几方面的限制, 如果象素电极与薄膜晶体管或导线搭接, 则在其间产生电容。

[0078] 本实施例提供的结构减少了产生电容的问题。

[0079] 图 4A-4C 展示了根据本实施例的结构的生产工序。图 4A 和 4B 所示工序与图 3A 和 3B 相同。

[0080] 首先, 形成由铝制成的掩蔽膜 115, 如图 4A 所示。在掩蔽膜 115 表面上形成由 301 表示的阳极氧化膜。

[0081] 而且, 形成第三层绝缘膜 116, 如图 4B 所示。用树脂材料形成层绝缘膜 116。

[0082] 然后采用 ITO 形成象素电极 117, 如图 4C 所示。象素电极 117 覆盖在薄膜晶体管上。这使象素的孔径比最大。

[0083] 按图 4C 的结构, 可由树脂材料形成具有小的相对介电常数(与氧化硅膜或氮化硅膜相比)且厚度增大的层绝缘膜 114 和 116。由此可减少上述的电容问题。

[0084] 而且, 可以增大象素电极的面积, 以此获得大的象素孔径比。

[0085] 在上述实施例中尽管采用了顶栅极式薄膜晶体管, 但在本实施例 4 中, 说明了制造底栅极式薄膜晶体管的方法, 其中栅极比有源层更为靠杰衬底。

[0086] 根据本实施例 4 的制造工序如图 5A-5D 所示。首先, 如图 5A 所示, 通过溅射在玻璃衬底 201 上形成氧化硅膜 202 作为基膜。然后, 用铝形成栅电极 203。

[0087] 在此栅电极中, 铝中含有 0.18wt% 的钪。其它杂质浓度应尽可能地低。这是为了抑制因后续工序中铝的异常生长而形成的所谓小丘或晶须等突起的形成。

[0088] 然后, 通过等离子体 CVD 形成厚 500 Å 的氧化硅膜 204, 起栅绝缘膜的作用。

[0089] 之后, 通过等离子体 CVD 形成图中未示出的非晶硅膜(后面成为结晶硅膜 205), 作为形成薄膜晶体管的有源层的起始膜。也可采用低压热 CVD 来代替等离子体 CVD。

[0090] 随后, 通过激光照射, 使图中未示出的非晶硅膜结晶化。于是获得结晶硅膜 205。由此, 获得图 5A 所示结构。

[0091] 获得图 5A 所示结构之后, 通过刻图来形成有源层 206。

[0092] 接着, 形成图中未示出的氮化硅膜, 利用栅电极通过从衬底的背表面一侧照射光, 形成氮化硅膜制成的掩膜图形 207。

[0093] 按如下方式形成掩模图形 207。

[0094] 首先, 利用栅电极图形, 通过从衬底 201 的背表面侧照射光, 形成光刻胶掩模图形。而且, 通过对光刻胶掩模图形再加工。通过利用图中未示出的再加工的光刻胶掩

模图形,对氮化硅膜刻图,获得由参考标号 207 表示的图形。因此,获得图 5B 所示结构。

[0095] 之后,利用掩模图形 207 进行掺杂。例如,使用 P( 磷 ) 作为掺杂剂,采用等离子体掺杂作为掺杂方法。

[0096] 在此工序中,区 208 和 209 用 P 掺杂。区 210 不用 P 掺杂。

[0097] 完成掺杂之后,从上方进行激光照射,以便激活掺杂区,并对因掺杂剂离子的撞击而引起的损伤进行退火。

[0098] 因此,如图 5C 所示,形成区 208 作为源区。而且,形成区 209 作为漏区。形成区 210 作为沟道区。

[0099] 之后,通过等离子体 CVD 形成厚度为 2000 Å 的氮化硅膜作为第一层间绝缘膜 211。

[0100] 可以采用氧化硅膜、氮氧化硅膜或者由氧化硅膜和氮化硅膜(其中任一种可以形成于另一种之上)组成的多层膜,来代替氮化硅单膜,作为此处所用的第一层间绝缘膜。

[0101] 然后,在第一层间绝缘膜 211 中形成用于源区 208 的接触孔,形成源电极提供与源区 208 的接触。由此获得图 5C 所示结构。

[0102] 之后,如图 5D 所示,用透明聚酰亚胺树脂或丙烯酸树脂形成具有平坦表面的第 2 层间绝缘膜 213。例如,膜形成方法可采用旋涂法。

[0103] 接着,在第二层间绝缘膜 213 上形成铬膜,并刻图形成光屏蔽膜 214,其作用是用于薄膜晶体管的光屏蔽膜和黑色矩阵。之后,用相同的树脂材料形成第三层间绝缘膜 215,作为第二层间绝缘膜 213。

[0104] 在第一至第三层间绝缘膜 211、213、215 中形成到达漏区 209 的接触孔。接着,在第三层间绝缘膜 215 表面上形成 ITO( 氧化铟锡 ) 膜,并刻成像素电极 216 图形。

[0105] 通过上述工序完成图 5D 所示薄膜晶体管。

[0106] 使用本说明书所公开的本发明,在有源矩阵显示器的像素结构中设置有效的掩蔽膜,可以构成具有高性能的有源矩阵显示器。本说明书公开的发明不仅适用于有源矩阵液晶显示器,而且也适用于 EL 式显示器和类似的有源矩阵式显示器。

[0107] 虽然已经展示了说明了本发明的特定实施例,但是显然对于本领域的技术人员来说,在不偏离本发明的条件下,根据其概括性概念可做出各种变型及改进。因此,本申请的权利要求书将使这些处于本发明的精髓和范围之内的所有变型及改进包括在其范围内。

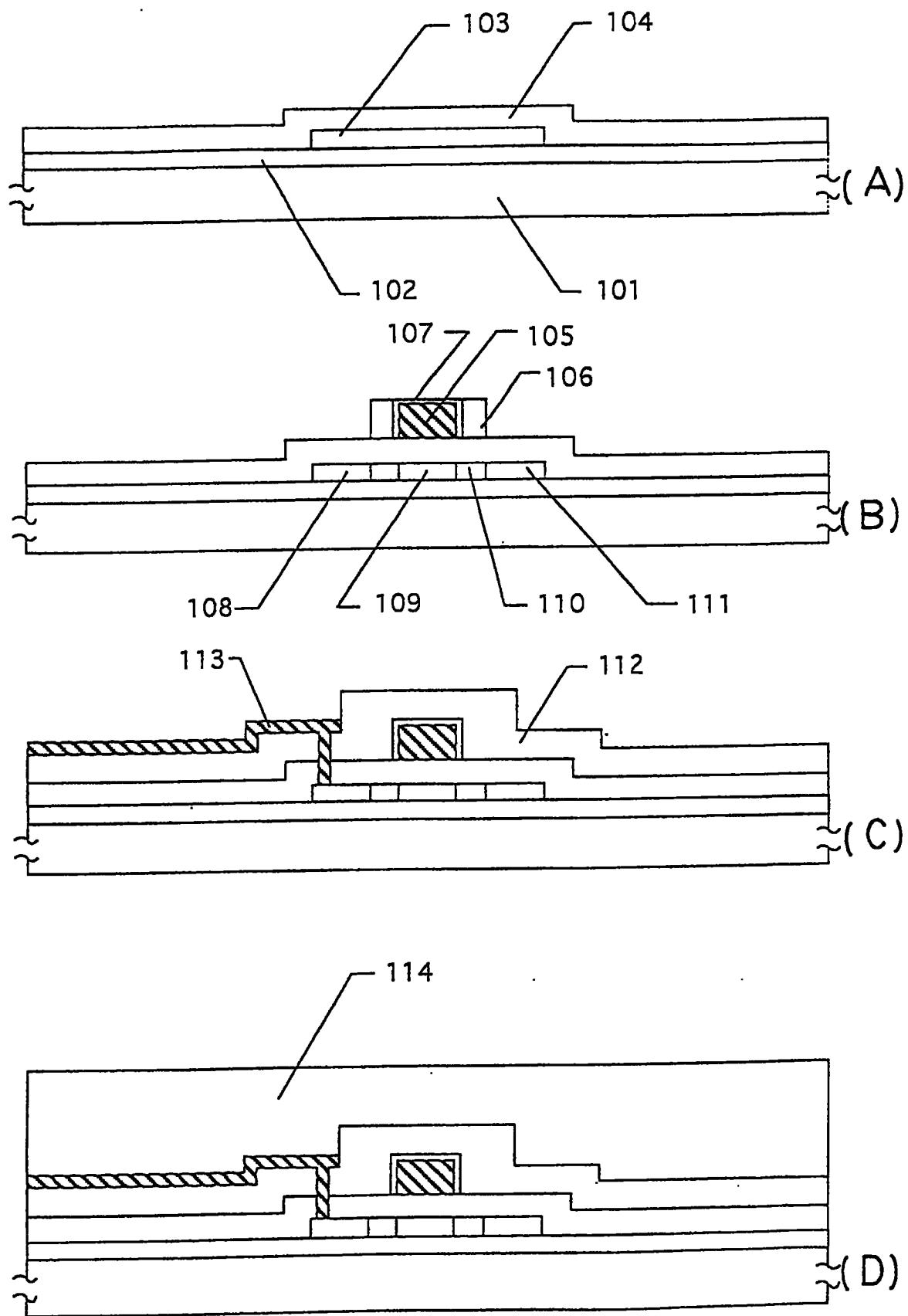


图 1

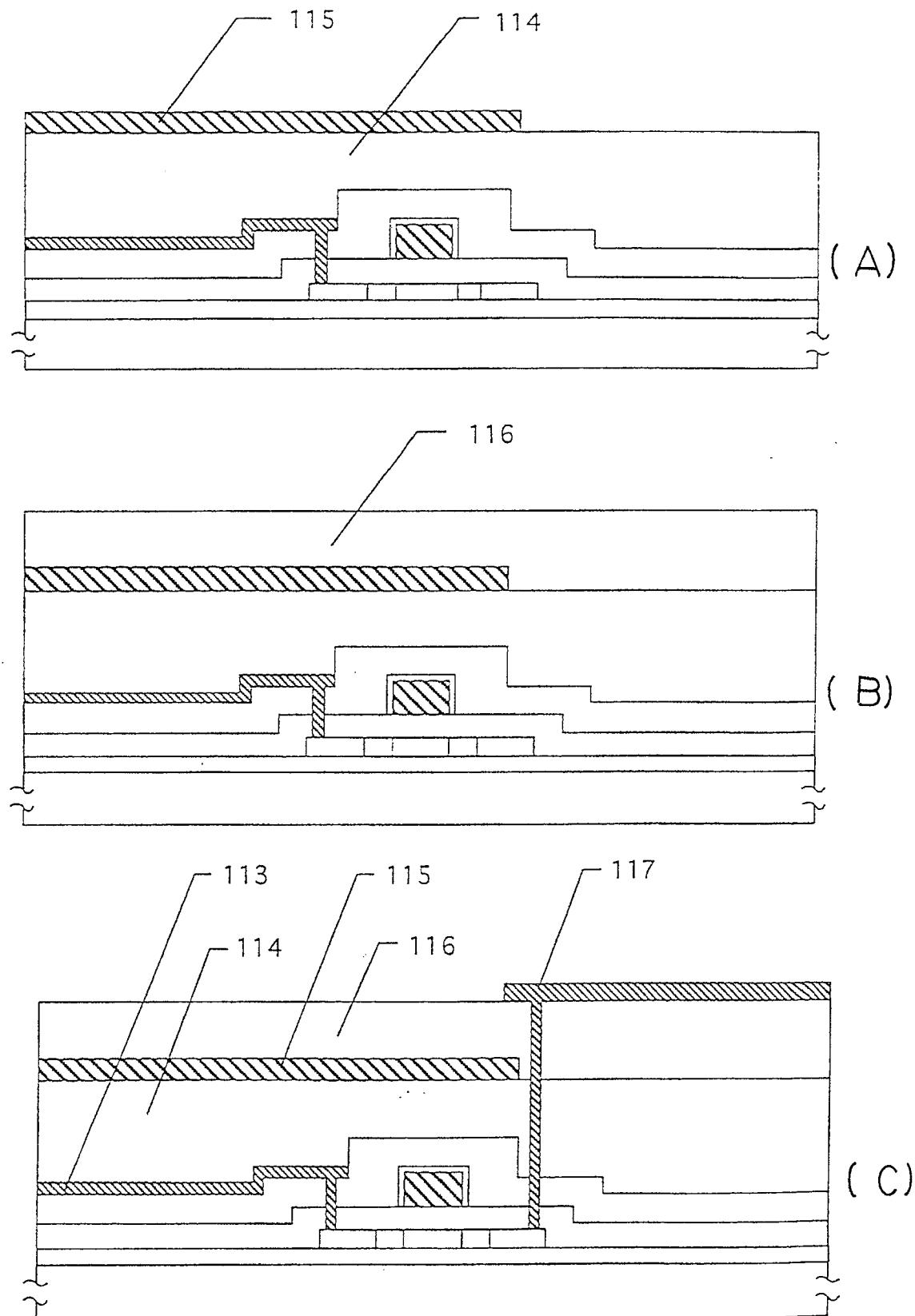


图 2

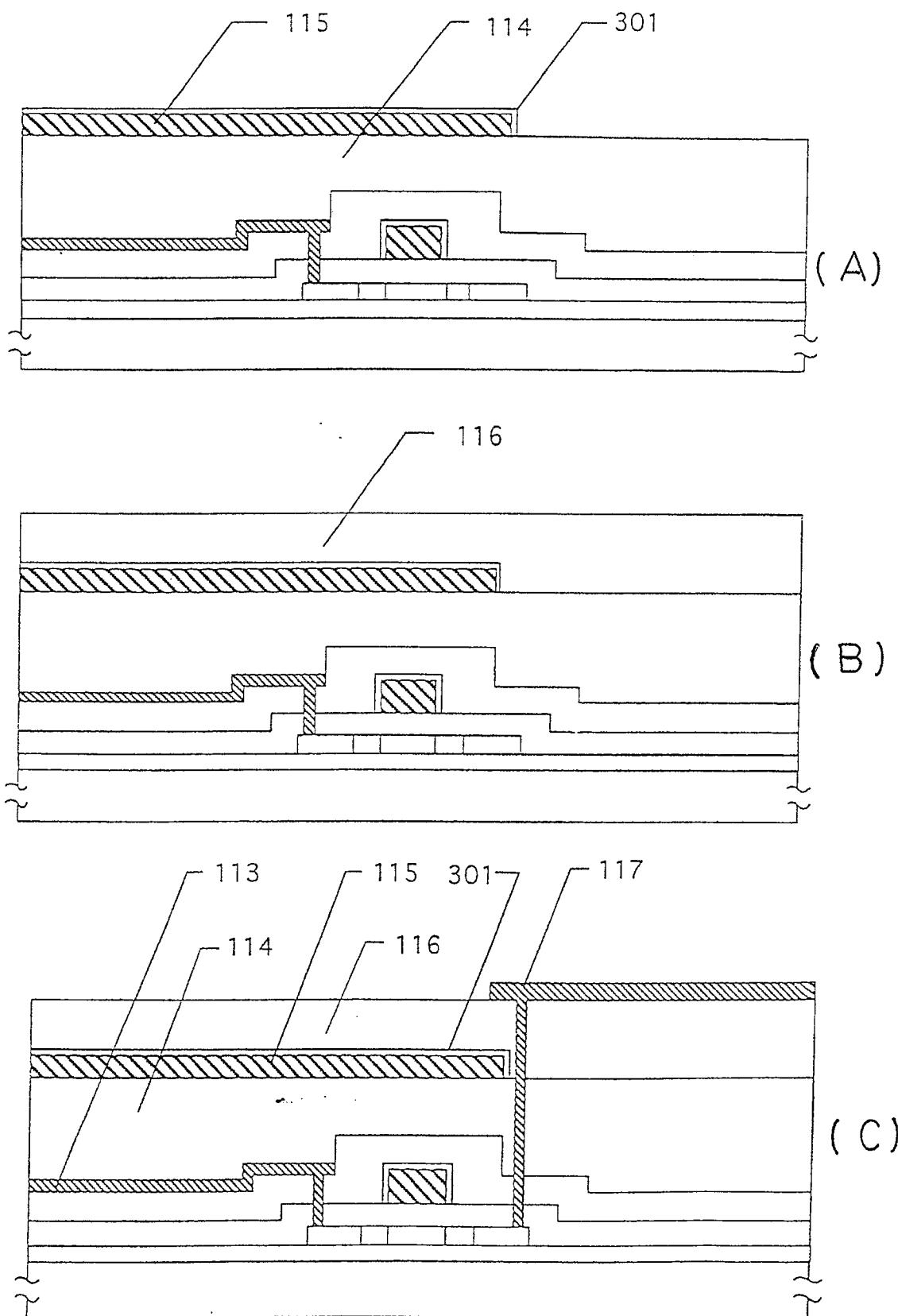


图 3

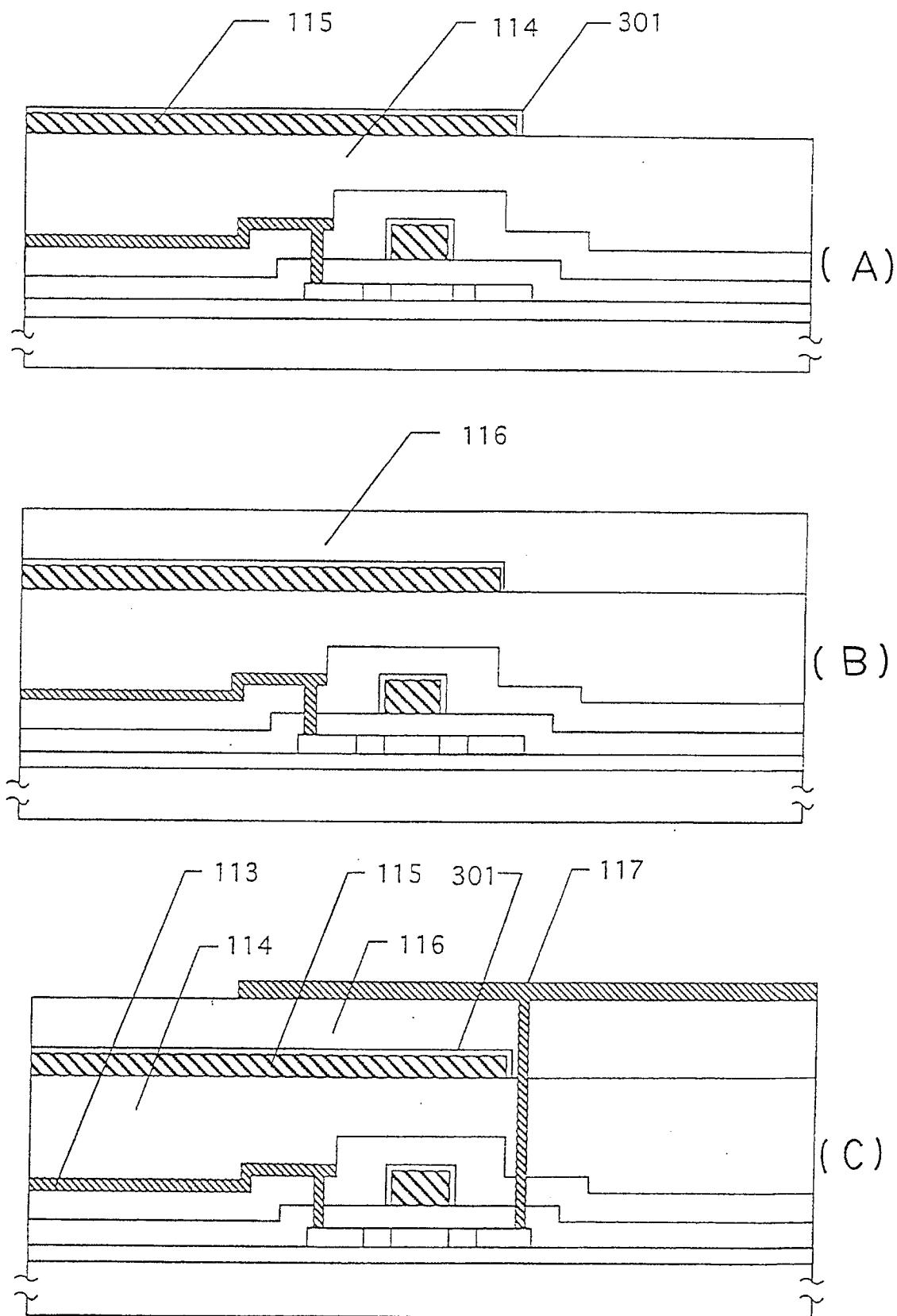


图 4

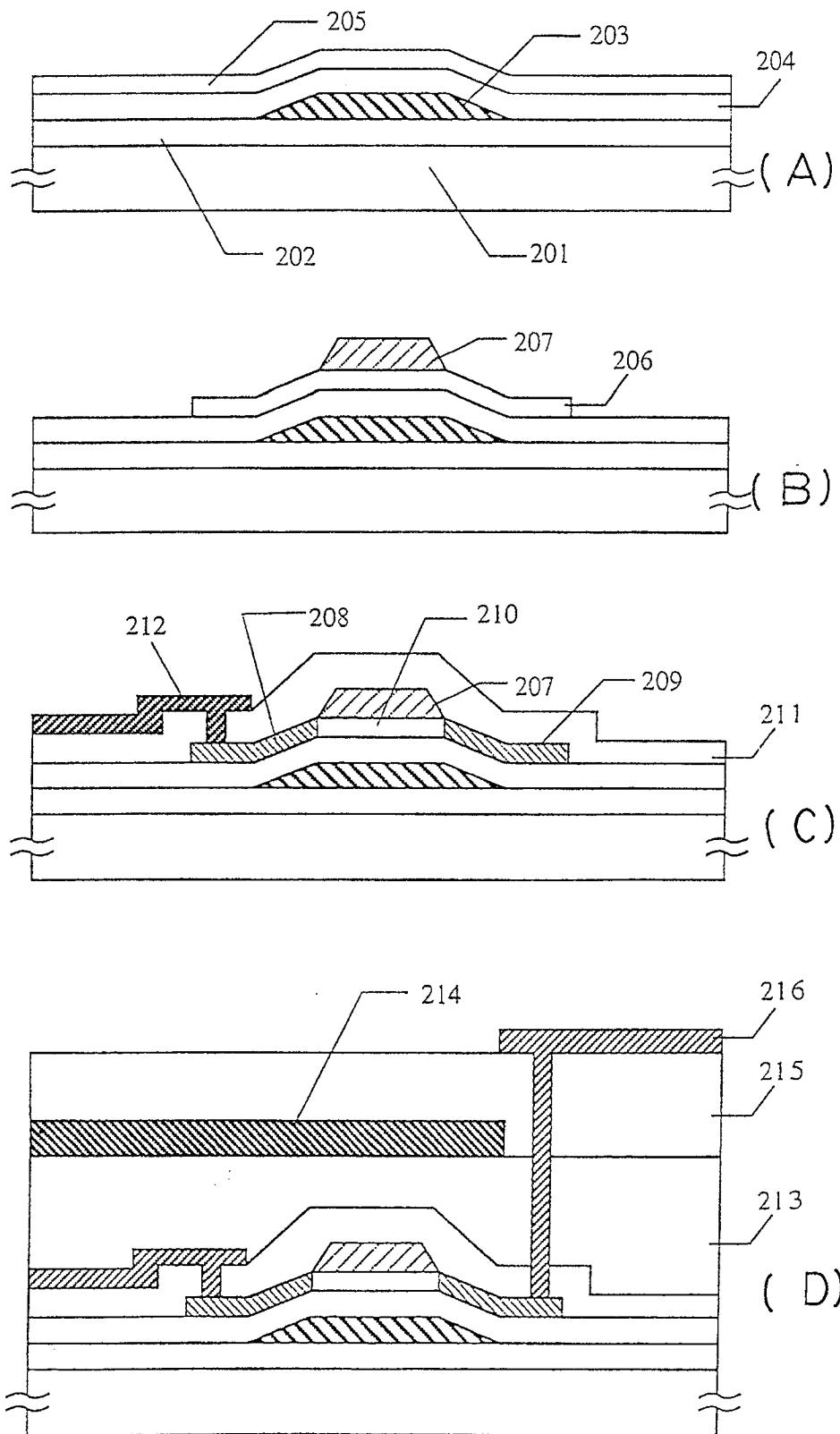


图 5