



MINISTERO DELLO SVILUPPO ECONOMICO
DIREZIONE GENERALE PER LA TUTELA DELLA PROPRIETA' INDUSTRIALE
UFFICIO ITALIANO BREVETTI E MARCHI

UTBM

| | |
|---------------------------|------------------------|
| DOMANDA NUMERO | 101996900536575 |
| Data Deposito | 05/08/1996 |
| Data Pubblicazione | 05/02/1998 |

| Sezione | Classe | Sottoclasse | Gruppo | Sottogruppo |
|---------|--------|-------------|--------|-------------|
| G | 11 | C | | |

Titolo

SISTEMA DI COLLAUDO PER MODULI DI MEMORIA SIMM FABBRICATI CON L'USO DI CHIP DI MEMORIA AFFETTI DA DIFETTOSITA'

DESCRIZIONE

RM 96 A 000 563

a corredo di una domanda di brevetto avente per titolo:

"Sistema di collaudo per moduli di memoria SIMM fabbricati con l'uso di chip di memoria affetti da difettosità"

a nome: TEXAS INSTRUMENTS ITALIA S.p.A.

Inventori: DI ZENZO Maurizio, SAVARESE Giuseppe

La presente invenzione si riferisce in linea generale all'impiego di memorie ARAM e concerne, in modo particolare, un sistema per l'impiego di tali memorie in ambienti nei quali le specifiche richiederebbero memorie di migliori prestazioni in fatto di difettosità e per i quali tali memorie, quindi, risulterebbero di per sé non conformi alle specifiche.

Ancora più particolarmente, l'invenzione si riferisce ad un sistema per il collaudo o test di moduli di memoria SIMM. (Single In-line Memory Module) realizzati con l'uso di chip di memoria ARAM (Audio grade RAM) e destinati all'impiego in calcolatori e simili.

Le memorie DRAM Audio, denominate memorie ARAM, sono memorie DRAM dinamiche affette da una certa difettosità, cioè esse presentano delle locazioni di bit fallenti o difettose in posizioni casuali o randomiche. Le memorie ARAM vengono impiegate in applicazioni audio, quali i risponditori telefonici o le segreterie telefoniche, perchè la loro difettosità è tale che un messaggio vocale immagazzinato per mezzo di esse può essere replicato senza difetto apprezzabile perchè

ING. BARZANO & ZANARDO ROMA S.p.A.

l'orecchio umano è in grado di supplire alle informazioni che mancano, tramite meccanismi di integrazione ed interpolazione.

L'impiego di queste memorie in queste applicazioni non presenta, quindi, problemi a meno che non vengano superati certi limiti di difettosità. Per esempio, esse non sarebbero comunque utilizzabili, qualora avessero delle righe o delle colonne completamente fallenti: neanche l'orecchio umano, infatti, sarebbe in grado di supplire per integrazione o per interpolazione ad una lacuna di informazioni così rilevante. Quindi, le specifiche di queste memorie tendono non solo a stabilire il limite massimo di difettosità, ma aggiungono l'ulteriore vincolo che la difettosità debba in ogni caso essere ubicata in posizioni casuali.

In aggiunta a questi vincoli, anche se il 99,9% delle locazioni di memoria fossero appropriatamente funzionanti, tali memorie ARAM non possono essere impiegate in convenzionali applicazioni di calcolatori, proprio perchè gli indirizzi dei bit difettosi sono disposti casualmente nella matrice di memoria.

In altre parole, considerando una memoria ARAM convenzionale, si può pensare di mettere a punto un sistema per correggere i bit difettosi, facendo ricorso ad un sistema di correzione assimilabile ad un canale trasmissivo: cioè ad un canale in qualche modo affetto da rumore. Il problema delle memorie difettose può essere risolto assimilando la memoria e quindi la spazzolatura della memoria ad una stringa di bit da correggere con le stesse tecniche dei canali trasmissivi.

Mentre, però, nei canali trasmissivi si può parlare di una stringa che è eminentemente sequenziale, nelle applicazioni dei calcolatori la stringa da considerare non è certamente sequenziale, ma randomica. Quindi bisogna studiare un codice di errore che sia adeguato ad una informazione immagazzinabile nella memoria oppure estraibile da essa in maniera randomica.

Come descritto e rivendicato in altra domanda di brevetto della stessa Richiedente depositata contemporaneamente alla presente, questo problema viene risolto realizzando moduli di memoria SIMM comprendenti chip di memoria ARAM con bus di indirizzi interno per ciascun chip di memoria ed un modulo ASIC per l'interfacciamento con l'esterno adatto alla correzione delle seguenti categorie di difettosità:

A - difettosità coinvolgenti un singolo bit in una parola di codice, le quali vengono corrette mediante applicazione di un convenzionale codice di correzione di errore (ECC),

B - difettosità coinvolgenti una molteplicità di bit in una parola di codice, ciascun bit provenendo da un diverso chip di memoria, le quali vengono corrette mediante conversione da una condizione di m errori in una parola di codice ad una condizione di m parole di codice ciascuna affetta da un errore,

C - difettosità coinvolgenti una molteplicità di bit in una parola di codice che verificano nello stesso chip di memoria, le quali vengono corrette tramite una memoria associativa incorporata in detto modulo ASIC per immagazzinare/recuperare gli indirizzi identificati in fase di

collaudo ed i dati generati nel funzionamento normale relativi alle locazioni difettose.

Lo scopo specifico della presente invenzione è di proporre una apparecchiatura specializzata coadiuvata da un opportuno software per il collaudo o testaggio di moduli SIMM come sopra indicati basati sull'impiego di chip di memoria *non-compliant*, ovvero non rispondenti e non conformi alle specifiche. Tali chip sono anche denominati con diversa terminologia chip di memoria SS (Secondary Silicon).

CONSIDERAZIONI GENERALI

Le apparecchiature note per il collaudo o test di chip di memoria sono specificamente progettate per verificare la conformità o rispondenza di tali chip alle specifiche del prodotto. Esse forniscono in semplice formato (go/no-go, ossia passa/non-passa) un insieme di informazioni, quali la scelta della velocità, il fail mode e simili. Tuttavia, esse si dimostrano del tutto inefficienti quando ad esse si richieda di fornire e di gestire dati di difettosità relativi alle celle di memoria.

Inoltre è da considerare che le procedure di collaudo usate nella fabbricazione di chip di memoria non sono perfettamente idonee a gestire diverse categorie e topologie di difettosità ed è quasi impossibile apportare ad esse significativi perfezionamenti.

La maggior parte delle volte, i prodotti non rispondenti vengono identificati e classificati sulla base di criteri o secondo categorie piuttosto indefinite, lasciando agli utenti finali la responsabilità di utilizzarli in maniera efficace ed economica.

Compito specifico che la presente invenzione si propone è di definire i requisiti minimi in termini di apparecchiatura e procedure di collaudo per la fabbricazione di moduli SIMM basati sull'uso di chip di memoria non rispondenti denominati chip SS.

Come descritto in detta domanda di brevetto contemporanea, è possibile realizzare un modulo SIMM basato sull'uso di chip SS in cui sia implementato un modulo ASIC per l'interfacciamento di una matrice di memoria con il sistema Host attraverso un connettore standard, cioè un connettore da 72 pin o piedini ovvero 32 porte di ingresso/uscita (I/O) di dati. Tuttavia è stato constatato che questo connettore rappresenta una effettiva strozzatura per il sistema di collaudo, il quale deve far fronte alla necessità di accedere a ciascuna singola porta di I/O (vale a dire 48) della matrice di memoria.

Per superare questo problema, che rappresenta uno scopo della presente invenzione, il modulo ASIC in questione deve essere progettato in modo da includere una specifica circuiteria, abilitata in fase di collaudo, per incanalare in un percorso di dati di ampiezza 32 bit un flusso di dati di ampiezza maggiore.

Gli scopi della presente invenzione vengono raggiunti a mezzo di un sistema di collaudo per moduli di memoria SIMM fabbricati con l'uso di chip di memoria affetti da difettosità in cui, per l'accertamento della entità della fallosità e del relativo indirizzo, è prevista una circuiteria che, per una fase di scrittura di riferimento, comprende un registro di configurazione avente un ingresso a 32 bit dal bus di dati ed una uscita a 48 bit verso un invertitore di configurazione avente

anch'esso una uscita (D_{out}) a 48 bit o, per la fase di lettura di comparazione, comprende un invertitore di configurazione avente un ingresso (D_{in}) a 48 bit, collegato ad un comparatore di dati e, attraverso di esso, ad un codificatore di errore, avente una uscita a 32 bit sul bus di dati.

Nella preferita forma di realizzazione, tra detti invertitori di configurazione per le fasi di scrittura e di lettura è previsto un invertitore topologico per complementare il flusso dei dati e scrivere nelle locazioni di memoria dati veri.

Ancora nella preferita forma di realizzazione, il modulo SIMM, comprendente fondamentalmente un array di memoria, il modulo ASIC ed un Fail Memory Register, viene interfacciato, durante il collaudo, tramite una circuiteria di interfacciamento con una memoria FIFO in cui vengono memorizzati l'indirizzo della parola difettosa e l'informazione di errore codificata.

Ulteriori particolarità e vantaggi della presente invenzione appariranno evidenti dal seguito della descrizione con riferimento ai disegni allegati in cui è rappresentata, a titolo illustrativo e non restrittivo, la preferita forma di realizzazione.

Nei disegni:

la Figura 1 mostra uno schema a blocchi della circuiteria inclusa nel modulo ASIC secondo la presente invenzione,

La Figura 2 mostra uno schema a blocchi della funzione di scope da implementare per determinare la posizione reale dei bit difettosi,

la Figura 3 mostra una circuiteria per memorizzare in una memoria FIFO l'indirizzo della parola difettosa e l'informazione di errore codificata,

la Figura 4 mostra un diagramma di flusso in grado di gestire per lo stesso modulo SIMM diversi tipi di organizzazioni di memoria, accessi, codici ECC, livelli di difettosità.

Con riferimento ora ai disegni, è da considerare, innanzi tutto, che una apparecchiatura di collaudo o test di memorie scrive una certa configurazione di riferimento di dati nel dispositivo sotto collaudo (DUT) e quindi rilegge tali dati effettuando un confronto tra i dati riletti e la configurazione di riferimento inizialmente introdotta in fase di scrittura. Se viene riscontrata una condizione di coincidenza o match il collaudo è superato, mentre una qualsiasi deviazione viene considerata una condizione di difetto o fallo (bit fallente o difettoso).

Quando viene effettuato il test di chip di memoria SS si parte già dalla conoscenza del fatto che si tratta di chip non rispondenti o non compliant, almeno per la applicazione a cui si intende destinare il chip, per cui lo scopo del test non è quello di decidere se il chip in questione sia o meno conforme alle specifiche, ma piuttosto quello di accertare la entità o grandezza della deviazione ed il suo indirizzo.

Questa funzione viene svolta dalla circuiteria della Figura 1, in cui si vede che, per la fase di scrittura di riferimento, è previsto un registro di configurazione 10 avente un ingresso a 32 bit dal bus di dati ed una uscita a 48 bit verso un invertitore di configurazione (scrittura) 11 avente anch'esso una uscita D_{out} a 48 bit. Per la fase di rilettera, è

previsto un invertitore di configurazione (lettura) 13 avente un ingresso D_{in} a 48 bit, collegato ad un comparatore di dati 14 e, attraverso di esso, ad un codificatore di errore 15, avente una uscita a 32 bit sul bus di dati.

Prima di iniziare il collaudo, il registro di configurazione 10 viene caricato con la configurazione di bit scelta e, durante la esecuzione del test, i dati vengono trasferiti ai chip di memoria interessati. I bit vengono trasferiti da questo registro e non dal bus di dati che è da 32 bit. Il blocco di invertitore topologico 12 è fornito per complementare la corrente dei dati in modo da scrivere nelle locazioni della memoria dei "dati veri", cosa che avviene introducendo una polarità specifica nella cella di memoria.

Nel modo di lettura, i dati estratti dai chip di memoria vengono confrontati, a mezzo del comparatore 14 con i dati contenuti nel registro di configurazione 10. L'uscita del comparatore di dati 14 viene applicata ad un codificatore di errore 15 che fornirà all'apparecchiatura di collaudo o ad una apposita unità CPU dedicata il risultato della comparazione in formato compatto. Il codificatore di errore applica la sua uscita da 32 bit al bus di dati.

La soluzione implementata prevede di aggruppare le porte di I/O di ingresso dei dati in un insieme di quattro bit ed il codificatore fornirà per ciascun insieme una delle seguenti indicazioni:

- non si è verificato alcun errore,
- si è verificato un errore,
- si sono verificati errori multipli.

Applicando questa tecnica, l'informazione relativa a 48 bit (dodici gruppi di quattro bit) può essere concentrata in 24 bit, per cui essa può liberamente fluire attraverso un percorso di dati avente una ampiezza di 32 bit.

Per determinare la posizione reale dei bit difettosi o fallenti, è necessario implementare una funzione di spazzolatura o "scope", riportata nello schema a blocchi della Figura 2.

Come si vede, tale funzione deve essere in grado di trasferire, mediante un blocco multiplexer 16 ed un blocco di registro della funzione di scope 17, gruppi scelti di bit, in questo caso tre gruppi di 16 bit, al connettore del modulo SIMM, da 16 bit, in posizioni predefinite, ad esempio D0 - D15. Questa funzione può essere utile per una off-line engineering analysis.

ESECUZIONE DEL TEST

Durante il test, il modulo SIMM comprendente fondamentalmente la matrice o array di memoria 18, il modulo ASIC 19 ed il Fail Memory Register 20, verrà interfacciato, tramite una speciale circuiteria di interfacciamento 21 con una memoria FIFO (First-In-First-Out: Primo in Ingresso-Primo in Uscita) 22 in cui sono memorizzati l'indirizzo della parola difettosa e l'informazione di errore codificata.

La memoria FIFO 22 avrà una ampiezza sufficiente per memorizzare le summenzionate informazioni ed una profondità sufficiente per immagazzinare i dati di difettosità di una intera riga o di una intera colonna.

I dati della memoria FIFO saranno immagazzinati su un dispositivo di memorizzazione di massa per ulteriori calcoli.

COMPILAZIONE DI UNA MAPPA DI DIFETTOSITA'

Sfruttando i dati di difettosità immagazzinati in fase di collaudo o di test, è possibile compilare delle tabelle di informazioni da immagazzinare permanentemente in un Registro delle Locazioni Difettose (non rappresentato) implementato sul modulo SIMM. Questo registro può essere realizzato su un chip separato, oppure può essere integrato nello stesso modulo ASIC, a seconda della tecnologia disponibile.

Inoltre, più di un Codice di Correzione di Errore (ECC) possono essere implementati nel modulo ASIC, ciascuno ottimizzato per specifiche configurazioni di difettosità o con diversi requisiti di ridondanza, che hanno un impatto diretto sul costo del prodotto finale.

Il diagramma di flusso illustrato nella Figura 4 descrive il flusso di programma capace di gestire, per lo stesso modulo SIMM, diversi tipi di organizzazioni della matrice di memoria (per esempio x 4, mista oppure x 16), diversi tipi di accesso alla matrice di memoria (per byte, per parola, etc), diversi tipi di codice ECC (ad alta oppure a bassa difettosità), diversi livelli di difettosità (alta o bassa) nei chip di memoria. Lo schema di flusso della Figura 4 non necessita di ulteriori spiegazioni, essendo la sua comprensione alla portata di qualsiasi esperto del ramo.

A seconda del tipo di codice ECC scelto e del livello di difettosità riscontrato, il lotto sottoposto al collaudo può essere classificato in diverse categorie di prodotti.

Naturalmente una volta completata la programmazione del registro delle locazioni difettose e la classificazione dei dispositivi DUT, si può applicare una convenzionale procedura di test di go/no-go ai singoli prodotti, prima dell'inoltro al consumo.

In quel che precede è stata descritta la preferita forma di realizzazione, ma deve essere sottinteso che gli esperti nel ramo potranno apportare modifiche e varianti senza con ciò uscire dall'ambito della presente privativa industriale.

UN MANDATARIO
per se e per gli altri
Antonio Taliercio
(N° d'iscr. 171)
Taliercio

ING. BARZANO' & ZAVARDO ROMA S.p.A.



RM 96 A 000 563

RIVENDICAZIONI

1. Sistema di collaudo per moduli di memoria SIMM fabbricati con l'uso di chip di memoria affetti da difettosità caratterizzato dal fatto che, per l'accertamento della entità della fallosità e del loro indirizzo, è prevista una circuiteria che, per una fase di scrittura di riferimento, comprende un registro di configurazione (10) avente un ingresso a 32 bit dal bus di dati ed una uscita a 48 bit verso un invertitore di configurazione (11) avente anch'esso una uscita (D_{out}) a 48 bit e, per la fase di lettura di comparazione, comprende un invertitore di configurazione (13) avente un ingresso (D_{in}) a 48 bit, collegato ad un comparatore di dati (14) e, attraverso di esso, ad un codificatore di errore, avente una uscita a 32 bit sul bus di dati.

2. Sistema di collaudo secondo la rivendicazione 1, caratterizzato dal fatto che tra detti invertitori di configurazione (11, 13) per le fasi di scrittura e di lettura è previsto un invertitore topologico (12) per complementare il flusso dei dati e scrivere nelle locazioni di memoria dati veri.

3. Sistema di collaudo secondo le rivendicazioni 1 e 2, caratterizzato dal fatto che, per determinare la posizione reale dei bit fallenti, viene implementata una funzione di *scope*, basata su un blocco multiplexer (16) comandato da un blocco di registro (17), in grado di trasferire gruppi scelti di bit al connettore del modulo SIMM in posizioni predefinite.

4. Sistema di collaudo secondo le rivendicazioni 1-3, caratterizzato dal fatto che il modulo SIMM, comprendente

ING. BARZANO & ZANARDO ROMA S.p.A.

fondamentalmente un array di memoria (18), il modulo ASIC (19) ed un Fail Memory Register (20), viene interfacciato, durante il collaudo, tramite una circuiteria di interfacciamento (21) con una memoria FIFO (22) in cui vengono memorizzati l'indirizzo della parola difettosa e l'informazione di errore codificata.

5. Sistema di collaudo secondo la rivendicazione 4, caratterizzato dal fatto che detta memoria FIFO (22) ha una ampiezza sufficiente per memorizzare dette informazioni ed una profondità sufficiente per immagazzinare i dati di difettosità di una intera riga/colonna.

6. Sistema di collaudo secondo le rivendicazioni 4 e 5, caratterizzato dal fatto che i dati della memoria FIFO (22) sono immagazzinati in una memoria di massa per ulteriori calcoli.

7. Sistema di collaudo secondo una qualsiasi delle precedenti rivendicazioni, caratterizzato dal fatto che su detto modulo SIMM è implementato un Registro delle Locazioni Difettose per immagazzinare permanentemente i dati di difettosità rilevati in fase di collaudo, in modo da formare una mappa di difettosità.

8. Sistema di collaudo secondo una qualsiasi delle precedenti rivendicazioni, caratterizzato dal fatto che, su detto modulo ASIC sono implementati più di un codice ECC, ciascuno ottimizzato per specifiche configurazioni di difettosità o con diversi requisiti di ridondanza.

9. Metodo di collaudo eseguito a mezzo di un sistema di collaudo secondo una qualsiasi delle precedenti rivendicazioni caratterizzato dal fatto che il flusso di programma con cui esso è

attuato è capace di gestire, per lo stesso modulo SIMM, diversi tipi di organizzazione della matrice di memoria, diversi tipi di accesso alla matrice di memoria, diversi tipi di codice ECC, diversi livelli di difettosità dei chip di memoria.

10. Sistema di collaudo per moduli di memoria SIMM fabbricati con l'uso di chip di memoria affetti da difettosità secondo una qualsiasi delle precedenti rivendicazioni e sostanzialmente come rappresentato e descritto.

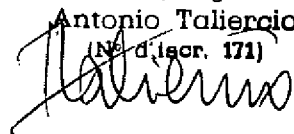
Roma, - 5 AGO, 1996

p.p.: TEXAS INSTRUMENTS ITALIA S.p.A.

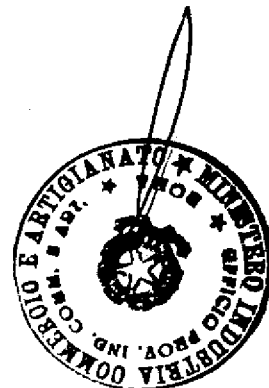
ING. BARZANO' & ZANARDO ROMA S.p.A.

TA/gg

UN MANDATARIO
per se e per gli altri
Antonio Taliervo
(N° d'iscr. 171)



ING. BARZANO' & ZANARDO ROMA S.p.A.



1/2

FIG. 1

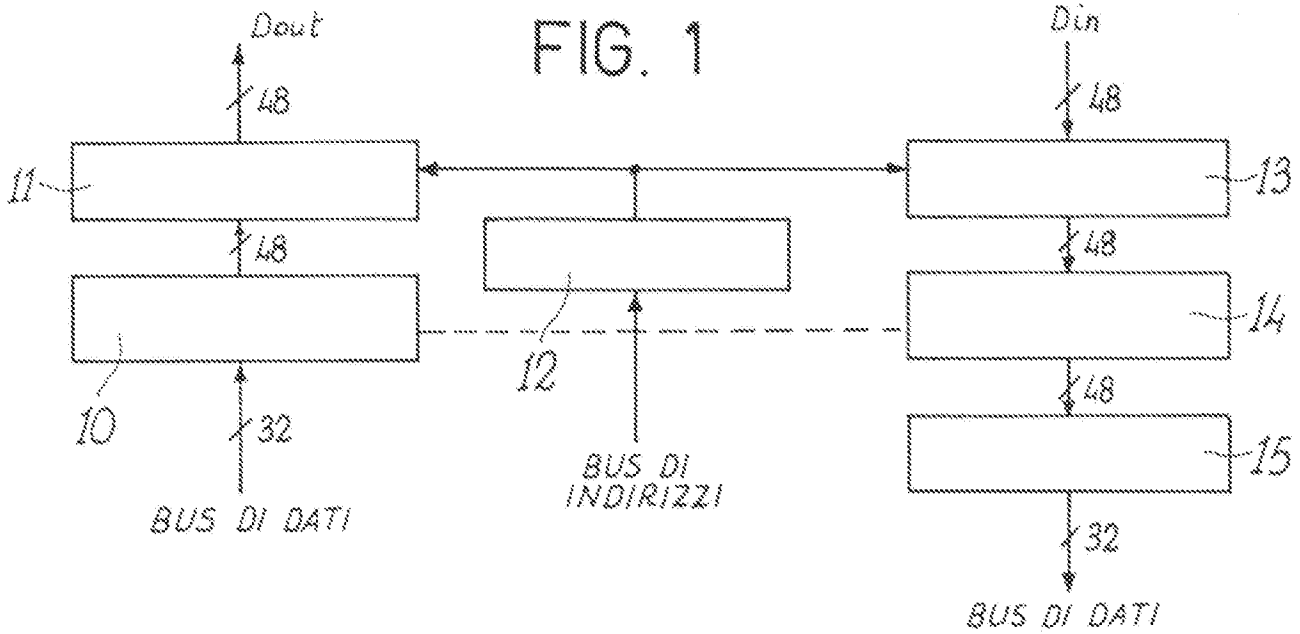
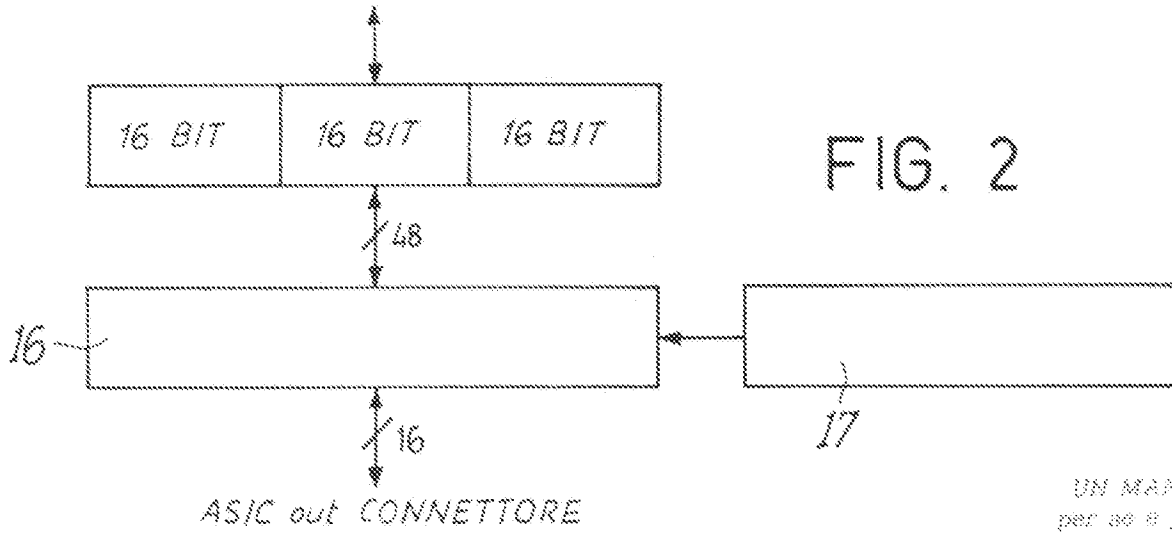


FIG. 2



UN MANDATARIO
 per se e per gli altri
 Antonio Talleroio
 (N° circ. III)

Halicom

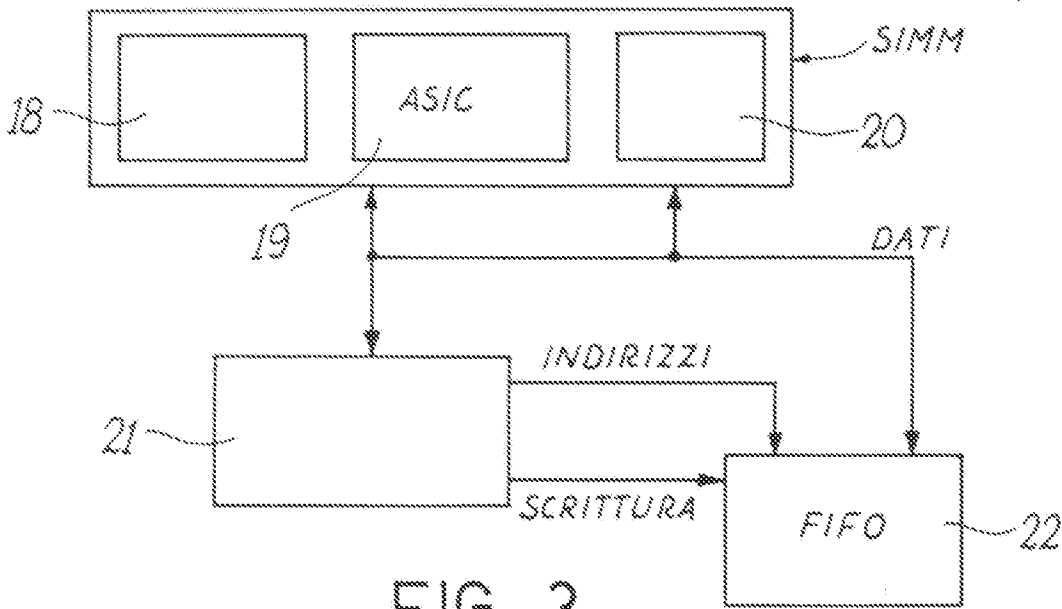
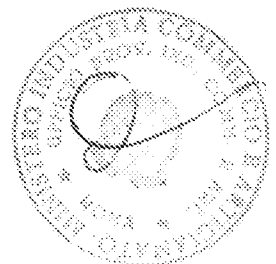


FIG. 3



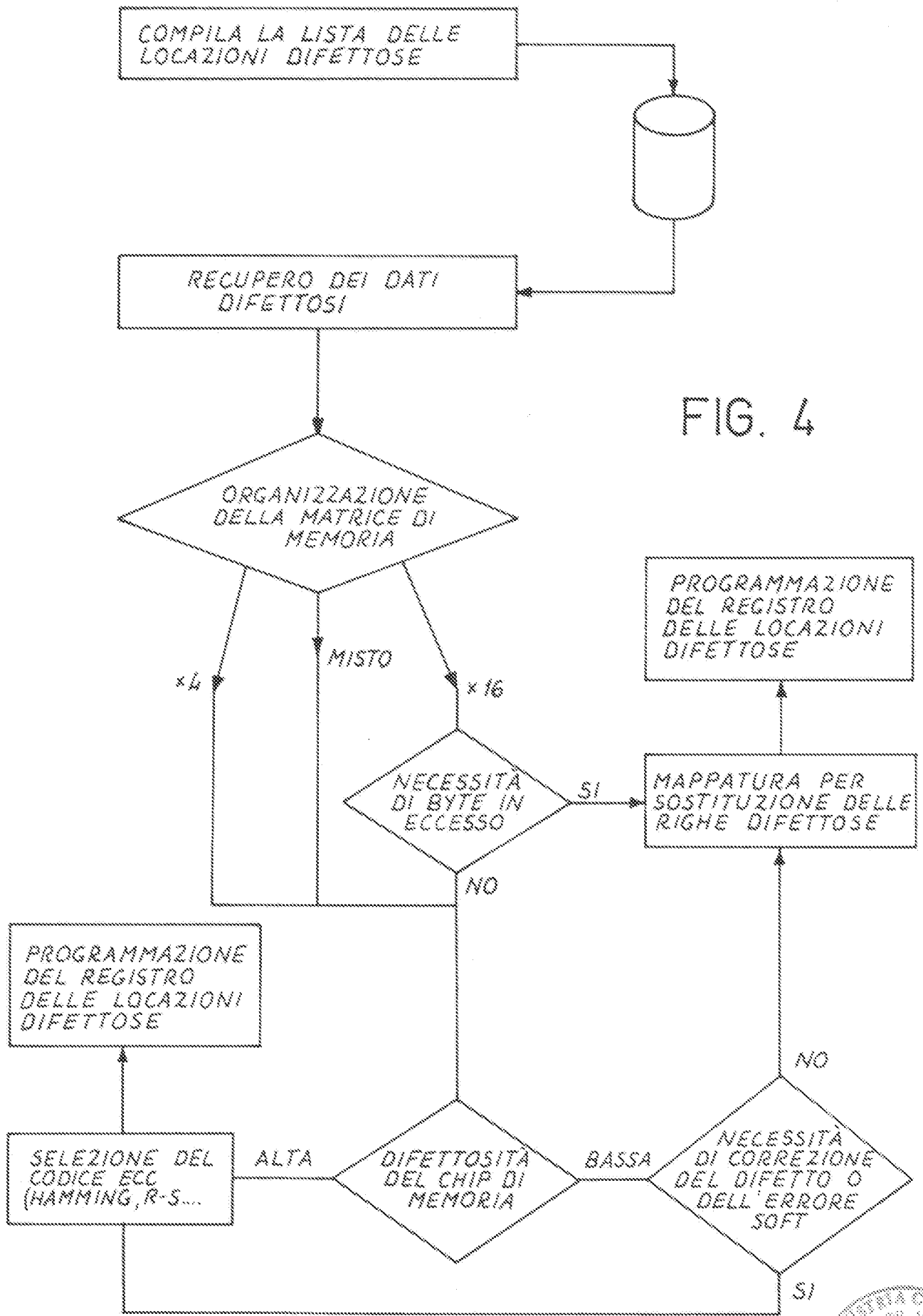


FIG. 4

