



**URZĄD
PATENTOWY
PRL**

Patent tymczasowy dodatkowy
do patentu nr -----

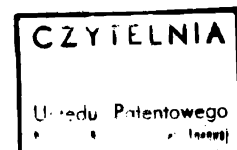
Int. Cl.³ G06G 7/26
B23Q 15/00

Zgłoszono: 30.11.78 (P. 211362)

Pierwszeństwo -----

Zgłoszenie ogłoszono: 10.05.82

Opis patentowy opublikowano: 30.06.1984



Twórca wynalazku: Jerzy Frańczak

**Uprawniony z patentu tymczasowego: Centrum Badawczo-Konstrukcyjne Obrabiarek,
Pruszków (Polska)**

Sposób liczenia modułu wektora

Przedmiotem wynalazku jest sposób liczenia modułu wektora, na podstawie stałoprzecinkowych liczb stanowiących składowe tego wektora określone w prostokątnym układzie współrzędnych odniesienia, w urządzeniu cyfrowym, w którym te składowe wektora są pamiętane w m-bitowych rejestrach, wyposażonym w jednostkę przetwarzającą arytmetyczno-logiczną, zwłaszcza w urządzeniu do sterowania numerycznego maszyn.

Potrzeba liczenia modułu wektora w cyfrowych urządzeniach sterowania numerycznego wynika z rozpowszechnienia metod przyrostowych generacji takich krzywych jak linia prosta i okrąg oraz konieczności sterowania ruchu po tych krzywych ze stałą programowaną prędkością styczną. Najbardziej rozpowszechniona metoda generacji odcinka linii prostej i łuku okręgu, oparta na rozwiązywaniu równań różniczkowych tych krzywych przez zestaw cyfrowych układów całkujących uzależnia prędkość ruchu po krzywej od wartości modułu przesunięcia liniowego — w przypadku generacji odcinka prostej, lub modułu wektora promienia łuku — w przypadku generacji łuku okręgu.

Problem ten był technicznie rozwiązywany w układach sterowania numerycznego drugiej generacji przez programowanie prędkości ruchu po krzywej za pomocą tak zwanej liczby posuwowej, którą wyliczał programista, uprzednio wyznaczając wartości modułów wektorów odpowiednio — przesunięcia liniowego lub promienia wodzącego łuku. Obecna generacja układów sterowania numerycznego wymaga programowania prędkości ruchu w standardowych jednostkach takich jak przykładowo mm/min. Wartość liczbowa modułu wektora nie może być programowana w bloku informacji, gdyż nie pozwalają na to przyjęte normy na postać informacji wejściowej do sterowania numerycznego ruchu, a także ze względu na to, że jest to informacja redundacyjna. Liczenie dokładnej wartości modułu wektora wymaga rozbudowanej struktury arytmetyczno-logicznej, lub stosowania rozbudowanych struktur algorytmicznych w układzie sterowania numerycznego i w obecnym stanie techniki nie jest stosowane.

W praktyce stosuje się metody przybliżone określania wartości modułu wektora, lub inne, też oparte o przybliżoną zależność nie wymagające jednak bezpośredniego liczenia wartości liczbowej modułu wektora. Metody sterowania numerycznego ruchu w oparciu o cyfrową generację krzywej opisane w literaturze lub znane z opisów patentowych, z reguły zakładają, że wartość modułu

wektora przesunięcia liniowego lub promienia wodzącego jest znana. Jedna z takich metod przykładowo została opisana w polskim opisie patentowym nr 82 093.

Metody przybliżonego wyznaczania modułu wektora opisane w literaturze polegają na przybliżaniu jego wartości za pomocą kombinacji liniowej składowych wektora, przy czym współczynniki stałe tej kombinacji są tak dobrane, że nie powodują dużych komplikacji obliczeniowych. Wadą tych metod jest mała dokładność określania wartości modułu wektora, co powoduje, że dokładność sterowania prędkości ruchu jest rzędu 5% dla ruchu w przestrzeni dwuwymiarowej i około 8% dla przypadku ruchu w przestrzeni trójwymiarowej. Inne metody nie posługujące się bezpośrednio wartością modułu wektora w celu otrzymania stałej prędkości stycznej o wartości zaprogramowanej, zwłaszcza w przypadku generacji łuku okręgu, powodują pewne wahania wartości prędkości stycznej do generowanej krzywej wynikające z przybliżenia łuku — za pomocą cięciwy, a ponadto uzyskiwana za ich pomocą dokładność odwzorowania prędkości programowanej jest też kilkuprocentowa.

Celem wynalazku jest podanie sposobu liczenia modułu wektora, który w dużym stopniu eliminuje wady znanych metod i jednocześnie umożliwia policzenie tej wielkości za pomocą stosunkowo prostych struktur układowych w jakie wyposażony jest układ sterowania numerycznego.

Istota wynalazku polega na podaniu sposobu liczenia modułu wektora, na podstawie stało-przecinkowych liczb stanowiących składowe tego wektora określone w prostokątnym układzie współrzędnych odniesienia, w urządzeniu cyfrowym, w którym te składowe wektora są pamiętane w m-bitowych rejestrach, wyposażonym w jednostkę przetwarzającą arytmetyczno-logiczną, zwłaszcza w urządzeniu do sterowania numerycznego maszyn, w którym za pomocą jednostki arytmetyczno-logicznej tworzy się m-bitowy sygnał sumy logicznej zawartości rejestrów wartości bezwzględnych składowych wektora. Sygnał ten wpisuje się, od najmniej znaczącego bitu poczynając, do m-komórkowego rejestru przesunąć w trakcie m-impulsowego cyklu synchronicznego przesuwania sygnału sumy logicznej i zawartości tego m-bitowego rejestru przesunąć. Przy czym każdorazowe nadejście bitu o wartości „1” logicznej wymienionego wyżej sygnału sumy logicznej w czasie trwania kolejnego impulsu przesuwania wpisuje jedynki logiczne do n-kolejnych komórek najbardziej znaczącej części rejestru i zeruje pozostałe (m-n) komórek.

Natomiast pojawienie się wartości „0” logicznego w kolejnym bicie sygnału sumy logicznej przesuwa poprzednio ustawioną zawartość rejestru. Powstała w wyniku tego po m-impulsowym cyklu wpisywania i przesuwania zawartość rejestru przesunąć jest pobierana przez jednostkę arytmetyczno-logiczną urządzenia do obliczeń, zwłaszcza w czasie wykonywania operacji skalowania zawartości rejestrów.

Zasadniczą zaletą sposobu według wynalazku w zastosowaniu do układów sterowania numerycznego jest to, że pozwala on na wystarczająco dokładne obliczenie wartości modułu wektora, a przez to umożliwia sterowanie ruchu ze stałą prędkością styczną do generowanej krzywej, której wartość znacznie lepiej przybliża wartość prędkości programowanej niż metody dotychczas stosowane. Jednocześnie sposób według wynalazku nie powoduje rozbudowy struktury arytmetyczno-logicznej układu sterowania numerycznego, wykorzystującego ten sposób, a czas liczenia modułu wektora przy pomocy prostych metod algorytmicznych, na przykład przyrostowego liczenia pierwiastka kwadratowego sumy kwadratów jest wystarczająco krótki.

Dla przykładu — zastosowanie sposobu według wynalazku w urządzeniu sterowania numerycznego o 24-bitowym słowie ($m = 24$) i 12-bitowej długości słowa liczenia modułu wektora ($n = 12$) daje dokładność obliczenia modułu wektora taką, że układ sterowania numerycznego generuje ruch po krzywej z prędkością styczną o wartości różniącej się w najgorszym przypadku o mniej niż 0,05% od wartości prędkości programowanej. Warto podkreślić również, że sposób liczenia modułu wektora według wynalazku może być wykorzystany zarówno w strukturach równoległego przetwarzania arytmetyczno-logicznego jak i w tanich strukturach szeregowych.

Przedmiot wynalazku pokazany jest w przykładzie wykonania na rysunku, który przedstawia uproszczony schemat blokowy urządzenia cyfrowego liczącego moduł wektora w oparciu o sposób według wynalazku. Urządzenie cyfrowe, w szczególności urządzenie sterowania numerycznego maszyn, stosujące sposób według wynalazku jest wyposażone w blok rejestrów 1, połączony szyną 2 z jednostką arytmetyczno-logiczną 3, układ sterowania 4 — oddziaływujący za pomocą wyjścia 5

na wszystkie podzespoły składowe urządzenia i synchronizujący ich pracę, w szczególności za pomocą wyjścia taktującego 6 i wyjścia ciągu przesuwającego rejestry urządzenia 7.

Ponadto urządzenie cyfrowe zawiera podzespoły takie jak rejestr przesunięć 8 składający się z m-komórek, przy czym na wejścia komórek rejestru podany jest sygnał torem 9 z wyjścia układu wpisu 10, który formuje sygnał z wyjścia 11 rejestrów składowych wektora 12, które wchodzi w skład bloku rejestrów 1. Dotychczas wymienione rejestry urządzenia mają pojemność m-bitów, a m-komórkowy rejestr przesunięć 8 charakteryzuje się tym, że ma wejście lub wejścia umożliwiające ustawienie n kolejnych komórek najbardziej znaczącej części rejestru w stanie „1” logicznej przez aktywny stan, czy zbocze sygnału z toru 9 i połączone z nimi wejście, lub wejścia umożliwiające ustawienie (m-n) komórek mniej znaczącej części rejestru w stanie „0” logicznego, a zawartość rejestru przesunięć 8 jest przekazywana torem sygnału wyjść rejestru 13 do jednostki przetwarzającej arytmetyczno-logicznej 3. Zakłada się, że przed rozpoczęciem liczenia modułu wektora $|A|$, wartości bezwzględne jego składowych (A_x , A_y , A_z) są pamiętane na przykład w rejestrach składowych wektora 12 w postaci m-bitowych liczb binarnych. Po rozpoczęciu liczenia modułu wykonywana jest operacja utworzenia sygnału sumy logicznej wartości bezwzględnej składowych wektora przekazywana wyjściem 11 do układu wpisu 10. Ciąg przesuwający m-bitowy powoduje, że kolejne bity sumy logicznej są przesyłane do układu wpisu 10 i formowane w synchronizmie sygnałów taktujących 6.

Każda jedyńska w sygnale sumy logicznej składowych wektora powoduje ustawienie zawartości n-kolejnych jedynek logicznych i (m-n) zer logicznych w rejestrze przesunięć 8. Zawartość rejestru przesunięć 8 i sygnału sumy logicznej jest przesuwana synchronicznie za pomocą ciągu przesuwającego 7.

Ostatnia najbardziej znacząca jedyńska logiczna znajdująca się w sygnale sumy logicznej wartości bezwzględnych składowych wektora ustawia ostateczną zawartość rejestru przesunięć 8. Jeśli najbardziej znacząca jedyńska logiczna w sygnale sumy logicznej znajduje się na pozycji M-tego bitu m-bitowego słowa urządzenia, to w rejestrze przesunięć 8, po zakończeniu m-taktowego cyklu pracy, zostaje ustawiona liczba $L = \sum_{i=M-n}^M 2^i$, będąca sumą kolejnych potęg dwójkowych począwszy od bitu (M-n) aż do bitu M. W przypadku gdy liczba n jest większa od M, liczba L utworzona w rejestrze 8 przyjmuje wartość $\sum_{i=0}^M 2^i$. Następnie jednostka arytmetyczno-logiczna 3 pobiera z bloku rejestrów 1 zawartości rejestrów składowych wektora 12, w postaci liczb A_x , A_y i A_z i przykładowo wykonywane są operacje iloczynu logicznego, kolejno $A_x \wedge L = L_1$, $A_y \wedge L = L_2$ i $A_z \wedge L = L_3$, a wyniki tych operacji zostają zapamiętane w bloku rejestrów 1.

Jednostka arytmetyczno-logiczna 3 sterowana przez układ sterowania 4 przeskalowuje L_1 , L_2 i L_3 wykonując dzielenie tych liczb przez 2^{M-n} posługując się zawartością rejestru przesunięć 8, a w szczególności bitem najmniej znaczącej jedyńskiej logicznej zawartości tego rejestru jako znacznikiem.

Powstałe trzy liczby co najwyżej n-bitowe wykorzystane są przez jednostkę arytmetyczną do obliczenia wartości W, to znaczy pierwiastka kwadratowego sumy kwadratów przeskalowanych liczb L_1 , L_2 i L_3 . Ze względu na minimalizację układu jednostki arytmetyczno-logicznej te ostatnie obliczenia mogą być wykonywane przy użyciu znanych metod przyrostowych, które umożliwiają liczenie tak złożonego wyrażenia przy użyciu stosunkowo prostych środków technicznych.

W wyniku sekwencji operacji arytmetycznych i logicznych wykonanych przez urządzenie ze schematu blokowego powstaje n, lub (n + 1) bitowa liczba wyniku W i jest zapamiętana w bloku rejestrów 1, lub w rejestrze jednostki arytmetyczno-logicznej 3. Wyznaczenie przybliżenia wartości modułu wektora $|A|$ następuje przez przeskalowanie liczby W w oparciu o zawartość rejestru przesunięć 8 pamiętającą liczbę L. Jest to operacja równoważna mnożeniu liczby W przez wartość 2^{M-n} . Wynik końcowy obliczeń w postaci m-bitowej liczby jest zapamiętany w bloku rejestrów 1 i w szczególności wykorzystywany przez urządzenie sterowania numerycznego do dalszych obliczeń jako jeden z argumentów.

Z a s t r z e ż e n i e p a t e n t o w e

Sposób liczenia modułu wektora, na podstawie stałoprzecinkowych liczb stanowiących składowe tego wektora, określone w prostokątnym układzie współrzędnych odniesienia, w urządzeniu

cyfrowym, w którym te składowe wektora są pamiętane w m-bitowych rejestrach, wyposażonym w jednostkę przetwarzającą arytmetyczno-logiczną, zwłaszcza w urządzeniu do sterowania numerycznego maszyn, **znamienny tym**, że za pomocą jednostki arytmetyczno-logicznej (3) tworzy się m-bitowy sygnał sumy logicznej zawartości rejestrów (12) wartości bezwzględnych składowych wektora, który wpisuje się, od najmniej znaczącego bitu tej sumy logicznej poczynając, do m-komórkowego rejestru przesunięć (8) w trakcie m-impulsowego cyklu synchronicznego przesuwania sygnału sumy logicznej i zawartości tego m-komórkowego rejestru przesunięć (8), przy czym każdorazowe nadejście bitu o wartości „1” logicznej sygnału sumy logicznej w czasie trwania kolejnego impulsu przesuwania wpisuje jedynek logicznych do n-kolejnych komórek najbardziej znaczącej części rejestru i zeruje pozostałe (m-n) komórek, natomiast pojawienie się wartości „0” logicznego w kolejnym bicie sygnału sumy logicznej przesuwają poprzednio ustawioną zawartość rejestru, a powstała po m-impulsowym cyklu wpisywania i przesuwania zawartość m-komórkowego rejestru przesunięć (8) jest pobierana przez jednostkę arytmetyczno-logiczną (3) urządzenia do obliczeń, zwłaszcza w czasie wykonywania operacji skalowania zawartości rejestrów.

