

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号

特許第7089967号

(P7089967)

(45)発行日 令和4年6月23日(2022.6.23)

(24)登録日 令和4年6月15日(2022.6.15)

(51)国際特許分類

F I

H 0 1 L 27/11568(2017.01)

H 0 1 L 27/11568

H 0 1 L 21/336(2006.01)

H 0 1 L 29/78 3 7 1

H 0 1 L 29/788(2006.01)

H 0 1 L 29/792(2006.01)

請求項の数 13 (全30頁)

(21)出願番号	特願2018-134089(P2018-134089)	(73)特許権者	302062931
(22)出願日	平成30年7月17日(2018.7.17)		ルネサスエレクトロニクス株式会社
(65)公開番号	特開2020-13850(P2020-13850A)		東京都江東区豊洲三丁目2番24号
(43)公開日	令和2年1月23日(2020.1.23)	(74)代理人	110002066
審査請求日	令和3年1月15日(2021.1.15)		特許業務法人筒井国際特許事務所
		(72)発明者	井上 真雄
			東京都江東区豊洲三丁目2番24号 ル
			ネサスエレクトロニクス株式会社内
		(72)発明者	門島 勝
			東京都江東区豊洲三丁目2番24号 ル
			ネサスエレクトロニクス株式会社内
		(72)発明者	川嶋 祥之
			東京都江東区豊洲三丁目2番24号 ル
			ネサスエレクトロニクス株式会社内
		(72)発明者	山川 市朗
			最終頁に続く

(54)【発明の名称】 半導体装置およびその製造方法

(57)【特許請求の範囲】

【請求項1】

半導体基板上に形成され、且つ、電荷の保持が可能な電荷蓄積層を含む第1ゲート絶縁膜と、前記第1ゲート絶縁膜上に形成された第1ゲート電極とを有する不揮発性メモリセルを備える半導体装置であって、

前記電荷蓄積層は、

前記半導体基板上に形成され、且つ、ハフニウムシリケート膜からなる第1絶縁膜と、

前記第1絶縁膜上に形成され、前記第1絶縁膜とは異なる材料からなり、且つ、アルミニウム膜、窒化アルミニウム膜、炭化アルミニウム膜、アルミニウムシリケート膜または酸化アルミニウム膜からなる第1挿入層と、

前記第1挿入層上に形成され、前記第1挿入層とは異なる材料からなり、且つ、ハフニウムシリケート膜からなる第2絶縁膜と、

を有する、半導体装置。

【請求項2】

請求項1に記載の半導体装置において、

前記第1挿入層の厚さは、前記第1絶縁膜の厚さおよび前記第2絶縁膜の厚さよりも薄い、半導体装置。

【請求項3】

請求項1に記載の半導体装置において、

前記第1ゲート絶縁膜は、前記半導体基板と前記電荷蓄積層との間に、酸化シリコン膜ま

たは酸窒化シリコン膜からなる第 3 絶縁膜を更に有し、
前記第 1 絶縁膜は、前記第 3 絶縁膜に直接接している、半導体装置。

【請求項 4】

請求項 3 に記載の半導体装置において、
前記電荷蓄積層は、
前記第 2 絶縁膜上に形成され、且つ、前記第 1 挿入層と同じ膜からなる第 2 挿入層と、
前記第 2 挿入層上に形成され、前記第 2 挿入層とは異なる材料からなり、且つ、ハフニウムシリケート膜からなる第 4 絶縁膜と、
を更に有する、半導体装置。

【請求項 5】

請求項 1 に記載の半導体装置において、
前記第 1 ゲート絶縁膜は、前記電荷蓄積層と前記第 1 ゲート電極との間に、酸化アルミニウム膜、酸窒化アルミニウム膜またはアルミニウムシリケート膜からなり、且つ、前記第 1 挿入層よりも厚い厚さを有する第 3 絶縁膜を更に有する、半導体装置。

【請求項 6】

請求項 1 に記載の半導体装置において、
前記第 1 ゲート絶縁膜は、前記第 1 ゲート電極と前記電荷蓄積層との間に、第 3 絶縁膜を更に有し、
前記第 3 絶縁膜は、
前記電荷蓄積層上に形成され、且つ、酸化アルミニウム膜、酸窒化アルミニウム膜またはアルミニウムシリケート膜からなる第 4 絶縁膜と、
前記第 4 絶縁膜上に形成され、且つ、酸化シリコン膜、酸窒化シリコン膜または窒化シリコン膜からなる第 5 絶縁膜と、
前記第 5 絶縁膜上に形成され、且つ、酸化アルミニウム膜、酸窒化アルミニウム膜またはアルミニウムシリケート膜からなる第 6 絶縁膜と、
を有し、
前記第 1 挿入層の厚さは、前記第 4 絶縁膜の厚さおよび前記第 6 絶縁膜の厚さよりも薄い、半導体装置。

【請求項 7】

請求項 6 に記載の半導体装置において、
前記第 4 絶縁膜に含まれる複数の第 1 結晶粒と、前記第 6 絶縁膜に含まれる複数の第 2 結晶粒とは、前記第 5 絶縁膜によって分離されている、半導体装置。

【請求項 8】

請求項 7 に記載の半導体装置において、
前記第 4 絶縁膜および前記第 6 絶縁膜は、それぞれ多結晶膜であり、
前記第 5 絶縁膜は、非晶質膜である、半導体装置。

【請求項 9】

請求項 1 に記載の半導体装置において、
前記不揮発性メモリセルは、
前記半導体基板上に形成された第 2 ゲート絶縁膜と、
前記第 2 ゲート絶縁膜上に形成された第 2 ゲート電極と、
を更に有し、
前記第 1 ゲート電極は、前記第 2 ゲート電極と絶縁分離されている、半導体装置。

【請求項 10】

請求項 1 に記載の半導体装置において、
前記第 1 挿入層は、酸化アルミニウム膜からなる、半導体装置。

【請求項 11】

(a) 半導体基板上に、電荷の保持が可能な電荷蓄積層を含む第 1 ゲート絶縁膜を形成する工程、

(b) 前記第 1 ゲート絶縁膜上に、第 1 ゲート電極を形成する工程、

10

20

30

40

50

を有し、

前記 (a) 工程において、前記電荷蓄積層を形成する工程は、

(a 1) 前記半導体基板上に、ハフニウムシリケート膜からなる第 1 絶縁膜を形成する工程、

(a 2) 前記第 1 絶縁膜上に、アルミニウム膜、窒化アルミニウム膜、炭化アルミニウム膜、アルミニウムシリケート膜または酸化アルミニウム膜からなる第 1 挿入層を形成する工程、

(a 3) 前記第 1 挿入層上に、ハフニウムシリケート膜からなる第 2 絶縁膜を形成する工程、

を有する、半導体装置の製造方法。

10

【請求項 1 2】

請求項 1.1 に記載の半導体装置の製造方法において、

前記 (a 3) 工程後、熱処理を行う工程、を更に有し、

前記第 1 絶縁膜および前記第 2 絶縁膜の各々の前記ハフニウムシリケート膜は、 $Hf_xSi_{1-x}O_2$ ($0 < x < 1$) 膜であり、

$0.9 < x < 1$ である場合には、前記熱処理の温度を 800 以上、975 未満とし、

$0 < x < 0.9$ である場合には、前記熱処理の温度を 975 以上、1050 以下とする、半導体装置の製造方法。

【請求項 1 3】

請求項 1.1 に記載の半導体装置の製造方法において、

前記 (a) 工程において、前記電荷蓄積層を形成する工程は、

(a 4) 前記第 2 絶縁膜上に、前記第 2 絶縁膜の厚さよりも薄い厚さを有し、且つ、アルミニウム膜、窒化アルミニウム膜、炭化アルミニウム膜、アルミニウムシリケート膜または酸化アルミニウム膜からなる第 2 挿入層を形成する工程、

(a 5) 前記第 2 挿入層上に、前記第 2 挿入層の厚さよりも厚い厚さを有し、且つ、ハフニウムシリケート膜からなる第 3 絶縁膜を形成する工程、

を更に有する、半導体装置の製造方法。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置およびその製造方法に関し、特に、不揮発性メモリセルを有する半導体装置に適用して有効な技術に関するものである。

30

【背景技術】

【0002】

電氣的に書込および消去が可能な不揮発性メモリとして、フラッシュメモリまたは E E P R O M (Electrically Erasable and Programmable Read Only Memory) が広く使用されている。これらの不揮発性メモリセルには、ゲート電極下に、例えば窒化シリコン膜のようなトラップ性絶縁膜を有する電荷蓄積層を設けた、M O N O S (Metal Oxide Nitride Oxide Semiconductor) 型トランジスタと呼ばれるメモリセルがある。この電荷蓄積層に電荷の注入および放出を行うことによって、トランジスタの閾値をシフトさせることで、このトランジスタを不揮発性メモリセルとして使用することが可能となる。また、近年では、電荷蓄積層である窒化シリコン膜に代えて、酸化ハフニウム膜などのような高誘電率膜を用いた不揮発性メモリセルも開発されている。

40

【0003】

例えば、特許文献 1 には、電荷蓄積層にハフニウムシリケート膜を用いた不揮発性メモリセルが開示されている。

【先行技術文献】

【特許文献】

【0004】

【文献】特開 2015 - 53474 号公報

50

【発明の概要】

【発明が解決しようとする課題】

【0005】

高誘電率膜を用いた不揮発性メモリセルにおいて、リテンション特性などの信頼性を向上させることが望まれている。

【0006】

その他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【課題を解決するための手段】

【0007】

本願において開示される実施の形態のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0008】

一実施の形態である半導体装置は、半導体基板上に形成され、且つ、電荷の保持が可能な電荷蓄積層を含む第1ゲート絶縁膜と、第1ゲート絶縁膜上に形成された第1ゲート電極とを有する不揮発性メモリセルを備える。ここで、電荷蓄積層は、ハフニウム、シリコンおよび酸素を含む第1絶縁膜と、第1絶縁膜上に形成され、第1絶縁膜とは異なる材料からなり、且つ、アルミニウムを含む第1挿入層と、第1挿入層上に形成され、第1挿入層とは異なる材料からなり、且つ、ハフニウム、シリコンおよび酸素を含む第2絶縁膜と、を有する。

【0009】

また、一実施の形態である半導体装置は、電荷の保持が可能な電荷蓄積層を有する不揮発性メモリセルを備える。ここで、電荷蓄積層は、ハフニウム、シリコンおよび酸素を含む第1絶縁膜を有する。そして、ハフニウムと異なる金属を含む挿入層が、第1絶縁膜の膜中に、少なくとも1層以上形成されている。

【発明の効果】

【0010】

一実施の形態によれば、半導体装置の信頼性を向上させることができる。

【図面の簡単な説明】

【0011】

【図1】実施の形態1の半導体装置を示す断面図である。

【図2】実施の形態1のメモリセルの等価回路図である。

【図3】「書込」、「消去」および「読出」時における選択メモリセルの各部位への電圧の印加条件の一例を示す表である。

【図4】実施の形態1の半導体装置の要部を拡大した断面図である。

【図5】本願発明者らによる実験結果を示すグラフである。

【図6】電荷蓄積層の内部に存在するトラップ準位を示した模式図である。

【図7】本願発明者らによる実験結果を示すグラフである。

【図8】本願発明者らによる実験結果を示すグラフである。

【図9】実施の形態1の半導体装置の製造工程を説明する断面図である。

【図10】図9に続く製造工程を説明する断面図である。

【図11】図10に続く製造工程を説明する断面図である。

【図12】図11に続く製造工程を説明する断面図である。

【図13】図12に続く製造工程を説明する断面図である。

【図14】実施の形態2の半導体装置の要部を拡大した断面図である。

【図15】実施の形態3の半導体装置の要部を拡大した断面図である。

【図16】図15の一部を拡大した断面図である。

【図17】実施の形態4の半導体装置を示す断面図である。

【図18】実施の形態4のメモリセルの等価回路図である。

【図19】「書込」、「消去」および「読出」時における選択メモリセルの各部位への電圧の印加条件の一例を示す表である。

10

20

30

40

50

【図 2 0】実施の形態 4 の半導体装置の製造工程を説明する断面図である。

【図 2 1】図 2 0 に続く製造工程を説明する断面図である。

【図 2 2】図 2 1 に続く製造工程を説明する断面図である。

【図 2 3】図 2 2 に続く製造工程を説明する断面図である。

【図 2 4】図 2 3 に続く製造工程を説明する断面図である。

【図 2 5】図 2 4 に続く製造工程を説明する断面図である。

【図 2 6】変形例の半導体装置を示す断面図である。

【図 2 7】検討例 1 の半導体装置の要部を拡大した断面図である。

【図 2 8】検討例 2 の半導体装置の要部を拡大した断面図である。

【図 2 9】検討例 3 の半導体装置の要部を拡大した断面図である。

10

【発明を実施するための形態】

【0012】

以下の実施の形態においては、便宜上その必要があるときは、複数のセクションまたは実施の形態に分割して説明するが、特に明示した場合を除き、それらはお互いに無関係なものではなく、一方は他方の一部または全部の変形例、詳細、補足説明等の関係にある。また、以下の実施の形態において、要素の数等（個数、数値、量、範囲等を含む）に言及する場合、特に明示した場合および原理的に明らかに特定の数に限定される場合等を除き、その特定の数に限定されるものではなく、特定の数以上でも以下でもよい。さらに、以下の実施の形態において、その構成要素（要素ステップ等も含む）は、特に明示した場合および原理的に明らかに必須であると考えられる場合等を除き、必ずしも必須のものではないことは言うまでもない。同様に、以下の実施の形態において、構成要素等の形状、位置関係等に言及するときは、特に明示した場合および原理的に明らかにそうでないと考えられる場合等を除き、実質的にその形状等に近似または類似するもの等を含むものとする。このことは、上記数値および範囲についても同様である。

20

【0013】

以下、実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の機能を有する部材には同一の符号を付し、その繰り返しの説明は省略する。また、以下の実施の形態では、特に必要なとき以外は同一または同様な部分の説明を原則として繰り返さない。

【0014】

また、実施の形態で用いる図面においては、図面を見易くするためにハッチングを省略する場合もある。

30

【0015】

（実施の形態 1）

<メモリセル MC 1 の構造>

本実施の形態における不揮発性メモリセルであるメモリセル MC 1 を備える半導体装置について、図面を参照しながら説明する。図 1 は、本実施の形態の半導体装置の断面図であり、図 2 は、図 1 の要部を拡大した断面図である。

【0016】

本実施の形態のメモリセル MC 1 は、ゲート絶縁膜 MZ に電荷の保持が可能な電荷蓄積層 CSL を備えた n 型のトランジスタであり、電荷蓄積層 CSL は、トラップ性絶縁膜を有する。

40

【0017】

図 1 に示されるように、半導体基板（基板）SB には、p 型のウェル領域 PW が形成されており、ウェル領域 PW には、メモリセル MC 1 が形成されている。半導体基板 SB は、例えば $1 \text{ cm} \sim 10 \text{ cm}$ の比抵抗を有する p 型の単結晶シリコン（Si）からなる。

【0018】

半導体基板 SB 上（すなわちウェル領域 PW 1 上）には、ゲート絶縁膜 MZ が形成されており、ゲート絶縁膜 MZ 上には、メモリゲート電極 MG が形成されている。メモリゲート電極 MG は、例えば n 型の不純物が導入された多結晶シリコン膜のような導電性膜である

50

。なお、消去時の正孔トンネル電流を確保するために、メモリゲート電極MGに、p型の不純物が導入された多結晶シリコン膜、または、不純物が導入されていない多結晶シリコン膜を適用してもよい。また、メモリゲート電極MGは、例えば窒化チタン膜、アルミニウム膜若しくはタングステン膜のような金属膜、または、これらの金属膜の積層膜であってもよい。

【0019】

また、図1では、図面を見易くするため、ゲート絶縁膜MZは単層の絶縁膜として表されているが、後述の図4で説明するように、実際には、ゲート絶縁膜MZは、絶縁膜BT、絶縁膜HSO1、挿入層AL1、絶縁膜HSO2および絶縁膜TPを有する積層膜である。

【0020】

メモリゲート電極MGの側面上には、サイドウォールスペーサSWが形成されている。サイドウォールスペーサSWは、例えば酸化シリコン膜と窒化シリコン膜との積層膜からなる。

【0021】

サイドウォールスペーサSW下のウェル領域PWには、低濃度のn型不純物領域であるエクステンション領域EXSおよびエクステンション領域EXDが形成されている。また、サイドウォールスペーサSWと整合する位置のウェル領域PWには、エクステンション領域EXSよりも高濃度のn型不純物領域である拡散領域MS、および、エクステンション領域EXDよりも高濃度のn型不純物領域である拡散領域MDが形成されている。エクステンション領域EXSおよび拡散領域MSは、互いに接続されており、それぞれメモリセルMC1のソース領域の一部を構成している。エクステンション領域EXDおよび拡散領域MDは、互いに接続されており、それぞれメモリセルMC1のドレイン領域の一部を構成している。

【0022】

メモリゲート電極MG上、拡散領域MS上および拡散領域MD上には、例えばコバルトシリサイド(CoSi₂)、ニッケルシリサイド(NiSi)またはニッケルプラチナシリサイド(NiPtSi)からなるシリサイド層SIが形成されている。シリサイド層SIは、主に、後述のプラグPGとの接触抵抗を低減するために形成されている。

【0023】

このようなメモリセルMC1上には、層間絶縁膜IL1が形成されている。層間絶縁膜IL1には複数のコンタクトホールが形成され、複数のコンタクトホール内には、複数のプラグPGが形成されている。プラグPGは、例えば、チタン膜、窒化チタン膜、または、これらの積層膜からなるバリア金属膜と、例えばタングステンを主体とする導電性膜とからなる。プラグPGは、シリサイド層SIを介して、拡散領域MSまたは拡散領域MDに電氣的に接続されている。なお、図示はしていないが、層間絶縁膜IL1中には、メモリゲート電極MGに電氣的に接続されるプラグPGも存在している。

【0024】

プラグPG上および層間絶縁膜IL1上には、層間絶縁膜IL2が形成されている。層間絶縁膜IL2には配線用の溝が形成され、この溝内には、例えば銅を主体とする導電性膜を有する配線M1が埋め込まれている。また、配線M1はプラグPGに電氣的に接続されている。このような配線は、所謂ダマシン構造の配線である。配線M1の上方には、更に多層の配線および層間絶縁膜も形成されているが、ここではそれらの図示および説明は省略する。

【0025】

<メモリセルMC1の動作について>

以下に、不揮発性メモリセルであるメモリセルMC1の動作例について、図2および図3を参照して説明する。なお、ここで説明するメモリセルMC1は、半導体装置内に存在している複数のメモリセルMC1のうち、選択メモリセルである。

【0026】

図2は、メモリセルMC1の等価回路図である。図3は、「書込」、「消去」および「読

10

20

30

40

50

出」時におけるメモリセルMC1の各部位への電圧の印加条件の一例を示す表である。図3の表には、「書込」、「消去」および「読出」時のそれぞれにおいて、ドレイン領域である拡散領域MDに印加される電圧 V_d 、メモリゲート電極MGに印加される電圧 V_{mg} 、ソース領域である拡散領域MSに印加される電圧 V_s 、および、ウェル領域PWに印加される電圧 V_b が記載されている。

【0027】

なお、図3の表に示したものは電圧の印加条件の好適な一例であり、これに限定されるものではなく、必要に応じて種々変更可能である。また、本実施の形態では、ウェル領域PWから電荷蓄積層CSLへの電子の注入を「書込」と定義し、電荷蓄積層CSLからウェル領域PWへの電子の放出を「消去」と定義する。

10

【0028】

書込動作は、FNトンネル(Fowler Nordheim Tunneling)方式によって行われる。例えば図3の「書込」の欄に示されるような電圧を、書込みを行うメモリセルMC1の各部位に印加し、ウェル領域PWからメモリセルMC1の電荷蓄積層CSLに電子を注入することで書込みを行う。注入された電子は、電荷蓄積層CSL中のトラップ準位に捕獲され、その結果、メモリゲート電極MGを有するメモリトランジスタのしきい値電圧が上昇する。すなわち、メモリトランジスタは書込状態となる。

【0029】

消去動作は、FNトンネル方式によって行われる。例えば図3の「消去」の欄に示されるような電圧を、消去を行うメモリセルMC1の各部位に印加し、電荷蓄積層CSL中の電子をウェル領域PWへ放出する。その結果、メモリトランジスタのしきい値電圧が低下する。すなわち、メモリトランジスタは消去状態となる。

20

【0030】

読出動作には、例えば図3の「読出」の欄に示されるような電圧を、読出しを行うメモリセルMC1の各部位に印加する。読出し時のメモリゲート電極MGに印加される電圧 V_{mg} を、書込状態におけるメモリトランジスタのしきい値電圧と、消去状態におけるメモリトランジスタのしきい値電圧との間の値にすることで、書込状態または消去状態を判別することができる。

【0031】

<ゲート絶縁膜MZの詳細な構造>

30

図4は、図1に示される半導体装置の要部を拡大した断面図であり、ゲート絶縁膜MZの詳細な構造を示す断面図である。

【0032】

ゲート絶縁膜MZは、半導体基板SB(ウェル領域PW)とメモリゲート電極MGとの間に介在しており、メモリセルMC1のゲート絶縁膜として機能する膜であり、その内部に電荷蓄積層CSLを有する積層膜である。具体的には、ゲート絶縁膜MZは、半導体基板SB上に形成された絶縁膜BTと、絶縁膜BT上に形成された絶縁膜HSO1と、絶縁膜HSO1上に形成された挿入層AL1と、挿入層AL1上に形成された絶縁膜HSO2と、絶縁膜HSO2上に形成された絶縁膜TPとの積層膜からなる。

【0033】

絶縁膜(ボトム絶縁膜)BTは、例えば酸化シリコン膜または窒素化シリコン膜であり、例えば2nm~5nmの厚さを有する。

40

【0034】

絶縁膜HSO1は、窒素化シリコン膜よりも高い誘電率を有する膜であり、酸化金属膜であり、例えば5nm~9nmの厚さを有する。具体的には、絶縁膜HSO1は、ハフニウム(Hf)、シリコン(Si)および酸素(O)を含む膜であり、好ましくは $Hf_xSi_{1-x}O_2$ ($0 < x < 1$)膜のようなハフニウムシリケート膜である。なお、絶縁膜HSO1中のトラップ準位の密度を向上させるため、 $Hf_xSi_{1-x}O_2$ 膜の組成比は、 $0.6 < x < 1$ であることが好ましく、 $x = 0.8$ であることが最も好ましい。

【0035】

50

挿入層 A L 1 は、ハフニウムとは異なる金属を含む膜であり、アルミニウム (A l) を含む膜であり、例えば 1 n m ~ 4 n m の厚さを有する。具体的には、挿入層 A L 1 は、アルミニウム (A l) 膜、窒化アルミニウム (A l N) 膜、炭化アルミニウム (A l C) 膜、アルミニウムシリケート (A l S i O) 膜または酸化アルミニウム膜である。本実施の形態において、挿入層 A L 1 として好ましいのは、アルミニウム (A l) および酸素 (O) を含む酸化金属膜であり、最も好ましいの A l ₂ O₃ 膜のような酸化アルミニウム膜である。

【 0 0 3 6 】

絶縁膜 H S O 2 は、挿入層 A L 1 と異なる材料からなる膜であり、ハフニウム (H f) 、シリコン (S i) および酸素 (O) を含む膜であり、例えば 5 n m ~ 9 n m の厚さを有する。絶縁膜 H S O 2 は、絶縁膜 H S O 1 と同じ材料であることが好ましい。

10

【 0 0 3 7 】

このように、本実施の形態では、電荷蓄積層 C S L の内部において、ハフニウム、シリコンおよび酸素を含む膜 (絶縁膜 H S O 1 、絶縁膜 H S O 2) の膜中に、アルミニウムを含む膜 (挿入層 A L 1) が、1 層形成されている。

【 0 0 3 8 】

絶縁膜 (トップ絶縁膜) T P は、窒化シリコン膜よりも高い誘電率を有する膜であり、絶縁膜 H S O 1 および絶縁膜 H S O 2 と異なる材料からなる酸化金属膜であり、例えば 5 n m ~ 1 2 n m の厚さを有する。具体的には、絶縁膜 T P は、アルミニウム (A l) および酸素 (O) を含む膜であり、好ましくは酸化アルミニウム膜、酸窒化アルミニウム膜またはアルミニウムシリケート膜である。また、絶縁膜 T P として、他の酸化金属膜を用いることもでき、例えば、チタン (T i) 、ジルコニウム (Z r) 、イットリウム (Y) 、ランタン (L a) 、プラセオジウム (P r) またはルテチウム (L u) の何れかの金属の酸化物からなる酸化金属膜を、絶縁膜 T P 1 として用いることもできる。

20

【 0 0 3 9 】

絶縁膜 T P は、主に、電荷蓄積層 C S L の内部に蓄積された電荷が、メモリゲート電極 M G へ抜けることを防止する役目を果たす。このため、絶縁膜 T P は、挿入層 A L 1 よりも、厚い厚さを有していることが好ましい。

【 0 0 4 0 】

ところで、従来の不揮発性メモリセルでは、トラップ準位を備えたゲート絶縁膜としては、酸化シリコン膜、電荷蓄積層である窒化シリコン膜、および、酸化シリコン膜を積層した O N O (oxide nitride oxide) 膜が知られている。O N O 膜を採用した場合は、誘電率が比較的低いことから、ゲート絶縁膜の E O T (Equivalent Oxide Thickness : 酸化膜換算膜厚) が大きくなってしまふ。このため、ゲート絶縁膜の E O T が大きくなることで動作電圧が高くなる懸念がある。また、ゲート絶縁膜の E O T を小さくするために物理的膜厚を薄くしようとすると、電荷蓄積層内に蓄積した電荷のリークによって、リテンション特性 (電荷保持特性、データ保持特性) の劣化が生じる懸念がある。これらは、半導体装置の信頼性を低下させてしまふ。

30

【 0 0 4 1 】

本実施の形態では、電荷蓄積層 C S L は、主に、高誘電率膜である絶縁膜 H S O 1 および絶縁膜 H S O 2 によって構成されている。また、絶縁膜 T P も高誘電率膜である。これらの膜により、ゲート絶縁膜 M Z の E O T を抑制しながらゲート絶縁膜 M Z の物理的膜厚を増加させることができるため、リークによるリテンション特性の劣化を防止し、リテンション特性の向上を図ることができる。また、ゲート絶縁膜 M Z の物理的膜厚を確保しながら E O T を低減できるため、リークによるリテンション特性の劣化を防止しながら、メモリセル M C 1 の動作電圧の低減および動作速度の向上を図ることができる。

40

【 0 0 4 2 】

ここで、本実施の形態の電荷蓄積層 C S L が有するトラップ準位は、 $Hf_x Si_{1-x} O_2$ ($0 < x < 1$) 膜である絶縁膜 H S O 1 および絶縁膜 H S O 2 の内部に多く存在するが、絶縁膜 H S O 1 と挿入層 A L 1 との界面付近、および、絶縁膜 H S O 2 と挿入層 A L 1

50

との界面付近に、より多くのトラップ準位が存在している。このため、電荷蓄積層 C S L の中央部に近い位置に、より多くのトラップ準位を存在させることができる。すなわち、電荷蓄積層 C S L の内部のうち、絶縁膜 H S O 1 の下面から離れた位置、および、絶縁膜 H S O 2 の上面から離れた位置に、より多くの深いトラップ準位を存在させることができる。また、後述の図 7 でも説明するが、ハフニウムシリケート膜と酸化アルミニウム膜との界面には、多くの深いトラップ準位が存在する。本実施の形態では、このような界面を形成することができるため、多くの深いトラップ準位を形成することができる。これらにより、電荷蓄積層 C S L の内部に蓄積した電荷が、電荷蓄積層 C S L から抜けにくくなり、メモリセル M C 1 のリテンション特性を向上させることができる。

【 0 0 4 3 】

また、挿入層 A L 1 は、電荷蓄積層 C S L の内部におけるトラップ準位を多くするために設けられた膜である。例えば、挿入層 A L 1 が酸化アルミニウム膜であり、絶縁膜 H S O 1 および絶縁膜 H S O 2 がハフニウムシリケート膜である場合、酸化アルミニウム膜の誘電率は、ハフニウムシリケート膜の誘電率よりも低い。このため、挿入層 A L 1 の厚さは、必要以上に厚くしない方が好ましく、絶縁膜 H S O 1 の厚さおよび絶縁膜 H S O 2 の厚さよりも薄いことが好ましい。

【 0 0 4 4 】

< 検討例 1 ~ 3 の半導体装置と、本実施の形態の半導体装置との比較 >

以下に、上述のようなリテンション特性の向上について、図 5 ~ 図 8 および図 2 7 ~ 図 2 9 を用いて詳しく説明する。

【 0 0 4 5 】

図 2 7 ~ 図 2 9 は、それぞれ検討例 1 ~ 検討例 3 の半導体装置の要部を拡大した断面図であり、図 6 は、電荷蓄積層 C S L の内部に存在するトラップ準位を示した模式図であり、図 5、図 7 および図 8 は、本願発明者らによる実験結果を示すグラフである。

【 0 0 4 6 】

検討例 1 の半導体装置は、図 2 7 に示されるように、電荷蓄積層 C S L として絶縁膜 H S O 1 のみが形成されており、電荷蓄積層 C S L には、挿入層 A L 1 および絶縁膜 H S O 2 が含まれていない。また、検討例 1 の絶縁膜 H S O 1 の厚さは、本実施の形態の絶縁膜 H S O 1 の厚さと、挿入層 A L 1 の厚さと、絶縁膜 H S O 2 の厚さとを合計した程度の厚さとなっている。

【 0 0 4 7 】

検討例 2 の半導体装置は、図 2 8 に示されるように、電荷蓄積層 C S L として絶縁膜 H O、挿入層 A L 1 および絶縁膜 H S O 2 が形成されている。絶縁膜 H O は、本実施の形態の絶縁膜 H S O 1 のような $Hf_xSi_{1-x}O_2$ ($0 < x < 1$) 膜ではなく、酸化ハフニウム膜 (HfO 膜) である。また、検討例 2 の絶縁膜 H O の厚さは、本実施の形態の絶縁膜 H S O 1 の厚さと同程度である。

【 0 0 4 8 】

検討例 3 の半導体装置は、図 2 9 に示されるように、電荷蓄積層 C S L として挿入層 A L 1 および絶縁膜 H S O 2 が形成されており、絶縁膜 H S O 1 が形成されていない。このため、検討例 3 の挿入層 A L 1 は、絶縁膜 B T と直接接している。また、検討例 3 の絶縁膜 H S O 2 の厚さは、本実施の形態の絶縁膜 H S O 1 の厚さと、絶縁膜 H S O 2 の厚さとを合計した程度の厚さとなっている。

【 0 0 4 9 】

図 5 の横軸は、メモリセル M C 1 に書込動作を行った後に、150 の高温でメモリセル M C 1 を放置した時間を示している。図 5 の縦軸は、フラットバンド電圧の変動量 V_{fb} を示しており、具体的には、書込動作後に一定時間が経過した後のフラットバンド電圧 (V_{fb}) と、書込動作を行う前のフラットバンド電圧 (V_{fbi}) との差を示している。なお、図 5 の V_{fb} の値は、フラットバンド電圧の変動量の相対値である。また、ここでは、絶縁膜 H S O 1 に $Hf_xSi_{1-x}O_2$ ($x = 0.8$) 膜を適用し、絶縁膜 B T に酸化窒化シリコン (SiON) 膜を適用した場合で測定している。また、トップ絶縁膜 T

10

20

30

40

50

Pは、酸化アルミニウム膜などの単層膜である場合で説明するが、後述の実施の形態3のように、トップ絶縁膜TPが、絶縁膜TP1～TP3のような積層膜であっても、フラットバンド電圧の変動量 V_{fb} の比率は同様である。

【0050】

図5から判るように、本実施の形態()、検討例1()および検討例2()では、時間の経過と共に、それぞれ上記変動量 V_{fb} が減少しているが、本実施の形態()では、検討例1()および検討例2()よりも、上記変動量 V_{fb} の減少が抑制されている。すなわち、本実施の形態()では、検討例1()および検討例2()よりも、リテンション特性が改善されていることが判る。

【0051】

また、リテンション特性が改善された結果から、本実施の形態()では絶縁膜HSO1と絶縁膜HSO2との間に、挿入層AL1を形成しているのので、本実施の形態()の電荷蓄積層CSLの内部のトラップ準位は、検討例1()よりも、増えたと推測できる。

【0052】

また、本実施の形態()のように、絶縁膜HSO1に $Hf_xSi_{1-x}O_2$ 膜を適用したことで、検討例2()のように、絶縁膜HSO1に HfO 膜を適用するよりも、電荷蓄積層CSLの内部のトラップ準位が増えたと推測できる。

【0053】

図6は、検討例1の構造を基にして、電荷蓄積層CSLの内部に存在するトラップ準位を示した模式図である。印は1.3 eV～2.1 eVのエネルギーを有する深いトラップ準位を示し、印は0.8 eV～1.3 eVのエネルギーを有する浅いトラップ準位を示している。距離Xaは、メモリゲート電極MGから、絶縁膜TPと絶縁膜HSO1との界面付近までの距離を示している。距離Xbは、メモリゲート電極MGから絶縁膜HSO1の膜中までの距離を示している。距離Xcは、メモリゲート電極MGから、絶縁膜HSO1と絶縁膜BTとの界面付近までの距離を示している。

【0054】

図7(a)は、電荷蓄積層CSLの内部に存在するトラップ準位を、TSC-CV(Thermally Stimulated Current-Capacitance Voltage)法を用いて、エネルギー的な分布深さに分解したグラフを示している。図7(a)の縦軸は、フラットバンド電圧の変動量 V_{fb} を示し、図7(a)の横軸は、ゲート絶縁膜MZの電気的な厚さを示している。ここでは、絶縁膜BTの厚さと絶縁膜TPの厚さとが一定であるとして測定した結果を示している。

【0055】

ここで、電荷蓄積層CSLに蓄積された電荷Qによるフラットバンド電圧の変動量 V_{fb} は、以下の式(1)で表され、メモリゲート電極MGから電荷Qまでの距離Xに比例し、誘電率kに反比例する。なお、容量Cは、電荷Qとメモリゲート電極MGとの間の容量である。

【0056】

$$V_{fb} = Q / C = Q \times X / k \quad (1)$$

距離Xを図6の距離Xa～Xcに当てはめた場合、X=Xaの時には、変動量 V_{fb} はほぼ一定となる。X=Xbの時には、電荷蓄積層CSLの膜中において距離Xbが変化するので、変動量 V_{fb} はXbの積分値($Xb \cdot dx$)に比例する。すなわち、変動量 V_{fb} はXbの2乗(Xb^2)に比例する。X=Xcの時には、変動量 V_{fb} はXcに比例する。

【0057】

このため、図7(a)の破線で示されるように、深いトラップ準位()においては、厚さ方向に対して変動量 V_{fb} はほぼ一定となり、浅いトラップ準位()においては、厚さ方向に対して変動量 V_{fb} はほぼ二次曲線と重なっている。

【0058】

図7(b)は、TSC-CV法を用いて、ゲート絶縁膜MZの膜中に存在するトラップ準

10

20

30

40

50

位の表面密度を求めたグラフである。図 7 の横軸は、絶縁膜 T P と絶縁膜 H S O 1 との界面付近、絶縁膜 H S O 1 の膜中、および、絶縁膜 H S O 1 と絶縁膜 B T との界面付近における、各々の領域を示している。図 7 の縦軸は、トラップ準位の表面密度の値を示している。ここでは、検討例 1 の構造において、絶縁膜 B T が酸化シリコン膜であり、絶縁膜 H S O 1 がハフニウムシリケート膜であり、絶縁膜 T P が酸化アルミニウム膜である場合で測定している。

【 0 0 5 9 】

図 7 (b) に示されるように、深いトラップ準位は、酸化アルミニウム膜である絶縁膜 T P と、ハフニウムシリケート膜である絶縁膜 H S O 1 との界面に多く存在していることが判る。すなわち、図 7 (a) および図 7 (b) の結果から、ゲート絶縁膜 M Z の内部のトラップ準位は、図 6 のような分布になっていることが判る。

10

【 0 0 6 0 】

本願発明者らは、この結果を応用し、ハフニウムシリケート膜の膜中に酸化アルミニウム膜を挿入することで、ハフニウムシリケート膜と酸化アルミニウム膜との界面を多く形成し、多くの深いトラップ準位を形成することを考案した。すなわち、本実施の形態では、絶縁膜 H S O 1 と絶縁膜 H S O 2 との間に、挿入層 A L 1 が形成されていることで、電荷蓄積層 C S L の内部において、多くの深いトラップ準位を存在させることが可能となっている。

【 0 0 6 1 】

以上のように、図 6 および図 7 の結果と、図 5 の結果とを組み合わせると、本実施の形態の電荷蓄積層 C S L の厚さは、検討例 1 の電荷蓄積層 C S L の厚さとほぼ同じであるにも関わらず、本実施の形態では、検討例 1 よりも、リテンション特性が改善されている。これは、本実施の形態では、絶縁膜 H S O 1 と絶縁膜 H S O 2 との間に、挿入層 A L 1 を形成することで、絶縁膜 H S O 1 と挿入層 A L 1 との界面付近、および、絶縁膜 H S O 2 と挿入層 A L 1 との界面付近に、より多くの深いトラップ準位を存在させる事ができるからである。言い換えれば、電荷蓄積層 C S L の内部において、ハフニウムシリケート膜と酸化アルミニウム膜との界面、すなわち深いトラップ準位が形成され易い界面が増えている。従って、電荷蓄積層 C S L の中央部に近い位置に、より多くの深いトラップ準位を存在させることができる。これにより、リテンション特性が改善できるので、半導体装置の信頼性を向上させることができる。

20

30

【 0 0 6 2 】

更に、本実施の形態の電荷蓄積層 C S L では、絶縁膜 H S O 1 は、ハフニウム (H f) 、シリコン (S i) および酸素 (O) を含む膜であり、好ましくは $Hf_xSi_{1-x}O_2$ ($0 < x < 1$) 膜のようなハフニウムシリケート膜である。これにより、検討例 2 のように、絶縁膜 H S O 1 に H f O 膜を適用するよりも、電荷蓄積層 C S L の内部において、深いトラップ準位を増やすことができ、リテンション特性を改善させることができる。

【 0 0 6 3 】

図 8 の横軸は、メモリセル M C 1 に書込動作を行った後に、室温 (2 6) でメモリセル M C 1 を放置した時間を示している。図 8 の縦軸は、図 5 の縦軸と同様に、フラットバンド電圧の変動量 V_{fb} を示している。

40

【 0 0 6 4 】

図 8 から判るように、本実施の形態 () および検討例 3 () では、時間の経過と共に、それぞれ上記変動量 V_{fb} が減少しているが、本実施の形態 () では、検討例 3 () よりも、上記変動量 V_{fb} の減少が抑制されている。すなわち、本実施の形態 () では、検討例 3 () よりも、リテンション特性が改善されていることが判る。また、図 8 のグラフは室温でメモリセル M C 1 を放置したものであるが、例えば 1 5 0 以上の高温でメモリセル M C 1 を放置した場合には、本実施の形態 () の変動量 V_{fb} と、検討例 3 () 変動量 V_{fb} との差が、更に大きくなることは自明である。

【 0 0 6 5 】

すなわち、検討例 3 のように、絶縁膜 H S O 1 を形成せずに、挿入層 A L 1 を絶縁膜 B T

50

に直接接するように形成すると、リテンション特性が劣化した。このため、本実施の形態のように、挿入層 A L 1 が絶縁膜 B T に直接接しないように、挿入層 A L 1 は絶縁膜 H S O 1 と絶縁膜 H S O 2 との間に形成し、絶縁膜 H S O 1 が絶縁膜 B T に直接接していることが好ましい。これにより、リテンション特性を改善させることができる。

【 0 0 6 6 】

< メモリセル M C 1 の製造方法 >

以下に、図 9 ~ 図 1 3 を用いて、本実施の形態の半導体装置の製造方法を説明する。

【 0 0 6 7 】

まず、図 9 に示されるように、フォトリソグラフィ法およびイオン注入法によって、例えばボロン (B) または二フッ化ボロン (B F ₂) を半導体基板 S B 内に導入することで、p 型のウェル領域 P W を形成する。

10

【 0 0 6 8 】

図 1 0 は、ゲート絶縁膜 M Z の形成工程を示している。なお、図 1 0 以降では、図面を見易くするために、ゲート絶縁膜 M Z を単層膜として図示しているが、実際には、図 1 0 の破線で囲まれた領域である拡大図のように、ゲート絶縁膜 M Z は、絶縁膜 B T、絶縁膜 H S O 1、挿入層 A L 1、絶縁膜 H S O 2 および絶縁膜 T P を有する積層膜である。

【 0 0 6 9 】

まず、例えば I S S G (In Situ Steam Generation) 酸化法によって、半導体基板 S B 上に、例えば酸化シリコン膜である絶縁膜 B T を形成する。絶縁膜 B T は、例えば 2 n m ~ 5 n m の厚さを有する。その後、N O 処理またはプラズマ窒化処理を行うことで、酸化シリコン膜を窒化して、酸窒化シリコン膜としてもよい。

20

【 0 0 7 0 】

次に、半導体基板 S B 上に、絶縁膜 B T を介して、絶縁膜 H S O 1、挿入層 A L 1 および絶縁膜 H S O 2 を有する電荷蓄積層 C S L を形成する。

【 0 0 7 1 】

例えば、L P C V D (Low Pressure Chemical Vapor Deposition) 法または A L D (Atomic Layer Deposition) 法によって、絶縁膜 B T 上に、ハフニウム (H f)、シリコン (S i) および酸素 (O) を含む絶縁膜 H S O 1 を形成する。絶縁膜 H S O 1 は、例えば 5 n m ~ 9 n m の厚さを有する。また、絶縁膜 H S O 1 形成時の成膜温度は、例えば 2 0 0 ~ 5 0 0 である。

30

【 0 0 7 2 】

次に、L P C V D 法または A L D 法によって、絶縁膜 H S O 1 上に、ハフニウムと異なる金属として、アルミニウム (A l) を含む挿入層 A L 1 を形成する。挿入層 A L 1 は、例えば 1 n m ~ 4 n m の厚さを有する。また、挿入層 A L 1 形成時の成膜温度は、例えば 2 0 0 ~ 5 0 0 である。

【 0 0 7 3 】

次に、L P C V D 法または A L D 法によって、挿入層 A L 1 上に、ハフニウム (H f)、シリコン (S i) および酸素 (O) を含む絶縁膜 H S O 2 を形成する。絶縁膜 H S O 2 は、挿入層 A L 1 と異なる材料からなり、絶縁膜 H S O 1 と同じ材料からなり、例えば 5 n m ~ 9 n m の厚さを有する。また、絶縁膜 H S O 2 形成時の成膜温度は、例えば 2 0 0 ~ 5 0 0 である。

40

【 0 0 7 4 】

次に、L P C V D 法または A L D 法によって、電荷蓄積層 C S L 上に、アルミニウム (A l) および酸素 (O) を含む絶縁膜 T P を形成する。絶縁膜 T P は、絶縁膜 H S O 2 と異なる材料からなり、好ましくは酸化アルミニウム膜、酸窒化アルミニウム膜またはアルミニウムシリケート膜であり、例えば 5 n m ~ 1 0 n m の厚さを有する。また、絶縁膜 T P 形成時の成膜温度は、例えば 2 0 0 ~ 5 0 0 である。

【 0 0 7 5 】

次に、主に、絶縁膜 H S O 1、挿入層 A L 1、絶縁膜 H S O 2 および絶縁膜 T P を結晶化させる目的で、例えば 8 0 0 ~ 1 0 5 0 の熱処理を行う。この熱処理により、これら

50

の絶縁膜が、非晶質膜から多結晶膜となる。ここで、絶縁膜 $\text{Hf}_x\text{Si}_{1-x}\text{O}_2$ (0.9 < x < 1) 膜である場合には、熱処理の温度を 800 以上、975 未満とし、絶縁膜 $\text{Hf}_x\text{Si}_{1-x}\text{O}_2$ (0 < x < 0.9) 膜である場合には、熱処理の温度を 975 以上、1050 以下とする。このように熱処理の温度を調整することで、絶縁膜 $\text{Hf}_x\text{Si}_{1-x}\text{O}_2$ および絶縁膜 $\text{Hf}_x\text{Si}_{1-x}\text{O}_2$ を適切に結晶化させることができる。

【0076】

図11は、メモリゲート電極MGの形成工程を示している。

【0077】

まず、例えばLPCVD法によって、ゲート絶縁膜MZ上に、例えば多結晶シリコン膜のような導電性膜を形成する。次に、フォトリソグラフィ法およびイオン注入法によって、多結晶シリコン膜に、n型の不純物を導入する。なお、この導電性膜は、p型の不純物が導入された多結晶シリコン膜、または、不純物が導入されていない多結晶シリコン膜でもよい。また、この導電性膜は、例えば窒化チタン膜、アルミニウム膜若しくはタンゲステン膜のような金属膜、または、これらの金属膜の積層膜であってもよい。

【0078】

次に、フォトリソグラフィ法およびエッチング処理によって、上記導電性膜をパターンニングし、メモリゲート電極MGを形成する。その後、ドライエッチング処理およびウェットエッチング処理によって、メモリゲート電極MGから露出しているゲート絶縁膜MZを除去する。

【0079】

図12は、エクステンション領域EXSおよびエクステンション領域EXDの形成工程を示している。

【0080】

フォトリソグラフィ法およびイオン注入法によって、例えばヒ素(As)またはリン(P)をメモリゲート電極MGの横のウェル領域PW内に導入することで、n型の不純物領域であるエクステンション領域EXSおよびエクステンション領域EXDを形成する。エクステンション領域EXSはメモリセルMC1のソース領域の一部を構成し、エクステンション領域EXDはメモリセルMC1のドレイン領域の一部を構成する。

【0081】

図13は、サイドウォールスペーサSW、拡散領域MS、拡散領域MDおよびシリサイド層SIの形成工程を示している。

【0082】

まず、メモリゲート電極MGを覆うように、例えばLPCVD法により、例えば窒化シリコン膜からなる絶縁膜を形成する。次に、この絶縁膜に対して異方性エッチングを行うことで、メモリゲート電極MGの側面に、サイドウォールスペーサSWを形成する。なお、サイドウォールスペーサSWを構成する絶縁膜は、酸化シリコン膜と、酸化シリコン膜上に形成された窒化シリコン膜としてもよい。

【0083】

次に、フォトリソグラフィ法およびイオン注入法によって、サイドウォールスペーサSWをマスクとして例えばヒ素(As)またはリン(P)をウェル領域PW内に導入することで、n型の不純物領域である拡散領域MSおよび拡散領域MDを形成する。拡散領域MSは、エクステンション領域EXSよりも高い不純物濃度を有し、エクステンション領域EXSと接続し、メモリセルMC1のソース領域の一部を構成する。拡散領域MDは、エクステンション領域EXDよりも高い不純物濃度を有し、エクステンション領域EXDと接続し、メモリセルMC1のドレイン領域の一部を構成する。

【0084】

次に、シリサイド(Salicide: Self Aligned Silicide)技術により、拡散領域MS、拡散領域MSおよびメモリゲート電極MGの各々の上面に、低抵抗のシリサイド層SIを形成する。

10

20

30

40

50

【 0 0 8 5 】

シリサイド層 S I は、具体的には次のようにして形成することができる。まず、サイドウォールスペース S W、拡散領域 M S、拡散領域 M S およびメモリゲート電極 M G を覆うように、シリサイド層 S I 形成用の金属膜を形成する。この金属膜は、例えばコバルト、ニッケルまたはニッケル白金合金からなる。次に、半導体基板 S B に、例えば 3 0 0 ~ 5 0 0 の第 1 熱処理と、例えば 6 0 0 ~ 7 0 0 の第 2 熱処理とを施すことによって、拡散領域 M S、拡散領域 M D およびメモリゲート電極 M G に含まれる材料と、上記金属膜と反応させる。これにより、拡散領域 M S、拡散領域 M S およびメモリゲート電極 M G の各々の上面に、シリサイド層 S I が形成される。その後、未反応の金属膜を除去する。

【 0 0 8 6 】

以上のようにして、本実施の形態のメモリセル M C 1 が形成される。

【 0 0 8 7 】

図 1 3 の工程後、層間絶縁膜 I L 1、プラグ P G、層間絶縁膜 I L 2 および配線 M 1 を形成することで、図 1 に示される半導体装置が製造される。

【 0 0 8 8 】

まず、メモリセル M C 1 を覆うように、層間絶縁膜 I L 1 を形成する。層間絶縁膜 I L 1 としては、酸化シリコン膜の単体膜、または、窒化シリコン膜とその上に厚い酸化シリコン膜とを形成した積層膜などを用いることができる。層間絶縁膜 I L 1 の形成後、必要に応じて、層間絶縁膜 I L 1 の上面を C M P (Chemical Mechanical Polishing) 法で研磨してもよい。

【 0 0 8 9 】

次に、フォトリソグラフィ法およびドライエッチング法などによって、層間絶縁膜 I L 1 内にコンタクトホールを形成し、コンタクトホール内にタングステンなど主体とする導電性膜を埋め込むことで、層間絶縁膜 I L 1 内に複数のプラグ P G を形成する。複数のプラグ P G は、それぞれシリサイド層 S I を介して、拡散領域 M S および拡散領域 M D に接続される。なお、メモリゲート電極 M G もプラグ P G に接続されるが、本実施の形態ではその図示を省略する。

【 0 0 9 0 】

次に、プラグ P G が埋め込まれた層間絶縁膜 I L 1 上に層間絶縁膜 I L 2 を形成する。その後、層間絶縁膜 I L 2 に配線用の溝を形成した後、配線用の溝内に例えば銅を主成分とする導電性膜を埋め込むことで、層間絶縁膜 I L 2 内にプラグ P G に接続される配線 M 1 を形成する。この配線 M 1 の構造は、所謂ダマシン (Damascene) 配線構造と呼ばれる。

【 0 0 9 1 】

その後、デュアルダマシン (Dual Damascene) 法などにより、2 層目以降の配線を形成するが、ここではそれらの説明および図示は省略する。また、配線 M 1 および配線 M 1 よりも上層の配線は、ダマシン配線構造に限定されず、例えばタングステン膜またはアルミニウム膜をパターニングすることで形成してもよい。

【 0 0 9 2 】

(実施の形態 2)

以下に、実施の形態 2 の半導体装置を、図 1 4 を用いて説明する。なお、以下の説明では、実施の形態 1 との相違点を主に説明する。図 1 4 は、実施の形態 2 の半導体装置の要部を拡大した断面図であり、ゲート絶縁膜 M Z の詳細な構造を示す断面図である。

【 0 0 9 3 】

実施の形態 1 では、電荷蓄積層 C S L の内部において、ハフニウムシリケート膜 (絶縁膜 H S O 1、絶縁膜 H S O 2) の膜中に、1 層の酸化アルミニウム膜 (挿入層 A L 1) が形成されていた。すなわち、絶縁膜 H S O 1 と絶縁膜 H S O 2 との間に、挿入層 A L 1 が形成されていた。

【 0 0 9 4 】

図 1 4 に示されるように、実施の形態 2 では、電荷蓄積層 C S L は、絶縁膜 H S O 1 ~ H S O 3 を有し、絶縁膜 H S O 1 と絶縁膜 H S O 2 と間に挿入層 A L 1 を有し、絶縁膜 H S

10

20

30

40

50

Ｏ２と絶縁膜ＨＳＯ３と間に挿入層ＡＬ２を有している。

【００９５】

絶縁膜ＨＳＯ３は、絶縁膜ＨＯＳ１または絶縁膜ＨＳＯ２と同じ材料からなる膜であり、ハフニウムシリケート膜などである。また、挿入層ＡＬ２は、ハフニウムと異なる金属を含む膜であり、挿入層ＡＬ１と同じ材料からなる膜であり、酸化アルミニウム膜などである。また、絶縁膜ＨＳＯ３を形成する方法は、絶縁膜ＨＳＯ１と同じであり、挿入層ＡＬ２を形成する方法は、挿入層ＡＬ１と同じである。

【００９６】

このように、実施の形態２では、ハフニウム、シリコンおよび酸素を含む膜（絶縁膜ＨＳＯ１～ＨＳＯ３）の膜中に、２層のアルミニウムを含む膜（挿入層ＡＬ１、挿入層ＡＬ２）が形成されている。従って、ハフニウムシリケート膜と酸化アルミニウム膜との界面が、実施の形態１と比較して、２倍となる。このため、電荷蓄積層ＣＳＬの内部において、より多くのトラップ準位を存在させることができる。従って、メモリセルＭＣ１のリテンション特性を更に改善させることができる。

【００９７】

また、実施の形態２では、２層のアルミニウムを含む膜（挿入層ＡＬ１、挿入層ＡＬ２）を例示したが、３層以上のアルミニウムを含む膜を形成してもよい。

【００９８】

例えば、実施の形態２のように、挿入層ＡＬ１の厚さを１ｎｍ～４ｎｍに設定した場合、電荷蓄積層ＣＳＬは、最大で４層の酸化アルミニウム膜と、最大で５層のハフニウムシリケート膜とを有する。この場合、電荷蓄積層ＣＳＬの内部において、ハフニウムシリケート膜と酸化アルミニウム膜との界面の数は８つとなる。

【００９９】

なお、実施の形態２の電荷蓄積層ＣＳＬは、実施の形態１よりも多くの膜を有することになるが、積層膜からなる電荷蓄積層ＣＳＬの合計の厚さが大きくなりすぎると、ゲート絶縁膜ＭＺのＥＯＴが増加することになる。従って、実施の形態２の電荷蓄積層ＣＳＬの厚さが、実施の形態１の電荷蓄積層ＣＳＬの厚さと同程度になるように、絶縁膜ＨＳＯ１～ＨＳＯ３、挿入層ＡＬ１および挿入層ＡＬ２の各々の厚さを調整することが好ましい。

【０１００】

（実施の形態３）

以下に、実施の形態３の半導体装置を、図１５および図１６を用いて説明する。なお、以下の説明では、実施の形態１との相違点を主に説明する。図１５は、実施の形態３の半導体装置の要部を拡大した断面図であり、ゲート絶縁膜ＭＺの詳細な構造を示す断面図である。図１６は、ゲート絶縁膜ＭＺのうちの一部を拡大し、絶縁膜ＴＰの詳細な構造を示す断面図である。

【０１０１】

実施の形態１では、トップ絶縁膜ＴＰは、酸化アルミニウム膜などからなる単層膜であった。

【０１０２】

図１５に示されるように、実施の形態３では、トップ絶縁膜ＴＰは、電荷蓄積層ＣＳＬ上に形成された絶縁膜ＴＰ１と、絶縁膜ＴＰ１上に形成された絶縁膜ＴＰ２と、絶縁膜ＴＰ２上に形成された絶縁膜ＴＰ３とを有する積層膜である。

【０１０３】

絶縁膜ＴＰ１は、窒化シリコン膜よりも高い誘電率を有する膜であり、絶縁膜ＨＳＯ２と異なる材料からなる酸化金属膜であり、例えば２ｎｍ～５ｎｍの厚さを有する。具体的に、絶縁膜ＴＰ１は、アルミニウム（Ａｌ）および酸素（Ｏ）を含む膜であり、好ましくは酸化アルミニウム膜、酸窒化アルミニウム膜またはアルミニウムシリケート膜であり、より好ましくはＡｌ₂Ｏ₃膜である。また、絶縁膜ＴＰ１として、他の酸化金属膜を用いることもでき、例えば、チタン（Ｔｉ）、ジルコニウム（Ｚｒ）、イットリウム（Ｙ）、ランタン（Ｌａ）、プラセオジウム（Ｐｒ）またはルテチウム（Ｌｕ）の何れかの金属の酸化

10

20

30

40

50

物からなる酸化金属膜を、絶縁膜 T P 1 として用いることもできる。

【 0 1 0 4 】

絶縁膜 T P 2 は、絶縁膜 T P 1 と異なる材料からなる膜であり、酸化シリコン膜、酸窒化シリコン膜または窒化シリコン膜であり、例えば 1 n m ~ 2 n m の厚さを有する。このような絶縁膜 T P 2 は、例えば L P C V D 法または A L D 法によって形成することができる。

【 0 1 0 5 】

絶縁膜 T P 3 は、絶縁膜 T P 1 と同じ材料からなる膜であり、例えば 2 n m ~ 5 n m の厚さを有する。また、絶縁膜 T P 1 および絶縁膜 T P 3 は、実施の形態 1 の絶縁膜 T P と同じ方法で形成することができる。

【 0 1 0 6 】

絶縁膜 T P 1 および絶縁膜 T P 3 は、主に、電荷蓄積層 C S L の内部に蓄積された電荷が、メモリゲート電極 M G へ抜けることを防止する役目を果たす。このため、絶縁膜 T P 1 および絶縁膜 T P 3 は、絶縁膜 H S O 2 を構成する絶縁膜よりもバンドギャップが大きい絶縁膜であることが好ましく、挿入層 A L 1 よりも厚い厚さを有していることが好ましい。

【 0 1 0 7 】

実施の形態 3 では、絶縁膜 T P 1 と絶縁膜 T P 3 との間に、これらと異なる材料からなる絶縁膜 T P 2 を形成している。このため、電荷蓄積層 C S L の内部に蓄積された電荷が、絶縁膜 T P を介して、メモリゲート電極 M G へ抜けやすくなることを防止でき、メモリセル M C 1 のリテンション特性を改善させることができる。以下に、このような理由について説明する。

【 0 1 0 8 】

実施の形態 1 では、電荷蓄積層 C S L とメモリゲート電極 M G との間には、絶縁膜 T P のような酸化アルミニウム膜などからなる単層膜が形成されている。このとき、絶縁膜 T P の内部において、大きな結晶粒（グレイン）が形成されていると、この結晶粒の外周を構成する粒界が、電荷蓄積層 C S L とメモリゲート電極 M G とを繋いでしまう。このため、粒界がリーク経路となり、電荷蓄積層 C S L の内部に蓄積された電荷が、メモリゲート電極 M G へリークする恐れがある。

【 0 1 0 9 】

絶縁膜 T P 2 は、主に、上記リーク経路を分断するために設けられている。すなわち、図 1 6 に示されるように、絶縁膜 T P 1 を構成する複数の結晶粒 G R 1 と、絶縁膜 T P 3 を構成する複数の結晶粒 G R 2 とは、絶縁膜 T P 2 によって分離されている。絶縁膜 T P 1 および絶縁膜 T P 3 は、それぞれ別々に形成されるため、絶縁膜 T P 1 の粒界 G B 1 の位置と、絶縁膜 T P 3 の粒界 G B 2 の位置とをずらすことができ、絶縁膜 T P 1 の粒界 G B 1 と絶縁膜 T P 3 の粒界 G B 2 とを分断することができる。

【 0 1 1 0 】

また、実施の形態 1 では、図 1 0 の工程時に熱処理を行うことにより、絶縁膜 T P を結晶化していた。実施の形態 3 でも同じ熱処理を行うことで、非晶質膜であった絶縁膜 T P 1 および絶縁膜 T P 3 が結晶化され、多結晶膜となるが、絶縁膜 T P 2 は、非晶質膜として残すこともできる。絶縁膜 T P 2 が非晶質膜であることで、絶縁膜 T P 1 の粒界 G B 1 と絶縁膜 T P 3 の粒界 G B 2 とが、絶縁膜 T P 2 を介して繋がる恐れを、より確実に防止できる。

【 0 1 1 1 】

このように、実施の形態 3 では、電荷蓄積層 C S L とメモリゲート電極 M G との間において、絶縁膜 T P の粒界に起因したリークが発生することを抑制できる。従って、メモリセル M C 1 のリテンション特性を更に向上させることができ、半導体装置の信頼性を更に向上させることができる。

【 0 1 1 2 】

また、実施の形態 3 に開示した技術を、実施の形態 2 と組み合わせて用いることもできる。

【 0 1 1 3 】

（実施の形態 4 ）

10

20

30

40

50

以下に、実施の形態 4 の半導体装置を図 1 7 ~ 図 1 9 を用いて説明し、実施の形態 4 の半導体装置の製造方法を図 2 0 ~ 図 2 5 を用いて説明する。なお、以下の説明では、実施の形態 1 との相違点を主に説明する。

【 0 1 1 4 】

実施の形態 1 のメモリセル M C 1 は、メモリゲート電極 M G を有するシングルゲート型のメモリセルであった。

【 0 1 1 5 】

実施の形態 4 のメモリセル M C 2 は、メモリゲート電極 M G だけでなく、メモリゲート電極 M G と隣接する位置に制御ゲート電極 C G を有するスプリットゲート型のメモリセルである。以下に、実施の形態 4 における不揮発性メモリセルであるメモリセル M C 2 を備える半導体装置について説明する。図 1 7 は、メモリセル M C 2 の断面図を示している。

10

【 0 1 1 6 】

<メモリセル M C 2 の構造>

図 1 7 に示されるように、半導体基板 S B には、p 型のウェル領域 P W が形成されている。ウェル領域 P W 上には、ゲート絶縁膜 G F が形成され、ゲート絶縁膜 G F 上には、制御ゲート電極 C G が形成されている。ゲート絶縁膜 G F は、例えば酸化シリコン膜であり、例えば 2 n m ~ 5 n m の厚さを有する。ゲート絶縁膜 G F は、酸化シリコン膜に代えて、酸化ハフニウム膜などの酸化金属膜のような高誘電率膜であってもよい。制御ゲート電極 C G は、例えば n 型の不純物が導入された多結晶シリコン膜である。また、制御ゲート電極 C G は、例えば窒化チタン膜、アルミニウム膜若しくはタンゲステン膜のような金属膜、または、これらの金属膜の積層膜であってもよい。

20

【 0 1 1 7 】

ウェル領域 P W 上、および、制御ゲート電極 C G の一方の側面上には、ゲート絶縁膜 M Z が形成されている。実施の形態 4 のゲート絶縁膜 M Z は、実施の形態 1 のゲート絶縁膜 M Z と同じ構造である。なお、図 1 7 では、図面を見易くするために、ゲート絶縁膜 M Z を単層膜として図示しているが、実際には、図 1 7 の破線で囲まれた領域である拡大図のように、ゲート絶縁膜 M Z は、絶縁膜 B T、絶縁膜 H S O 1、挿入層 A L 1、絶縁膜 H S O 2 および絶縁膜 T P を有する積層膜である。

【 0 1 1 8 】

制御ゲート電極 C G の一方の側面上には、ゲート絶縁膜 M Z を介して、メモリゲート電極 M G が形成されている。すなわち、制御ゲート電極 C G とメモリゲート電極 M G との間には、ゲート絶縁膜 M Z のような絶縁膜が形成されており、制御ゲート電極 C G は、メモリゲート電極 M G と絶縁分離されている。メモリゲート電極 M G の 2 つの側面のうち、制御ゲート電極 C G と反対側の側面上、および、制御ゲート電極 C G の他方の側面上には、サイドウォールスペーサ S W が形成されている。

30

【 0 1 1 9 】

メモリゲート電極 M G 側のサイドウォールスペーサ S W の下部のウェル領域 P W には、n 型の不純物領域であるエクステンション領域 E X S が形成されており、制御ゲート電極 C G 側のサイドウォールスペーサ S W の下部のウェル領域 P W には、n 型の不純物領域であるエクステンション領域 E X D が形成されている。エクステンション領域 E X S は、メモリセル M C 2 のソース領域の一部を構成し、エクステンション領域 E X D は、メモリセル M C 2 のドレイン領域の一部を構成する。

40

【 0 1 2 0 】

メモリゲート電極 M G 側のサイドウォールスペーサ S W に整合する位置のウェル領域 P W には、n 型の不純物領域である拡散領域 M S が形成されており、制御ゲート電極 C G 側のサイドウォールスペーサ S W に整合する位置のウェル領域 P W には、n 型の不純物領域である拡散領域 M D が形成されている。拡散領域 M S は、エクステンション領域 E X S よりも高い不純物濃度を有し、エクステンション領域 E X S に接続し、メモリセル M C 2 のソース領域の一部を構成する。拡散領域 M D は、エクステンション領域 E X D よりも高い不純物濃度を有し、エクステンション領域 E X D に接続し、メモリセル M C 2 のドレイン領

50

域の一部を構成する。

【 0 1 2 1 】

メモリゲート電極 M G 上、制御ゲート電極 C G 上、拡散領域 M S 上および拡散領域 M D 上には、シリサイド層 S I が形成されている。

【 0 1 2 2 】

なお、メモリセル M C 2 の上方には、実施の形態 1 と同様に、層間絶縁膜 I L 1、プラグ P G、層間絶縁膜 I L 2 および配線 M 1 などが形成されているが、ここではこれらの図示を省略している。

【 0 1 2 3 】

<メモリセル M C 2 の動作について>

次に、不揮発性メモリセルであるメモリセル M C 2 の動作例について、図 1 8 および図 1 9 を参照して説明する。なお、ここで説明するメモリセル M C 2 は、半導体装置内に存在している複数のメモリセル M C 2 のうち、選択メモリセルである。

【 0 1 2 4 】

図 1 8 は、不揮発性メモリのメモリセル M C 2 の等価回路図である。図 1 9 は、「書込」、「消去」および「読出」時におけるメモリセル M C 2 の各部位への電圧の印加条件の一例を示す表である。図 1 9 の表には、「書込」、「消去」および「読出」時のそれぞれにおいて、ドレイン領域である拡散領域 M D に印加される電圧 V d、制御ゲート電極 C G に印加される電圧 V c g、メモリゲート電極 M G に印加される電圧 V m g、ソース領域である拡散領域 M S に印加される電圧 V s、および、ウェル領域 P W に印加される電圧 V b が記載されている。

【 0 1 2 5 】

なお、図 1 9 の表に示したものは電圧の印加条件の好適な一例であり、これに限定されるものではなく、必要に応じて種々変更可能である。また、実施の形態 4 では、電荷蓄積層 C S L への電子の注入を「書込」と定義し、電荷蓄積層 C S L へのホール（正孔）の注入を「消去」と定義する。

【 0 1 2 6 】

書込動作は、S S I（Source Side Injection：ソースサイド注入）方式と呼ばれる、ソースサイド注入によるホットエレクトロン注入を用いた書込み方式によって行われる。例えば図 1 9 の「書込」の欄に示されるような電圧を、書込みを行うメモリセル M C 2 の各部位に印加し、電荷蓄積層 C S L に電子を注入することで書込みを行う。

【 0 1 2 7 】

この際、ホットエレクトロンは、メモリゲート電極 M G および制御ゲート電極 C G に覆われた箇所（チャネル領域）で発生し、メモリゲート電極 M G の下部の電荷蓄積層 C S L にホットエレクトロンが注入される。注入されたホットエレクトロンは、電荷蓄積層 C S L 中のトラップ準位に捕獲され、その結果、メモリゲート電極 M G を有するメモリトランジスタのしきい値電圧が上昇する。すなわち、メモリトランジスタは書込状態となる。

【 0 1 2 8 】

消去動作は、B T B T（Band-To-Band Tunneling：バンド間トンネル現象）方式と呼ばれる、B T B T によるホットホール注入を用いた消去方式によって行われる。すなわち、B T B T により発生したホールを電荷蓄積層 C S L に注入することにより消去を行う。例えば図 1 9 の「消去」の欄に示されるような電圧を、消去を行うメモリセル M C 2 の各部位に印加し、B T B T 現象によりホールを発生させ、電界加速することで電荷蓄積層 C S L 中にホールを注入する。その結果、メモリトランジスタのしきい値電圧が低下する。すなわち、メモリトランジスタは消去状態となる。

【 0 1 2 9 】

読出動作には、例えば図 1 9 の「読出」の欄に示されるような電圧を、読出しを行うメモリセル M C 2 の各部位に印加する。読出し時のメモリゲート電極 M G に印加される電圧 V m g を、書込状態におけるメモリトランジスタのしきい値電圧と、消去状態におけるメモリトランジスタのしきい値電圧との間の値にすることで、書込状態または消去状態を判別

10

20

30

40

50

することができる。

【0130】

実施の形態4のメモリセルMC2は、実施の形態1のメモリセルMC1と同様に、ゲート絶縁膜MZは、絶縁膜BT、絶縁膜HSO1、挿入層AL1、絶縁膜HSO2および絶縁膜TPを有する積層膜である。このため、実施の形態4においても、メモリセルMC2のリテンション特性を改善させることができ、半導体装置の信頼性を向上させることができる。

【0131】

<メモリセルMC2の製造方法>

以下に、図20～図25を用いて、実施の形態4の半導体装置の製造方法を説明する。

10

【0132】

まず、図20に示されるように、フォトリソグラフィ法およびイオン注入法をもちいて、半導体基板SBに、p型のウェル領域PWを形成する。

【0133】

次に、例えば熱酸化法またはISSG酸化法によって、例えば酸化シリコンからなるゲート絶縁膜GFを形成する。その後、NO処理またはプラズマ窒化処理を行うことで、酸化シリコン膜を窒化して、酸窒化シリコン膜としてもよい。また、ゲート絶縁膜GFとして、例えばALD法によって、例えば酸化ハフニウム膜などの酸化金属膜を形成してもよい。

【0134】

次に、ゲート絶縁膜GF上に、例えばCVD法を用いて、例えば多結晶シリコン膜からなる導電性膜を堆積する。また、この導電性膜は、例えば窒化チタン膜、アルミニウム膜若しくはタンゲステン膜のような金属膜、または、これらの金属膜の積層膜であってもよい。次に、フォトリソグラフィ法およびドライエッチング法を用いて、導電性膜をパターンニングする。これにより、導電性膜が加工されて制御ゲート電極CGが形成される。次に、制御ゲート電極CGから露出しているゲート絶縁膜GFを除去することで、制御ゲート電極CG下にゲート絶縁膜GFが残される。

20

【0135】

図21は、ゲート絶縁膜MZの形成工程を示している。

【0136】

ウェル領域PW上、並びに、制御ゲート電極CGの上面上および側面上に、絶縁膜MZを形成する。上述のように、ゲート絶縁膜MZは、絶縁膜BT、絶縁膜HSO1、挿入層AL1、絶縁膜HSO2および絶縁膜TPからなり、これらの絶縁膜の形成方法は、実施の形態1と同様である。

30

【0137】

図22は、メモリゲート電極MGの形成工程を示している。

【0138】

まず、ゲート絶縁膜MZ上に、例えばCVD法を用いて、例えば多結晶シリコンからなる導電性膜を堆積する。また、この導電性膜は、例えば窒化チタン膜、アルミニウム膜若しくはタンゲステン膜のような金属膜、または、これらの金属膜の積層膜であってもよい。次に、異方性エッチング処理を行い、導電性膜をサイドウォール状に加工することで、制御ゲート電極CGの両側面に、ゲート絶縁膜MZを介して、導電性膜からなるメモリゲート電極MGを形成する。

40

【0139】

図23は、ゲート絶縁膜MZの一部およびメモリゲート電極MGの一部の除去工程を示している。

【0140】

まず、制御ゲート電極CGの一方の側面に形成されているメモリゲート電極MGを覆うレジストパターンを形成する。次に、このレジストパターンをマスクとして、ドライエッチング処理およびウェットエッチング処理を行うことで、レジストパターンに覆われていないゲート絶縁膜MZおよびメモリゲート電極MGを除去する。これにより、メモリセルM

50

C 2 のドレイン領域側のゲート絶縁膜 M Z およびメモリゲート電極 M G が除去され、メモリセル M C 2 のソース領域側のゲート絶縁膜 M Z およびメモリゲート電極 M G が残される。

【 0 1 4 1 】

図 2 4 は、エクステンション領域 E X D およびエクステンション領域 E X S の形成工程を示している。

【 0 1 4 2 】

フォトリソグラフィ法およびイオン注入法によって、例えばヒ素 (A s) またはリン (P) をウェル領域 P W 内に導入することで、n 型のエクステンション領域 E X D および n 型のエクステンション領域 E X S を形成する。エクステンション領域 E X D およびエクステンション領域 E X S は、制御ゲート電極 C G およびメモリゲート電極 M G に対して自己整合で形成される。

10

【 0 1 4 3 】

図 2 5 は、サイドウォールスペーサ S W、拡散領域 M D および拡散領域 M S の形成工程を示している。

【 0 1 4 4 】

まず、メモリセル M C を覆うように、例えば C V D 法によって、例えば窒化シリコンからなる絶縁膜を形成する。次に、この絶縁膜に対して異方性ドライエッチング処理を行うことで、制御ゲート電極 C G の側面上およびメモリゲート電極 M G の側面上に、サイドウォールスペーサ S W が形成される。なお、サイドウォールスペーサ S W を構成する絶縁膜は、酸化シリコン膜と、酸化シリコン膜上に形成された窒化シリコン膜としてもよい。

20

【 0 1 4 5 】

次に、フォトリソグラフィ法およびイオン注入法によって、サイドウォールスペーサ S W をマスクとして例えばヒ素 (A s) またはリン (P) をウェル領域 P W 内に導入することで、n 型の拡散領域 M D および n 型の拡散領域 M S を形成する。

【 0 1 4 6 】

その後、実施の形態 1 と同様な方法によって、メモリゲート電極 M G 上、制御ゲート電極 C G 上、拡散領域 M S 上および拡散領域 M D 上に、シリサイド層 S I を形成することで、図 1 7 に示されるメモリセル M C 2 が製造される。

【 0 1 4 7 】

また、このような実施の形態 4 のメモリセル M C 2 に、実施の形態 2 および実施の形態 3 の技術を組み合わせて適用することもできる。

30

【 0 1 4 8 】

(変形例)

以下に、実施の形態 4 の変形例の半導体装置を、図 2 6 を用いて説明する。なお、以下の説明では、実施の形態 4 との相違点を主に説明する。

【 0 1 4 9 】

本変形例のメモリセル M C 3 は、実施の形態 4 のメモリセル M C 2 と同様に、メモリゲート電極 M G および制御ゲート電極 C G を有するスプリットゲート型のメモリセルである。実施の形態 4 では、先にゲート絶縁膜 G F および制御ゲート電極 C G を形成し、その後、ゲート絶縁膜 M Z およびメモリゲート電極 M G を形成していたが、本変形例では、これらを形成する順番が逆になっている。

40

【 0 1 5 0 】

以下に、図 2 6 を用いて、本変形例のメモリセル M C 3 を備える半導体装置について説明する。

【 0 1 5 1 】

図 2 6 に示されるように、ウェル領域 P W (半導体基板 S B) 上には、ゲート絶縁膜 M Z が形成され、ゲート絶縁膜 M Z 上には、メモリゲート電極 M G が形成されている。メモリゲート電極 M G の一方の側面上には、絶縁膜 I F 1 が形成されている。絶縁膜 I F 1 は、例えば窒化シリコンまたは酸化シリコンからなる。ウェル領域 P W 上および絶縁膜 I F 1 上には、ゲート絶縁膜 G F が形成されている。絶縁膜 I F 1 が窒化シリコン膜である場合

50

には、図 26 に示されるように、I S S G 酸化法によって形成されるゲート絶縁膜 G F は、絶縁膜 I F 1 上にも形成される。絶縁膜 I F 1 が酸化シリコン膜である場合には、ゲート絶縁膜 G F は、絶縁膜 I F 1 上に形成されない。また、ゲート絶縁膜 G F を A L D 法によって、酸化ハフニウム膜のような高誘電率膜で形成する場合、絶縁膜 I F 1 が窒化シリコン膜または酸化シリコン膜の何れかであっても、ゲート絶縁膜 G F は絶縁膜 I F 1 上にも形成される。

【 0 1 5 2 】

メモリゲート電極 M G の一方の側面上には、絶縁膜 I F 1 およびゲート絶縁膜 G F を介して、制御ゲート電極 C G が形成されている。すなわち、制御ゲート電極 C G とメモリゲート電極 M G との間には、少なくとも絶縁膜 I F 1 のような絶縁膜が形成されており、制御ゲート電極 C G は、メモリゲート電極 M G と絶縁分離されている。

10

【 0 1 5 3 】

ゲート絶縁膜 M Z、メモリゲート電極 M G、ゲート絶縁膜 G F および制御ゲート電極 C G の各々の構造および製造方法は、実施の形態 4 と同じである。

【 0 1 5 4 】

制御ゲート電極 C G の 2 つの側面のうち、メモリゲート電極 M G と反対側の側面上、および、メモリゲート電極 M G の他方の側面上には、サイドウォールスペーサ S W が形成されている。メモリゲート電極 M G 側のサイドウォールスペーサ S W の下部のウェル領域 P W には、n 型の不純物領域であるエクステンション領域 E X S が形成されており、制御ゲート電極 C G 側のサイドウォールスペーサ S W の下部のウェル領域 P W には、n 型の不純物領域であるエクステンション領域 E X D が形成されている。メモリゲート電極 M G 側のサイドウォールスペーサ S W に整合する位置のウェル領域 P W には、n 型の不純物領域である拡散領域 M S が形成されており、制御ゲート電極 C G 側のサイドウォールスペーサ S W に整合する位置のウェル領域 P W には、n 型の不純物領域である拡散領域 M D が形成されている。メモリゲート電極 M G 上、制御ゲート電極 C G 上、拡散領域 M S 上および拡散領域 M D 上には、シリサイド層 S I が形成されている。

20

【 0 1 5 5 】

なお、メモリセル M C 3 の等価回路図、並びに、「書込」、「消去」および「読出」の各動作電圧は、図 18 および図 19 と同様である。

【 0 1 5 6 】

このような本変形例においても、メモリセル M C 3 のリテンション特性を改善させることができ、半導体装置の信頼性を向上させることができる。

30

【 0 1 5 7 】

以上、本発明者らによってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能である。

【 0 1 5 8 】

例えば、上述の実施の形態では、平坦な半導体基板 S B に、メモリセル M C 1 ~ メモリセル M C 3 を形成する場合について説明したが、メモリセル M C 1 ~ メモリセル M C 3 をフィン構造としてもよい。すなわち、半導体基板 S B の一部を凸状に加工して突出部を形成し、この突出部の上面および側面を覆うようにゲート絶縁膜 M Z を形成することで、メモリセル M C 1 ~ メモリセル M C 3 を設けても良い。

40

【 符号の説明 】

【 0 1 5 9 】

A L 1、A L 2 挿入層
B T 絶縁膜（ボトム絶縁膜）
C G 制御ゲート電極
C S L 電荷蓄積層
E X D エクステンション領域
E X S エクステンション領域

50

GB 1、GB 2 粒界
GF ゲート絶縁膜
GR 1、GR 2 結晶粒
HO 絶縁膜
HSO 1 ~ HSO 3 絶縁膜
IF 1 絶縁膜
IL 1、IL 2 層間絶縁膜
MC 1 ~ MC 3 メモリセル
MD 拡散領域
MG メモリゲート電極
MS 拡散領域
MZ ゲート絶縁膜
PG プラグ
PW ウェル領域
SB 半導体基板
SI シリサイド層
SW サイドウォールスペーサ
TP 絶縁膜 (トップ絶縁膜)
TP 1 ~ TP 3 絶縁膜

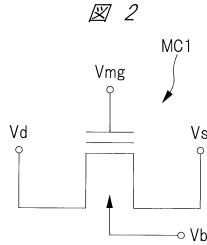
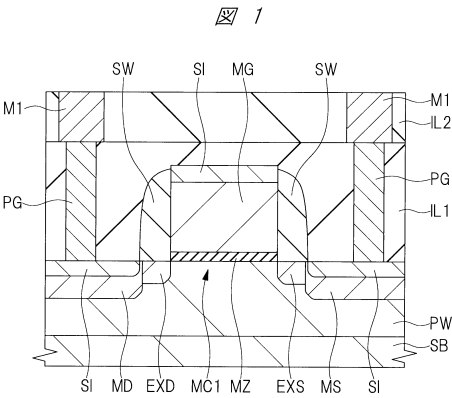
10

【図面】

20

【図 1】

【図 2】



30

40

50

【図 3】

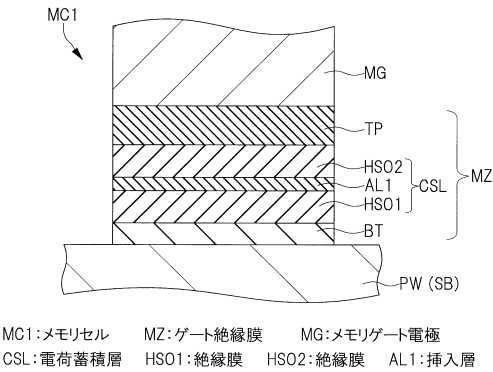
図 3

動作	印加電圧	Vd	Vmg	Vs	Vb
書込		-6V	Vcc	-6V	-6V
消去		Vcc	-6V	Vcc	Vcc
読出		Vcc	Vcc	0V	0V

Vcc = 1.5V

【図 4】

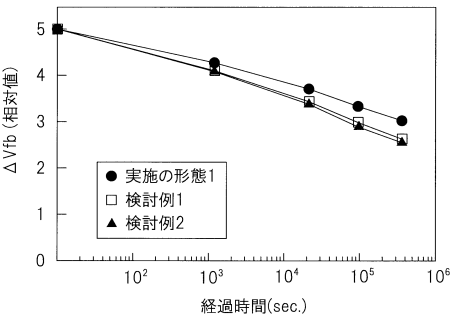
図 4



10

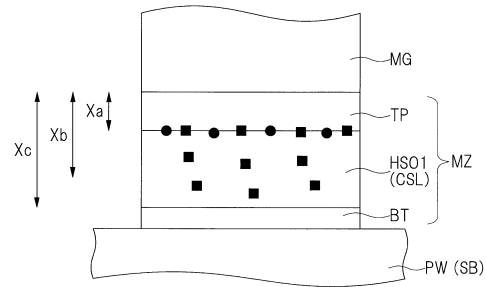
【図 5】

図 5



【図 6】

図 6



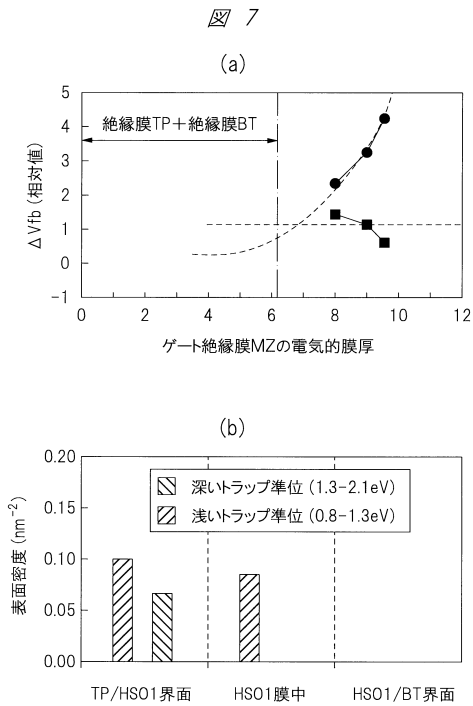
20

30

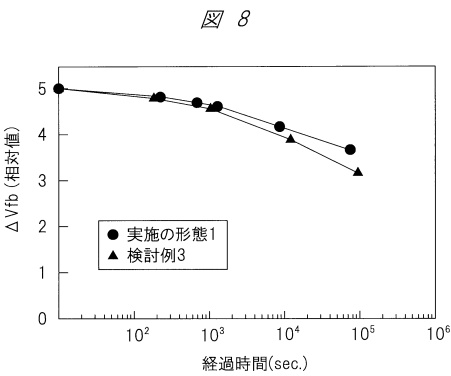
40

50

【図 7】



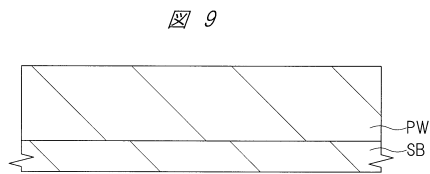
【図 8】



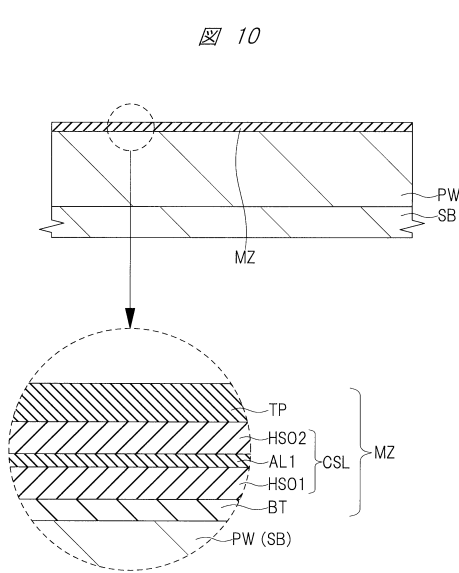
10

20

【図 9】



【図 10】

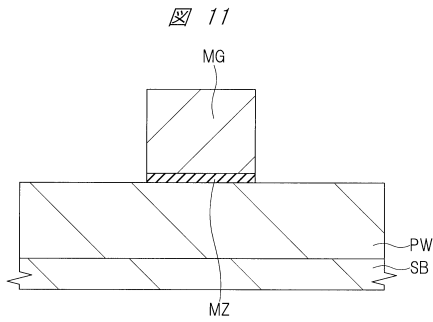


30

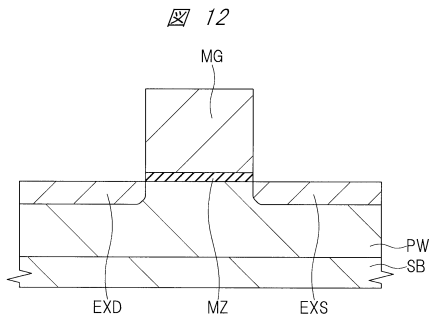
40

50

【図 1 1】

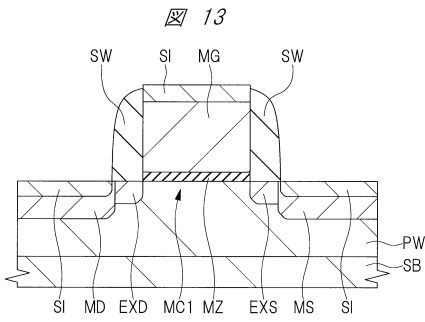


【図 1 2】

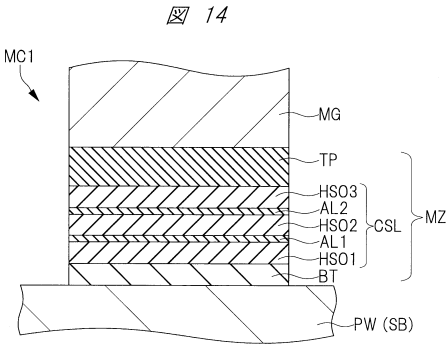


10

【図 1 3】

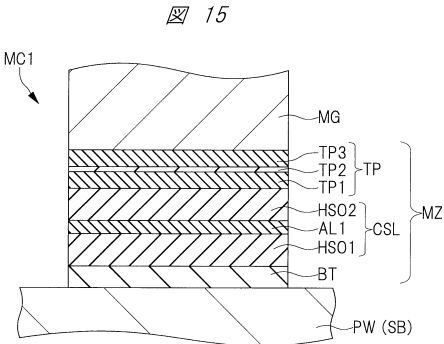


【図 1 4】

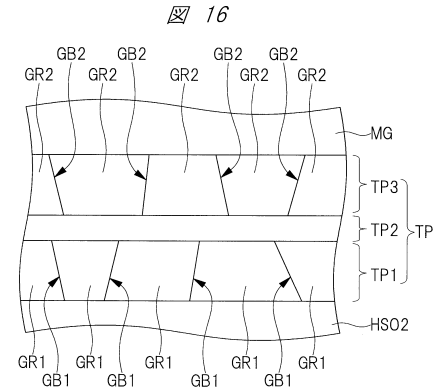


20

【図 1 5】



【図 1 6】

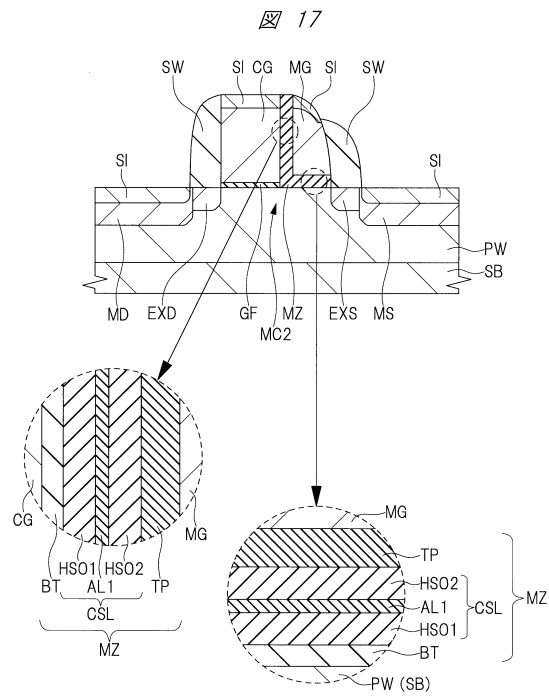


30

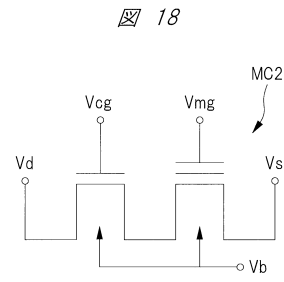
40

50

【図 17】



【図 18】



10

20

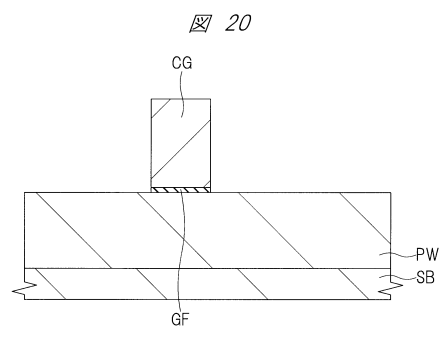
【図 19】

図 19

印加電圧	Vd	Vcg	Vmg	Vs	Vb
書込	0.5V	1V	7V	3.5V	0V
消去	0V	0V	-5V	5V	0V
読出	Vcc	Vcc	0V	0V	0V

Vcc = 1.5V

【図 20】

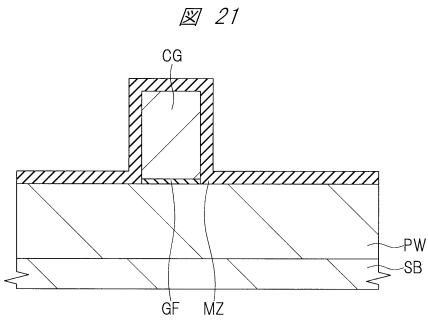


30

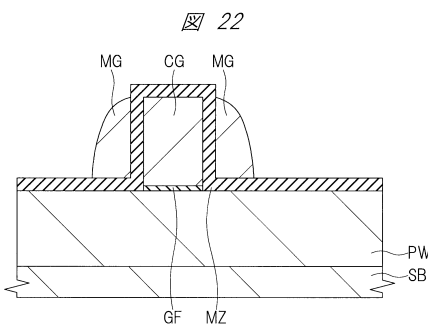
40

50

【図 2 1】

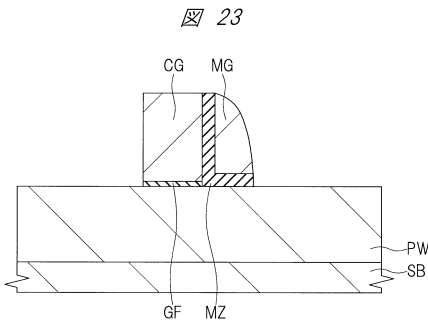


【図 2 2】

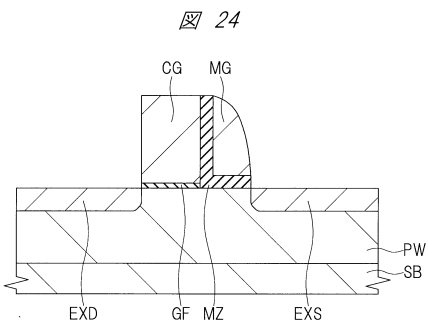


10

【図 2 3】



【図 2 4】



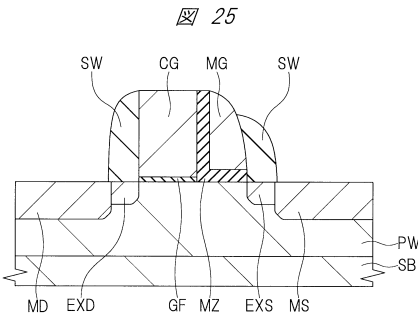
20

30

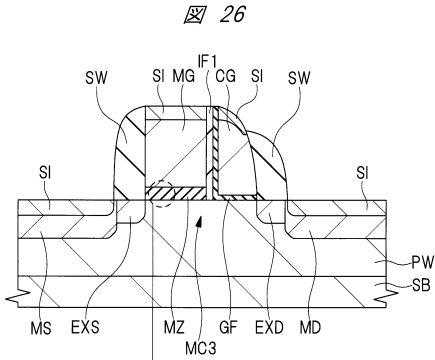
40

50

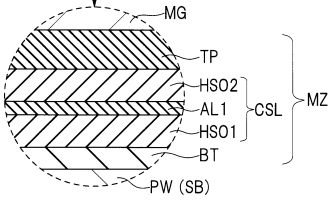
【図 25】



【図 26】

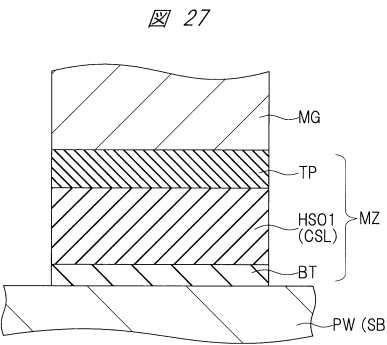


10

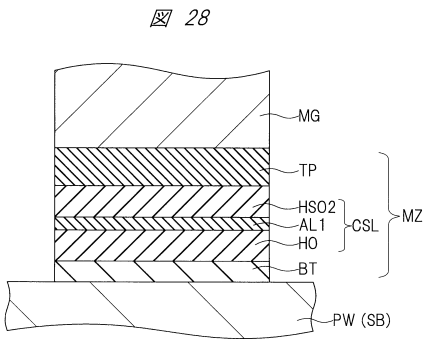


20

【図 27】



【図 28】

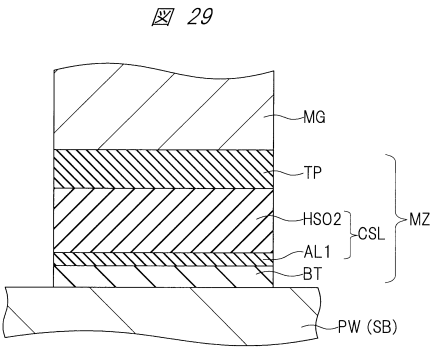


30

40

50

【図 29】



10

20

30

40

50

フロントページの続き

東京都千代田区丸の内一丁目 6 番 6 号 株式会社日立製作所内

審査官 小山 満

- (56)参考文献 特開 2 0 1 5 - 0 5 3 4 7 4 (J P , A)
特開 2 0 0 8 - 2 4 4 1 6 3 (J P , A)
米国特許出願公開第 2 0 1 5 / 0 0 6 0 9 9 1 (U S , A 1)
欧州特許出願公開第 0 2 8 4 6 3 4 8 (E P , A 1)
米国特許出願公開第 2 0 0 8 / 0 2 3 7 6 8 8 (U S , A 1)
- (58)調査した分野 (Int.Cl., D B 名)
H 0 1 L 2 7 / 1 1 5 6 8
H 0 1 L 2 1 / 3 3 6
H 0 1 L 2 9 / 7 8 8
H 0 1 L 2 9 / 7 9 2