



(19)
Bundesrepublik Deutschland
Deutsches Patent- und Markenamt

(10) **DE 699 25 768 T2** 2005.12.01

(12)

Übersetzung der europäischen Patentschrift

(97) **EP 0 929 158 B1**

(51) Int Cl.⁷: **H03M 1/06**

(21) Deutsches Aktenzeichen: **699 25 768.9**

(96) Europäisches Aktenzeichen: **99 300 084.3**

(96) Europäischer Anmeldetag: **06.01.1999**

(97) Erstveröffentlichung durch das EPA: **14.07.1999**

(97) Veröffentlichungstag

der Patenterteilung beim EPA: **15.06.2005**

(47) Veröffentlichungstag im Patentblatt: **01.12.2005**

(30) Unionspriorität:

9800367 08.01.1998 GB

(84) Benannte Vertragsstaaten:

DE, FI, FR, IE, IT, SE

(73) Patentinhaber:

**FUJITSU MICROELECTRONICS EUROPE GmbH,
63303 Dreieich, DE**

(72) Erfinder:

**Schofield, William George John, Binfield,
Berkshire RG42 4RA, GB; Dedic, Ian Juso,
Northolt, GB**

(74) Vertreter:

W. Seeger und Kollegen, 81369 München

(54) Bezeichnung: **Stromzellenanordnung**

Anmerkung: Innerhalb von neun Monaten nach der Bekanntmachung des Hinweises auf die Erteilung des europäischen Patents kann jedermann beim Europäischen Patentamt gegen das erteilte europäische Patent Einspruch einlegen. Der Einspruch ist schriftlich einzureichen und zu begründen. Er gilt erst als eingelegt, wenn die Einspruchsgebühr entrichtet worden ist (Art. 99 (1) Europäisches Patentübereinkommen).

Die Übersetzung ist gemäß Artikel II § 3 Abs. 1 IntPatÜG 1991 vom Patentinhaber eingereicht worden. Sie wurde vom Deutschen Patent- und Markenamt inhaltlich nicht geprüft.

Beschreibung

[0001] Die vorliegende Erfindung betrifft eine Zellenanordnungsschaltung zur Verwendung zum Beispiel bei Digital-in-Analog-Konvertern (DACs).

[0002] Die [Fig. 1](#) der begleitenden Zeichnungen zeigt Teile eines herkömmlichen Digital-in-Analog-Konverters (DAC) des so genannten "Stromsteuer"-Typs. Der DAC 1 ist gestaltet, um ein m-Bit digitales Eingabewort ($D_1 - D_m$) in ein entsprechendes analoges Ausgabesignal zu konvertieren.

[0003] Der DAC 1 enthält eine Mehrzahl (n) von identischen Stromquellen 2_1 bis 2_n , wobei $n = 2^m - 1$. Jede Stromquelle 2 gibt einen im wesentlichen konstanten Strom I ab. Der DAC 1 enthält ferner eine Mehrzahl von Differenzialschalterschaltungen 4_1 bis 4_n entsprechend jeweils den n Stromquellen 2_1 bis 2_n . Jede Differenzialschalterschaltung 4 ist mit ihrer entsprechenden Stromquelle 2 verbunden und schaltet den Strom I , der von der Stromquelle erzeugt wurde, entweder zu einem ersten Anschluss, der mit einer ersten Verbindungsleitung A des Konverters verbunden ist, oder einem zweiten Anschluss, der mit einer zweiten Verbindungsleitung B des Konverters verbunden ist.

[0004] Jede Differenzialschalterschaltung 4 empfängt eines einer Mehrzahl von Steuersignalen T_1 bis T_n (aus Gründen, die nachfolgend erklärt werden "thermometercodierte Signale" genannt) und wählt entweder ihren ersten Anschluss oder ihren zweiten Anschluss gemäß dem Wert des betroffenen Signals aus. Ein erster Ausgabestrom I_A des DACs 1 ist die Summe der jeweiligen Ströme, die zu den ersten Anschlüssen der Differenzialschalterschaltung geliefert werden, und ein zweiter Ausgabestrom I_B des DACs 1 ist die Summe der jeweiligen Ströme, die zu den zweiten Anschlüssen der Differenzialschalterschaltung geliefert werden.

[0005] Das analoge Ausgabesignal ist die Spannungsdifferenz $V_A - V_B$ zwischen einer Spannung V_A , die durch Senken des ersten Ausgabestroms I_A von dem DAC 1 in einen Widerstand R erzeugt wurde, und einer Spannung V_B , die durch Senken des zweiten Ausgabestroms I_B des Konverters in einen anderen Widerstand R erzeugt wurde.

[0006] Bei dem DAC der [Fig. 1](#) werden die thermometercodierten Signale T_1 bis T_n von dem binären Eingabewort $D_1 - D_m$ durch einen Binärthermometerdecoder 6 erhalten. Der Decoder 6 arbeitet folgendermaßen.

[0007] Wenn das binäre Eingabewort $D_1 - D_m$ den untersten Wert hat, sind die thermometercodierten Signale $T_1 - T_n$ so, dass jede der Differenzialschalterschaltungen 4_1 bis 4_n ihren zweiten Anschluss wählt,

so dass alle der Stromquellen 2_1 bis 2_n mit der zweiten Verbindungsleitung B verbunden sind. In diesem Zustand gilt $V_A = 0$ und $V_B = nIR$. Das analoge Ausgabesignal $V_A - V_B = -nIR$.

[0008] Wenn das binäre Eingabewort $D_1 - D_m$ im Wert progressiv zunimmt, sind die thermometercodierten Signale T_1 bis T_n , die von dem Decoder 6 erzeugt werden, so, dass mehrere der Differenzialschalterschaltungen ihre jeweiligen ersten Anschlüsse (beginnend von der Differenzialschalterschaltung 4_1) auswählt, ohne eine Differenzialschalterschaltung, die bereits ihren ersten Anschluss ausgewählt hat, zu ihrem zweiten Anschluss zurück schaltet. Wenn das binäre Eingabewort $D_1 - D_m$ den Wert i hat, wählen die ersten i Differenzialschalterschaltungen 4_1 bis 4_i ihre jeweiligen ersten Anschlüsse, wohingegen die verbleibenden $n - i$ Differenzialschalterschaltungen 4_{i+1} bis 4_n ihre jeweiligen zweiten Anschlüsse auswählen. Das analoge Ausgabesignal $V_A - V_B$ ist gleich zu $(2i - n)IR$.

[0009] Die [Fig. 2](#) zeigt ein Beispiel der thermometercodierten Signale, die für ein drei-Bit binäres Eingabewort $D_1 - D_3$ (d. h. bei diesem Beispiel $m = 3$) erzeugt wurden. In diesem Fall sind sieben thermometercodierte Signale T_1 bis T_7 erforderlich ($n = 2^m - 1 = 7$).

[0010] Wie die [Fig. 2](#) zeigt, folgen die thermometercodierten Signale T_1 bis T_n , die von dem Binärthermometerdecoder 6 erzeugt wurden, einem so genannten Thermometercode, bei welchem es bekannt ist, dass, wenn ein Signal T_r r-ter Ordnung aktiviert ist (auf "1" eingestellt ist), alle Signale T_1 bis T_{r-1} niedrigerer Ordnung ebenfalls aktiviert sein werden.

[0011] Thermometercodieren ist bei DACs des Stromsteuertyps gängig, weil, so wie das binäre Eingabewort zunimmt, mehr Stromquellen zu der ersten Verbindungsleitung A geschaltet werden, ohne dass eine Stromquelle, die bereits zu jener Leitung A geschaltet wurde, zu der anderen Leitung B geschaltet wird. Entsprechend ist die Eingabe-/Ausgabe-Charakteristik des DACs monoton und ist der Störimpuls, der von einer Änderung von 1 im Eingabewort resultiert, klein.

[0012] Es ist zu verstehen, dass die Anzahl von Stromquellen 2 und entsprechenden Differenzialschalterschaltungen 4 in der Architektur der [Fig. 1](#) ziemlich groß ist, insbesondere, wenn m größer oder gleich 6 ist. Wenn $m = 6$ gilt zum Beispiel $n = 63$, und es sind 63 Stromquellen und 63 Differenzialschalterschaltungen erforderlich. Um eine solche große Anzahl von Stromquellen zu bewältigen, und um es den Thermometersignalen zu ermöglichen, effizient zu den verschiedenen Differenzialschalterschaltungen geliefert zu werden, wurde vorgeschlagen, die Stromquellen und Differenzialschalterschaltungen als eine

zweidimensionale Anordnung von Zellen anzuordnen, wobei jede Zelle eine Stromquelle und ihre zugehörige Differenzialschaltung enthält. Diese Anordnung ist in der [Fig. 3](#) gezeigt.

[0013] In der [Fig. 3](#) sind 64 Zellen CL_{ij} in einer 8×8 Quadratanordnung angeordnet, die acht Reihen und acht Spalten hat. In der [Fig. 3](#) bezeichnet die erste Stelle des Suffix, der bei jeder Zelle angegeben ist, die Reihe, in welcher die Zelle liegt, und bezeichnet die zweite Stelle des Suffix die Spalte, in welcher die Zelle liegt. Somit ist die Zelle CL_{18} die Zelle in Reihe 1, Spalte 8.

[0014] Jede Zelle CL_{ij} enthält ihre eigene Stromquelle **2** und ihre eigene Differenzialschaltung **4**. Die jeweiligen ersten Anschlüsse der Zellen der Anordnung sind zusammen mit einer ersten Verbindungsleitung A des DACs verbunden, und die jeweiligen zweiten Anschlüsse der Zellen der Anordnung sind zusammen mit einer zweiten Verbindungsleitung B des DACs verbunden, wie bei dem DAC der [Fig. 1](#).

[0015] Um zu vermeiden, dass verschiedene jeweilige thermometercodierte Signale erzeugt und zu allen den Zellen der Anordnung zugeführt werden müssen, wird ein zweistufiger Decodierprozess angewandt, um das binäre Eingabewort D1 – D6 in die jeweiligen thermometercodierten Steuersignale T zu konvertieren, die von den Differenzialschaltungen **4** in den verschiedenen Zellen benötigt werden. Die erste Stufe dieses zweistufigen Decodierprozesses wird von jeweiligen Reihen- und Spaltendecodern **12** und **14** ausgeführt, und die zweite Stufe wird von einem lokalen Decoder **16** ausgeführt, der für jede Zelle vorgesehen ist.

[0016] Die drei Bits D1 – D3 niedrigerer Ordnung des binären Eingabewortes werden dem Spaltendecoder **14** zugeführt, der davon sieben thermometercodierte Spaltenselektionssignale gemäß der [Fig. 2](#) erlangt. Der Reihendecoder **12** empfängt die drei Bits D4 – D6 höherer Ordnung des Eingabewortes und erlangt davon 7 thermometercodierte Reihenselektionssignale, auch gemäß der [Fig. 2](#). Die Reihen- und Spaltenselektionssignale werden zu den Zellen der Anordnung verteilt.

[0017] In jeder Zelle kombiniert der lokale Decoder **16** die Reihen- und Spaltenselektionssignale, um davon das erforderliche lokale Steuersignal T für die Differenzialschaltung **4** der betroffenen Zelle zu erlangen. In der Praxis braucht der lokale Decoder **16** in jeder Zelle nicht alle sieben Reihen- und Spaltenselektionssignale einzusetzen, um das erforderliche lokale Steuersignal T zu erzeugen. Dies liegt daran, da für jegliches digitale Eingabewort die Reihen der Matrix in einen von drei verschiedenen Zuständen fallen: (1) Reihen, in welchen die jeweiligen Differenzialschaltungen von allen Zellen der Reihe den

zweiten Anschluss auswählen; (2) Reihen, in welchen die jeweiligen Differenzialschaltungen von allen Zellen der Reihe den ersten Anschluss auswählen; und (3) eine (einzeln) Reihe, in welcher die Differenzialschaltung(en) von einer oder mehreren Zelle(n) der Reihe den zweiten Anschluss auswählen, während die Differenzialschaltung(en) von einer oder mehreren anderen Zelle(n) der Reihe den ersten Anschluss auswählen. In Anbetracht dieser begrenzten Möglichkeiten ist es für jeden lokalen Decoder möglich, sein lokales Steuersignal T einfach durch Kombinieren von zwei der Reihenselektionssignale r_n und r_{n+1} und eines der Spaltenselektionssignale c_n zu erlangen.

[0018] Die Nummern, die den Zellen CL_{ij} in der [Fig. 3](#) zugewiesen sind, bezeichnen die Sequenz, in welcher die Zellen aktiviert (oder gesteuert) werden, um vom Auswählen ihrer jeweiligen zweiten Anschlüsse zum Auswählen ihrer jeweiligen ersten Anschlüsse zu wechseln. Die Aktivierungssequenz folgt der physikalischen Reihenfolge der Zellen in der Anordnung, beginnend von der Reihe 1 und aktivierend die Zellen von jener Reihe nacheinander in der Spaltenreihenfolge, gefolgt von Reihe 2 und so weiter für jede nachfolgende Reihe der Anordnung.

[0019] Ein Problem, das bei der Anordnung in der [Fig. 3](#) entsteht, ist, dass, obwohl die Ausgabeströme der jeweiligen Stromquellen **2** der verschiedenen Zellen der Anordnung einheitlich sein sollten, in der Praxis die tatsächlichen Ausgabeströme der Zellen an einer Ungleichheit leiden, die aus verschiedenen Ursachen entsteht.

[0020] Zum Beispiel kann ein Spannungsabfall längs einer Leistungsversorgungsleitung einen abgestuften Fehler längs einer Reihe oder Spalte verursachen, wie in der [Fig. 4\(A\)](#) gezeigt ist. In diesem Fall können die Stromquellen in den ersten vier Zellen der Reihe oder Spalte, die betroffen ist, negative Fehler haben, was bedeutet, dass jede von ihnen einen unterdurchschnittlichen Ausgabestrom erzeugt. Diese negativen Fehler nehmen zum Zentrum der Reihe oder Spalte, die betroffen ist, ab. Die Stromquellen in den verbleibenden Zellen 5 bis 8 der Reihe oder Spalte, die betroffen ist, haben entsprechende positive Fehler, was bedeutet, dass jede von ihnen einen überdurchschnittlichen Ausgabestrom erzeugt. Diese positiven Fehler nehmen vom Zentrum der Reihe oder Spalte zum Ende hin zu.

[0021] Eine thermische Verteilung innerhalb eines Chips, der die Anordnung enthält, kann einen symmetrischen Fehler innerhalb einer Reihe oder Spalte verursachen, wie in der [Fig. 4\(B\)](#) gezeigt ist. In diesem Fall haben die Stromquellen in den Endzellen 1, 2, 7 und 8 der Reihe oder Spalte negative Fehler, wohingegen die Stromquellen der zentralen Zellen 3 bis 6 der Reihe oder Spalte positive Fehler haben.

[0022] Zusätzlich kann es andere Fehlerarten geben, wie zufällige Fehler. Die abschließende Fehlerverteilung für jede Zellenanordnung wird durch Überlagern aller der verschiedenen Fehlerkomponenten erzeugt.

[0023] Die abgestuften und symmetrischen Fehler, die in der [Fig. 4\(A\)](#) und in der [Fig. 4\(B\)](#) gezeigt sind, neigen zum Akkumulieren und führen zu einem großen integralen linearen Fehler (INL). Zum Beispiel stelle man sich vor, dass die in der [Fig. 4\(A\)](#) gezeigte Verteilung des gestuften Fehlers innerhalb der ersten Reihe der Zellenanordnung existiert, die in der [Fig. 3](#) gezeigt ist. In diesem Fall akkumulieren, da die Zellen 1 bis 4 progressiv aktiviert werden (geändert vom Auswählen ihrer jeweiligen zweiten Anschlüsse zum Auswählen ihrer jeweiligen ersten Anschlüsse), die negativen Fehler, was auf einen signifikanten gesamten negativen Fehler hinausläuft, wenn der digitale Eingabecode 4 ist. Nur wenn die Zellen 5 bis 8 nacheinander aktiviert werden, beginnen die positiven Fehler, die diesen Zellen eigen sind, den großen negativen Fehler, der den Zellen 1 bis 4 eigen ist, auszulöschen.

[0024] Natürlich ist die Situation noch schlechter, wenn es gestufte Fehler entsprechend der [Fig. 4\(A\)](#) längs jeder der Spalten 1 bis 8 gibt. In diesem Fall tritt, da die Zellen 1 bis 8 progressiv aktiviert werden, der größte negative Fehler (der Fehler an Position 1 in der [Fig. 4\(A\)](#)) für jede der acht Zellen der Reihe 1 auf. Ähnlich akkumulieren in der Reihe 2 negative Fehler entsprechend der Position 2 in der [Fig. 4\(A\)](#) acht mal. Somit ist zu dem Zeitpunkt, zu dem der Eingabecode auf 32 zugenommen hat (entsprechend dem Umstand, dass alle der Zellen in den Reihen 1 bis 4 aktiviert wurden), der akkumulierte negative Fehler in der Tat sehr groß.

[0025] Ähnliche Probleme entstehen bei der Akkumulation von symmetrischen Fehlern der Art, die in der [Fig. 4\(B\)](#) gezeigt ist.

[0026] Bisher wurden verschiedene Vorschläge gemacht, die versuchen, sich dem Problem der Akkumulation von gestuften und symmetrischen Fehlern innerhalb einer Reihe oder Spalte einer Zellenanordnung zuzuwenden. Zum Beispiel offenbart IEEE Journal of Solid-State Circuits, Volume 26 Nr. 4, April 1991, S. 637 – 642 eine Technik, die als "hierarchisches symmetrisches Schalten" bezeichnet wird, zum Auslöschen gestufter und symmetrischer Fehler innerhalb einer einzelnen Reihe oder Spalte. Jedoch schaffen solche Techniken keine vollständig befriedigende Weise des Umgehens mit dem Problem der Akkumulation von gestuften und symmetrischen Fehlern innerhalb verschiedener Reihen und Spalten einer Zellenanordnung, d. h. zweidimensionaler Aufhebung.

[0027] Ein Dokument mit dem Titel "A 10-Bit 70MS/s CMOS D/A Konverter", Y. Nakamura et al., IEEE Proceedings of the Symposium on VLSI Circuitry, vol. 6, Nr. 2, 1990, S. 57 – 58, beschreibt eine Zellenanordnungsschaltung, die eine 8×16 Anordnung von Zellen hat, von denen jede eine identische Stromquelle hat. Die Zellen innerhalb jeder Reihe werden in einer vorgegebenen Sequenz ausgewählt, z. B. hat die erste Zelle in der Reihe die Sequenzposition 14, hat die zweite Zelle die Sequenzposition 10, und so weiter längs der Reihe. Dieses "hierarchische symmetrische Schalten" wird in dem Spaltendecoder ausgeführt und hat den Effekt des Unterdrückens gestufter Fehler und symmetrischer Fehler innerhalb jeder Reihe.

[0028] Die EP-A-0898374, die als Dokument des Standes der Technik nur aufgrund von EPÜ, Artikel 54(3), qualifiziert ist, offenbart verschiedene Beispiele einer Zellenanordnungsschaltung, die zwei Zellenanordnungen hat, von denen jede 31 Zellen hat. Jede Zelle enthält 16 Stromquellen, die in einem 4×4 Quadrat oder in einer 1×16 Linie angeordnet sein können. Die Zellen in jeder Anordnung werden in einer symmetrischen Sequenz bezüglich dem Schwerpunkt der Anordnung ausgewählt. Ein weiteres Beispiel hat 32 Zellenanordnungen und jede Zelle innerhalb einer Anordnung hat genau eine Stromquelle. Jede Zellenanordnung hat 4×8 Zellen, aber die Zellen innerhalb jeder Anordnung werden in herkömmlicher Reihenfolge ausgewählt.

[0029] Die EP-A-0903861, die ein weiteres Dokument nach EPÜ, Artikel 54(3), ist, offenbart eine quadratische Zellenanordnung. Mehrfache Symmetrien werden verwendet, um die Sequenz zu definieren, mit welcher die Zellen ausgewählt werden, einschließlich Symmetrien um das Zentrum des Quadrats und um Symmetriepunkte auf halbem Weg zwischen dem Zentrum und den vier Ecken. Diese Anordnung gestattet es, einen einfachen Reihendecoder zu verwenden, aber der Spaltendecoder ist komplexer.

[0030] Gemäß einem ersten Aspekt der vorliegenden Erfindung wird eine Zellenanordnungsschaltung geschaffen, enthaltend: eine Zellenanordnung, die aus einer Mehrzahl von wechselseitig entsprechenden Zellen besteht, die in wenigstens drei Reihen und wenigstens drei Spalten angeordnet sind; Selektionseinrichtungen zum Zuweisen der Zellen der Anordnung zu jeweiligen Ordinalpositionen in einer vorgegebenen Selektionssequenz und zum Selektieren der Zellen gemäß ihren jeweils zugewiesenen Ordinalpositionen; und Akkumulieren jeweiliger Analogwerte, die erzeugt wurden durch die oder verbunden sind mit den selektierten Zellen; dadurch gekennzeichnet, dass die zugewiesenen Ordinalpositionen derart sind, um die Differenz zwischen den jeweiligen Sequenzpositionssummen für alle Reihen der Anord-

nung zu minimieren und/oder die Differenzen zwischen den jeweiligen Sequenzpositionssummen für alle Spalten der Anordnung zu minimieren, wobei die Sequenzpositionssumme für eine Reihe oder Spalte bestimmt ist durch Summieren der jeweiligen Ordinalpositionen der Zellen in der betroffenen Reihe oder Spalte.

[0031] Bei einer solchen Zellenanordnungsschaltung sind die Effekte von gestuften und symmetrischen Fehlern innerhalb der Zellenanordnung verringert.

[0032] Die Zellen können jeglichen geeigneten Typ von Analogschaltung enthalten, bei denen eine Abstimmung zwischen jeweiligen analogen Werten, die erzeugt wurden durch die oder verbunden sind mit den verschiedenen Zellen, erforderlich ist. Zum Beispiel kann jede Zelle eines Stromquellen- oder Stromsenkenschaltung enthalten, in welchem Fall die Akkumulationseinrichtungen betreibbar sein können, um jeweilige Ströme, die herrühren von oder versunken sind in, wie es der Fall sein kann, den Stromquellen-/senkenschaltungen der selektierten Zellen. Alternativ kann jede Zelle ein Kapazitätselement enthalten, in welchem Fall die Akkumulationseinrichtungen betreibbar sein können, um die jeweiligen Ladungen, die von den Kapazitätselementen der selektierten Zellen gespeichert werden, zu akkumulieren. Alternativ kann jede Zelle ein Widerstandselement enthalten, in welchem Fall die Akkumulationseinrichtungen betreibbar sein können, um jeweilige Widerstände der Widerstandselemente der selektierten Zellen zu akkumulieren.

[0033] Die Selektionseinrichtungen können zum Beispiel betreibbar sein, um jede Zelle der Anordnung, deren zugewiesene Ordinalposition geringer als ein gegebener Wert ist, zusammen zu selektieren. Zum Beispiel werden, wenn der gegebene Wert i ist, die Zellen, deren zugewiesene Ordinalpositionen $1, 2, \dots, i-1$ sind, selektiert. Es ist in diesem Fall günstig, wenn der gegebene Wert durch ein Selektionssignal (ein digitales Eingabewort) bestimmt wird, das an die Selektionseinrichtungen gegeben wird.

[0034] Es ist jedoch für die Selektionseinrichtungen nicht erforderlich, die Zellen in dieser Weise zu selektieren. Zum Beispiel könnten, wie beim zweiten Aspekt der Erfindung, die Selektionseinrichtungen alternativ betreibbar sein, um die Zellen der Anordnung in wenigstens ersten und zweiten binär gewichteten Gruppen zu selektieren, wobei die Anzahl von Zellen in der ersten Gruppe das Doppelte der Anzahl der Zellen in der zweiten Gruppe ist. Dieser Typ von Selektion ist zur Verwendung bei einer "Ladungsverteilung"-ADC geeignet, der binär gewichtete Kondensatoren erfordert. Diese binär gewichteten Kondensatoren können gebildet werden durch Selektieren von binär in Verhältnisse gesetzte Zahlen (z. B. $1, 2,$

$4, 8, \dots$) von Kondensatorzellen von der Zellenanordnung und Verbinden der selektierten Zellen parallel miteinander.

[0035] Vorzugsweise haben in wenigstens der ersten Gruppe die Zellen in der Gruppe aufeinander folgend zugewiesene Ordinalpositionen. Dies hilft, um sicherzustellen, dass innerhalb jeder Gruppe, die zwei oder mehr Zellen enthält, Fehler aufgehoben werden.

[0036] Bei einer Zellenanordnungsschaltung, die den ersten Aspekt der Erfindung verkörpert, sind die zugewiesenen Ordinalpositionen so, um dazu zu neigen, die jeweiligen Sequenzpositionssummen für alle die Reihen der Anordnung gleichzusetzen, und/oder dazu neigen, die jeweiligen Sequenzpositionssummen für alle die Spalten der Anordnung gleichzusetzen. Dies erhöht die Effektivität beim Überwinden der Fehler in Verbindung mit den verschiedenen Zellen.

[0037] Wenn die Zellenanordnung quadratisch ist (d. h. die gleiche Anzahl von Reihen und Spalten hat), ist es bevorzugt, dass die zugewiesenen Ordinalpositionen so sind, um dazu zu neigen, die jeweiligen Sequenzpositionssummen für alle Reihen und Spalten der Anordnung gleichzusetzen. Dies kann zum Beispiel erzielt werden durch Verteilen der zugewiesenen Ordinalpositionen innerhalb der Anordnung, so dass sie zu der Verteilung von ganzen Zahlen in einem magischen Quadrat der Ordnung passen, die gleich der Anzahl von Reihen und Spalten in der Anordnung ist.

[0038] Bei einigen Ausführungsbeispielen kann das magische Quadrat pandiagonal und/oder assoziativ sein. Dies kann zusätzliche Fehlerkompensiereffekte in Abhängigkeit von dem Modus der Selektion der Zellen ergeben.

[0039] Wenn die Zellenanordnung rechteckig ist (d. h. unterschiedliche Anzahlen von Reihen und Spalten hat), ist es für die Sequenzpositionssumme(n) für die Reihen nicht erforderlich, dieselbe wie die Sequenzpositionssumme(n) für die Spalten zu sein. Statt dessen sind die zugewiesenen Ordinalpositionen vorzugsweise so, um dazu zu neigen, die jeweiligen Sequenzpositionssummen für alle Reihen gleich zu setzen und dazu zu neigen, die jeweiligen Sequenzpositionssummen für alle Spalten gleich zu setzen.

[0040] Bei einem Ausführungsbeispiel der vorliegenden Erfindung hat die Zellenanordnungsschaltung erste und zweite derartige Zellenanordnungen, dass die zweite Zellenanordnung in einer vorgegebenen örtlichen Beziehung bezüglich der ersten Zellenanordnung liegt; wobei die Selektionseinrichtungen ferner betreibbar sind, um die Zellen der Anordnung in Sätzen zu selektieren, wobei jeder solcher Zellen-

satz eine erste Zelle von der ersten Zellenanordnung und eine individuell korrespondierende zweite Zelle von der zweiten Zellenanordnung enthält, wobei die physikalische Anordnung von solchen zweiten Zellen innerhalb der zweiten Zellenanordnung einer vorgegebenen Transformation der physikalischen Anordnung ihrer jeweils entsprechenden ersten Zellen innerhalb der ersten Zellenanordnung entspricht; und die Akkumulationseinrichtungen ferner betreibbar sind, um entsprechende analoge Werte zu akkumulieren, die erzeugt wurden durch die oder verbunden sind mit den ersten und zweiten Zellen eines selektierten Zellsatzes.

[0041] Bei einer solchen Zellenanordnungsschaltung werden die Effekte von gestuften und/oder symmetrischen Fehlern weiter reduziert aufgrund der Platzierung in einer vorgegebenen Anordnung von einer Originalzellenanordnung, die eine Sequenzpositionssummengleichsetzung (die erste Zellenanordnung) und wenigstens eine "transformierte" Zellenanordnung (die zweite Zellenanordnung) hat, die von der Originalzellenanordnung erlangt wurde.

[0042] Bei einem Ausführungsbeispiel, das zum Auslösen von zwei Sätzen von Fehlern (z. B. einen symmetrischen Fehler in einer Richtung und einen gestuften Fehler in der senkrechten Richtung oder gestufte Fehler in jeder von zwei gegenseitig senkrechten Richtungen oder symmetrische Fehler in jeder von zwei gegenseitig senkrechten Richtungen) geeignet ist, sind die ersten und zweiten Zellenanordnungen in einer ersten Richtung beabstandet und ist eine Mittellinie der zweiten Zellenanordnung, die zentral durch jene Anordnung in der ersten Richtung verläuft, mit einer Mittellinie der ersten Zellenanordnung ausgerichtet, die zentral durch jene Anordnung in der ersten Richtung verläuft. In diesem Fall kann die vorgegebene Transformation zum Beispiel eine Reflexion der ersten Zellenanordnung bezüglich ihrer Mittellinie oder eine Rotation der ersten Zellenanordnung um 180° beinhalten.

[0043] Bei einem anderen Ausführungsbeispiel, das zum Auslösen von gestuften Fehlern in jeder von zwei gegenseitig senkrechten Richtungen geeignet ist, hat jede Zellenanordnung eine erste Hälfte auf einer Seite von ihrer Mittellinie und eine zweite Hälfte auf der anderen Seite von ihrer Mittellinie, und die vorgegebene Transformation enthält ein Kopieren der ersten Hälfte der ersten Zellenanordnung in die zweite Hälfte der zweiten Zellenanordnung und ein Kopieren der zweiten Hälfte der ersten Zellenanordnung in die erste Hälfte der zweiten Zellenanordnung.

[0044] Obwohl die Ausführungsbeispiele, die zwei Zellenanordnungen verwenden, effektiv beim Überwinden von zwei Sätzen von Fehlern sind, wie oben aufgezeigt wurde, ist es möglich, mehrere Anordnungen zu verwenden, die zusammen platziert sind, um

das Auslösen von anderen Kombinationen von gestuften und symmetrischen Fehlern in einer oder beiden gegenseitig senkrechten Richtung(en) zu erleichtern.

[0045] Bei einem anderen Ausführungsbeispiel der vorliegenden Erfindung enthält die Zellenanordnungsschaltung erste, zweite, dritte und vierte solche Zellenanordnungen, wobei jede der zweiten, dritten und vierten Zellenanordnungen in einer vorgegebenen räumlichen Beziehung bezüglich der ersten Zellenanordnung angeordnet ist, wobei die Selektionseinrichtungen auch dazu dienen, um die Zellen der Anordnungen in Sätzen zu selektieren, wobei jeder solche Zellsatz eine erste Zelle von der ersten Zellenanordnung und individuell entsprechende zweite, dritte und vierte Zellen von den zweiten, dritten bzw. vierten Zellenanordnungen enthält, wobei die physikalische Anordnung von solchen zweiten Zellen innerhalb der zweiten Zellenanordnung einer vorgegebenen Transformation der physikalischen Anordnung ihrer jeweils entsprechenden ersten Zellen innerhalb der ersten Zellenanordnung entspricht, die physikalische Anordnung von solchen dritten Zellen innerhalb der dritten Zellenanordnung einer vorgegebenen Transformation der physikalischen Anordnung ihrer jeweils entsprechenden ersten Zellen innerhalb der ersten Zellenanordnung entspricht, und die physikalische Anordnung von solchen vierten Zellen innerhalb der vierten Zellenanordnung einer vorgegebenen Transformation der physikalischen Anordnung ihrer jeweils entsprechenden ersten Zellen innerhalb der ersten Zellenanordnung entspricht; und Akkumulationseinrichtungen zum Akkumulieren jeweils analoger Werte, die erzeugt wurden durch die oder verbunden sind mit den ersten, zweiten, dritten und vierten Zellen der ausgewählten Zellsätze.

[0046] Zum Beispiel kann ein Bereich, der die vier Zellenanordnungen enthält, als in vier Quadranten durch entsprechende erste und zweite gegenseitig senkrechte Achsen geteilt angesehen werden, die sich an einem Ursprungspunkt des Bereichs schneiden, wobei die ersten, zweiten, dritten und vierten Zellenanordnungen jeweils in den vier Quadranten angeordnet sind. Die zweiten, dritten und vierten Zellenanordnungen könnten einfach Kopien der ersten Zellenanordnung sein, was es ermöglichen würde, dass symmetrische Fehler parallel zu beiden Achsen ausgelöscht werden.

[0047] Jedoch sind bei einem bevorzugten Ausführungsbeispiel erste und zweite der Quadranten auf derselben Seite der zweiten Achse und sind der erste Quadrant und ein dritter der Quadranten auf derselben Seite der ersten Achse; liegt die erste Zellenanordnung in dem ersten Quadranten; entspricht die zweite Zellenanordnung einer Reflexion um die zweite Achse von der ersten Zellenanordnung, welche Reflexion in dem zweiten Quadranten liegt; ent-

spricht die dritte Zellenanordnung einer Reflexion um die erste Achse von der ersten Zellenanordnung, welche Reflexion in dem dritten Quadranten liegt; und entspricht die vierte Zellenanordnung einer Rotation um 180° von der ersten Zellenanordnung, welche Rotation in dem vierten Quadranten liegt.

[0048] Das Ergebnis des Anordnens der ersten, zweiten, dritten und vierten Zellenanordnungen in einer solchen Konfiguration ist, dass die entsprechenden Zellen von jedem Zellsatz einen gemeinsamen Schwerpunkt am Ursprung haben. In diesem Fall werden sowohl gestufte als auch symmetrische Fehler parallel zu beiden Achsen ausgelöscht: ein höchst wünschenswerter Effekt.

[0049] Bei diesem Ausführungsbeispiel der Erfindung können die akkumulierten Analogwerte z. B. Ströme, Kapazitäten, Widerstände etc. sein, die erzeugt wurden durch die oder verbunden sind mit den Zellen der selektierten Zellsätze.

[0050] Nun wird Bezug genommen beispielsweise auf die begleitenden Zeichnungen, in welchen:

[0051] [Fig. 1](#) bereits vorher erörtert Teile von einem vorher in Betracht gezogenen Stromsteuer-DAC zeigt;

[0052] [Fig. 2](#) ebenfalls vorher erörtert eine Tabelle zur Verwendung beim Erklären zeigt, wie thermomerkodierte Steuersignale von einem binären Eingabewert in dem DAC der [Fig. 1](#) erlangt werden;

[0053] [Fig. 3](#) ebenfalls vorher erörtert Teile einer Zellenanordnungsschaltung zeigt, die vorher zur Verwendung in einem DAC in Betracht gezogen wurde;

[0054] [Fig. 4\(A\)](#) und [Fig. 4\(B\)](#) ebenfalls vorher erörtert, schematische Diagramme zur Verwendung beim Erklären des Auftretens von gestuften und symmetrischen Fehlern in der Zellenanordnungsschaltung von [Fig. 3](#) sind;

[0055] [Fig. 5](#) eine Zellenanordnungsschaltung gemäß einem ersten Ausführungsbeispiel der vorliegenden Erfindung zeigt;

[0056] [Fig. 6](#) eine Tabelle zur Verwendung beim Erklären der Effekte von gestuften und symmetrischen Fehlern bei dem Ausführungsbeispiel der [Fig. 5](#) zeigt;

[0057] [Fig. 7\(A\)](#) zum Vergleich mit der Tabelle von [Fig. 6](#) eine Tabelle zeigt, die die Effekte von gestuften und symmetrischen Fehlern in einer Zellenanordnungsschaltung zeigt, die die vorliegende Erfindung nicht verkörpert;

[0058] [Fig. 7\(B\)](#) ein Beispiel einer konventionellen

Zellenanordnungsschaltung zeigt;

[0059] [Fig. 8](#) ein Beispiel eines 3×3 magischen Quadrates zeigt;

[0060] [Fig. 9\(A\)](#) ein schematisches Diagramm zur Verwendung beim Erklären ist, wie das magische Quadrat der [Fig. 8](#) transformiert werden kann, um weitere magische Quadrate zu erzeugen;

[0061] [Fig. 9\(B\)](#) bis [Fig. 9\(H\)](#) jeweilige magische Quadrate zeigt, die durch die Transformationen erzeugt wurden, die in der [Fig. 9\(A\)](#) gezeigt sind;

[0062] [Fig. 10](#) und [Fig. 11](#) jeweilige Beispiele von 4×4 magischen Quadraten zeigen;

[0063] [Fig. 12\(A\)](#) und [Fig. 12\(B\)](#) schematische Diagramme zur Verwendung beim Erklären von Eigenschaften des magischen Quadrates der [Fig. 10](#) sind;

[0064] [Fig. 13\(A\)](#), [Fig. 13\(B\)](#) und [Fig. 13\(C\)](#) Beispiele von 5×5 , 6×6 und 8×8 magischen Quadraten entsprechend zeigen;

[0065] [Fig. 14\(A\)](#) ein Beispiel eines weiteren 3×3 Quadrates zeigt;

[0066] [Fig. 14\(B\)](#) ein Beispiel einer 3×2 rechteckigen Anordnung zeigt;

[0067] [Fig. 15](#) ein Beispiel des Aufbaus einer der Zellen der Zellenanordnungsschaltung der [Fig. 5](#) zeigt;

[0068] [Fig. 16](#) Teile einer Zellenanordnungsschaltung gemäß einem zweiten Ausführungsbeispiel der vorliegenden Erfindung zeigt;

[0069] [Fig. 17](#) Teile einer Zellenanordnungsschaltung gemäß einem dritten Ausführungsbeispiel der vorliegenden Erfindung zeigt;

[0070] [Fig. 18](#) ein Beispiel des Aufbaus einer der Zellen der Zellenanordnungsschaltung der [Fig. 17](#) zeigt;

[0071] [Fig. 19](#) bis [Fig. 22](#) schematische Diagramme zur Verwendung beim Erklären einer Zellenanordnungsschaltung zeigen, die mehrere Zellenanordnungen hat;

[0072] [Fig. 23](#) eine Zellenanordnungsschaltung gemäß einem vierten Ausführungsbeispiel der vorliegenden Erfindung zeigt; und

[0073] [Fig. 24](#) eine Zellenanordnungsschaltung gemäß einem fünften Ausführungsbeispiel der vorliegenden Erfindung zeigt.

[0074] Die [Fig. 5](#) zeigt Teile einer Zellenanordnungsschaltung, die die vorliegende Erfindung verkörpert. Die Zellenanordnungsschaltung **20** der [Fig. 5](#) ist geeignet zur Verwendung bei einem Digital-in-Analog-Konverter des Stromsteuertyps. In der [Fig. 5](#) haben Komponenten, die Komponenten entsprechen, die bereits unter Bezugnahme auf den DAC von [Fig. 3](#) beschrieben wurden, dieselben Bezugszeichen, wie sie in der [Fig. 3](#) verwendet wurden.

[0075] Die Zellenanordnungsschaltung **20** enthält eine Zellenanordnung **22**, die aus **16** einzelnen Zellen besteht, die in vier Reihen und vier Spalten angeordnet sind. Jede Zelle enthält eine Stromquelle **2**, wie schematisch für die Zelle gezeigt ist, die in der [Fig. 5](#) mit **11** nummeriert ist. Jede Zelle hat einen Ausgabeknoten, der durch ein Kreuz innerhalb der Zelle in der [Fig. 5](#) bezeichnet ist.

[0076] Jede Zelle der Zellenanordnung **22** hat eine individuell entsprechende Schaltschaltung **4₁** bis **4₁₆**. Bei diesem Ausführungsbeispiel sind die Schaltschaltungen **4** extern zu den Zellen und ist der Ausgabeknoten jeder Zelle mit einem Eingabeknoten von ihrer individuell entsprechenden Schaltschaltung **4** verbunden.

[0077] Jede Schaltschaltung hat entsprechende erste und zweite Anschlüsse, wobei der erste Anschluss an eine erste Summierverbindungsleitung A angeschlossen ist und der zweite Anschluss an eine zweite Summierverbindungsleitung B angeschlossen ist.

[0078] Die Schaltschaltungen **4₁** bis **4₁₆** empfangen entsprechende thermometercodierte Selektionssignale S1 bis S16 von einer Decodierschaltung des DACs (nicht gezeigt). Diese Decodierschaltung kann die Selektionssignale S1 bis S16 direkt (in einer Stufe) von einem binären Eingabewort des DACs, wie schematisch in der [Fig. 1](#) gezeigt ist, oder in zwei Stufen unter Verwendung jeweiliger Reihen- und Spaltendecoder erlangen, um die erste Stufe des Decodierens auszuführen, und lokale Decoder entsprechend jeweils den Zellen zu verwenden, um die zweite Stufe des Decodierens auszuführen (wie in der [Fig. 3](#) gezeigt ist).

[0079] Jede Schaltschaltung selektiert ihren zweiten Ausgabeanschluss, wenn das Selektionssignal, das daran angelegt ist, das niedrige logische Niveau L hat, und selektiert ihren ersten Ausgabeanschluss, wenn das Selektionssignal S, das daran angelegt ist, das hohe logische Niveau H hat. Wie in der [Fig. 5](#) selbst gezeigt ist, sind die Selektionssignale S1 und S2 beide H, während die verbleibenden Selektionssignale S3 bis S16 L sind. Somit haben die Schaltschaltungen **4₁** und **4₂** ihre jeweiligen ersten Anschlüsse gewählt, wohingegen die verbleibenden Schaltschaltungen ihre jeweiligen zweiten Anschlüsse

se wählen.

[0080] Die Zellen in der Zellenanordnung **22** von [Fig. 5](#) sind in einer Sequenz ausgewählt, die sich von der herkömmlichen Selektionssequenz, die oben unter Bezugnahme auf die Figur beschrieben wurde, unterscheidet. Insbesondere ist die Selektionssequenz bei diesem Ausführungsbeispiel so, dass für jede Reihe, Spalte und Diagonale der Zellenanordnung **22** die Summe der jeweiligen Selektionssequenzpositionen der Zellen dieselbe ist (in diesem Fall 34). Somit addieren sich zum Beispiel, wenn man die Reihe 1 als ein Beispiel nimmt, die jeweiligen Selektionssequenzpositionen 1, 15, 14 und 4 zu 34 auf. Ähnlich addieren sich auch die jeweiligen Selektionssequenzpositionen 1, 12, 8 und 13 der Zellen von Spalte 1 zu 34 auf. Längs der Diagonale von der linken Oberseite zum rechten Boden sind die jeweiligen Selektionssequenzpositionen der Zellen 1, 6, 11 und 16, die sich wieder zu 34 aufaddieren.

[0081] Um den vorteilhaften Effekt der speziellen Anordnungsgestaltung, die in der [Fig. 5](#) gezeigt ist, zu verstehen, ist die Tabelle, die in der [Fig. 6](#) gezeigt ist, in Betracht zu ziehen. In der [Fig. 6](#) wird angenommen, dass gestufte Fehler in sowohl der Reihenrichtung (x-Richtung) als auch der Spaltenrichtung (y-Richtung) existieren. Von dem Fehler für die Position 1 jeder Reihe oder Spalte wird angenommen, dass er -2 (Einheiten) ist, von dem Fehler für die Position 2 jeder Reihe 2 oder Spalte wird angenommen, dass er -1 ist, von dem Fehler für die Position 3 jeder Reihe oder Spalte wird angenommen, dass er $+1$ ist, und für den Fehler für die Position 4 jeder Reihe oder Spalte wird angenommen, dass er $+2$ ist.

[0082] In der [Fig. 6](#) zeigt die Tabelle den x-Fehler und den y-Fehler für jede Ordinalposition in der Selektionssequenz der Zellen. Für jene Zellen, die zu derselben Zeit in Abhängigkeit von einem gegebenen Eingabecode ausgewählt sind, summieren sich die jeweiligen x-Fehler, um einen totalen x-Fehler Σx zu erzeugen, und summieren sich die jeweiligen y-Fehler, um einen totalen y-Fehler Σy zu erzeugen. Wie aus der [Fig. 6](#) deutlich ist, variiert der totale x-Fehler Σx in einem schmalen Bereich von -2 bis $+2$, wie auch der totale y-Fehler Σy . Der Gesamtfehler I (als die Summe des totalen x-Fehlers Σx und des totalen y-Fehlers Σy) variiert innerhalb eines engen Bereichs von -4 bis $+3$.

[0083] Vergleichsweise zeigt die [Fig. 7\(A\)](#) die Fehlerwerte und Akkumulationen in dem Fall, in welchem die Selektionssequenz in der Zellenanordnung so ist, wie in der [Fig. 7\(B\)](#) gezeigt ist. In diesem Fall ist zu sehen, dass der totale x-Fehler Σx , der totale y-Fehler Σy und der Gesamtfehler E jeweils in größeren Bereichen variieren als die entsprechenden Gesamtfehler in der [Fig. 6](#). Insbesondere der totale y-Fehler Σy ist durchwegs negativ und erreicht im schlechtest-

ten Fall –12. Ferner ist der totale x-Fehler Σx , obwohl er verglichen mit dem totalen y-Fehler Σy relativ klein ist, auch durchwegs negativ und hat so den Effekt des Erhöehens des Gesamtfehlers für jeden Eingabecode.

[0084] Ähnliche Vorteile werden in Bezug auf symmetrische und andere Fehler in den Zellen der Zellenanordnung **22** in der [Fig. 5](#) erreicht.

[0085] Mathematiker werden es zu schätzen wissen, dass die Ordinalpositionen in der Selektionssequenz der Zellen in der Zellenanordnung **22**, die in der [Fig. 5](#) gezeigt ist, der Ordnung von ganzen Zahlen in einem so genannten magischen Quadrat entspricht. Ein solches magisches Quadrat enthält die ganzen Zahlen von 1 bis n^2 ohne Wiederholung in einer solchen Weise, dass jede Reihe (von links nach rechts) und Spalte (von oben nach unten) und die zwei Diagonalen dieselbe Summe haben. Die Zahl n wird die Ordnung, die Basis, das Modul oder die Wurzel des Quadrats genannt. Es ist noch nicht bekannt, welches mathematische Gesetz die Anordnung von Zahlen in magischen Quadraten steuert. Bekannte Lösungen wurden nur durch Versuch und Fehler entdeckt.

[0086] Es gibt kein magisches Quadrat der Ordnung 2. Ein magisches Quadrat der Ordnung 3 ist in der [Fig. 8](#) gezeigt.

[0087] Es ist zu verstehen, dass es möglich ist, andere magische Quadrate der Ordnung 3 durch Transformieren des magischen Quadrats, das in der [Fig. 8](#) gezeigt ist, zu erzeugen, wie in den [Fig. 9\(A\)](#) bis [Fig. 9\(H\)](#) gezeigt ist. In diesen Figuren zeigt die [Fig. 9\(A\)](#) als einen Startpunkt das magische Quadrat von [Fig. 8](#). Die [Fig. 9\(B\)](#) zeigt den Effekt des Drehens des magischen Quadrats von [Fig. 9\(A\)](#) gegen den Uhrzeigersinn um 90° , wie durch den Pfeil bezeichnet ist, der mit B in der [Fig. 9\(A\)](#) gekennzeichnet ist. Die [Fig. 9\(C\)](#) und (D) betreffen jeweils Drehungen im Gegenuhrzeigersinn von 180 und 270° , wie durch die Pfeile C und D in der [Fig. 9\(A\)](#) angegeben ist. Die [Fig. 9\(E\)](#) bis (H) zeigen den Effekt des Reflektierens des magischen Quadrats von [Fig. 9\(A\)](#) bezüglich verschiedener Achsen (E) bis (H). Weitere magische Quadrate können erhalten werden durch Verwenden von Kombinationen der Basisdrehungen und -reflexionen, die in den [Fig. 9\(B\)](#) bis [Fig. 9\(H\)](#) gezeigt sind.

[0088] Unter Ausschluss von Rotationen und Reflexionen existiert ein einheitliches magisches Quadrat der Ordnung 3. Jedoch nimmt mit höheren Ordnungen die Anzahl von Anordnungen (mit Ausnahme von Rotationen und Reflexionen) zu. Ein Quadrat vierter Ordnung (d. h. vier Reihen und vier Spalten) hat 880 verschiedene mögliche Anordnungen seiner 16 Zahlen, mit Ausnahme von Reflexionen und Rotationen.

Die Zahlen in jeder der Reihen, Spalten und Diagonalen des Quadrates vierter Ordnung addieren sich zu 34.

[0089] Für Quadrate höherer Ordnung (fünfte Ordnung und darüber) nimmt die Anzahl von verschiedenen möglichen Anordnungen dramatisch zu. Zum Beispiel hat ein Quadrat fünfter Ordnung 275.305.224 verschiedene Anordnungen, mit Ausnahme von Rotationen und Reflexionen.

[0090] Im Fall eines Quadrates der Ordnung 4 zeigen die [Fig. 10](#) und [Fig. 11](#) zwei alternative Möglichkeiten, jede verschieden von der Anordnung, die in der [Fig. 5](#) gezeigt ist. Die Anordnung, die in der [Fig. 11](#) gezeigt ist, wird als ein "pandiagonales" magisches Quadrat bezeichnet, da die Summe der vier zentralen Quadrate $13 + 8 + 3 + 10 = 34$ ist, wie es für die Summe der vier Ecken ($7 + 14 + 9 + 4 = 34$) und die 4 außerdiagonalen Quadrate (z. B. das obere linke Quadrat: $7 + 12 + 2 + 13 = 34$) gilt. Ferner wird, wie in den [Fig. 12\(A\)](#) und [Fig. 12\(B\)](#) gezeigt ist, dieselbe Summe 34 erhalten durch Addieren der Zahlen an den vier Positionen a, der Zahlen an den vier Positionen b, oder der Zahlen an den vier Positionen c in der [Fig. 12\(A\)](#) oder der Zahlen an den vier Positionen d oder der Zahlen an den vier Positionen e oder der Zahlen an den vier Positionen f in der [Fig. 12\(B\)](#).

[0091] Beispiele von magischen Quadraten fünfter, sechster und achter Ordnung sind in den [Fig. 13\(A\)](#), [Fig. 13\(B\)](#) bzw. [Fig. 13\(C\)](#) gezeigt. Für das magische Quadrat fünfter Ordnung ist die Summe der Reihen, Spalten und der zwei Diagonalen 65, für das magische Quadrat sechster Ordnung ist sie 111 und für das magische Quadrat achter Ordnung ist sie 260.

[0092] Unter Bezugnahme auf die [Fig. 13\(A\)](#) ist zu sehen, dass sich jegliches Paar von Zahlen entgegengesetzt vom Zentrum (z. B. 7 und 19; 20 und 6; 1 und 25) zu $n^2 + 1$ addieren (die Ordnung n ist in diesem Fall 5). Ein solches magisches Quadrat wird "assoziativ" genannt. Das magische Quadrat dritter Ordnung, das in der [Fig. 8](#) gezeigt ist, hat auch diese Eigenschaft und ist daher assoziativ. Ein Quadrat vierter Ordnung kann entweder assoziativ oder pandiagonal aber nicht beides sein. Das kleinste Quadrat, das sowohl assoziativ als auch pandiagonal sein kann, ist von fünfter Ordnung. Es gibt 16 Quadrate fünfter Ordnung, die sowohl assoziativ als auch pandiagonal sind, mit Ausnahme von Rotationen und Reflexionen.

[0093] Ausführungsbeispiele der vorliegenden Erfindung können so konstruiert sein, dass die Selektionssequenz innerhalb der Zellenanordnung gemäß jeglichem geeigneten magischen Quadrat der geeigneten Ordnung ist, ungeachtet dessen, ob das Quadrat pandiagonal und/oder assoziativ ist oder nicht.

[0094] Zusätzlich ist es nicht absolut kritisch für die Quadrate, dass sie echte "magische Quadrate" in dem Sinn sind, dass sich alle der Reihen, Spalten und zwei Diagonalen zu exakt demselben Wert addieren. Man nehme zum Beispiel das nichtmagische Quadrat der Ordnung drei, das in der [Fig. 14\(A\)](#) gezeigt ist. Dies ist gebildet durch Nebeneinanderstellen der Zahlen 7 und 5 in dem magischen Quadrat der [Fig. 8](#). In diesem Fall summieren sich die Zahlen in den Reihen 1 bis 3 und in der Spalte 1 jeweils zu 15 (wie in dem magischen Quadrat der [Fig. 8](#)), aber die Summen für die Spalten 2 und 3 und die zwei Diagonalen weichen geringfügig von dem "normalen" Wert 15 ab und haben die Werte 13 und 17. Jedoch schafft eine solche Approximation an ein magisches Quadrat noch erstrebenswerte Vorteile gemäß der vorliegenden Erfindung, da die Summen in den verschiedenen Reihen, Spalten und den zwei Diagonalen ungefähr dieselben sind. Jegliche Anordnung, die die Abweichung zwischen den Summen in den Reihen, Spalten und Diagonalen verringert, ist für die Zwecke der vorliegenden Erfindung vorteilhaft.

[0095] Es ist auch möglich, dasselbe Prinzip auf rechtwinklige (nichtquadratische) Anordnungen anzuwenden. Zum Beispiel zeigt die [Fig. 14\(B\)](#) eine rechtwinklige Anordnung, die 2 Reihen und 3 Spalten hat. In diesem Fall haben die Summen der Spalten 1 bis 3 denselben Wert 7, wohingegen die Summen für die Reihen 1 und 2 so nah wie möglich bei 10 bzw. 11 sind. Zu beachten ist, dass, da in diesem Fall die Spalten weniger Zellen als die Reihen haben, es nicht möglich ist, die Summen für die Reihen und Spalten gleich zu setzen. Statt dessen ist es ausreichend, zu versuchen, die Abweichung zwischen den verschiedenen Reihen zu minimieren (in diesem Fall 1) und die Abweichung zwischen den verschiedenen Spalten zu minimieren (in diesem Fall 0).

[0096] In der Zellenanordnung **22**, die in der [Fig. 5](#) gezeigt ist, ist jede Zelle durch eine Stromquelle **2** gebildet. Ein Beispiel des Aufbaus einer solchen Stromquelle ist in der [Fig. 15](#) gezeigt. In der [Fig. 15](#) enthält die Stromquelle **2** einen PMOS-Feldeffekttransistor **32**, dessen Quelle an eine positive Leistungsversorgungsleitung V_{DD} angeschlossen ist, dessen Gate angeschlossen ist, um ein vorgegebenes Biaspotential V_{bias} zu erhalten und dessen Drain an einen Ausgabeknoten AUS der Stromquelle angeschlossen ist. Das vorgegebene Biaspotential V_{bias} hat zum Beispiel eine konstante Potentialdifferenz gegenüber dem positiven Leistungsversorgungspotential V_{DD} . Entsprechend ist der Transistor **32** permanent eingeschaltet und liefert einen im wesentlichen konstanten Strom I zu seinem Ausgabeknoten AUS.

[0097] Natürlich könnte jede Zelle **2** in der [Fig. 5](#) eine Stromsenkenschaltung an Stelle der Stromquellschaltung **2** enthalten. In diesem Fall wird bei einer FET-Implementierung der Transistor **32**, der in

der [Fig. 15](#) gezeigt ist, in einen NMOS-FET geändert und ist die Quelle des Transistors an ein negatives Versorgungsleitungspotential angeschlossen, wie V_{SS} . In diesem Fall ist V_{bias} ein vorgegebenes Referenzpotential über V_{SS} mit zum Beispiel einer konstanten Potentialdifferenz gegenüber V_{SS} .

[0098] Alternativ kann sowohl die Stromquelle als auch die Stromsenke durch Verwendung von Bipolartransistoren implementiert sein.

[0099] Es ist möglich, mehrere Transistoren parallel zu verwenden, um die Stromquelle oder Stromsenke zu bilden, um die Stromkapazität der Schaltung zu erhöhen. Zum Beispiel ist es möglich, vier Transistoren zu verwenden, die parallel angeschlossen sind.

[0100] Es ist für die Zellen in der Zellenanordnungsschaltung, die die vorliegende Erfindung verkörpert, nicht erforderlich, Stromquellen oder Stromsenken zu enthalten.

[0101] Zum Beispiel können bei einem anderen Ausführungsbeispiel der vorliegenden Erfindung, das in der [Fig. 16](#) gezeigt ist, entsprechende Kapazitätselemente C in den verschiedenen Zellen **44** einer Zellenanordnung **42** enthalten sein. Jede Zelle **44** hat eine individuell entsprechende Schaltschaltung **46**, bis **46₁₆**. Ein Eingabeknoten jeder Schaltschaltung **46** ist mit einem Ausgabeknoten (bezeichnet durch ein Kreuz in der [Fig. 16](#)) seiner entsprechenden Zelle **44** verbunden. Dieser Ausgabeknoten ist mit einer Bodenplatte des Kapazitätselements C in der Zelle verbunden.

[0102] Bei diesem Ausführungsbeispiel hat jede Schaltschaltung drei Anschlüsse, welche jeweiligen ersten Anschlüsse gemeinsam angeschlossen sind, um eine Eingangsspannung V_{EIN} zu empfangen, welche jeweiligen zweiten Anschlüsse gemeinsam an eine negative Referenzspannung V_{SS} angeschlossen sind, und welche jeweiligen dritten Anschlüsse gemeinsam angeschlossen sind, um ein vorgegebenes Referenzpotential V_{REF} zu erhalten. Jede Schaltschaltung **46** ist in Abhängigkeit von einem Selektionssignal S steuerbar, das daran angelegt wird, um seinen Eingabeknoten mit einem seiner ersten, zweiten und dritten Anschlüsse zu verbinden.

[0103] Die jeweiligen oberen Platten der Kapazitätselemente in den verschiedenen Zellen sind gemeinsam an einen ersten Eingang eines Komparators **48** angeschlossen. Dieser erste Eingang ist auch über ein Schaltelement **50** an V_{SS} angeschlossen. Ein zweiter Eingang des Komparators **48** ist an V_{SS} angeschlossen. Ein digitales Ausgabesignal D wird am Ausgang des Komparators **48** erzeugt.

[0104] Die Zellenanordnungsschaltung, die in der [Fig. 16](#) gezeigt ist, ist zur Verwendung in einem Suk-

zessiv-Approximation-Analog-in-Digital-Konverter (ADC) geeignet, der gemäß den so genannten "Ladungsredistributions"-Prinzip arbeitet. Ein solcher Sukzessiv-Approximation-ADC setzt einen Digital-in-Analog-Konverter (DAC) ein, der binär gewichtete Kondensatoren enthält. Weitere Informationen über diesen Typ von Kondensator-DAC können zum Beispiel in IEEE Journal of Solid State Circuits, Vo. Sc-14, S. 920-926, Dezember 1979, gefunden werden.

[0105] Bei dem Ausführungsbeispiel der [Fig. 16](#) sind fünf solche binär gewichteten Kondensatoren C_0 bis C_4 durch die Kapazitätselemente C in den verschiedenen Zellen bereitgestellt, wie in der oberen rechten Ecke von [Fig. 16](#) gezeigt ist. Der Kondensator C_0 ist durch das Kapazitätselement C der Zelle 1 alleine bereitgestellt. Der Kondensator C_1 ist durch das Kapazitätselement C der Zelle 2 alleine bereitgestellt. Der Kondensator C_2 ist durch die entsprechenden Kapazitätselemente C der Zellen 3 und 4 bereitgestellt, die parallel angeschlossen sind. Der Kondensator C_3 ist durch die jeweiligen Kapazitätselemente C der Zellen 5 bis 8 bereitgestellt, die parallel angeschlossen sind. Der Kondensator C_4 ist durch die jeweiligen Kapazitätselemente C der Zellen 9 bis 16 bereitgestellt, die parallel angeschlossen sind. Die Kapazitätsverhältnisse der Kondensatoren C_0 bis C_4 sind daher $1 : 1 : 2 : 4 : 8$.

[0106] Die Zellenanordnungsschaltung **40** in der [Fig. 16](#) arbeitet folgendermaßen. Zuerst sind in einem Abtastmodus der Schaltung die oberen Platten von allen Kondensatoren C_0 bis C_4 unter Verwendung des Schaltelements **50** an V_{SS} angeschlossen, und sind alle Bodenplatten angeschlossen, um die Eingabespannung V_{EIN} durch Steuern der Schaltschaltungen **46**₁ bis **46**₁₆ zu erhalten, so dass alle von ihnen ihre jeweiligen ersten Anschlüsse auswählen.

[0107] Als nächstes wird das Schaltelement **50** ausgeschaltet und werden alle der Bodenplatten an V_{SS} angeschlossen, so dass die Spannung V_{OBERN} der oberen Platte gleich dem negativen der abgetasteten Eingangsspannung V_{EIN} wird, d. h. $V_{OBERN} = -V_{EIN}$.

[0108] Der Analog-in-Digital-Konversionsprozess beginnt dann. In diesem Prozess wird identifiziert, welche der Kondensatoren C_1 bis C_4 ihre Bodenplatten vom V_{SS} -Potential zum V_{REF} -Potential geändert haben müssen, damit die Spannung V_{OBERN} der oberen Platte 0 wird. Diese Bestimmung wird gemäß einem binären Suchalgorithmus durchgeführt.

[0109] Zum Beispiel wird in einem ersten Schritt des binären Suchalgorithmus, der verwendet wird, um das höchstwertige Bit des digitalen Ausgabewortes zu bestimmen, die Bodenplatte von C_4 von V_{SS} auf V_{REF} geschaltet, so dass die Spannung V_{OBERN} der oberen Platte um einen Betrag gleich $1/2 V_{REF}$ zunimmt.

Dies wird erreicht, in dem die Schaltschaltungen **46**₉ bis **46**₁₆, die den Zellen als Zahlen 9 bis 16 entsprechen, deren jeweilige Kapazitätselemente den Kondensator C_4 bilden, veranlasst werden, parallel zu arbeiten, um ihre Selektionen von dem zweiten Anschluss (verbunden mit V_{SS}) zum dritten Anschluss (verbunden mit V_{REF}) zu ändern. Die Ausgabe D des Komparators **48** gibt die Polarität des Unterschiedes zwischen der Spannung V_{OBERN} der oberen Platte und V_{SS} an, was wiederum den Wert des höchstwertigen Bits des digitalen Ausgabewortes bestimmt.

[0110] Die verbleibenden Bits des digitalen Ausgabewortes werden iterativ in einer ähnlichen Weise bestimmt.

[0111] Die [Fig. 17](#) zeigt noch ein anderes Ausführungsbeispiel der vorliegenden Erfindung, worin eine Zellenanordnungsschaltung **60** eine Zellenanordnung **62** enthält, die aus individuellen Zellen **64** besteht, von denen jede ein Widerstandselement R enthält. Bei diesem Ausführungsbeispiel wird ein Bus **70** verwendet, um Verbindungen zwischen den verschiedenen Zellen **64** und einer Selektorschaltung **72** herzustellen. Die Selektorschaltung **72** hat Eingänge I_1 bis I_{17} , die mit jeweiligen Busleitungen **70**₁ bis **70**₁₇ des Busses **70** verbunden sind. Die ersten und letzten Busleitungen **70**₁ und **70**₁₇ sind jeweils mit Knoten N_1 und N_{17} der Zellenanordnungsschaltung verbunden. Das Widerstandselement R jeder Zelle **64** ist in Reihe angeschlossen über Verbindungsleitungen **66** und **68** zwischen einem Paar von gegenseitig benachbarten Busleitungen. Zum Beispiel ist das Widerstandselement R der Zelle 1 in Reihe zwischen den Busleitungen **70**₁ und **70**₂ angeschlossen.

[0112] Die Selektorschaltung **72** ist selektiv steuerbar gemäß einem digitalen Selektionswort S , das daran angelegt ist, um eine Verbindung zwischen einem ihrer Eingänge I_1 bis I_{17} und einem Ausgang O davon herzustellen, der mit einem Ausgabeknoten AUS der Zellenanordnungsschaltung **60** verbunden ist. Wenn zum Beispiel, wie in der [Fig. 17](#) selbst gezeigt ist, die Selektorschaltung **72** ihren Eingang I_3 mit ihrem Ausgang O verbindet, ist die Anzahl von Widerstandselementen R , die in Reihe zwischen dem ersten Knoten M_1 der Schaltung und dem Ausgabeknoten AUS der Schaltung angeschlossen sind, zwei (die Widerstandselemente in den Zellen 1 und 2), und ist die Anzahl von Widerstandselementen, die zwischen den Knoten N_2 und AUS angeschlossen sind, 14 (die Widerstandselemente in den Zellen 3 bis 16).

[0113] Es ist zu verstehen, dass, wie auf der rechten Seite von [Fig. 17](#) gezeigt ist, die Zellenanordnungsschaltung bei diesem Ausführungsbeispiel als ein digital steuerbares Potentiometer funktioniert, wobei die Position des Ausgabeabgriffs durch den Wert des digitalen Selektionswortes S bestimmt ist. Zum Beispiel können die Knoten N_1 und N_{17} mit ersten und

zweiten Leistungsverorgungsleitungen V_{dd} bzw. V_{ss} verbunden sein. Falls es erwünscht ist, kann ein Konstantstromgenerator zwischen einerseits einem der Knoten N_1 und N_2 und andererseits der Leistungsverorgungsleitung zwischengeschaltet sein, mit welcher der Knoten verbunden ist.

[0114] Das Widerstandselement R in jeder Zelle in der [Fig. 11](#) kann zum Beispiel durch einen Depletionstyp-MOSFET **74** gebildet sein, wie in der [Fig. 18](#) gezeigt ist. Mehrere solche Transistoren können parallel angeschlossen sein, wenn eine höhere Stromkapazität erforderlich ist.

[0115] Es ist zu verstehen, dass bei dem ersten Ausführungsbeispiel, das unter Bezugnahme auf die [Fig. 5](#) beschrieben wurde, die Quantitäten, die aufsummiert werden, so wie die Zellen sequentiell selektiert werden, Ströme sind. Bei dem zweiten Ausführungsbeispiel, das unter Bezugnahme auf die [Fig. 16](#) beschrieben wurde, sind die Quantitäten, die summiert werden, Ladungen. Bei dem dritten Ausführungsbeispiel, das unter Bezugnahme auf die [Fig. 17](#) beschrieben wurde, sind die Quantitäten, die summiert werden, Widerstände. Jedoch ist die vorliegende Erfindung nicht auf ein Summieren dieser drei Quantitäten beschränkt. Jede geeignete analoge Quantität kann in einer Zellenanordnungsschaltung summiert werden, die die vorliegende Erfindung verkörpert. Somit ist die Erfindung vorteilhafterweise in jeglicher Situation anwendbar, in welcher jeweilige analoge Quantitäten, die erzeugt wurden von oder verbunden sind mit den normal abgestimmten Zellen, in irgend einer Weise akkumuliert oder summiert werden müssen.

[0116] Obwohl es bei den Ausführungsbeispielen, die unter Bezugnahme auf die [Fig. 5](#), [Fig. 16](#) und [Fig. 17](#) beschrieben wurden, nicht gezeigt ist, ist es für die Zellen möglich, ihre jeweiligen zugehörigen Schaltschaltungen sowie Teile von jeglicher Decodierschaltung zu enthalten, wenn dies gewünscht wird. Jedoch ist es, um die Größe der einzelnen Zellen zu minimieren und dadurch die Zellen in die Lage zu versetzen, in naher physikalischer Nähe zueinander zu sein (um ihre Betriebsbedingungen gleichzusetzen), normalerweise bevorzugt, für die Schaltschaltungen und Decodierschaltung bezüglich der Zellen extern zu sein.

[0117] Ein viertes Ausführungsbeispiel der vorliegenden Erfindung wird nun unter Bezugnahme auf die [Fig. 19](#) beschrieben. Bei diesem Ausführungsbeispiel sind vier rechtwinklige (oder quadratische) Zellenanordnungen, von denen jede die vorliegende Erfindung verkörpert, in einer vorgegebenen Anordnung angeordnet, wiederum zu dem Zweck, dass die Defekte von Fabrikationsfehlern auf die zu erzeugenden summierten analogen Quantitäten minimiert werden.

[0118] Unter Bezugnahme zuerst auf die [Fig. 19](#) ist eine erste Zellenanordnung **100**, die aus einer Mehrzahl von einzelnen Zellen besteht, die in Reihen und Spalten angeordnet sind, in einem ersten Quadranten angeordnet. Zwei jeweilige Zellen $A1$ und $B1$ der Anordnung **100** sind in der [Fig. 19](#) gezeigt, wobei die Zelle $A1$ um Abstände A_x und A_y von den naheliegenden Rändern in den x - bzw. y -Richtungen beabstandet ist und die Zelle $B1$ von ihren naheliegenden Rändern um Abstände B_x und B_y in den x - bzw. y -Richtungen beabstandet ist.

[0119] Dann ist, wie in der [Fig. 20](#) gezeigt ist, eine zweite Zellenanordnung **102** in einem zweiten Quadranten angeordnet. Die Anordnung der Zellen in der zweiten Zellenanordnung **102** wird durch Reflektieren der ersten Zellenanordnung **100** bezüglich der x -Achse und dann Übertragen (verschieben) der resultierenden Reflexion in den zweiten Quadranten erzeugt. Somit sind repräsentative Zellen $A2$ und $B2$ der zweiten Zellenanordnung **102**, die jeweils den repräsentativen Zellen $A1$ und $B1$ der ersten Zellenanordnung **100** entsprechen, angeordnet, wie in der [Fig. 20](#) gezeigt ist.

[0120] Als nächstes wird, wie in der [Fig. 21](#) gezeigt ist, eine dritte Zellenanordnung **104** in einem dritten Quadranten angeordnet. Die Anordnung der Zellen in der dritten Zellenanordnung **104** wird durch Reflektieren der ersten Zellenanordnung **100** bezüglich der x -Achse und dann Verschieben der resultierenden Reflexion in den dritten Quadranten erzeugt. Repräsentative Zellen $A3$ und $B3$, die jeweils den repräsentativen Zellen $A1$ und $B1$ der Zellenanordnung **100** entsprechen, sind in der [Fig. 21](#) gezeigt.

[0121] Schließlich wird, wie in der [Fig. 22](#) gezeigt ist, eine vierte Zellenanordnung **106** in einem vierten Quadranten angeordnet. Die Anordnung der Zellen in der vierten Zellenanordnung **106** wird erzeugt durch Drehen der ersten Zellenanordnung **100** um 180° um den Ursprung. Repräsentative Zellen $A4$ und $B4$, die jeweils den repräsentativen Zellen $A1$ und $B1$ der ersten Zellenanordnung **100** entsprechen, sind in der [Fig. 22](#) gezeigt.

[0122] Das Ergebnis des Anordnens der ersten, zweiten, dritten und vierten Zellenanordnungen **100** bis **106** in der Konfiguration, die in der [Fig. 22](#) gezeigt ist, ist, dass die entsprechenden repräsentativen Zellen der vier Zellenanordnungen einen gemeinsamen Schwerpunkt am Ursprung haben. Zum Beispiel sind bei Beachtung des Satzes von vier repräsentativen Zellen $A1$ bis $A4$ $A1$ und $A4$ beide um dieselbe Distanz A_x von der y -Achse auf entgegengesetzten Seiten davon beabstandet, und sind die Zellen $A2$ und $A3$ ebenfalls äquidistant zu der x -Achse auf entgegengesetzten Seiten davon. Ähnlich sind $A1$ und $A4$ äquidistant zu der x -Achse auf entgegengesetzten Seiten davon, wie auch die Zellen $A2$ und $A3$.

[0123] Somit löschen jegliche gestuften Fehler in der x-Richtung, die A1 und A4 zuzuweisen sind, einander aus. Jegliche gestuften x-Richtungsfehler, die A2 und A3 zuzuweisen sind, löschen auch einander aus. Dasselbe gilt für gestufte Fehler in der y-Richtung.

[0124] Jedoch ist auch zu sehen, dass in der y-Richtung A1 von dem oberen Rand des Bereichs, der durch die vier Zellenanordnungen **100** – **106** belegt ist, um dieselbe Distanz A_y beabstandet ist, wie A2 von der Mittellinie des Bereichs in der y-Richtung (das heißt von der x-Achse) beabstandet ist. Jegliche symmetrischen y-Richtungsfehler, die A1 und A2 zuzuweisen sind, löschen daher einander aus. Dasselbe gilt für A3 und A4 in der y-Richtung, und für A1 und A3 und für A2 und A4 in der x-Richtung.

[0125] Dasselbe gilt für jeden anderen Satz von entsprechenden Zellen der vier Anordnungen.

[0126] Die Selektionssequenz der Zellen innerhalb der ersten Zellenanordnung **100** (welche wiederum die jeweiligen Selektionssequenzen innerhalb der anderen Zellenanordnungen **102**, **104** und **106** bestimmt, die von der ersten Zellenanordnung **100** erlangt wurden) ist gemäß den Prinzipien bestimmt, die der Erfindung unterliegen, wie vorher unter Bezugnahme auf die [Fig. 5](#) bis [Fig. 14\(B\)](#) beschrieben wurde. In diesem Fall können gestufte, symmetrische oder andere Fehler innerhalb jeder individuellen Zellenanordnung sowie die Fehler, die über den Bereich vorhanden sind, der von den vier Zellenanordnungen als Ganzes belegt ist, kompensiert werden.

[0127] Die [Fig. 23](#) zeigt ein Beispiel der Weise, in welcher die vier verschiedenen Zellen, die zu jedem Satz von Zellen gehören, miteinander verbunden und ausgewählt werden können. Wie in der [Fig. 23](#) gezeigt ist, hat jeder Satz von vier entsprechenden Zellen eine individuell entsprechende Schaltschaltung **4**. Zum Beispiel hat der Satz von vier Zellen A1 bis A4 eine individuell entsprechende Schaltschaltung **4_A**.

[0128] Bei diesem Beispiel sind die Zellen durch jeweilige Konstantstromquellen **2** gebildet und sind die vier Zellen eines Satzes mit einer gemeinsamen Verbindungsleitung **110** verbunden, die mit einem Eingang der entsprechenden Schaltschaltung verbunden ist.

[0129] Wie vorher unter Bezugnahme auf die [Fig. 15](#) beschrieben wurde, kann jede Zelle durch einen einzelnen Transistor oder durch mehrere Transistoren gebildet sein, die parallel angeschlossen sind. Zum Beispiel kann jede Zelle vier parallel angeschlossene p-Typ FETs enthalten.

[0130] Wie vorher unter Bezugnahme auf die [Fig. 16](#) und [Fig. 17](#) beschrieben wurde, brauchen die

Zellen in den vier Zellenanordnungen von [Fig. 23](#) keine Konstantstromquellen enthalten. Sie könnten alternativ Konstantstromsenkenschaltungen enthalten. Ferner könnten sie Kapazitätselemente C, wie in der [Fig. 16](#) gezeigt ist, oder Widerstandselemente R enthalten, wie in der [Fig. 17](#) gezeigt ist. In diesem Fall sollten die Verbindungen von den Zellen zu den Schaltschaltungen gemäß den [Fig. 16](#) und [Fig. 17](#) modifiziert sein, wie es geeignet ist.

[0131] Erstrebenswerte Vorteile gemäß der vorliegenden Erfindung können durch Verwendung von genau zwei Zellenanordnungen in Abhängigkeit von der Kombination von Fehlern erhalten werden, die in dem Bereich vorhandenen sind, der von den zwei Zellenanordnungen belegt ist. Man nehme zum Beispiel genau die zwei Zellenanordnungen **100** und **102** der [Fig. 22](#), verwendet ohne die Anordnungen **104** und **106**. In diesem Fall wird ein gestufter Fehler in der x-Richtung ausgelöscht und wird ein symmetrischer Fehler in der y-Richtung ausgelöscht. Ähnlich nehme man zum Beispiel genau die zwei Zellenanordnungen **100** und **104** von [Fig. 22](#), verwendet ohne die Anordnungen **102** und **106**. In diesem Fall wird ein symmetrischer Fehler in der x-Richtung ausgelöscht und wird ein gestufter Fehler in der y-Richtung ausgelöscht.

[0132] Eine anderes nützliches Ausführungsbeispiel kann unter Verwendung genau der zwei Zellenanordnungen **100** und **106** von [Fig. 22](#) und deren Anordnung in den Quadranten 1 bzw. 2 erstellt werden. In diesem Fall werden gestufte Fehler in sowohl der x- als auch der y-Richtung ausgelöscht. Derselbe Effekt kann durch Verwenden nur der Zellenanordnungen **100** und **106** und deren Anordnung in den Quadranten 1 bzw. 3 erzielt werden.

[0133] Die [Fig. 24](#) zeigt ein anderes Ausführungsbeispiel, bei welchem eine erste Zellenanordnung **100** gleich über Quadranten 1 und 3 gesplittet ist. Der Teil im Quadranten 1 ist in den Quadranten 4 ohne ihn zu drehen oder zu reflektieren kopiert, und der Teil im Quadranten 3 ist in den Quadranten 2 ohne ihn zu drehen oder zu reflektieren kopiert. Im Ergebnis werden symmetrische Fehler in sowohl der x- als auch der y-Richtung ausgelöscht.

[0134] Eine andere Möglichkeit ist es, vier identische Zellenanordnungen **100** jeweils in Quadranten 1 bis 4 zu platzieren. Dies hat den Effekt des Auslöschens von symmetrischen Fehlern in sowohl der x- als auch der y-Richtung.

[0135] Es ist für die Zellenanordnungen nicht erforderlich, bei Ausführungsbeispielen der vorliegenden Erfindung direkt benachbart zueinander angeordnet zu sein. Zum Beispiel könnten bei dem Ausführungsbeispiel in der [Fig. 22](#) die Anordnungen **100** und **102** in der x-Richtung von den Anordnungen **104** und **106**

beabstandet sein, um einen Raum freizulassen, in welchem eine weitere Schaltung anzuordnen ist, wie andere Zellen des DACs.

Patentansprüche

1. Zellenanordnungsschaltung, enthaltend: eine Zellenanordnung (**22**; **42**; **62**), die aus einer Mehrzahl von wechselseitig entsprechenden Zellen besteht, die in wenigstens drei Reihen und wenigstens drei Spalten angeordnet sind; Selektionseinrichtungen (**4**; **46**; **72**), zum Zuweisen der Zellen der Anordnung zu jeweiligen Ordinalpositionen in einer vorgegebenen Selektionssequenz (**1**, **15**, **14**, **4**, **12**, ...) und zum Selektieren der Zellen gemäß ihren jeweils zugewiesenen Ordinalpositionen; und Akkumulationseinrichtungen (A, B; **48**, **50**; **66**, **68**, **70**) zum Akkumulieren jeweiliger Analogwerte (I_A , I_B ; C; R), die erzeugt wurden durch die oder verbunden sind mit den selektierten Zellen; **dadurch gekennzeichnet**, dass die zugewiesenen Ordinalpositionen derart sind, um die Differenzen zwischen den jeweiligen Sequenzpositionssummen (**34**) für alle Reihen der Anordnungen zu minimieren und/oder die Differenzen zwischen den jeweiligen Sequenzpositionssummen (**34**) für alle Spalten der Anordnungen zu minimieren, wobei die Sequenzpositionssumme für eine Reihe oder Spalte bestimmt ist durch Summieren der jeweiligen Ordinalpositionen der Zellen in der betroffenen Reihe oder Spalte.

2. Zellenanordnungsschaltung nach Anspruch 1, wobei jede Zelle eine Stromquellen- oder Stromsenkenschaltung (**2**) enthält und die Akkumulationseinrichtungen (A, B) betreibbar sind, um entsprechende Ströme, die herrühren von oder ggf. versunken sind in den Stromquellen-/senkenschaltungen der selektierten Zellen, zu akkumulieren.

3. Zellenanordnungsschaltung nach Anspruch 1, wobei jede Zelle ein Kapazitätselement (**44**) enthält und die Akkumulationseinrichtungen (**48**, **50**) betreibbar sind, um jeweilige Ladungen zu akkumulieren, die von den Kapazitätselementen der selektierten Zellen gespeichert sind.

4. Zellenanordnungsschaltung nach Anspruch 1, wobei jede Zelle ein Widerstandselement (**74**) enthält und die Akkumulationseinrichtungen (**66**, **68**, **70**) betreibbar sind, um jeweilige Widerstände (R) der Widerstandselemente der selektierten Zellen zu akkumulieren.

5. Zellenanordnungsschaltung nach einem der vorhergehenden Ansprüche, wobei die Selektionseinrichtungen (**4**; **72**) betreibbar sind, um von der Anordnung miteinander alle die Zellen zu selektieren, deren zugewiesene Ordinalposition niedriger als ein gegebener Wert ist.

6. Zellenanordnungsschaltung nach Anspruch 5, wobei der gegebene Wert durch ein Selektionssignal (S) bestimmt ist, das an die Selektionseinrichtungen angelegt wird.

7. Zellenanordnungsschaltung nach einem der vorhergehenden Ansprüche, wobei die Selektionseinrichtungen (**46**) betreibbar sind, um die Zellen der Anordnung in wenigstens ersten und zweiten binär gewichteten Gruppen (ZELLE 2, ZELLEN 3 & 4, ZELLEN 5 – 8, ZELLEN 9 – 16) zu selektieren, wobei die Anzahl von Zellen in der ersten Gruppe das Doppelte der Anzahl von Zellen in der zweiten Gruppe ist.

8. Zellenanordnungsschaltung nach einem der vorhergehenden Ansprüche, wobei die Zellenanordnung (**22**; **42**; **62**) gleiche Anzahlen von Reihen und Spalten hat und die zugewiesenen Ordinalpositionen derart sind, um die Differenzen zwischen den jeweiligen Sequenzpositionssummen für alle Reihen und Spalten der Anordnung zu minimieren.

9. Zellenanordnungsschaltung nach Anspruch 8, wobei sich die Verteilung der zugewiesenen Ordinalpositionen innerhalb der Anordnung nach der Verteilung von ganzen Zahlen in einem magischen Quadrat von einer Ordnung gleich der Anzahl von Reihen oder Spalten der Anordnung richtet.

10. Zellenanordnungsschaltung nach Anspruch 9, wobei das magische Quadrat pandigital ist.

11. Zellenanordnungsschaltung nach Anspruch 9 oder 10, wobei das magische Quadrat assoziativ ist.

12. Zellenanordnungsschaltung nach einem der Ansprüche 1 bis 7, wobei die Zellenanordnung unterschiedliche Anzahlen von Reihen und Spalten hat und die zugewiesenen Ordinalpositionen derart sind, um die Differenzen zwischen den jeweiligen Sequenzpositionssummen (**10/11**) für alle Reihen zu minimieren und um die Differenzen zwischen den jeweiligen Sequenzpositionssummen (**7**) für alle Spalten zu minimieren.

13. Zellenanordnungsschaltung nach Anspruch 7, wobei in wenigstens der ersten Gruppe die Zellen in der Gruppe aufeinander folgend zugewiesene Ordinalpositionen haben.

14. Zellenanordnungsschaltung nach einem der vorhergehenden Ansprüche, mit ersten und zweiten Zellenanordnungen (**100**, **102**; **100**, **108**), wobei die zweite Zellenanordnung (**102**; **108**) in einer vorgegebenen räumlichen Beziehung bezüglich der ersten Zellenanordnung (**100**) angeordnet ist; wobei: die Selektionseinrichtungen (**4_A**, **4_B**) ferner betreibbar sind, um die Zellen der Anordnungen in Sätzen (A1 + A2, B1 + B2) zu selektieren, wobei jeder solche Zel-

lensatz eine erste Zelle von der ersten Zellenanordnung (100) und eine individuell entsprechende zweite Zelle von der zweiten Zellenanordnung (102; 108) enthält, wobei die physikalische Anordnung von solchen zweiten Zellen (A2, B2) innerhalb der zweiten Zellenanordnung (102; 108) einer vorgegebenen Transformation der physikalischen Anordnung ihrer jeweils entsprechenden ersten Zellen (A1, B1) innerhalb der ersten Zellenanordnung (100) entspricht; und die Akkumulationseinrichtungen ferner betreibbar sind, um jeweilige Analogwerte zu akkumulieren, die erzeugt wurden von oder verbunden sind mit den ersten und zweiten Zellen eines selektierten Zellsatzes.

15. Zellenanordnungsschaltung nach Anspruch 14, wobei die ersten und zweiten Zellenanordnungen (100, 102; 100, 108) in einer ersten Richtung (y) beabstandet sind und eine Mittellinie der zweiten Zellenanordnung, die zentral durch jene Anordnung in der ersten Richtung verläuft, mit einer Mittellinie der ersten Zellenanordnung ausgerichtet ist, die zentral durch jene Anordnung in der ersten Richtung verläuft.

16. Zellenanordnungsschaltung nach Anspruch 15, wobei die vorgegebene Transformation (102) eine Reflexion der ersten Zellenanordnung (100) um ihre Mittellinie beinhaltet.

17. Zellenanordnungsschaltung nach Anspruch 14, wobei die vorgegebene Transformation (106) eine Rotation der ersten Zellenanordnung um 180° beinhaltet.

18. Zellenanordnungsschaltung nach Anspruch 15, wobei jede Zellenanordnung eine erste Hälfte auf einer Seite ihrer Mittellinie und eine zweite Hälfte auf der anderen Seite ihrer Mittellinie hat und die vorgegebene Transformation (108) ein Kopieren der ersten Hälfte der ersten Zellenanordnung in die zweite Hälfte der zweiten Zellenanordnung und ein Kopieren der zweiten Hälfte der ersten Zellenanordnung in die erste Hälfte der zweiten Zellenanordnung beinhaltet.

19. Zellenanordnungsschaltung nach einem der Ansprüche 1 bis 13, mit ersten, zweiten, dritten und vierten derartigen Zellenanordnungen (100, 102, 104, 106), wobei jede der zweiten, dritten und vierten Zellenanordnungen (102, 104, 106) in einer vorgegebenen räumlichen Beziehung bezüglich der ersten Zellenanordnung (100) angeordnet ist; wobei die Selektionseinrichtungen (4_A, 4_B) ferner betreibbar sind, um die Zellen der Anordnungen in Sätzen zu selektieren, wobei jeder solche Zellsatz eine erste Zelle von der ersten Zellenanordnung (100) und individuell entsprechende zweite, dritte und vierte Zellen von den zweiten, dritten bzw. vierten Zellenanordnungen (102, 104, 106) enthält, wobei die physikalische Anordnung von derartigen zweiten

Zellen (A2, B2) innerhalb der zweiten Zellenanordnung (102) einer vorgegebenen Transformation der physikalischen Anordnung ihrer jeweils entsprechenden ersten Zellen (A1, B1) innerhalb der ersten Zellenanordnung (100) entspricht, die physikalische Anordnung von derartigen dritten Zellen (A3, B3) innerhalb der dritten Zellenanordnung (104) einer vorgegebenen Transformation der physikalischen Anordnung ihrer jeweils entsprechenden ersten Zellen innerhalb der ersten Zellenanordnung entspricht, und die physikalische Anordnung von solchen vierten Zellen (A4, B4) innerhalb der vierten Zellenanordnung (106) einer vorgegebenen Transformation der physikalischen Anordnung ihrer jeweils entsprechenden ersten Zellen innerhalb der ersten Zellenanordnung entspricht; und

die Akkumulationseinrichtungen ferner betreibbar sind, um jeweilige analoge Werte zu akkumulieren, die erzeugt werden von oder verbunden sind mit den ersten, zweiten, dritten und vierten Zellen (A1 – A4, B1 – B4) der selektierten Zellsätze.

20. Zellenanordnungsschaltung nach Anspruch 19, wobei ein Bereich, der die vier Zellenanordnungen enthält, in vier Quadranten durch jeweilige erste und zweite wechselseitig senkrechte Achsen (x, Y) geteilt ist, die sich an einem Ursprungspunkt des Bereichs schneiden, welche ersten, zweiten, dritten und vierten Zellenanordnungen (100, 102, 104, 106) entsprechend in den vier Quadranten angeordnet sind.

21. Zellenanordnungsschaltung nach Anspruch 20, wobei:

erste und zweite der Quadranten auf derselben Seite der zweiten Achse (y) sind und der erste Quadrant und ein dritter der Quadranten auf derselben Seite der ersten Achse (x) sind;

die erste Zellenanordnung (100) in dem ersten Quadranten liegt;

die zweite Zellenanordnung (102) einer Reflexion von der ersten Zellenanordnung (100) um die zweite Achse (y) ist, welche Reflexion in dem zweiten Quadranten liegt;

die dritte Zellenanordnung (104) einer Reflexion von der ersten Zellenanordnung (100) um die erste Achse (x) entspricht, welche Reflexion in dem dritten Quadranten liegt; und

die vierte Zellenanordnung (106) einer Rotation der ersten Zellenanordnung um 180° entspricht, welche Rotation in dem vierten Quadranten liegt.

22. Digital-in-Analog-Konverter, enthaltend eine Zellenanordnungsschaltung, wie sie in irgend einem vorangehenden Anspruch beansprucht ist.

23. Analog-in-Digital-Konverter, enthaltend eine Zellenanordnungsschaltung, wie sie in irgend einem der Ansprüche 1 bis 21 beansprucht ist.

Es folgen 16 Blatt Zeichnungen

Anhängende Zeichnungen

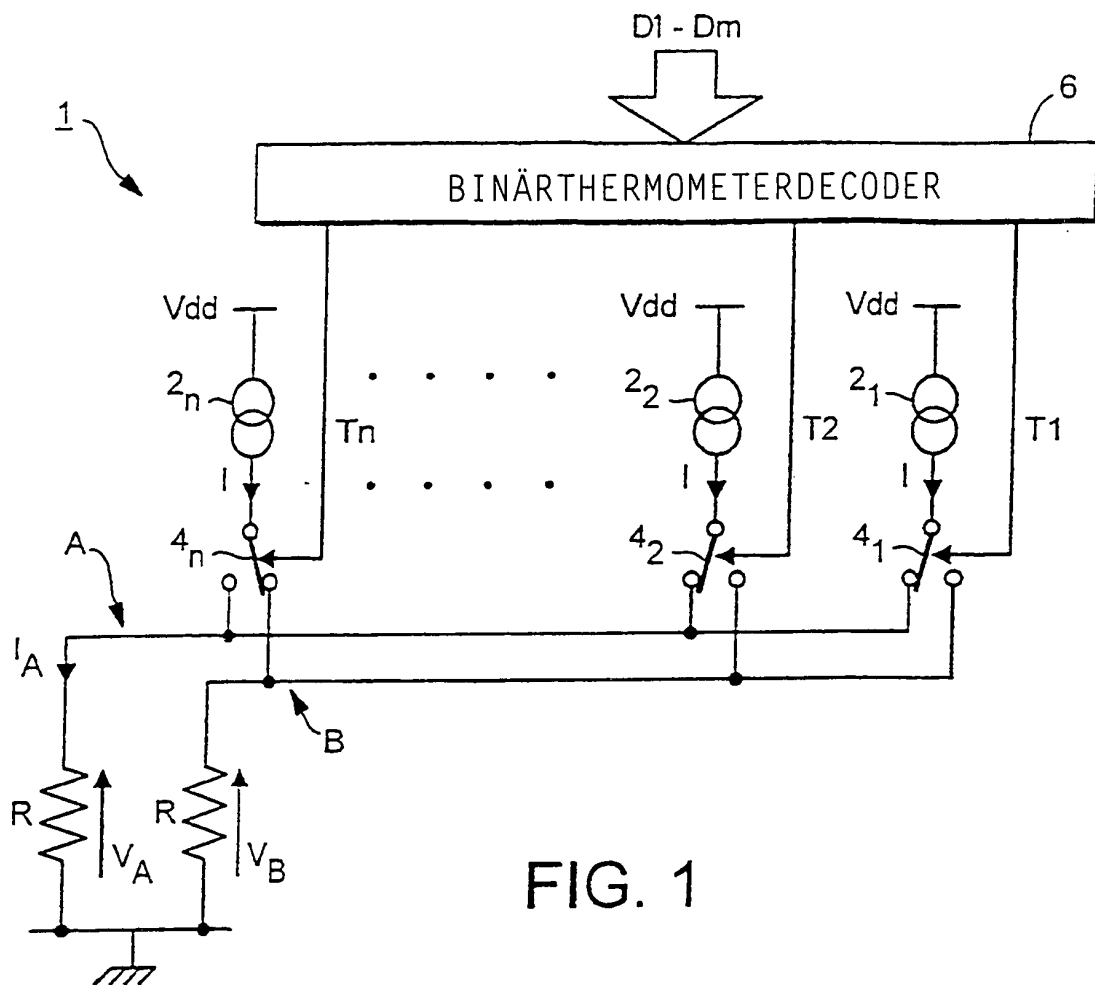
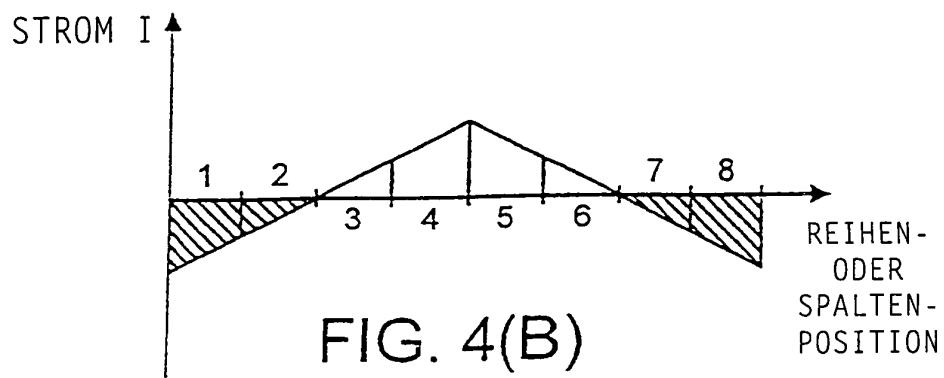
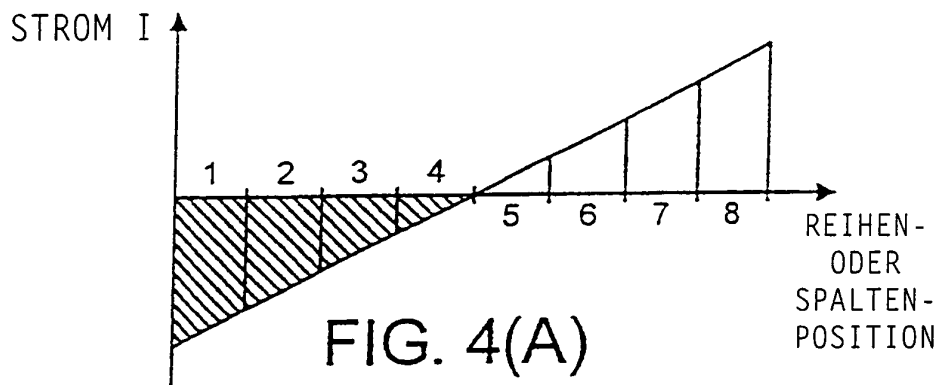
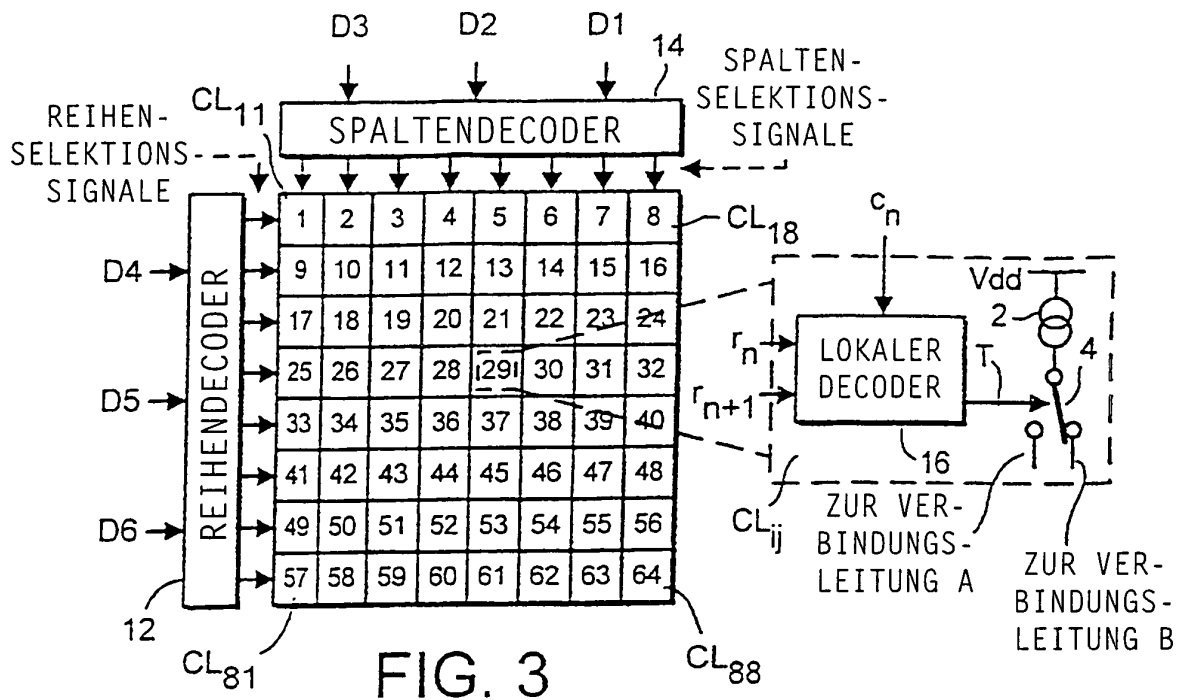
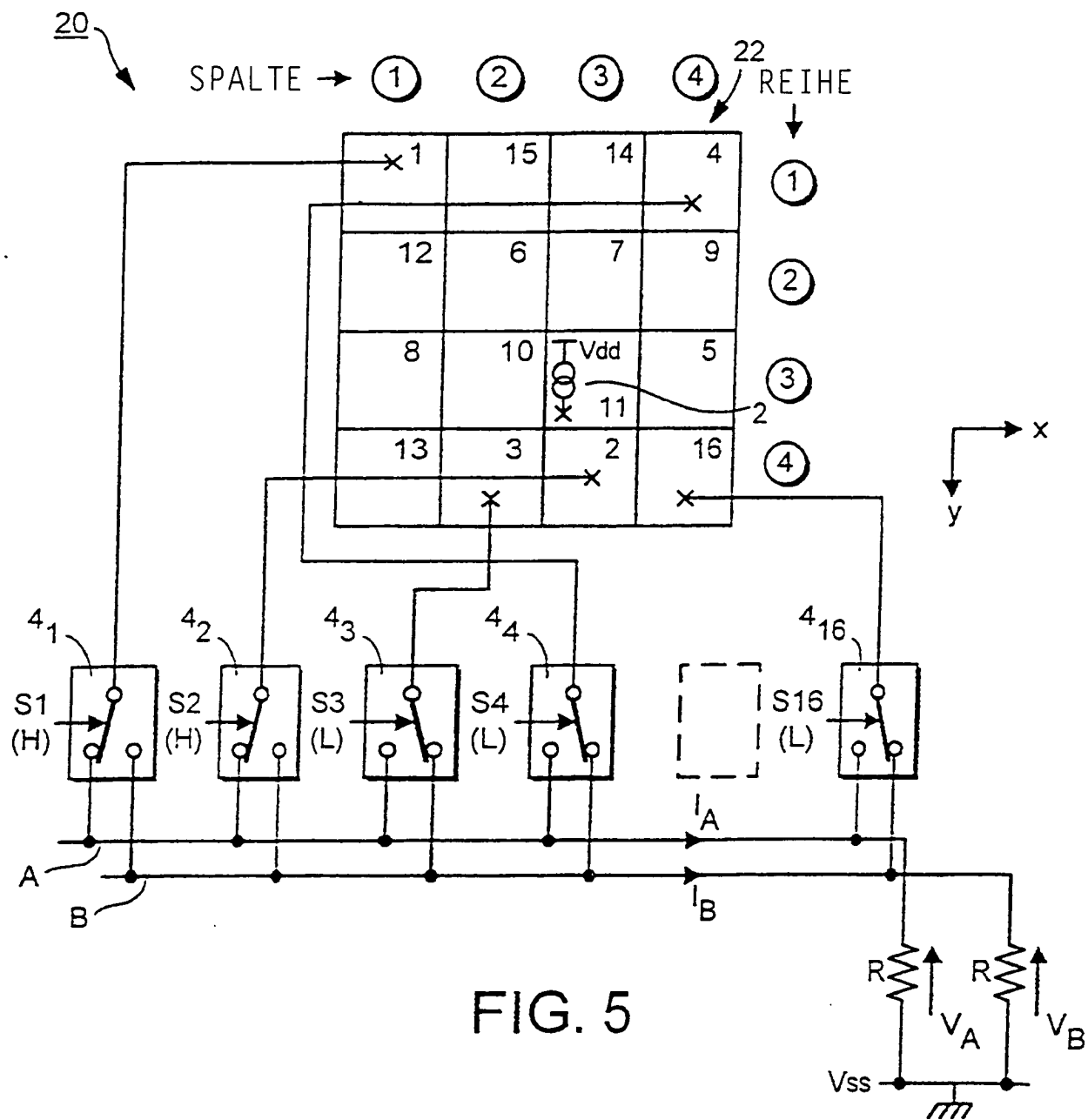


FIG. 1

BINÄREIN- GABEWORT			THERMOMETERCODIERTE SIGNALE						
D3	D2	D1	T7	T6	T5	T4	T3	T2	T1
0	0	0	0	0	0	0	0	0	0
0	0	1	0	0	0	0	0	0	1
0	1	0	0	0	0	0	0	1	1
0	1	1	0	0	0	0	1	1	1
1	0	0	0	0	0	1	1	1	1
1	0	1	0	0	1	1	1	1	1
1	1	0	0	1	1	1	1	1	1
1	1	1	1	1	1	1	1	1	1

FIG. 2





	x	y	Σx	Σy	$E = \Sigma x + \Sigma y$
1	-2	-2	-2	-2	-4
2	+1	+2	-1	0	-1
3	-1	+2	-2	+2	0
4	+2	-2	0	0	0
5	+2	+1	+2	+1	+3
6	-1	-1	+1	0	+1
7	+1	-1	+2	-1	+1
8	-2	+1	0	0	0
9	+2	-1	+2	-1	-1
10	-1	+1	+1	0	+1
11	+1	+1	+2	+1	+3
12	-2	-1	0	0	0
13	-2	+2	-2	+2	0
14	+1	-2	-1	0	-1
15	-1	-2	-2	-2	-4
16	+2	+2	0	0	0

FIG. 6

	x	y	Σx	Σy	E
1	-2	-2	-2	-2	-4
2	-1	-2	-3	-4	-7
3	+1	-2	-2	-6	-8
4	+2	-2	0	-8	-8
5	-2	-1	-2	-9	-11
6	-1	-1	-3	-10	-13
7	+1	-1	-2	-11	-13
8	+2	-1	0	-12	-12
9	-2	+1	-2	-11	-13
10	-1	+1	-3	-10	-11
11	+1	+1	-2	-9	-13
12	+2	+1	0	-8	-8
13	-2	+2	-2	-6	-8
14	-1	+2	-3	-2	-4
15	+1	+2	-2	-2	-4
16	+2	+2	0	0	0

FIG. 7(A)

x $\longrightarrow$

	-2	-1	+1	+2
y $\downarrow$				
-2	1	2	3	4
-1	5	6	7	8
+1	9	10	11	12
+2	13	14	15	16

FIG. 7(B)

4	9	2
3	5	7
8	1	6

FIG. 8

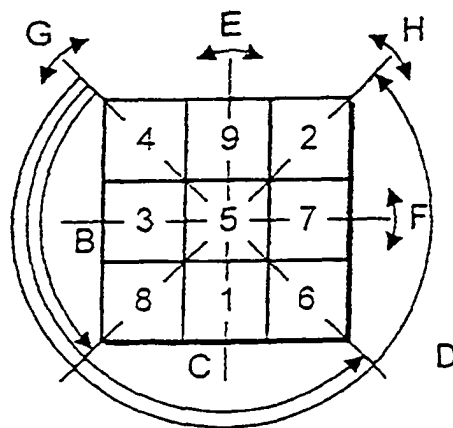


FIG. 9(A)

2	7	6
9	5	1
4	3	8

FIG. 9(B)

6	1	8
7	5	3
2	9	4

FIG. 9(C)

8	3	4
1	5	9
6	7	2

FIG. 9(D)

2	9	4
7	5	3
6	1	8

FIG. 9(E)

8	1	6
3	5	7
4	9	2

FIG. 9(F)

4	3	8
9	5	1
2	7	6

FIG. 9(G)

6	7	2
1	5	9
8	3	4

FIG. 9(H)

7	12	1	14
2	13	8	11
16	3	10	5
9	6	15	4

FIG. 10

4	15	6	9
5	10	3	16
11	8	13	2
14	1	12	7

FIG. 11

b	c	a	
c	a		b
a		b	c
	b	c	a

FIG. 12(A)

	d	f	e
e		d	f
f	e		d
d	f	e	

FIG. 12(B)

1	15	24	8	17
23	7	16	5	14
20	4	13	22	6
12	21	10	19	3
9	18	2	11	25

FIG. 13(A)

27	29	2	4	13	36
9	11	20	22	31	18
32	25	7	3	21	23
14	16	34	30	12	5
28	6	15	17	26	19
1	24	33	35	8	10

FIG. 13(B)

64	2	3	61	60	6	7	57
9	55	54	12	13	51	50	16
17	47	46	20	21	43	42	24
40	26	27	37	36	30	31	33
32	34	35	29	28	38	39	25
41	23	22	44	45	19	18	48
49	15	14	52	53	11	10	56
8	58	59	5	4	62	63	1

FIG. 13(C)

		SPALTE			
		1	2	3	(17)
REIHE	1	4	9	2	15
	2	3	7	5	15
	3	8	1	6	15
		15	(17)	(13)	(17)

FIG. 14(A)

		SPALTE			
		1	2	3	
REIHE	1	5	1	4	10
	2	2	6	3	11
		7	7	7	

FIG. 14(B)

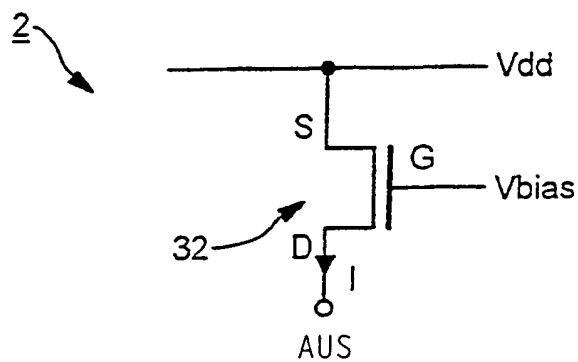
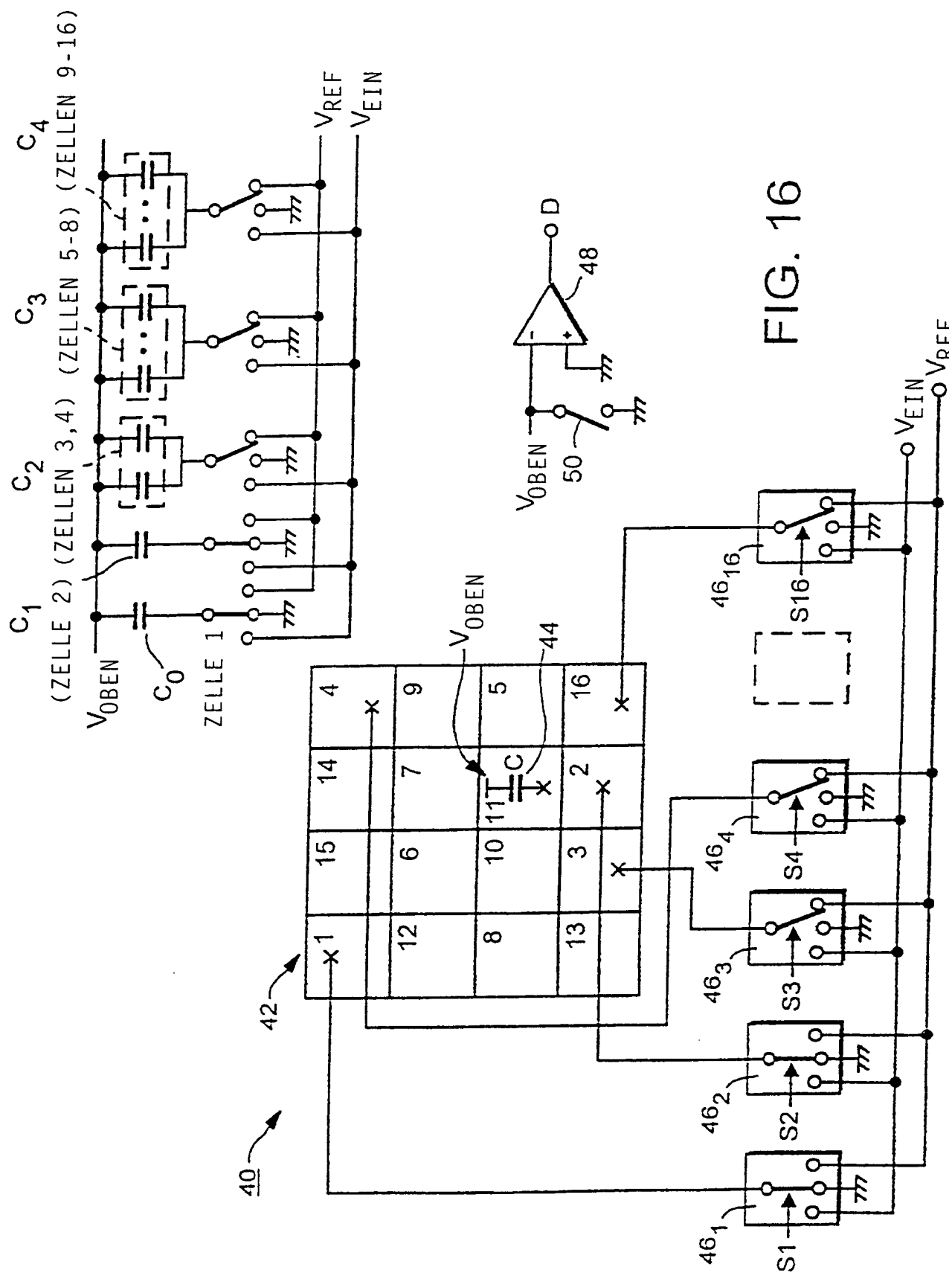
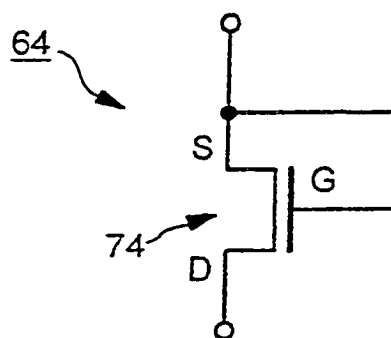
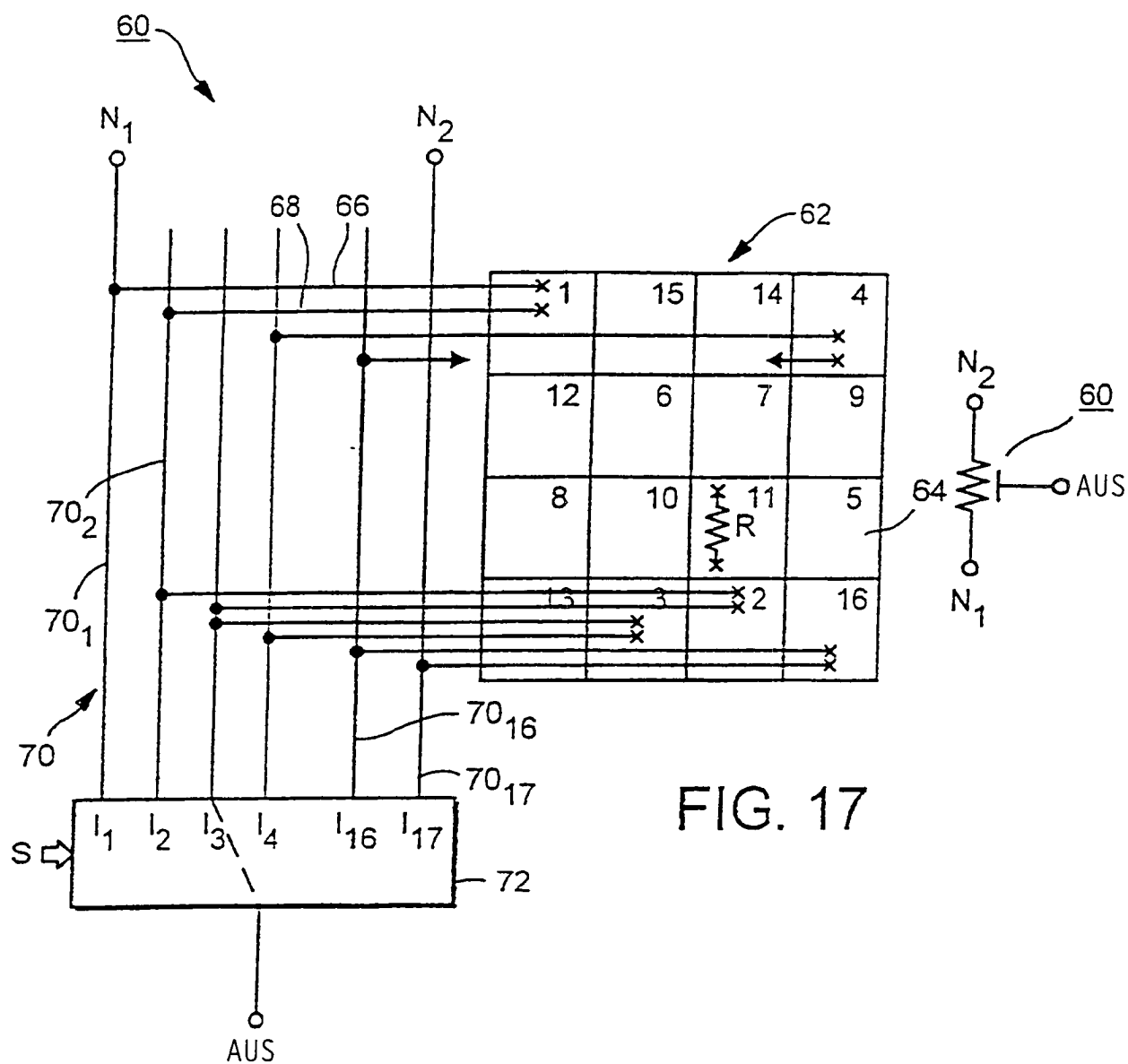


FIG. 15





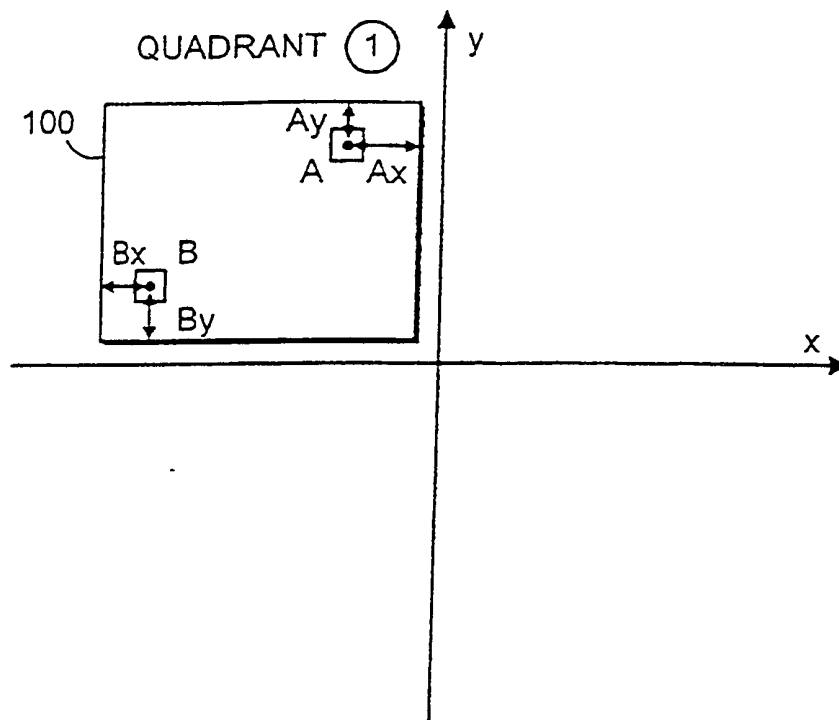


FIG. 19

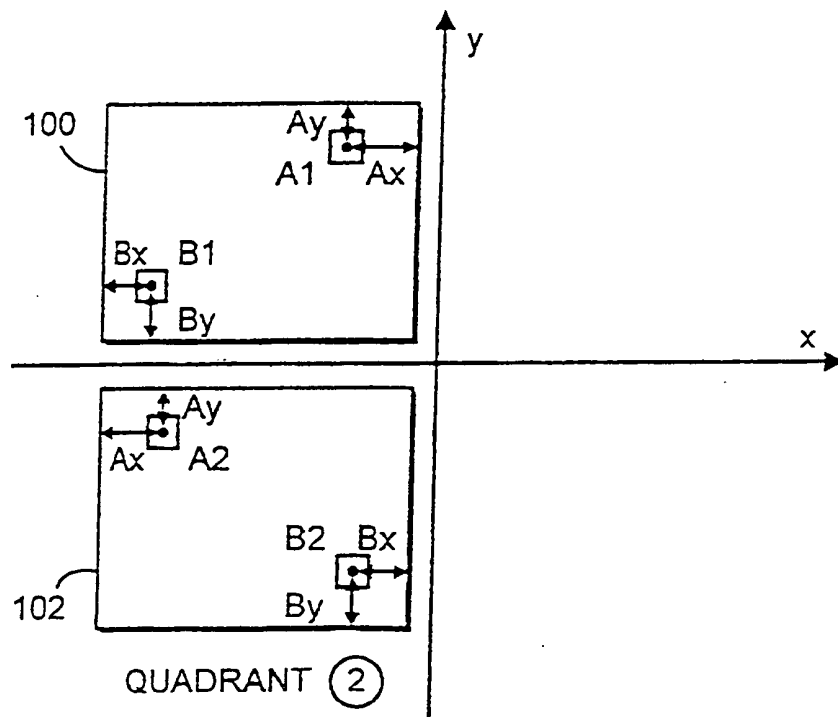


FIG. 20

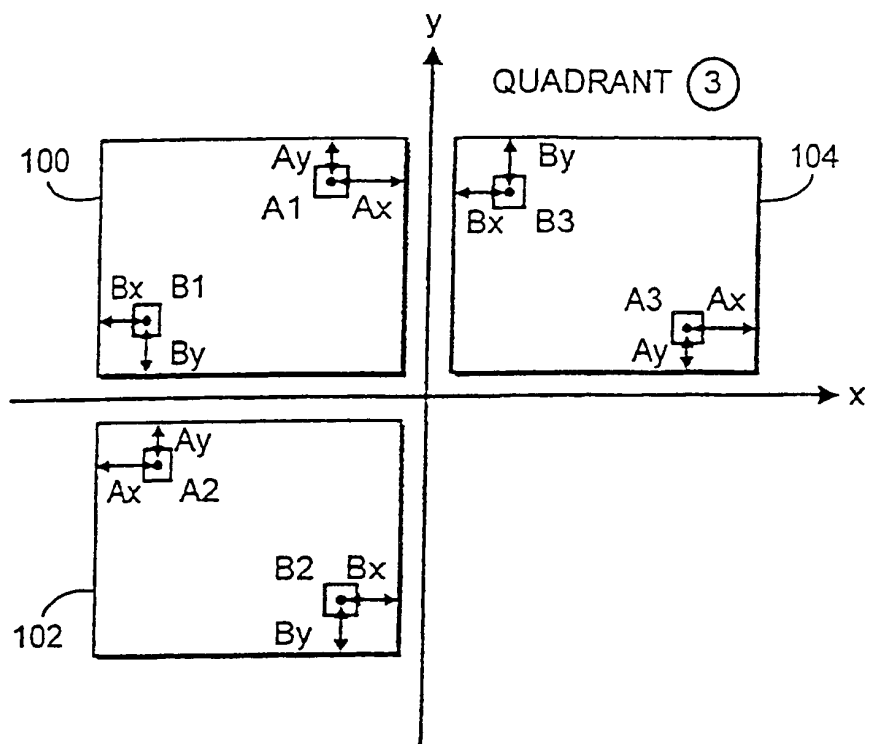


FIG. 21

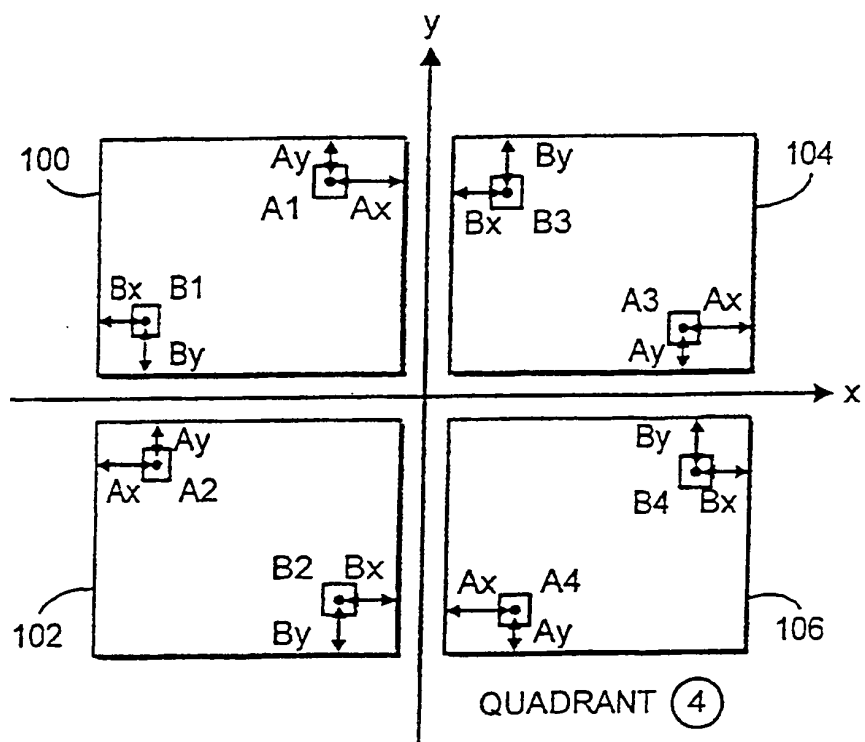


FIG. 22

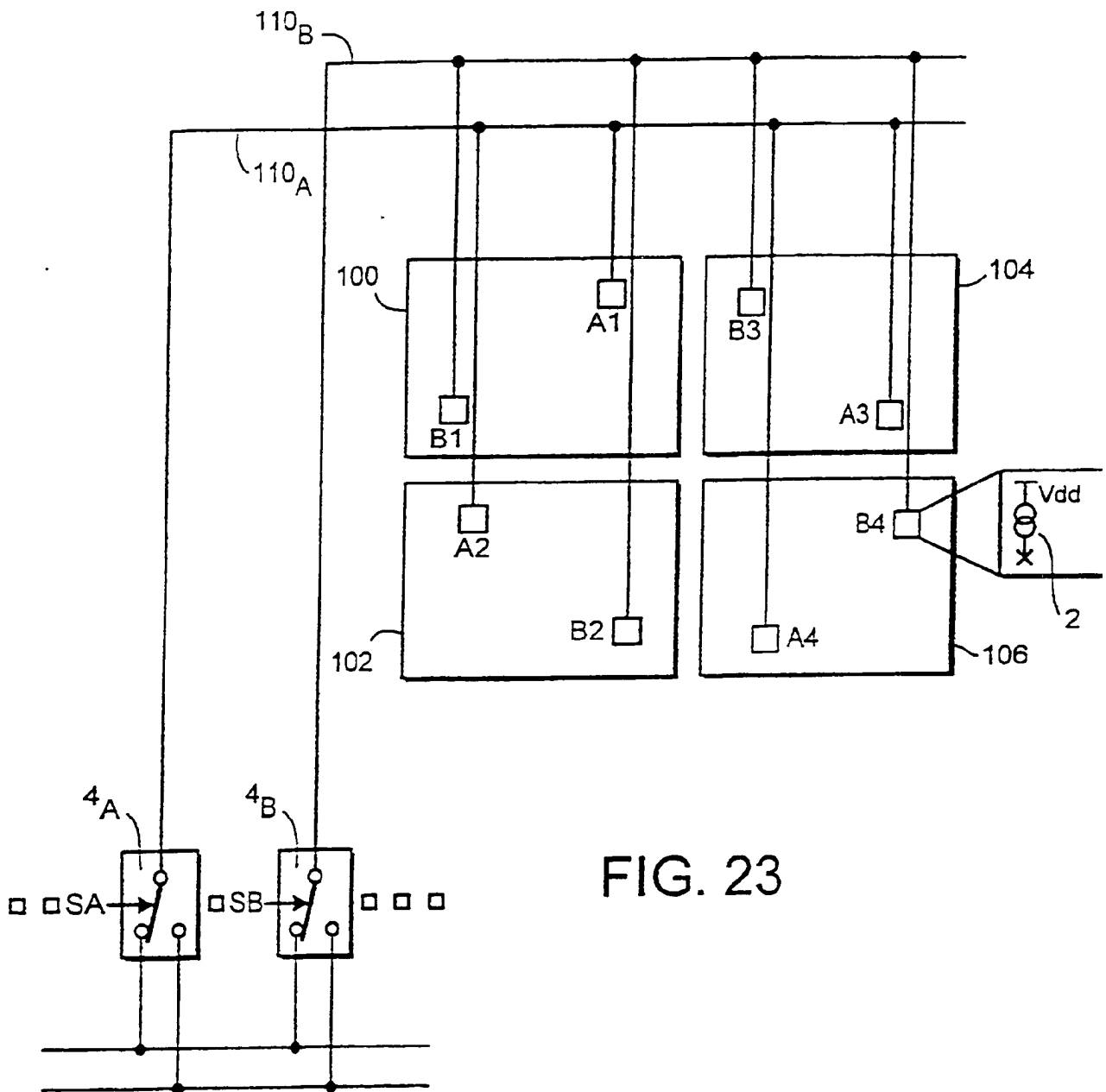


FIG. 23

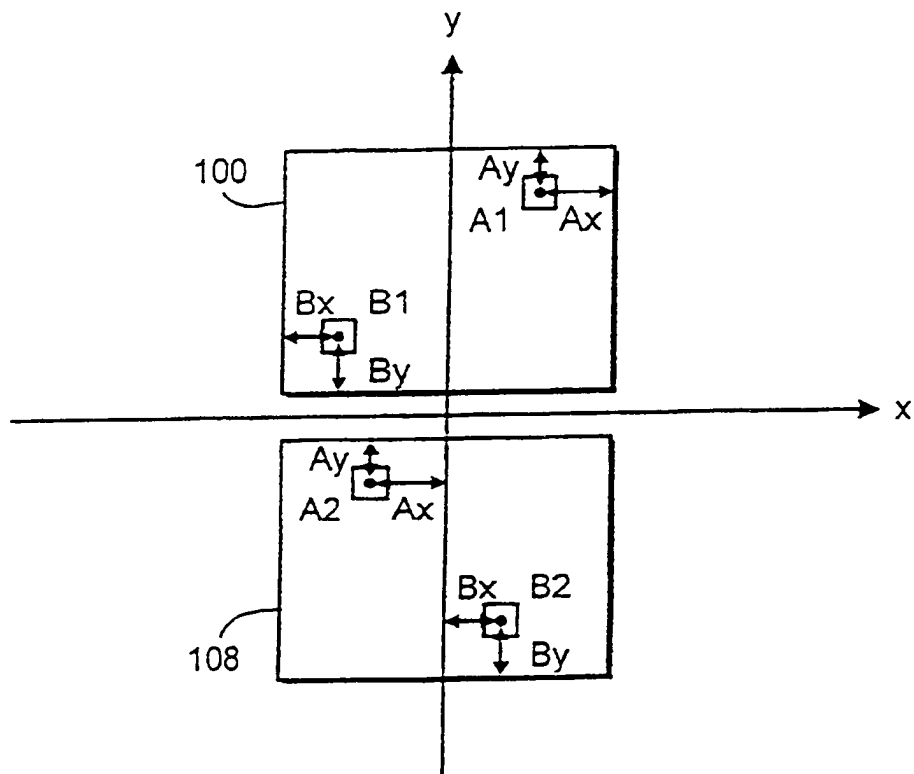


FIG. 24