

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2017-157802

(P2017-157802A)

(43) 公開日 平成29年9月7日(2017.9.7)

(51) Int.Cl.	F I	テーマコード (参考)
H O 1 L 23/12 (2006.01)	H O 1 L 23/12 B	
H O 1 L 25/00 (2006.01)	H O 1 L 23/12 5 O 1 P	
	H O 1 L 25/00 B	

審査請求 未請求 請求項の数 14 O L (全 18 頁)

(21) 出願番号 特願2016-42626 (P2016-42626)
(22) 出願日 平成28年3月4日 (2016.3.4)

(71) 出願人 000005496
富士ゼロックス株式会社
東京都港区赤坂九丁目7番3号
(74) 代理人 110001519
特許業務法人太陽国際特許事務所
(72) 発明者 井口 大介
神奈川県海老名市本郷2274番地 富士
ゼロックス株式会社内

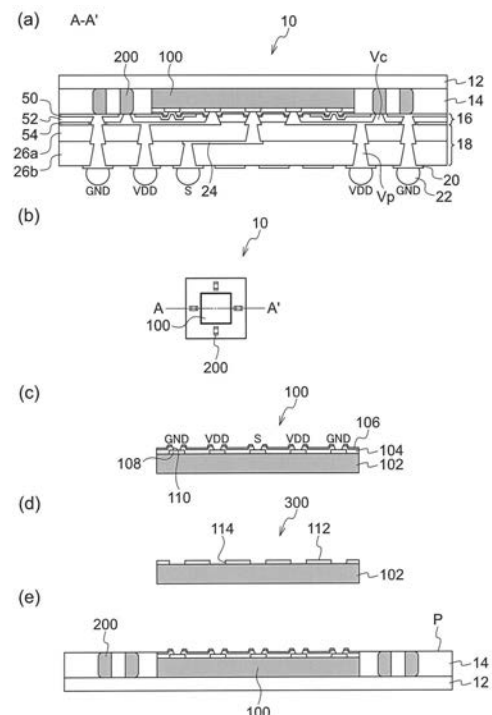
(54) 【発明の名称】 半導体パッケージ及び半導体パッケージの製造方法

(57) 【要約】

【課題】 キャパシタ素子からキャパシタ層を介して半導体素子に電流を供給する構成において、電流供給経路における寄生インピーダンスを低減すること。

【解決手段】 複数の接続領域を表面に備えた半導体素子と、半導体素子に重ならないように配置され、半導体素子に電流を供給する端子対を有するキャパシタ素子と、半導体素子とキャパシタ素子との間に設けられ、複数の接続領域の少なくとも一部から端子対に至る面を平坦化する絶縁体層と、絶縁体層の上部に形成された第1の金属層、第1の金属層の上部に形成された誘電体層、誘電体層の上部に形成された第2の金属層を備えたキャパシタ層と、を含み、複数の接続領域の一部及び端子対の一方の端子は、第1の金属層に直接接続されると共に、複数の接続領域の他の一部及び端子対の他方の端子は、第2の金属層に接続されかつ誘電体層を貫通する導電部により、第2の金属層に接続されている。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

回路素子が形成されかつ前記回路素子を外部と接続するための複数の接続領域を表面に備えた半導体素子と、外部と接続するための端子対を有すると共に前記半導体素子に電流を供給するキャパシタ素子とを、前記半導体素子の平面視において重ならないように配置すると共に、前記半導体素子と前記キャパシタ素子との間を絶縁体層で埋めることで、前記複数の接続領域の少なくとも一部から前記端子対に至る面を平坦化する工程と、

前記複数の接続領域、前記端子対および前記絶縁体層の上部に第 1 の金属層を形成することで、前記複数の接続領域の一部及び前記端子対の一方の端子と、前記第 1 の金属層とを直接接続する工程と、

前記第 1 の金属層の上部に誘電体層を形成する工程と、

前記誘電体層の上部に第 2 の金属層を形成することで、前記第 1 の金属層、誘電体層および当該第 2 の金属層からなるキャパシタ層を形成する工程と、

を含む半導体パッケージの製造方法。

10

【請求項 2】

前記第 2 の金属層を形成する工程は、前記複数の接続領域の他の一部及び前記端子対の他方の端子と、前記第 2 の金属層とを、前記誘電体層を貫通する導電部により接続する工程を含み、

前記第 2 の金属層および前記導電部は、同一の工程で同時に形成される

請求項 1 に記載の半導体パッケージの製造方法。

20

【請求項 3】

前記複数の接続領域の少なくとも一部の高さ位置、および前記端子対の高さ位置が前記半導体素子の断面視において同じ高さになるように配置する工程を有する

請求項 1 または請求項 2 に記載の半導体パッケージの製造方法。

【請求項 4】

前記半導体素子と前記キャパシタ素子における前記キャパシタ層が形成される面と反対側の面を基体上に配置する工程と、

前記キャパシタ層が形成された後に、前記半導体素子および前記キャパシタ素子から前記基体を除去する工程と、を有する

請求項 1 ～ 請求項 3 のいずれか 1 項に記載の半導体パッケージの製造方法。

30

【請求項 5】

回路素子が形成されかつ前記回路素子を外部と接続するための複数の接続領域を表面に備えた半導体素子と、

前記半導体素子の平面視において前記半導体素子に重ならないように配置されると共に、前記半導体素子に電流を供給する端子対を有するキャパシタ素子と、

前記半導体素子と前記キャパシタ素子との間に設けられ、前記複数の接続領域の少なくとも一部から前記端子対に至る面を平坦化する絶縁体層と、

前記複数の接続領域、前記端子対、及び前記絶縁体層の上部に形成された第 1 の金属層、前記第 1 の金属層の上部に形成された誘電体層、及び前記誘電体層の上部に形成された第 2 の金属層を備えたキャパシタ層と、を含み、

40

前記複数の接続領域の一部及び前記端子対の一方の端子は、前記第 1 の金属層に直接接続されると共に、前記複数の接続領域の他の一部及び前記端子対の他方の端子は、前記第 2 の金属層に接続されかつ前記誘電体層を貫通する導電部により、前記第 2 の金属層に接続された

半導体パッケージ。

【請求項 6】

一方の面に外部と接続するための複数の電極領域を有すると共に、他方の面に形成された配線領域によって前記複数の接続領域の残部、前記第 1 の金属層、及び前記第 2 の金属層に接続された基板をさらに含む

請求項 5 に記載の半導体パッケージ。

50

【請求項 7】

前記基板は、前記一方の面と前記他方の面との間に 1 つ又は複数の配線層を備える
請求項 6 に記載の半導体パッケージ。

【請求項 8】

一方の面に外部と接続するための複数の接続部を有すると共に、他方の面に形成された
配線部によって前記配線領域に接続されたコアをさらに含む
請求項 6 又は請求項 7 に記載の半導体パッケージ。

【請求項 9】

前記複数の接続領域は、前記半導体素子の表面に形成された配線層の一部に設けられた
電極領域である

10

請求項 5 ～ 請求項 8 のいずれか 1 項に記載の半導体パッケージ。

【請求項 10】

前記複数の接続領域は、前記半導体素子の表面の予め定められた領域である
請求項 5 ～ 請求項 8 のいずれか 1 項に記載の半導体パッケージ。

【請求項 11】

前記半導体素子の裏面側に前記半導体素子及び前記キャパシタ素子を配置する基体をさ
らに含む

請求項 5 ～ 請求項 10 のいずれか 1 項に記載の半導体パッケージ。

【請求項 12】

前記基体と前記半導体素子との間又は前記基体と前記キャパシタ素子との間に、前記複
数の接続領域の少なくとも一部の位置と、前記キャパシタ素子の前記端子対の位置とを等
しくするための位置合せ部をさらに含む

20

請求項 11 に記載の半導体パッケージ。

【請求項 13】

各々機能の異なる複数の前記半導体素子、及び複数の前記半導体素子の各々に対応して
配置された複数の前記キャパシタ素子を含み、

複数の前記半導体素子は、予め定められた機能を発揮するように相互に接続されている
請求項 5 ～ 請求項 12 のいずれか 1 項に記載の半導体パッケージ。

【請求項 14】

前記端子対の各々は、前記キャパシタ素子の電極に接続された複数の端子片から構成さ
れた

30

請求項 5 ～ 請求項 13 のいずれか 1 項に記載の半導体パッケージ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体パッケージ及び半導体パッケージの製造方法に関する。

【背景技術】

40

【0002】

特許文献 1 には、電源電圧の変動を補うことのできるキャパシタ内蔵基板が開示されて
いる。この構成においてキャパシタ 8 は、基板 1 の厚み方向の中央付近に設けられ、この
中央付近から延びるビアを介して基板の表面側および裏面側に露出する電源端子および接
地端子と接続されている。

【先行技術文献】

【特許文献】

【0003】

【特許文献 1】特開 2005 - 310814 号公報

【発明の概要】

50

【発明が解決しようとする課題】**【0004】**

本発明は、キャパシタ素子からキャパシタ層を介して半導体素子に電流を供給する構成において、キャパシタ層を基板の厚み方向の中央付近に設ける構成を利用する場合と比較し、電流供給経路における寄生インピーダンスを低減することが可能な半導体パッケージ、及び半導体パッケージの製造方法を提供することを目的とする。

【課題を解決するための手段】**【0005】**

上記の目的を達成するために、請求項1に記載の半導体パッケージの製造方法は、回路素子が形成されかつ前記回路素子を外部と接続するための複数の接続領域を表面に備えた半導体素子と、外部と接続するための端子対を有すると共に前記半導体素子に電流を供給するキャパシタ素子とを、前記半導体素子の平面視において重ならないように配置すると共に、前記半導体素子と前記キャパシタ素子との間を絶縁体層で埋めることで、前記複数の接続領域の少なくとも一部から前記端子対に至る面を平坦化する工程と、前記複数の接続領域、前記端子対および前記絶縁体層の上部に第1の金属層を形成することで、前記複数の接続領域の一部及び前記端子対の一方の端子と、前記第1の金属層とを直接接続する工程と、前記第1の金属層の上部に誘電体層を形成する工程と、前記誘電体層の上部に第2の金属層を形成することで、前記第1の金属層、誘電体層および当該第2の金属層からなるキャパシタ層を形成する工程と、を含むものである。

10

【0006】

また、請求項2に記載の発明は、請求項1に記載の発明において、前記第2の金属層を形成する工程は、前記複数の接続領域の他の一部及び前記端子対の他方の端子と、前記第2の金属層とを、前記誘電体層を貫通する導電部により接続する工程を含み、前記第2の金属層および前記導電部は、同一の工程で同時に形成されるものである。

20

【0007】

また、請求項3に記載の発明は、請求項1または請求項2に記載の発明において、前記複数の接続領域の少なくとも一部の高さ位置、および前記端子対の高さ位置が前記半導体素子の断面視において同じ高さになるように配置する工程を有するものである。

【0008】

また、請求項4に記載の発明は、請求項1～請求項3いずれか1項に記載の発明において、前記半導体素子と前記キャパシタ素子における前記キャパシタ層が形成される面と反対側の面を基体上に配置する工程と、前記キャパシタ層が形成された後に、前記半導体素子および前記キャパシタ素子から前記基体を除去する工程と、を有するものである。

30

【0009】

上記の目的を達成するために、請求項5に記載の半導体パッケージは、回路素子が形成されかつ前記回路素子を外部と接続するための複数の接続領域を表面に備えた半導体素子と、前記半導体素子の平面視において前記半導体素子に重ならないように配置されると共に、前記半導体素子に電流を供給する端子対を有するキャパシタ素子と、前記半導体素子と前記キャパシタ素子との間に設けられ、前記複数の接続領域の少なくとも一部から前記端子対に至る面を平坦化する絶縁体層と、前記複数の接続領域、前記端子対、及び前記絶縁体層の上部に形成された第1の金属層、前記第1の金属層の上部に形成された誘電体層、及び前記誘電体層の上部に形成された第2の金属層を備えたキャパシタ層と、を含み、前記複数の接続領域の一部及び前記端子対の一方の端子は、前記第1の金属層に直接接続されると共に、前記複数の接続領域の他の一部及び前記端子対の他方の端子は、前記第2の金属層に接続されかつ前記誘電体層を貫通する導電部により、前記第2の金属層に接続されたものである。

40

【0010】

また、請求項6に記載の発明は、請求項5に記載の発明において、一方の面に外部と接続するための複数の電極領域を有すると共に、他方の面に形成された配線領域によって前記複数の接続領域の残部、前記第1の金属層、及び前記第2の金属層に接続された基板を

50

さらに含むものである。

【 0 0 1 1 】

また、請求項 7 に記載の発明は、請求項 6 に記載の発明において、前記基板は、前記一方の面と前記他方の面との間に 1 つ又は複数の配線層を備えるものである。

【 0 0 1 2 】

また、請求項 8 に記載の発明は、請求項 6 又は請求項 7 に記載の発明において、一方の面に外部と接続するための複数の接続部を有すると共に、他方の面に形成された配線部によって前記配線領域に接続されたコアをさらに含むものである。

【 0 0 1 3 】

また、請求項 9 に記載の発明は、請求項 5 ～ 請求項 8 のいずれか 1 項に記載の発明において、前記複数の接続領域は、前記半導体素子の表面に形成された配線層の一部に設けられた電極領域であるものである。

10

【 0 0 1 4 】

また、請求項 10 に記載の発明は、請求項 5 ～ 請求項 8 のいずれか 1 項に記載の発明において、前記複数の接続領域は、前記半導体素子の表面の予め定められた領域であるものである。

【 0 0 1 5 】

また、請求項 11 に記載の発明は、請求項 5 ～ 請求項 10 のいずれか 1 項に記載の発明において、前記半導体素子の裏面側に前記半導体素子及び前記キャパシタ素子を配置する基体をさらに含むものである。

20

【 0 0 1 6 】

また、請求項 12 に記載の発明は、請求項 11 に記載の発明において、前記基体と前記半導体素子との間又は前記基体と前記キャパシタ素子との間に、前記複数の接続領域の少なくとも一部の位置と、前記キャパシタ素子の前記端子対の位置とを等しくするための位置合せ部をさらに含むものである。

【 0 0 1 7 】

また、請求項 13 に記載の発明は、請求項 5 ～ 請求項 12 のいずれか 1 項に記載の発明において、各々機能の異なる複数の前記半導体素子、及び複数の前記半導体素子の各々に対応して配置された複数の前記キャパシタ素子を含み、複数の前記半導体素子は、予め定められた機能を発揮するように相互に接続されているものである。

30

【 0 0 1 8 】

また、請求項 14 に記載の発明は、請求項 5 ～ 請求項 13 のいずれか 1 項に記載の発明において、前記端子対の各々は、前記キャパシタ素子の電極に接続された複数の端子片から構成されたものである。

【 発明の効果 】

【 0 0 1 9 】

請求項 1 及び請求項 5 に記載の発明によれば、キャパシタ素子からキャパシタ層を介して半導体素子に電流を供給する構成において、キャパシタ層を基板の厚み方向の中央付近に設ける構成を利用する場合と比較し、電流供給経路における寄生インピーダンスを低減することが可能な半導体パッケージ、及び半導体パッケージの製造方法が提供される、という効果が得られる。

40

【 0 0 2 0 】

請求項 2 に記載の発明によれば、第 2 の金属層と前記導電部とを別工程で別の材料を用いて形成する場合と比較して、複数の接続領域の他の一部及び前記端子対の他方の端子と第 2 の金属層との間の寄生インピーダンスが低減される、という効果が得られる。

【 0 0 2 1 】

請求項 3 に記載の発明によれば、複数の接続領域の少なくとも一部の高さ位置、および端子対の高さ位置が半導体素子の断面視において異なる高さになっている場合と比較し、平坦化される、という効果が得られる。

【 0 0 2 2 】

50

請求項 4 に記載の発明によれば、基体を有する構成と比較し、高さの低い半導体パッケージを提供しやすい、という効果が得られる。

【 0 0 2 3 】

請求項 6 に記載の発明によれば、基板を含まない場合と比較して、例えばファンアウト型のパッケージの形態とすることにより、外部との接続の自由度が増す、という効果が得られる。

【 0 0 2 4 】

請求項 7 に記載の発明によれば、基板の一方の面と他方の面との間に配線層を備えない場合と比較して、より複雑な配線がなされる、という効果が得られる。

【 0 0 2 5 】

請求項 8 に記載の発明によれば、コアを含まない場合と比較して、半導体パッケージの強度が増す、という効果が得られる。

【 0 0 2 6 】

請求項 9 に記載の発明によれば、未配線の半導体素子を用いる場合と比較して、既存の半導体素子が用いられる、という効果が得られる。

【 0 0 2 7 】

請求項 10 に記載の発明によれば、配線済の半導体素子を用いる場合と比較して、より製造精度が緩和された配線工程により半導体素子の配線がなされる、という効果が得られる。

【 0 0 2 8 】

請求項 11 に記載の発明によれば、基体を含まない場合と比較して、取り扱いが容易である、という効果が得られる。

【 0 0 2 9 】

請求項 12 に記載の発明によれば、位置合せ部を含まない場合と比較して、半導体素子あるいはキャパシタ素子の選択の自由度が増す、という効果が得られる。

【 0 0 3 0 】

請求項 13 に記載の発明によれば、単一の半導体素子を含む場合と比較して、S i P (System in Package) の機能が実現される、という効果が得られる。

【 0 0 3 1 】

請求項 14 に記載の発明によれば、端子対の各々が、電極の各々に接続された 2 つの端子片から構成される場合と比較して、ノイズ除去等多端子型のキャパシタ素子の作用がもたらされる、という効果が得られる。

【 図面の簡単な説明 】

【 0 0 3 2 】

【 図 1 】 第 1 の実施の形態に係る半導体パッケージの構成の一例を示す縦断面図、半導体素子の縦断面図、及び表面平坦化を説明する図である。

【 図 2 】 第 1 の実施の形態に係る半導体パッケージの製造方法の一例を示す縦断面図の一部である。

【 図 3 】 第 1 の実施の形態に係る半導体パッケージの製造方法の一例を示す縦断面図の一部である。

【 図 4 】 第 1 の実施の形態に係る半導体パッケージの個片化前後の構成の一例を示す平面図である。

【 図 5 】 第 2 の実施の形態に係る半導体パッケージの構成の一例を示す縦断面図である。

【 図 6 】 第 3 の実施の形態に係る半導体パッケージの個片化前後の構成の一例を示す平面図である。

【 図 7 】 第 4 の実施の形態に係る半導体パッケージの構成の一例を示す縦断面図である。

【 図 8 】 第 4 の実施の形態に係る半導体パッケージの製造方法の一例を示す縦断面図である。

【 図 9 】 第 5 の実施の形態に係る半導体パッケージの構成の一例を示す縦断面図である。

【 発明を実施するための形態 】

10

20

30

40

50

【 0 0 3 3 】

以下、図面を参照して、本発明を実施するための形態について詳細に説明する。

【 0 0 3 4 】

[第 1 の実施の形態]

図 1 ないし図 4 を参照して本実施の形態に係る半導体パッケージ、及び半導体パッケージの製造方法について説明する。

【 0 0 3 5 】

図 1 (a) 及び (b) を参照して、まず、本実施の形態に係る半導体パッケージ 1 0 の全体構成について説明する。図 1 (a) は、半導体パッケージ 1 0 の構成の一例を示す縦断面図、図 1 (b) は、平面図である。図 1 (a) に示す半導体パッケージ 1 0 の縦断面図は、図 1 (b) に示す半導体パッケージ 1 0 の平面図における A - A ' 線において切断した図である。

10

【 0 0 3 6 】

図 1 (a) に示すように、本実施の形態に係る半導体パッケージ 1 0 は、基体 1 2 、絶縁体層 1 4 、キャパシタ層 1 6 、及び基板 1 8 を含んで構成されている。半導体パッケージ 1 0 は、一方の面に基体 1 2 を具備し、基体 1 2 に接して L S I (L a r g e S c a l e I n t e g r a t e d c i r c u i t) 等の半導体素子 1 0 0 、キャパシタ素子 2 0 0 等の個別部品が配置され、他方の面にパンプ 2 2 等の突起状の接続部材が設けられている。本実施の形態に係る半導体パッケージ 1 0 は、例えば、パンプ 2 2 を介して、マザーボード等のプリント基板 (図示省略) に実装する素子実装用の半導体パッケージである。

20

【 0 0 3 7 】

基体 1 2 を形成する材料としては、例えばシリコン (S i) 基板等の半導体基板、ガラスエポキシ基板、セラミック基板、金属基板等が、特に限定されることなく用いられが、本実施の形態ではシリコン基板を用いている。後述するように、本発明では基体 1 2 を剥離等により除去する場合もあり、この場合には、例えば金属基板が用いられる。

【 0 0 3 8 】

絶縁体層 1 4 は、半導体素子 1 0 0 、キャパシタ素子 2 0 0 等の個別部品を封止し、固定するモールド層であり、本実施の形態では樹脂により形成されている。

【 0 0 3 9 】

30

図 1 (a) に示すように、キャパシタ層 1 6 は、第 1 金属層 5 0 、誘電体層 5 2 、および第 2 金属層 5 4 を含んで構成され、第 1 金属層 5 0 、誘電体層 5 2 、および第 2 金属層 5 4 の積層方向 (図 2 の正面視上下方向) で重なった部分が、キャパシタ (コンデンサ、容量) を構成している。本実施の形態では、第 1 金属層 5 0 を基準電位層 (半導体パッケージ 1 0 に搭載される各素子の基準電位端子が接続される層) とし、第 2 金属層 5 4 を電源電位層 (半導体パッケージ 1 0 に搭載される各素子の電源端子が接続される層) としている。換言すると、第 1 金属層 5 0 は基準電位層として機能し、第 2 金属層 5 4 は電源電位層として機能する。しかしながら、むしろこれに限られず、第 1 金属層 5 0 を電源電位層とし、第 2 金属層 5 4 を基準電位層としてもよい。なお、以下では、「基準電位」をグランド (接地) とした場合を例示して説明する。

40

【 0 0 4 0 】

本実施の形態では、第 1 金属層 5 0 および第 2 金属層 5 4 を構成する金属として C u (銅) を用いている。しかしながら、これに限定されることなく、A u (金) 、A l (アルミニウム) 等他の一般的な配線用金属を用いてもよい。また、本実施の形態では、誘電体層 5 2 を構成する誘電体として S T O (チタン酸ストロンチウム : S r T i O 3) を用いている。S T O は、比誘電率が 3 0 0 程度であり、キャパシタを構成する誘電体として好適な材料である。また、チタン酸バリウム (B a T i O 3) 等の強誘電体材料を用いてもよい。しかしながら、キャパシタ層 1 6 を構成する誘電体はこれに限定されることなく、キャパシタ層として機能する誘電体材料であればよい。一例として、基板の層間絶縁層を形成する材料よりも比誘電率が高い材料を使用することができる。

50

【 0 0 4 1 】

基板 1 8 は、絶縁体層 2 6 a、2 6 b（以下、総称する場合は、「絶縁体層 2 6」）、及び該絶縁体層 2 6 a、2 6 bの各々の上面に形成された配線 2 4を含んで構成される多層配線層である。本実施の形態では、配線層を形成する金属として Cu 用いている。しかしながら、これに限定されることなく、Au、Al 等他の一般的な配線用金属を用いてもよい。また、絶縁体層 2 6 は、一例としてシリコン酸化膜（SiO₂ 膜）によって形成されている。なお、本実施の形態では、基板 1 8 として多層配線層を例示して説明するが、むしろ単層の配線層であってもよい。基板 1 8 の形成は、例えば、半導体製造プロセスの配線層の製造工程と同様の工程により行われる。

【 0 0 4 2 】

基板 1 8 の表面には、配線 2 4 の一部であるパッド 2 0（電極領域）が形成されており、パッド 2 0 上には、接続部材としてのバンプ 2 2 が形成されている。なお、バンプ 2 2 は必須のものではなく、例えば半導体パッケージ 1 0 を図示しないマザーボードにはんだ接続するような場合には、バンプ 2 2 を除いてもよい。

【 0 0 4 3 】

図 1（c）に、本実施の形態に係る半導体素子の一例である半導体素子 1 0 0 を示す。半導体素子 1 0 0 は、拡散基板 1 0 2、拡散基板 1 0 2 上に形成されたパッド 1 0 8（接続領域）、パッド 1 0 8 の周囲に形成された絶縁層 1 0 4 及び 1 0 6 を含んで構成されている。パッド 1 0 8 の上部には、絶縁層 1 0 4 及び 1 0 6 を貫通して開口部 1 1 0 が形成されている。

なお、本実施の形態では、絶縁層 1 0 4 及び 1 0 6 の 2 層の絶縁層が形成された半導体素子 1 0 0 を用いた形態を例示して説明するが、これに限られず、1 層の絶縁層が形成された半導体素子を用いた形態としてもよい。

【 0 0 4 4 】

拡散基板 1 0 2 は、トランジスタ等の素子の形成のための拡散が完了した基板である。半導体素子 1 0 0 では、さらに拡散基板 1 0 2 上に必要な配線層が形成されているが、図 1（c）では、配線層のうち、パッド 1 0 8 を代表して図示している。

【 0 0 4 5 】

パッド 1 0 8 は、半導体素子 1 0 0 の電源（図 1（a）、（c）では「VDD」と表記）、グランド（図 1（a）、（c）では「GND」と表記）、信号（図 1（a）、（c）では「S」と表記）と接続するための接続領域である。

【 0 0 4 6 】

図 1（c）に示す半導体素子 1 0 0 の GND のパッド 1 0 8 は、図 1（a）に示すように、キャパシタ層 1 6 の第 1 金属層 5 0（GND）に直接接続されている。また、図 1（c）に示す半導体素子 1 0 0 の VDD のパッド 1 0 8 は、図 1（a）に示すように、キャパシタ層 1 6 の第 2 金属層 5 4（VDD）に導電部として機能する一例であるビア Vc を介して接続されている。GND のパッド 1 0 8 が接続された第 1 金属層 5 0、及び VDD のパッド 1 0 8 が接続された第 2 金属層 5 4 は、さらに、基板 1 8 のビア Vp 及び配線 2 4 を介して、パッド 2 0 に接続されている。一方、S のパッド 1 0 8 は、キャパシタ層 1 6 を貫通し、基板 1 8 のビア Vp 及び配線 2 4 を介して、パッド 2 0 に接続されている。

【 0 0 4 7 】

ここで、本実施の形態では、半導体素子 1 0 0 のパッド 1 0 8 間の間隔が、基板 1 8 を介することによってパッド 2 0 間の間隔へと拡大されている。従って、本実施の形態に係る半導体パッケージ 1 0 は、いわゆるインターポーザの機能を有している。換言すれば、半導体パッケージ 1 0 は、いわゆるファンアウト型のパッケージとなっている。

【 0 0 4 8 】

本実施の形態に係るキャパシタ素子 2 0 0 は、半導体素子 1 0 0 に過渡電流（例えば、半導体素子 1 0 0 内の回路がスイッチングするときに流れる交流電流）を供給するために設けられたキャパシタであり、例えば、低 ESL（Equivalent Series Inductance：等価直列インダクタンス）タイプの MLCC（Multi-L

10

20

30

40

50

ayer Ceramic Capacitor)等が用いられる。

【0049】

キャパシタ素子200は、プラス側の端子およびマイナス側の端子として機能する第1の端子および第2の端子を有しており、一方の端子がキャパシタ層16の第1金属層50(GND)に直接接続される一方、他方の端子がビアVcを介して第2金属層54(VDD)に接続されている。第1の端子および第2の端子の数はそれぞれ単数であっても複数であってもよい。例えば、三端子、四端子、または八端子などの複数の端子(端子片)を有するものであってもよい。なお、搭載部品(回路素子)は、半導体素子、キャパシタ素子に限られず、インダクタ素子、抵抗素子等の他の素子が搭載されることもある。

【0050】

ここで、本実施の形態に係るキャパシタ層16とキャパシタ素子200との関係について説明する。上記の構成を有する半導体パッケージ10では、キャパシタ層16は、半導体素子100やキャパシタ素子200を囲うように面状に構成されている。従って、キャパシタ層16は、半導体素子100へ過渡電流を供給する供給源になっているだけでなく、キャパシタ素子200から半導体素子100へ過渡電流を供給する低インピーダンスの線路としての機能も有している。すなわち、単なる配線を介して過渡電流を供給する構成と比較して、キャパシタ素子200から低インピーダンスで電流が供給される構成となっている。

【0051】

なお、上記実施の形態では、配線まで完了した半導体素子100(配線済半導体素子)を用いた半導体パッケージ10の形態を例示して説明したが、これに限られず、拡散まで完了し配線が未了の半導体素子(未配線半導体素子)を用いてもよい。図1(d)に未配線半導体素子の一例として、半導体素子300を示す。図1(d)に示すように、半導体素子300は、例えば、拡散基板102上に、接続配線の導入部である開口部114を有する絶縁層112が形成されたものである。開口部114で区画された拡散基板102の表面が、キャパシタ層16との接続を行うための接続領域である。

【0052】

上記のように、配線済半導体素子である半導体素子100を用いた半導体パッケージ10では、基板18の配線24により半導体素子100のパッド108からパッド20までの配線、キャパシタ層16からパッド20までの配線を行う。一方、未配線半導体素子である半導体素子300を用いた半導体パッケージでは、半導体素子300の開口部114からパッド20までの配線、キャパシタ層16からパッド20までの配線に加えて、本来拡散基板102上に形成する配線も基板18の配線24によって行う。

【0053】

基板18により搭載部品(本実施の形態では、半導体素子100、キャパシタ素子200)の配線を行うことを一般に「再配線」という。配線済の半導体素子100を用いた半導体パッケージ10では、既存の半導体素子を用いることができ、しかも再配線により信号、電源の取り出し位置が容易に変更されるという効果がある。一方、未配線の半導体素子300を用いた半導体パッケージ10では、製造精度(例えば、配線ピッチ等)が緩和された半導体製造プロセスの配線工程を用いて再配線が行われるという効果がある。

【0054】

ところで、従来技術に係る半導体パッケージ、例えば、多層基板上にキャパシタ層を設け、キャパシタ層上に半導体素子及びデカップリング用のキャパシタ素子を搭載する半導体パッケージでは、半導体素子の搭載にC4バンプが使用され、キャパシタ素子の接続にはんだが使用される場合がある。しかしながら、このような半導体パッケージでは、C4バンプあるいは、はんだに起因する寄生インピーダンス(寄生インダクタンス、寄生容量、寄生抵抗)が無視できず、特に高周波数を扱う半導体素子では特性に大きな影響を及ぼす。また、キャパシタ層が基板の厚み方向の中央付近に設けられた構成を利用する場合においては、基板表面に設けられた半導体素子とキャパシタ層との間を長いビアで接続する必要があり、その分、寄生インピーダンスが大きくなる。

10

20

30

40

50

【 0 0 5 5 】

そこで、本発明に係る半導体パッケージでは、半導体素子、キャパシタ素子等の搭載部品の上面の位置を等しくした上で、搭載部品の上面側にキャパシタ層を形成し、半導体素子、キャパシタ素子等の搭載部品を、キャパシタ層を構成する少なくとも一方の金属層に直接接続するようにした。このことにより、キャパシタ素子からキャパシタ層を介して半導体素子に電流を供給する構成において、寄生インピーダンスが低減される。なお、以下では、半導体素子とキャパシタ素子等の搭載部品との間のスペースを絶縁体層で埋めることで、半導体素子 1 0 0 のパッド 1 0 8 からキャパシタ素子 2 0 0 の端子に至る面を平坦にすることを「平坦化」といい、平坦化された面を「共平面 P」という場合がある。なお、絶縁体層で埋めない場合と比較し平坦になっていれば「平坦化」に含まれ、好ましくは、図 1 (e) において、半導体素子 1 0 0 のパッド 1 0 8 の高さ位置、キャパシタ素子 2 0 0 の端子の上面の高さ位置、および絶縁体層 1 4 の上面の高さ位置のばらつきが 1 0 μ m の高さ範囲に含まれているとよい。更に好ましくは、3 μ m の高さ範囲に含まれているとよい。また、本実施の形態において、「高さ位置が同じ」および「揃えられている」等の表現は、完全に一致していることを意味するのではなく、少なくとも、ばらつきが 1 0 μ m の高さ範囲に含まれていることを指し、好ましくは 3 μ m の範囲に含まれているとよい。

10

【 0 0 5 6 】

図 1 (e) は、上記平坦化の一例を示した図である。すなわち、本実施の形態では、基体 1 2 上に搭載された搭載部品である半導体素子 1 0 0、キャパシタ素子 2 0 0 の上面の高さ位置、および絶縁体層 1 4 の上面の高さ位置が同じ位置となっている、つまり共平面 P の位置に揃えられている。搭載部品の上面を共平面 P の位置に揃える平坦化の方法としては、後述するように種々あるが、本実施の形態では半導体素子 1 0 0、キャパシタ素子 2 0 0 の高さを揃えて平坦化している。

20

【 0 0 5 7 】

つまり、キャパシタ素子 2 0 0 の高さが所与のものとし、半導体素子 1 0 0 の高さをキャパシタ素子 2 0 0 の高さに合わせ、その間を絶縁体層 1 4 で埋めることによって平坦化している。半導体素子 1 0 0 の高さを調整する方法としては、一例として、半導体素子 1 0 0 の製造工程において、拡散基板 1 0 2 を必要なだけ研磨することによって行ってもよい。むろん、これに限られず、キャパシタ素子 2 0 0 の高さを半導体素子 1 0 0 の高さに合わせるによって平坦化を行ってもよい。

30

【 0 0 5 8 】

次に、図 2 ないし図 4 を参照して、本実施の形態に係る半導体パッケージの製造方法について説明する。図 2 及び図 3 は、本実施の形態に係る半導体パッケージの製造方法の一例を示す縦断面図であり、図 4 は、製造の完了した本実施の形態に係る半導体パッケージの個片化前後の構成の一例を示す平面図である。

【 0 0 5 9 】

まず、搭載部品である半導体素子 1 0 0 及びキャパシタ素子 2 0 0 を、基体 1 2 上に接着剤等で固定して配置する。その後、図 2 (a) に示すように、半導体素子 1 0 0 及びキャパシタ素子 2 0 0 の周囲をモールド樹脂で埋め、絶縁体層 1 4 を形成する。これにより、共平面 P が形成される。なお、半導体素子 1 0 0 及びキャパシタ素子 2 0 0 を後工程で基体 1 2 上から剥離する場合は剥離可能な接着剤等を使用すればよく、剥離せずに半導体パッケージを使用する場合は剥離が可能な接着剤以外で固定してもよい。

40

【 0 0 6 0 】

図 4 (a) を参照して、本実施の形態に係る搭載部品の配置について、より詳細に説明する。本実施の形態では、基体 1 2 としてシリコン基板を用いているので、本工程では、例えば、図 4 (a) に示すように、シリコンによるウエハ W A F 上に、複数の半導体パッケージ 1 0 を形成するための搭載部品を規則的に配置する。このような工程を採用することにより、複数の半導体パッケージ 1 0 (図 4 (a) の例では 2 1 個) が一括して製造される。

50

【0061】

次に、第1金属層50を形成するための金属膜を成膜する。当該金属膜の材料としては、Cu、Au、Al等特に限定されることがなく用いられるが、本実施の形態ではCuを用いている。金属膜は、例えばスパッタ法やドライメッキ法によって、一例として1 μ m~20 μ m程度の厚さに成膜する。その後、図2(b)に示すように、フォトリソグラフィ、およびエッチングを用いて、金属膜を予め定められた形状にパターニングし、第1金属層50を形成する。本エッチング工程により、搭載部品が接続される位置に開口部Hが形成される。エッチングとしては、ドライエッチング、ウエットエッチング等、特に限定されることがなく用いられる。また、エッチングを使用せずに、マスク蒸着やリフトオフ等の他の形成方法によって第1金属層50のパターニングを行ってもよい。

10

【0062】

次に、第1金属層50上に誘電体層52を形成するための誘電体膜を形成し、フォトリソグラフィ、およびエッチングを用いて、当該誘電体膜を予め定められた形状にパターニングする。エッチングとしては、ドライエッチング、ウエットエッチング等、特に限定されることがなく用いられる。その後、レーザ装置、あるいはドリル等によって搭載部品の接続される位置にビアホールVH1を開口させて、図2(c)に示すように誘電体層52を形成する。

【0063】

ここで、本実施の形態では、誘電体層52として、一例としてSTO膜を用いる。STO膜は、例えば、CVD(Chemical Vapor Deposition: 化学気相成長)法や、PVD(Physical Vapor Deposition: 物理気相成長)法などによって成膜される。より具体的には、プラズマCVD法、エアロゾルCVD法、スパッタリング法、イオンプレーティング法、蒸着法等の気相成長法によって、数百nm~数 μ m程度の厚さに成膜する。一例として、STO膜は、500nm程度の厚さに成膜する。このように気相成長法により誘電体層52を成膜すれば、非常に薄い厚みで形成できるため同じ面積であってもキャパシタ容量が大きくなる。なお、STO膜等の誘電体膜の形成方法として、気相成長ではなく溶液を塗布する溶液法や、厚みは厚くなるものの、フィルム状の誘電体膜を貼り付けるなど、他の形成方法で行ってもよい。

20

【0064】

次に、第2金属層54を形成するための金属膜を成膜する。当該金属膜の材料としては、Cu、Au、Al等特に限定されることがなく用いられるが、本実施の形態ではCuを用いている。金属膜の形成は、まず、ビアホールVH1の内部を含む表面全体にドライメッキ法等により薄いCu膜(シード層)を形成する(図示省略)。ここで、シード層とは、後工程で第2金属層54をメッキ処理で形成する際の導体となる層である。そして、フォトレジストをシード層上にパターニング後、電解メッキ等により、フォトレジストの開口部からシード層が露出した部分に金属膜を形成する。この電解メッキ等により、ビアホールVH1が埋められて導電部の一例であるビアV1となるとともに第2金属層54が形成される。すなわち、第2金属層54の形成とビアホールVH1の埋め込みは同一の工程で同時に行われる。その後、フォトレジストを除去し、シード層の厚み分だけエッチングすることで、第2金属層54が形成されていない部分のシード層が除去され、最終的な第2金属層54が完成する。このように、第2金属層54とビアV1とを別工程で別の材料を用いて形成する場合と比較して、半導体素子100のパッド108およびキャパシタ素子200の端子と、第2金属層54との間の寄生インピーダンスが低減される。なお、第2金属層54の厚みは、一例として1 μ m~20 μ m程度である。

30

40

【0065】

次に、絶縁体層26aを形成した後、フォトリソグラフィ、およびエッチングを用いて、必要な箇所にビアV2を形成するための開口部を設けた後、絶縁体層26a上に金属膜を成膜する。本成膜工程により開口部が金属膜で埋められ、ビアV2が形成される。その後、フォトリソグラフィ、およびエッチングを用いて、金属膜を予め定められた形状にパターニングし、図3(a)に示すように、配線24を形成する。

50

【 0 0 6 6 】

次に、絶縁体層 2 6 a、配線 2 4 上に絶縁体層 2 6 b を形成し、前工程と同様の工程により、絶縁体層 2 6 b 上にパッド 2 0 を形成する。また、基体 1 2 は、上記工程のいずれかのタイミングで剥離（除去）してもよいし、剥離せずに半導体パッケージの一部としてもよい。なお、基体 1 2 を剥離することで、半導体パッケージの高さが抑制されやすくなる。更に、剥離した基体 1 2 を別の半導体パッケージの製造に再利用してもよい。

【 0 0 6 7 】

以上の工程により、図 4 (a) に示す個片化前の本実施の形態に係る半導体パッケージ 1 0 が製造される。その後、ダイサー、レーザ装置等により切断線 S L に沿って切断することにより、各半導体パッケージ 1 0 を個片化する。個片化された半導体パッケージ 1 0 の平面図を図 4 (b) に示す。

10

【 0 0 6 8 】

[第 2 の実施の形態]

図 5 を参照して、本実施の形態に係る半導体パッケージ 1 0 a について説明する。上記実施の形態においては、搭載部品の高さを揃えることによって搭載部品の上面で共平面 P を形成する平坦化を行ったが、本実施の形態はこの平坦化の方法を変更した形態である。

【 0 0 6 9 】

図 5 (a) は、半導体パッケージ 1 0 a の構成の一例を示す縦断面図であるが、図 1 (a) に表されたキャパシタ層 1 6 及び基板 1 8 を省略している。図 5 (a) に示すように、半導体パッケージ 1 0 a では、半導体素子 1 0 0 の高さがキャパシタ素子 2 0 0 の高さより低いことを前提に、半導体素子 1 0 0 とキャパシタ素子 2 0 0 との高さの差分の厚さを有するスペーサ 2 8 (位置合せ部) を設けている。つまり、半導体パッケージ 1 0 a では、スペーサ 2 8 によって、半導体素子 1 0 0 の上面、及びキャパシタ素子 2 0 0 の上面の高さ位置を同じにし、その間を絶縁体層 1 4 で埋めることで表面の平坦化を行っている。スペーサ 2 8 は樹脂、金属等によって作製してもよい。むろん、キャパシタ素子 2 0 0 の高さの方が半導体素子 1 0 0 の高さより低い場合には、キャパシタ素子 2 0 0 の下部にスペーサ 2 8 を設ければよい。

20

【 0 0 7 0 】

半導体パッケージ 1 0 a は、図 2 及び図 3 に示す半導体パッケージ 1 0 と同様の方法で製造される。すなわち、図 2 (a) の工程において、半導体素子 1 0 0 を接着剤等で基体 1 2 へ固定する前に、スペーサ 2 8 を接着剤等で固定し、固定されたスペーサ 2 8 上に半導体素子 1 0 0 を接着剤等で固定すればよい。図 5 (a) に示す構造体上に、図 2 及び図 3 と同様の工程によって、キャパシタ層 1 6 及び基板 1 8 を形成し、半導体パッケージ 1 0 a が製造される。

30

【 0 0 7 1 】

半導体パッケージ 1 0 a によれば、半導体素子 1 0 0 の裏面研削等の加工を施すことなく平坦化されるので、製造がより簡易になる。

【 0 0 7 2 】

図 5 (b) は、半導体パッケージ 1 0 b の構成の一例を示す縦断面図であるが、図 5 (b) では、図 1 (a) に表されたキャパシタ層 1 6 及び基板 1 8 を省略している。図 5 (b) に示すように、半導体パッケージ 1 0 b では、半導体素子 1 0 0 の高さがキャパシタ素子 2 0 0 の高さより低いことを前提に、半導体素子 1 0 0 とキャパシタ素子 2 0 0 との高さの差分の厚さを有する凸部 3 0 (位置合せ部) を基体 1 2 に一体的に設けている。つまり、半導体パッケージ 1 0 b では、凸部 3 0 によって、半導体素子 1 0 0 の上面、及びキャパシタ素子 2 0 0 の上面に共平面 P を形成し、表面の平坦化を行っている。むろん、キャパシタ素子 2 0 0 の高さの方が半導体素子 1 0 0 の高さより低い場合には、キャパシタ素子 2 0 0 の下部に凸部 3 0 を設ければよい。

40

【 0 0 7 3 】

半導体パッケージ 1 0 b は、図 2 及び図 3 に示す半導体パッケージ 1 0 と同様の方法で製造される。すなわち、図 2 (a) の工程において、凸部 3 0 を有する基体 1 2 上に半導

50

体素子 100 を接着剤等で固定すればよい。図 5 (b) に示す構造体上に、図 2 及び図 3 と同様の工程によって、キャパシタ層 16 及び基板 18 を形成し、半導体パッケージ 10 b が製造される。

【 0074 】

半導体パッケージ 10 b によれば、半導体素子 100 の裏面研削等の加工を施すことなく、また、スペーサ 28 のような別部品を準備することなく平坦化されるので、製造がさらに簡易になる。

【 0075 】

[第 3 の実施の形態]

図 6 を参照して、本実施の形態に係る半導体パッケージ 10 c について説明する。本実施の形態は、上記実施の形態において、搭載部品である半導体素子 100 を複数にした形態である。図 6 (a) は、個片化する前の半導体パッケージ 10 c を、図 6 (b) は、個片化後の半導体パッケージ 10 c を、各々示している。

10

【 0076 】

図 6 (b) に示すように、半導体パッケージ 10 c は、複数の半導体素子 100 a、100 b、100 c、及び 100 d を有すると共に、それぞれの半導体素子に対応して設けられた複数のキャパシタ素子 200 を備えている。図示を省略するが、半導体パッケージ 10 c でも、複数の半導体素子 100 a、100 b、100 c、及び 100 d の上面、及び複数のキャパシタ素子 200 の上面によって共平面 P が形成され、表面が平坦化されている。半導体パッケージ 10 c は、SoC (System on Chip)、大容量メモリ、高精度アナログ回路など複数のチップを接続し、1 パッケージで大規模システムが実現される SiP (System in Package) として構成してもよい。ここで、SoC とは、例えばシリコンチップ上に複数の機能回路を形成し、1 チップでシステムを作り上げる技術である。

20

【 0077 】

半導体パッケージ 10 c も、一例としてシリコンのウエハ WAF を基体として、該ウエハ WAF 上に各搭載部品を配置し、キャパシタ層 16 も含めて、図 2 及び図 3 に示す製造方法と同様の方法で製造される。図 6 (a) は製造を完了した後のウエハ WAF の状態を示しており、このウエハ WAF を切断線 SL に沿って切断して個片化することにより、図 6 (b) に示す個々の半導体パッケージ 10 c が製造される。

30

【 0078 】

[第 4 の実施の形態]

図 7 及び図 8 を参照して、本実施の形態に係る半導体パッケージ 10 d について説明する。本実施の形態は、本発明に係る半導体パッケージをコアレス構造のパッケージとして実現した形態である。

【 0079 】

図 7 は、半導体パッケージ 10 d の構成の一例を示す縦断面図である。ただし、図 7 では、図 1 (a) に示すキャパシタ層 16 及び基板 18 を省略している。図 7 に示すように、半導体パッケージ 10 d は、半導体素子 100 やキャパシタ素子 200 等の搭載部品を配置する基体を含まず、モールド樹脂等による絶縁体層 32 の内部に、半導体素子 100 及びキャパシタ素子 200 の少なくとも一部が埋め込まれた構造とされている。

40

【 0080 】

図 8 を参照して、本実施の形態に係る半導体パッケージ 10 d の製造方法について説明する。

【 0081 】

図 8 (a) に示すように、まず、基体 38 上に半導体素子 100 及びキャパシタ素子 200 を配置し、後工程で剥離が可能な接着剤等によって固定する。その際、半導体素子 100 は、パッド 108 を基体 38 と対向させて配置させる、いわゆるフェースダウンで配置する。

【 0082 】

50

次に、図 8 (b) に示すように、半導体素子 1 0 0 及びキャパシタ素子 2 0 0 を埋めるように、基体 3 8 上にモールド樹脂を塗布し、固化させて絶縁体層 3 2 を形成する。

【 0 0 8 3 】

次に、図 8 (c) に示すように、基体 3 8 を剥離する。その後、図 3 (c) に示す構造体上に、図 2 及び図 3 と同様の工程によってキャパシタ層 1 6 及び基板 1 8 を形成し、半導体パッケージ 1 0 d が製造される。なお、剥離した基体 3 8 は、別の半導体パッケージ 1 0 d の製造に用いて再利用してもよい。

【 0 0 8 4 】

本実施の形態に係る半導体パッケージ 1 0 d によれば、基体を含まないで半導体パッケージがより小型化され、半導体パッケージ 1 0 d が搭載されるマザーボード等が低背化される。

【 0 0 8 5 】

[第 5 の実施の形態]

図 9 を参照して、本実施の形態に係る半導体パッケージ 1 0 e について説明する。本実施の形態は、本発明半導体パッケージを、コア層を有する半導体パッケージとして実現した形態である。

【 0 0 8 6 】

図 9 に示すように、本実施の形態に係る半導体パッケージ 1 0 e は、絶縁体層 1 4 によって周囲を覆われた搭載部品としての半導体素子 1 0 0 、キャパシタ素子 2 0 0 、共平面化された搭載部品の上面の上部に形成されたキャパシタ層 1 6 、キャパシタ層 1 6 の上部に形成された配線層 3 4 、及び配線層 3 4 の上部に配置されたコア 3 6 を含んで構成されている。

【 0 0 8 7 】

絶縁体層 1 4 、キャパシタ層 1 6 、及び配線層 3 4 を含む構造体 (中間体) は、図 1 (a) に示す半導体パッケージ 1 0 と同様の構造体で、図 2 及び図 3 に示す製造方法と同様の製造方法によって製造される。ただし、図 9 に示す半導体パッケージ 1 0 e では、配線層 3 4 が単層とされ、基体 1 2 が剥離されている。むしろ、配線層 3 4 を多層配線層とする形態としてもよいし、基体 1 2 を残す形態としてもよい。

【 0 0 8 8 】

コア 3 6 は、例えば、ガラスエポキシ基板、セラミック等、硬質の材料であれば特に制限なく用いられるが、本実施の形態ではガラスエポキシ基板を用いている。コア 3 6 は通常のプリント板の製造工程、すなわち、まず、搭載部品の端子の引出位置等のガラスエポキシ基板の必要な箇所にビアホール (図示省略) を形成した後、両面に Cu 等による金属膜を形成する。その際、ビアホールは金属膜で埋められビア V 3 となる。その後、エッチング等により金属膜を予め定めた形状に加工し、ガラスエポキシ基板の両面にパッド 4 0 (接続部) 、及びパッド 4 2 (配線部) を形成して、コア 3 6 が製造される。

【 0 0 8 9 】

本実施の形態では、上記中間体のパッド 2 0 (図示省略、図 1 (a) 参照) と、コア 3 6 のパッド 4 2 とをバンプ、あるいは、はんだ (図示省略) で接続して、半導体パッケージ 1 0 e の製造が完了する。

【 0 0 9 0 】

なお、本実施の形態では、中間体とコア 3 6 を別体として製造し、各々の製造が完了した後、両者を接合させて半導体パッケージ 1 0 e を製造する形態を例示して説明したが、これに限られない。例えば、中間体層の上部に、熱硬化性樹脂による層間絶縁膜を用いた配線層を形成してコアを製造する方法を採用してもよい。

【 0 0 9 1 】

本実施の形態に係る半導体パッケージ 1 0 e によれば、コア 3 6 により半導体パッケージ全体の強度が高められるので取り扱いが容易となる。

【 0 0 9 2 】

以上、本発明の実施の形態について詳述したが、本発明は、特定の実施形態に限定され

10

20

30

40

50

るものではなく、特許請求の範囲に記載された本発明の要旨の範囲内において、種々の変形・変更が可能である。すなわち、例えば、ある実施の形態に記載した構造、材料、処理等は、技術的な矛盾がない限り、他の実施の形態に適用してよい。一例として、第4の実施の形態に係るコアレス構造を、第1の実施の形態、第3の実施の形態に適用してもよい。

【0093】

また、各実施の形態における第1金属層、第2金属層及び誘電体層を含むキャパシタ層は、半導体パッケージ上において半導体素子の周囲に広がるように形成されていなくてもよく、半導体パッケージ上の一部の箇所のみ形成されてよい。一例として、通常の配線幅よりも十分に広い500 μ m以上の幅の配線として形成されていてもよい。また、スペースがない場合などは、500 μ m未満の幅の配線で構成するようにしてもよい。また、第1金属層50と第2金属層54の一方が500 μ m以上の幅の面状の金属面で、他方が500 μ m未満の幅の金属面であってもよい。

10

【0094】

また、各実施の形態における電源電位層と基準電位層は、それぞれが複数の領域に分割されていてもよく、また、電源電位層と基準電位層の一方のみが複数の領域に分割されていてもよい。

【0095】

また、キャパシタ層を構成する各金属層は必ずしも単一の層として形成されていなくてもよい。例えば、母体となる単一の金属層の表面や裏面にこの金属層よりも薄い厚みの他の金属からなる機能層が積層されていてもよい。

20

【0096】

なお、各図面のスケールや形状は、発明の特徴を分かり易くするために強調している場合があり、必ずしも実際の基板や各層のスケールや形状と同一ではないことに留意すべきである。

【符号の説明】

【0097】

10、10a、10b、10c、10d、10e 半導体パッケージ

12 基体

14 絶縁体層

16 キャパシタ層

18 基板

20 パッド

22 バンプ

24 配線

26、26a、26b 絶縁体層

28 スペース

30 凸部

32 絶縁体層

34 配線層

36 コア

38 基体

40 パッド

42 パッド

50 第1金属層

52 誘電体層

54 第2金属層

100、100a、100b、100c、100d 半導体素子

102 拡散基板

104 絶縁層

30

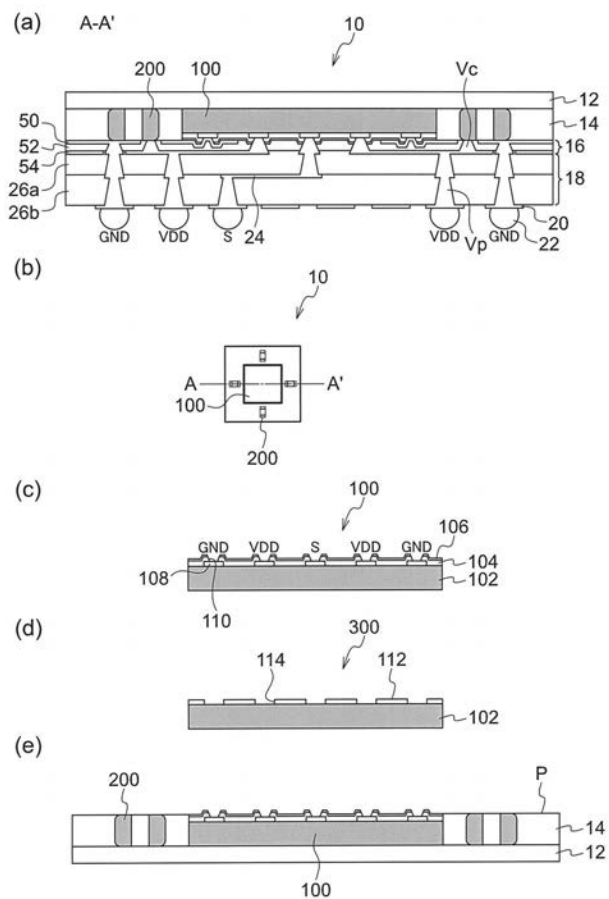
40

50

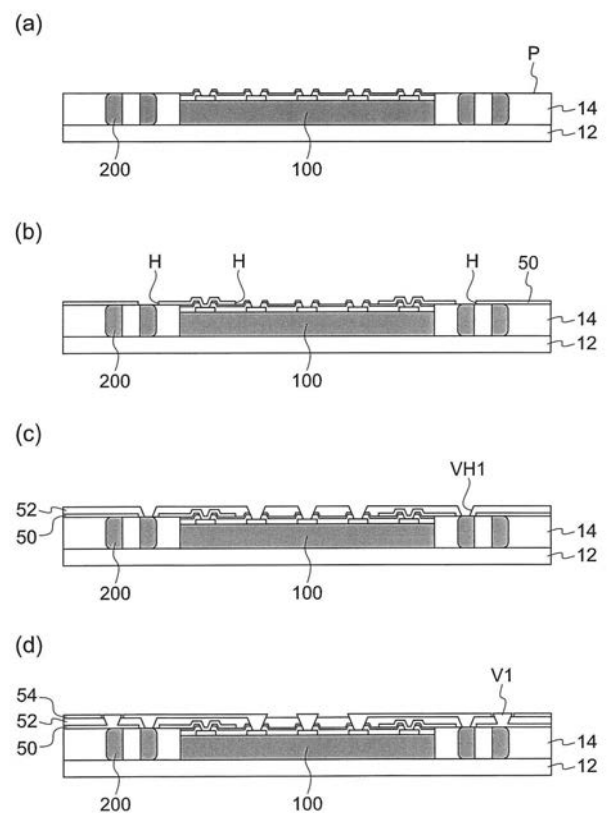
106 絶縁層
 108 パッド
 110 開口部
 112 絶縁層
 114 開口部
 200 キャパシタ素子
 300 半導体素子
 GND グランド
 H 開口部
 P 共平面
 S 信号
 SL 切断線
 Vc、Vp、V1、V2、V3 ピア
 VH1 ピアホール
 VDD 電源
 WAF ウエハ

10

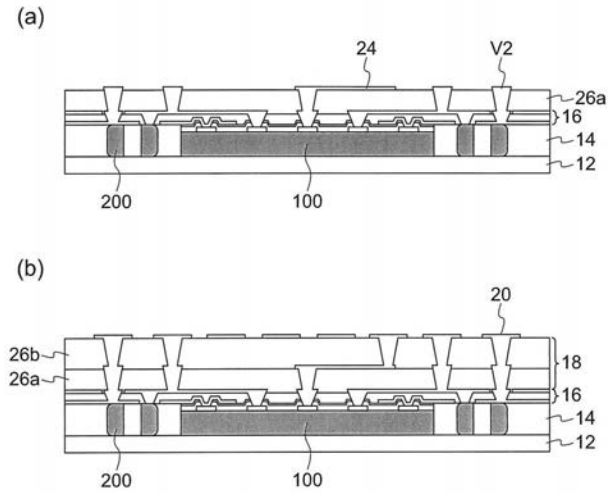
【図1】



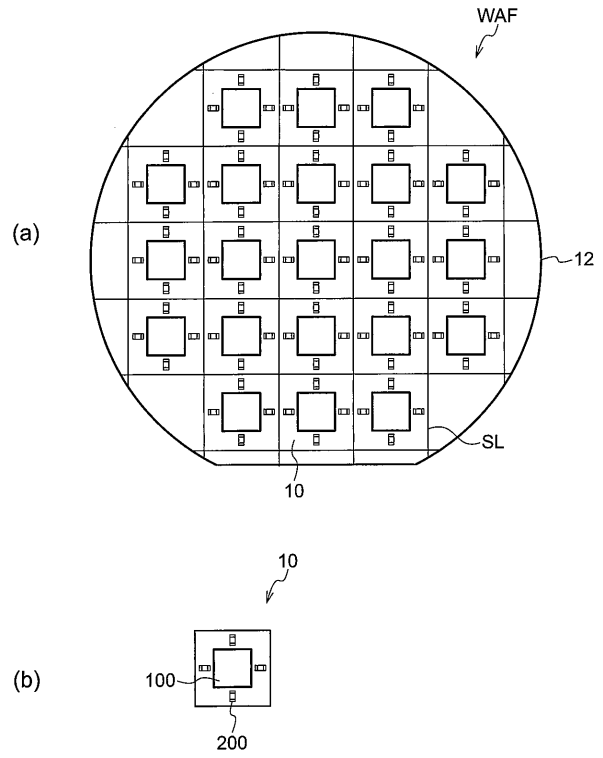
【図2】



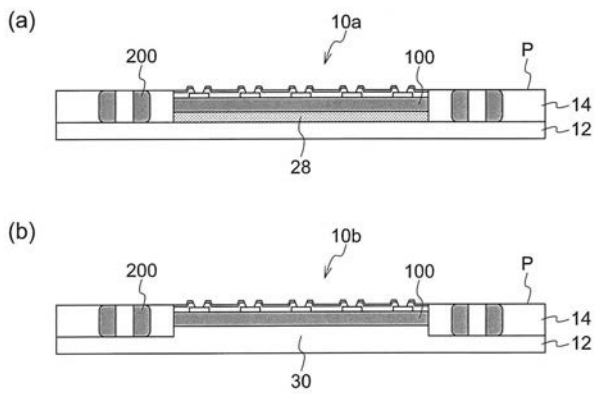
【図 3】



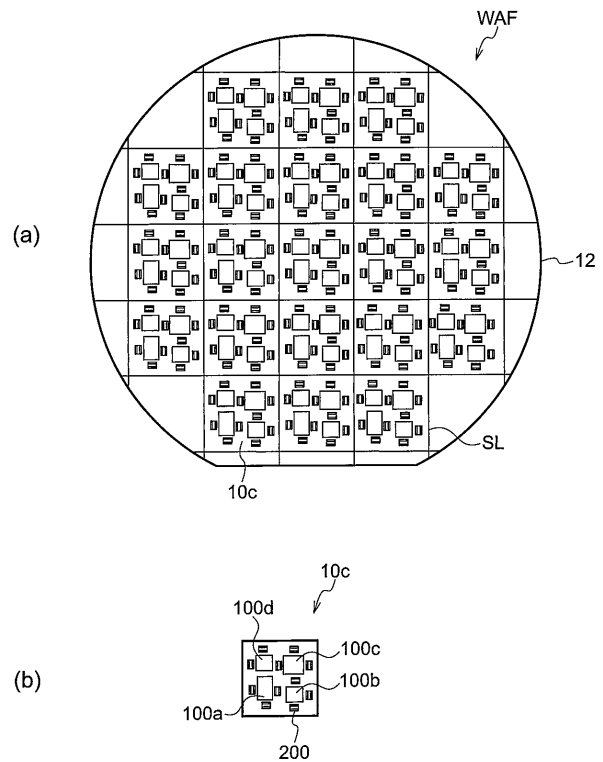
【図 4】



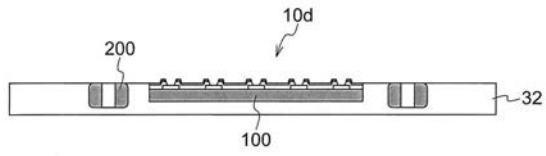
【図 5】



【図 6】

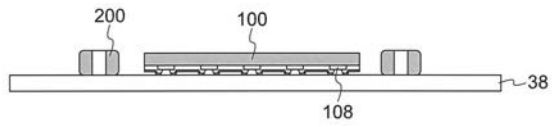


【図 7】

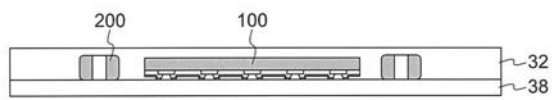


【図 8】

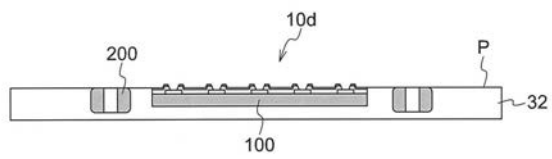
(a)



(b)



(c)



【図 9】

