



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I795124 B

(45) 公告日：中華民國 112 (2023) 年 03 月 01 日

(21) 申請案號：110146845

(22) 申請日：中華民國 110 (2021) 年 12 月 15 日

(51) Int. Cl. : G05F3/16 (2006.01)

G05F3/26 (2006.01)

H03F3/50 (2006.01)

(30) 優先權：2021/10/05 美國

17/494,493

(71) 申請人：旺宏電子股份有限公司 (中華民國) MACRONIX INTERNATIONAL CO., LTD.

(TW)

新竹科學工業園區力行路 16 號

(72) 發明人：吳憲宏 WU, HSIEN-HUNG (TW)

(74) 代理人：葉璟宗

(56) 參考文獻：

TW 201804278A

CN 100570527C

CN 102193578B

CN 107168442A

CN 107209528A

CN 108073215A

JP 4647130B2

US 9372496B2

US 9811104B2

審查人員：廖天佑

申請專利範圍項數：20 項 圖式數：32 共 65 頁

(54) 名稱

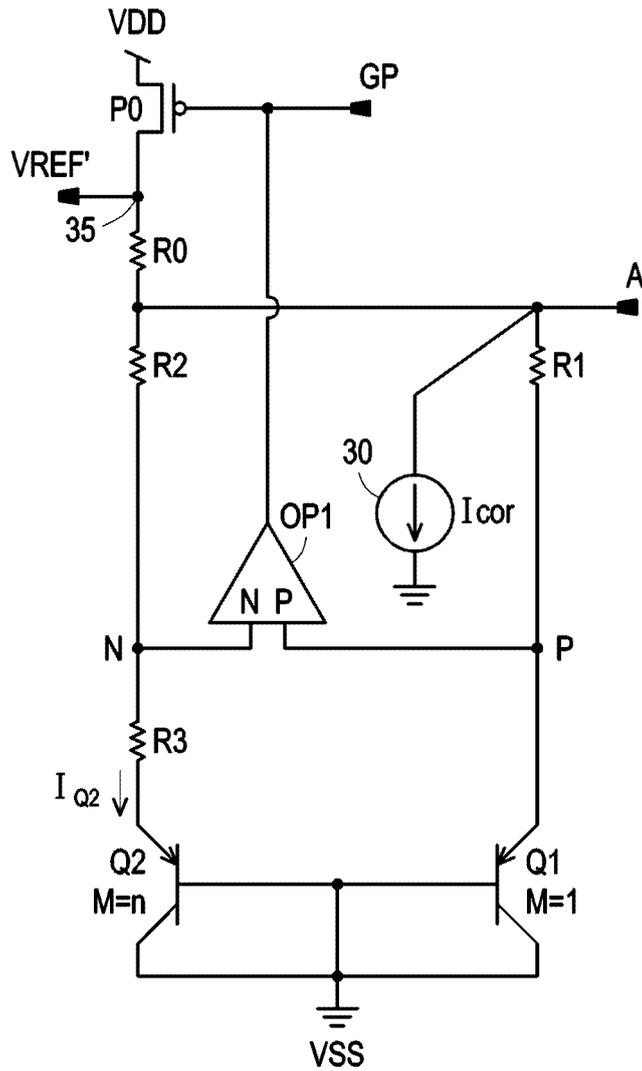
用於產生參考電壓的參考電壓電路

(57) 摘要

本發明提供一種參考電壓電路，包含：第一電路，包含串聯連接於電源節點與第一節點之間的第一 PN 接面裝置及第一電阻器，以及連接於第一節點與中間節點之間的第二電阻器，以及連接於中間節點與參考電壓輸出節點之間的第三電阻器；以及第二電路，包含連接於電源節點與第二節點之間的第二 PN 接面裝置以及連接於第二節點與中間節點之間的第二電阻器。回饋電流使得第一電阻器兩端的電壓抵消第一 PN 接面裝置兩端的電壓變化。施加校正電流以提升及或汲取參考電壓產生器中的電流，以擴展操作溫度範圍。

A reference voltage circuit includes a first circuit including a first PN junction device and a first resistor connected in series between a power supply node and a first node, and a second resistor connected between the first node and an intermediate node, and a third resistor connected between the intermediate node and a reference voltage output node, and a second circuit including a second PN junction device connected between the power supply node and a second node and a fourth resistor connected between the second node and the intermediate node. A feedback current causes voltage across the first resistor to offset changes in voltage across the first PN junction device. A correction current is applied to boost and or sink current in the voltage reference generator to extend the operating temperature range.

指定代表圖：



符號簡單說明：

30:電流源

35:參考電壓輸出節點

A:中間節點

GP:控制電壓

I<sub>cor</sub>:校正電流

N、P:節點

OP1:運算放大器

P0、Q1、Q2:電晶體

R0、R1、R2、R3:電阻器

VREF':電壓

【圖3】



I795124

## 【發明摘要】

【中文發明名稱】用於產生參考電壓的參考電壓電路

【英文發明名稱】 REFERENCE VOLTAGE CIRCUIT FOR PRODUCING REFERENCE VOLTAGE

【中文】本發明提供一種參考電壓電路，包含：第一電路，包含串聯連接於電源節點與第一節點之間的第一PN接面裝置及第一電阻器，以及連接於第一節點與中間節點之間的第二電阻器，以及連接於中間節點與參考電壓輸出節點之間的第三電阻器；以及第二電路，包含連接於電源節點與第二節點之間的第二PN接面裝置以及連接於第二節點與中間節點之間的第四電阻器。回饋電流使得第一電阻器兩端的電壓抵消第一PN接面裝置兩端的電壓變化。施加校正電流以提升及或汲取參考電壓產生器中的電流，以擴展操作溫度範圍。

【英文】 A reference voltage circuit includes a first circuit including a first PN junction device and a first resistor connected in series between a power supply node and a first node, and a second resistor connected between the first node and an intermediate node, and a third resistor connected between the intermediate node and a reference voltage output node, and a second circuit including a second PN junction device connected between the power supply node and a second node and a fourth resistor connected between the second node and the intermediate node. A feedback current causes voltage across the first resistor to offset changes in voltage across the first PN junction device. A correction current is applied to

boost and or sink current in the voltage reference generator to extend the operating temperature range.

【指定代表圖】圖3

【代表圖之符號簡單說明】

30：電流源

35：參考電壓輸出節點

A：中間節點

GP：控制電壓

Icor：校正電流

N、P：節點

OP1：運算放大器

P0、Q1、Q2：電晶體

R0、R1、R2、R3：電阻器

VREF'：電壓

【特徵化學式】

無

## 【發明說明書】

【中文發明名稱】用於產生參考電壓的參考電壓電路

【英文發明名稱】REFERENCE VOLTAGE CIRCUIT FOR PRODUCING REFERENCE VOLTAGE

### 【技術領域】

【0001】本發明技術是關於在溫度範圍內維持恆定參考電壓且變化極小的參考電壓產生器，且更特定而言，是關於擴展此類參考電壓產生器的操作溫度範圍。

### 【先前技術】

【0002】參考電壓產生器廣泛用於包含積體電路的電子電路中。期望此類電路產生隨溫度變化極小的參考電壓。基於如二極體及電晶體的PN接面裝置中的PN接面的帶隙電壓特性的帶隙參考電路是在產生參考電壓的電路中常被使用的組件。帶隙參考電路可在例如0°C至70°C的操作溫度範圍內維持僅幾mV的參考電壓值變化。期望能提供一種可擴展參考電壓產生器的操作溫度範圍的技術。

### 【發明內容】

【0003】可應用本文中所描述的技術來減少包含帶隙參考電路的參考電壓電路中的操作溫度範圍內產生的參考電壓的變化。

### 【圖式簡單說明】

## 【0004】

圖 1 是帶隙參考電壓產生器的示意圖。

圖 2A 至圖 2C 標繪出如圖 1 的電路中電晶體 Q1 及電晶體 Q2 的飽和電流條件不同時參考電壓相對於溫度的曲線。

圖 3 是包含用以擴展電路的操作溫度範圍的提升校正電流源的帶隙參考電壓產生器的示意圖。

圖 4 是可將操作溫度範圍擴展至  $-40^{\circ}\text{C}$  的合成校正電流的圖。

圖 5 標繪通過圖 3 的電路中的電阻器 R0 的校正電流及未校正電流。

圖 6 標繪施加圖 4 的校正電流的校正參考電壓及未校正參考電壓。

圖 7 是包含用以校正所產生的參考電壓的不平衡的汲取校正電流源的帶隙參考電壓產生器的示意圖。

圖 8 是可用於使圖 2B 的參考電壓曲線移位的大小校正電流的圖。

圖 9 是可用於產生如本文中所描述的校正電流的電流減法器及電流衰減器的示意圖。

圖 10 是包含類似於圖 9 的可在較低溫度範圍內校正參考電壓的電流合成器的參考電壓產生器的示意圖。

圖 11 是在 RN2 等於零的情況下通過圖 10 的電路中的電晶體 N1 的電流在溫度範圍內的曲線。

圖 12 是在 RN2 等於零的情況下通過圖 10 的電路中的電晶體 N3 的電流在溫度範圍內的曲線。

圖 13 是基於圖 10 的電阻器 RN2 的值的變化而對於圖 10 的

電晶體 N4 的電流的變化模擬。

圖 14 是基於圖 10 電路中的電晶體 N4 及電晶體 N5 的大小的比例的值的變化而產生的參考電壓的模擬曲線。

圖 15 是包含可在較低溫度範圍內及較高溫度範圍內校正參考電壓的兩個電流合成器的參考電壓產生器的示意圖。

圖 16 是圖 15 的電晶體 N7 中電流相對於溫度的圖。

圖 17 是圖 15 的電晶體 N9 中電流相對於溫度的圖。

圖 18 是在圖 15 的電阻器 RN9 的不同電阻值下圖 15 的電晶體 N10 中的電流相對於溫度的圖。

圖 19 是展示針對圖 15 的電路中的不同電流衰減條件，在較高溫度範圍內參考電壓相對於溫度的圖。

圖 20 是使用圖 15 及圖 10 的電路在擴展的溫度範圍內的 VREF 的圖。

圖 21 是包含用以提供如參考圖 7 所描述的汲取校正電流的電流合成器的參考電壓產生器的示意圖。

圖 22 是圖 21 的電路中具有校正電流及不具有校正電流的情況下電晶體 Q2 中的電流的圖。

圖 23 是圖 21 的電路中具有校正電流及不具有校正電流的情況下的參考電壓的圖。

圖 24 是包含可在較低溫度範圍內及較高溫度範圍內校正參考電壓的兩個電流合成器以及用以產生汲取校正電流的電流合成器的參考電壓產生器的示意圖。

圖 25 是使用圖 24、圖 21 以及圖 15 的電路在擴展的溫度範圍內的參考電壓的圖。

圖 26 是用以校正圖 2C 中所展示的偏斜的提升校正電流的圖。

圖 27 是包含用以提供如參考圖 26 所描述的提升校正電流的電流合成器的參考電壓產生器的示意圖。

圖 28 是在具有及不具有圖 26 的提升校正電流的情況下由圖 27 的電路產生的參考電壓的圖。

圖 29 是包含可在較低溫度範圍內及較高溫度範圍內校正參考電壓的兩個電流合成器以及用以產生如圖 26 所描述的提升校正電流的電流合成器的參考電壓產生器的示意圖。

圖 30 是使用圖 27、圖 15 以及圖 10 的電路在擴展的溫度範圍內的參考電壓的圖。

圖 31 是根據另一實施例的具有提升校正電流的參考電壓產生器的示意圖。

圖 32 是類似於圖 31 中具有汲取校正電流的參考電壓產生器的示意圖。

### 【實施方式】

【0005】 參考圖 1 至圖 32 提供本發明的實施例的詳細描述。

【0006】 已開發出的帶隙參考電路具有兩個 PN 接面裝置，例如電晶體或二極體，所述 PN 接面裝置用以使得在電阻器兩端產生兩者之間的接面電壓差（例如，作為帶隙電壓的函數的基極-射極電壓），且藉由回饋來維持電阻器兩端的電壓降，所述電壓降抵消接面電壓隨溫度的變化。

【0007】 圖 1 是基於 PNP 電晶體的帶隙參考電路的示意圖。電路

包含 PNP 電晶體 Q1 及 PNP 電晶體 Q2，其基極及集極連接至接地，或其他參考電源節點。電晶體 Q1 及電晶體 Q2 的大小不同。如圖 1 中所標記，對於電晶體 Q2， $M=n$ ，對於電晶體 Q1， $M=1$ ，其中「 $n$ 」可為電晶體 Q1 的尺寸大小的倍數。電晶體 Q1 可由一個電晶體實施，電晶體 Q2 可例如當「 $n$ 」為整數時由「 $n$ 」個相同的並聯電晶體實施。對於給定電流量值，電晶體 Q1 及電晶體 Q2 中的電流密度隨著其大小的比例而有差異。電阻器  $r1$  連接於節點 N 與產生參考電壓  $V_{REF}$  的參考電壓輸出節點 10 之間。電阻器  $r2$  連接於電晶體 Q1 的射極與產生參考電壓  $V_{REF}$  的參考電壓輸出節點 10 之間。此外，電晶體 Q1 的射極在運算放大器 OP1 的「正」輸入處連接至節點 P，使得電晶體 Q1 的基極-射極電壓施加於節點 P 處。電阻器  $r3$  連接於電晶體 Q2 的射極與連接至運算放大器 OP1 的「負」輸入的節點 N 之間。P 通道 MOS 電晶體 P0 連接於參考電壓輸出節點 10 與例如 VDD 或其他參考電源節點的電源電位之間。運算放大器 OP1 的輸出以回饋方式連接至 P 通道 MOS 電晶體 P0 的閘極，使得在電阻器  $r3$  兩端產生電晶體 Q1 與電晶體 Q2 之間的基極-射極電壓差。

**【0008】** 類似於電晶體 Q1 的雙極電晶體的基極-射極電壓  $V_{BE}$  以及節點 P 處的電壓至少在一階近似中具有負溫度係數，且因此具有與絕對溫度成反比（complementary to absolute temperature；CTAT）特性的量值。基極-射極電壓差  $\Delta V_{BE}$ ，以及在此組態中電阻器  $r3$  兩端的電壓  $V_{r3}$  至少在一階近似中具有正溫度係數，且因此具有與絕對溫度成正比（proportional to absolute temperature，PTAT）特性的量值。

【0009】如本文中所使用的 CTAT 電流或 CTAT 電壓是在相關操作溫度範圍內具有至少在一階近似中具有負溫度係數的量值的電流或電壓。如本文中所使用的 PTAT 電流或 PTAT 電壓是在相關操作溫度範圍內具有至少在一階近似中具有正溫度係數的量值的電流或電壓。

【0010】因此，作為回饋的結果，運算放大器 OP1 將節點 N 處的電壓（等於 Q1 的基極-射極電壓）維持在節點 P 處。電阻器 r1 及電阻器 r2 的值通常相等，使得參考電壓輸出節點 10 與節點 N 及節點 P 之間的電壓相等。因此，電晶體 Q1 與電晶體 Q2 之間的基極-射極電壓  $V_{BE}$  的電壓差  $\Delta V_{BE}$  藉由電阻器 r3 兩端的電壓抵消，所述電壓如藉由通過電阻器 r3 的電流所感應。當電晶體 Q1 的基極-射極電壓  $V_{BE}$  以與絕對溫度成反比 CTAT 的方式變化時，運算放大器產生控制電壓 GP 以感應與絕對溫度成正比 PTAT 的電流，使得電阻器 r3 兩端的電壓等於基極-射極電壓的差。因此，隨著溫度升高，電晶體 Q1 的基極-射極電壓  $V_{BE}$  減少且電壓差  $\Delta V_{BE}$  增加。回饋增加電阻器 r3 兩端的電流，以跟蹤電壓差  $\Delta V_{BE}$  的增加。電流的增加亦增加電阻器 r1 及電阻器 r2 兩端的電壓，以補償電晶體 Q1 的基極-射極電壓  $V_{BE}$  的減少。CTAT 電壓與 PTAT 電壓的相同平衡適用於降低溫度。因此，參考電壓  $V_{REF}$  可在操作溫度範圍內相對恆定。

【0011】圖 2A 至圖 2C 為電晶體 Q1 中的飽和電流  $I_{S1}$  與電晶體 Q2 中的飽和電流  $I_{S2}$  的比例的三個條件，類似於圖 1 的帶隙參考電路的模擬的參考電壓  $V_{REF}$  相對於溫度的圖。表 1 展示圖的比較。

表 1

VREF (V)	圖 2A	圖 2B	圖 2C
125 °C	1.235	1.207	1.260
70 °C	1.240	1.216	1.261
0 °C	1.240	1.221	1.257
-40 °C	1.237	1.221	1.251
$\Delta$	5.8E-03	1.4E-02	9.8E-03

【0012】 在圖 2A 中，比例  $I_{S1}/I_{S2}$  等於 1。在此平衡良好的情況下，如表 1 中所展示，0°C 處的電壓及 70°C 處的電壓在 1.240V 處相等。然而，當溫度超過 70°C 至 125°C 時，電壓下降至約 1.235V；且當溫度降至低於 0°C 至約 -40°C 時，電壓下降至約 1.237V。因此，在 -40°C 至 125°C 的範圍內的變化為約 5.8mV。

【0013】 圖 2B 示出飽和電流  $I_{S1}$  少量超過飽和電流  $I_{S2}$  的情況。在圖 2B 中，比例  $I_{S1}/I_{S2}$  為 1.0006/0.9999。如所見，此將電壓曲線的峰值向下移位至較低溫度，且導致參考電壓 VREF 的較大變化。如表 1 中所見，對於圖 2B 的條件，在 -40°C 至 125°C 的範圍內的變化為約 14mV。然而，曲線在約 35°C 處的峰值周圍相對對稱。

【0014】 圖 2C 示出飽和電流  $I_{S1}$  少量小於飽和電流  $I_{S2}$  的情況。在圖 2B 中，比例  $I_{S1}/I_{S2}$  為 0.9996/1.0000。如所見，此將電壓曲線的峰值向上移位至較高溫度，且導致參考電壓 VREF 的較大變化。如表 1 中所見，對於圖 2C 的條件，在 -40°C 至 125°C 的範圍內的變化為約 9.8mV。

【0015】 應注意，在 0°C 至 70°C 的典型操作溫度下，所有三個圖中的參考電壓 VREF 變化為 5mV 或小於 5mV。然而，隨著溫度範圍擴展至 -40°C 及 +125°C，產生電壓 VREF 實質地下降。

【0016】 圖 3 是具有擴展的操作溫度範圍的參考電壓電路的示意

圖，所述參考電壓電路添加電流源 30，所述電流源 30 產生校正電流  $I_{cor}$  以補償參考電壓  $V_{REF}$  在類似於圖 1 的帶隙參考電壓電路中的擴展的溫度範圍內實質下降的趨勢。參考電壓電路包含第一電路及第二電路，第一電路及第二電路分別包含 PNP 電晶體 Q1 及 PNP 電晶體 Q2，所述 PNP 電晶體 Q1 及 PNP 電晶體 Q2 的基極及集極連接至電源電位（例如，VSS 或接地）。對於給定電流量值，電晶體 Q1 及電晶體 Q2 的大小不同（對於電晶體 Q2， $M=n$ ，對於電晶體 Q1， $M=1$ ）以使得電流密度隨著其大小的比例而有差異。電阻器 R3 連接於電晶體 Q2 的射極與運算放大器 OP1 的「負」輸入的節點 N 之間。電阻器 R2 連接於節點 N 與中間節點 A 之間。電阻器 R0 連接於中間節點 A 與產生參考電壓  $V_{REF}'$  的參考電壓輸出節點 35 之間。電阻器 R1 連接於電晶體 Q1 的射極與中間節點 A 之間。此外，電晶體 Q1 的射極在運算放大器 OP1 的「正」輸入處連接至節點 P，使得電晶體 Q1 的基極-射極電壓施加於節點 P 處。P 通道 MOS 電晶體 P0 連接於參考電壓輸出節點 35 與電源電位（例如 VDD 或其他電源電位）之間。運算放大器 OP1（其具有 PTAT 特性）輸出控制電壓 GP 以回饋方式連接至 P 通道 MOS 電晶體 P0 的閘極，使得在電阻器 R3 兩端產生電晶體 Q1 與電晶體 Q2 之間的基極-射極電壓差。

【0017】 為了擴展操作溫度範圍，自中間節點 A 處的電流源 30 施加校正電流  $I_{cor}$ 。校正電流  $I_{cor}$  可增加通過電阻器 R0 兩端的電流，以擴展溫度臨限值兩端的操作溫度範圍，例如低於  $0^{\circ}\text{C}$  及高於  $70^{\circ}\text{C}$ 。可應用實施方式來將操作範圍擴展至低於  $0^{\circ}\text{C}$ 。可單獨地或與將操作範圍擴展至低於  $0^{\circ}\text{C}$  的校正組合地應用實施方式來將操

作範圍擴展至高於 70°C。亦可單獨地或與擴展溫度範圍的其他校正組合地應用實施方式來校正如參考圖 2A 至圖 2C 所描述的飽和電流的比例的變化。

【0018】 在圖 3 的電路中，電晶體 Q2 中的電流  $I_{Q2}$  僅取決於負回饋電路，並不取決於通過電阻器 R0 的電流  $I_{R0}$ 。

【0019】 以電路中電流的方程式推導參考電壓  $V_{REF}$ ，概述於以下等式 (1) 至等式 (3) 中：

$$\text{【0020】 藉由負回饋， } V_N = V_P \text{ 或 } I_{Q2} \times R3 + V_{EB2} = V_{EB1} \dots (1)$$

除  $\Delta V(A, V_P) = \Delta V(A, V_N)$  或  $V_{R1} = V_{R2}$  以外，若  $R1 = R2$ ，則  $I_{R1} = I_{R2}$ 。

由於  $I_{R2} = I_{R3} = I_{Q2}$  且  $I_{R1} = I_{Q1}$ ，因此  $I_{R1} = I_{Q1} = I_{Q2} = I_{R3}$ 。

$$\text{且 } I_{R0} = I_{R1} + I_{R2} = 2I_{R1} = 2I_{Q2} \dots (2)$$

$$\begin{aligned} V_{REF} &= V_{EB1} + V_{R1} + V_{R0} = V_{EB1} + I_{R1} \times R1 + I_{R0} \times R0 = V_{EB1} + \\ I_{R1} \times R1 + 2I_{R1} \times R0 &= V_{EB1} + I_{R1} \times (R1 + 2 \times R0) = V_{EB1} + I_{Q2} \times (R1 \\ + 2 \times R0) \dots (3) \end{aligned}$$

藉由疊加原理  $I_{R0}' = I_{R0} + I_{cor}$  及  $V_{R0}' = I_{R0}' \times R0 = V_{R0} + I_{cor} \times R0$

由於  $V_{EB1}$ 、 $V_{R1}$  獨立於  $I_{cor}$

$$\begin{aligned} V_{REF}' &= V_{EB1} + V_{R1} + V_{R0}' = V_{EB1} + V_{R1} + V_{R0} + I_{cor} \times R0 = V_{REF} \\ + I_{cor} \times R0 \dots (4) \end{aligned}$$

【0021】 由在中間節點 A 處添加校正電流  $I_{cor}$  而產生的唯一電壓變化出現在電阻器 R0 兩端的電壓  $V_{R0}$  中及輸出節點 35 處的參考電壓  $V_{REF}'$  中，如以上等式 (4) 中所推導。電阻器 R0 及電流源 30 的添加可用於減少圖 2A 中所示出的參考電壓  $V_{REF}$  的變化。

舉例而言，操作溫度範圍可在一些情況下擴展至 $-40^{\circ}\text{C}$ ，在一些情況下擴展至 $+125^{\circ}\text{C}$ ，且擴展至 $-40^{\circ}\text{C}$ 至 $+125^{\circ}\text{C}$ 的整個範圍。

【0022】圖 4 至圖 6 是電流或電壓相對於溫度的圖，示出在圖 2A 的圖中添加校正電流  $I_{\text{cor}}$  以補償參考電壓  $V_{\text{REF}}$  下降至低於  $0^{\circ}\text{C}$  的影響。如圖 4 中所示出，施加校正電流  $I_{\text{cor}}$  以在臨限值的第一側（即低於  $0^{\circ}\text{C}$ ）的操作溫度下提升電阻器  $R_0$  中的電流，且在臨限值的相對的第二側（即高於  $0^{\circ}\text{C}$ ）的操作溫度下關閉。在此實例中，校正電流  $I_{\text{cor}}$  具有 CTAT 特性，隨著溫度在約 $-40^{\circ}\text{C}$ 至約  $0^{\circ}\text{C}$  的範圍內增加，所述校正電流  $I_{\text{cor}}$  自約  $16\text{nA}$  下降至零。在  $0^{\circ}\text{C}$  的臨限值處，校正電流  $I_{\text{cor}}$  關閉，至少達至其對高於  $0^{\circ}\text{C}$  的輸出電壓  $V_{\text{REF}}$  不具有顯著影響的程度。

【0023】圖 5 示出通過圖 3 的電阻器  $R_0$  電路對校正電流  $I_{\text{cor}}$  的影響。圖 5 中較下方的曲線繪示出在不添加校正電流  $I_{\text{cor}}$  的情況下通過電阻器  $R_0$  的電流  $I_{R_0}$ 。電流  $I_{R_0}$  具有 PTAT 特性，隨著溫度自約  $10^{\circ}\text{C}$  下降至約 $-40^{\circ}\text{C}$ ，所述電流  $I_{R_0}$  自約  $825\text{nA}$  下降至約  $730\text{nA}$ 。圖 5 中較上方的曲線繪示出在添加圖 4 中所展示的校正電流的情況下的電流  $I_{R_0}'$ 。如所見，當溫度降至低於約  $0^{\circ}\text{C}$  的臨限值時，校正電流使  $I_{R_0}'$  略微大於校正電流  $I_{R_0}$ ，且隨著溫度相對於  $I_{R_0}$  降低而裕度增加。

【0024】圖 6 示出添加圖 4 的校正電流  $I_{\text{cor}}$  的輸出參考電壓  $V_{\text{REF}}$  的結果。圖 6 中較下方的曲線繪示出在不添加校正電流  $I_{\text{cor}}$  的情況下模擬的參考電壓  $V_{\text{REF}}$ 。如所見，隨著溫度自約  $0^{\circ}\text{C}$  下降至約 $-40^{\circ}\text{C}$ ，其自高於  $1.24\text{V}$  的位準下降至約  $1.2374\text{V}$  的位準。在添加校正電流  $I_{\text{cor}}$  的情況下，展示於圖 6 較上方的曲線中的參考電壓

VREF'保持在窄範圍內，從而將參考電壓電路的有效操作溫度範圍擴展至 $-40^{\circ}\text{C}$ 或甚至更負的溫度。

【0025】 舉例而言，參考圖 4 至圖 6 所描述的操作原理亦可用於將操作溫度範圍增加至高於  $70^{\circ}\text{C}$ 。可施加校正電流  $I_{\text{cor}}$  以在臨限值的第二側（即高於  $70^{\circ}\text{C}$ ）的操作溫度下升高電阻器  $R_0$  中的電流，且在臨限值的相對的第一側（即低於  $0^{\circ}\text{C}$ ）的操作溫度下關閉。舉例而言，可施加具有高於  $70^{\circ}\text{C}$  的臨限值的 PTAT 特性的校正電流  $I_{\text{cor}}$ ，以補償參考電壓 VREF 在高於  $70^{\circ}\text{C}$  時快速下降的趨勢。此外，如本文中所描述，校正電流可為設計成在操作溫度範圍的較高及較低擴展中補償參考電壓隨溫度的變化的電流的組合。

【0026】 亦期望在飽和電流  $I_{S1}$  與飽和電流  $I_{S2}$  的比例不等於一的情況下補償圖 2B 及圖 2C 中所展示的參考電壓 VREF 相對於溫度的移位。在圖 2C 的條件下，飽和電流  $I_{S1}$  與飽和電流  $I_{S2}$  的比例小於 1。如圖 2C 中所見，參考電壓的峰值移位至較高操作溫度，導致圖中的不對稱，使得參考電壓 VREF 在  $0^{\circ}\text{C}$  至  $70^{\circ}\text{C}$  的範圍內下降。對此條件的補償需要在操作範圍內添加 CTAT 校正電流，此可以在溫度範圍的較低部分中升高參考電壓 VREF。此可藉由使用電流源 30 將電阻  $R_0$  兩端的 CTAT 校正電流添加至中間節點 A 來實現，如下文更詳細地論述。

【0027】 圖 7 是添加電流源 50 的參考電壓電路的示意圖，所述電流源 50 產生校正電流  $I_1$  以補償圖 2B 的條件，其中飽和電流  $I_{S1}$  與飽和電流  $I_{S2}$  的比例大於 1。如圖 2B 中所見，參考電壓的峰值移位至較低操作溫度，導致圖中的不對稱，使得參考電壓 VREF 在  $0^{\circ}\text{C}$  至  $70^{\circ}\text{C}$  的範圍內上升。對此條件的補償需要汲取 CTAT 校正電

流，此減少電晶體 Q1 中的電流  $I_{Q1}$ 。圖 7 中展示用於實現此補償的電路。

【0028】 圖 7 中的電路包含，第一電路及第二電路分別包含 PNP 電晶體 Q1 及 PNP 電晶體 Q2，所述 PNP 電晶體 Q1 及 PNP 電晶體 Q2 的基極及集極連接至電源電位（例如，VSS 或接地）。對於給定電流量值，電晶體 Q1 及電晶體 Q2 的大小不同（對於電晶體 Q2， $M=n$ ，對於電晶體 Q1， $M=1$ ）以至於電流密度隨著其大小的比例有差異。電阻器 R3 連接於電晶體 Q2 的射極與運算放大器 OP1 的「負」輸入的節點 N 之間。電阻器 R2 連接於節點 N 與中間節點 A 之間。電阻器 R0 連接於中間節點 A 與產生參考電壓 VREF' 的參考電壓輸出節點 35 之間。電阻器 R1 連接於電晶體 Q1 的射極與中間節點 A 之間。此外，電晶體 Q1 的射極在運算放大器 OP1 的「正」輸入處連接至節點 P，使得電晶體 Q1 的基極-射極電壓施加於節點 P 處。P 通道 MOS 電晶體 P0 連接於參考電壓輸出節點 35 與電源電位（例如 VDD）之間。運算放大器 OP1 的輸出以回饋方式連接至 P 通道 MOS 電晶體 P0 的閘極，使得在電阻器 R3 兩端產生電晶體 Q1 與電晶體 Q2 之間的基極-射極電壓差。

【0029】 在此實施方式中，添加電流源 50 以自節點 P 汲取校正電流  $I_1$ ，此減少電晶體 Q1 中的電流。此減少電流降低所得參考電壓 VREF。如藉由以下等式所表明，自節點 P 汲取校正電流  $I_1$  的電流源 50 並不影響運算放大器 OP1 的回饋操作。如等式（5）中所見，電流  $I_{Q2}$  取決於比例  $I_{Q1}/I_{Q2}$ 。因此，當校正電流  $I_1$  為非零時，電流  $I_{Q1}$  變得小於電流  $I_{Q2}$ ，且等式（5）中的第二項變為負常數。因此，自節點 P 汲取校正電流  $I_1$  使電流  $I_{Q2}$  相對於電流  $I_1 = 0$  的

情況變得更小。

**【0030】** 給定  $V_{EB1} + V_T \ln(I_{Q1}/I_{S1})$   $V_{EB2} = V_T \ln(I_{Q2}/nI_{S2})$

前述等式 (1) 可重寫為：

$$I_{Q2} \times R3 + V_T \ln(I_{Q2}/nI_{S2}) = V_T \ln(I_{Q1}/I_{S1})$$

$$I_{Q2} \times R3 = V_T [\ln(I_{Q1}/I_{S1}) - \ln(I_{Q2}/nI_{S2})] = V_T \{ \ln[(nI_{S2}/I_{S1}) \times (I_{Q1}/I_{Q2})] \} = V_T [\ln(nI_{S2}/I_{S1}) + \ln(I_{Q1}/I_{Q2})]$$

$$I_{Q2} = (V_T/R3) \times [\ln(nI_{S2}/I_{S1}) + \ln(I_{Q1}/I_{Q2})] \text{ --(5)}$$

由於  $V_{R1} = V_{R2}$  且  $R1 = R2$ ，接著  $I_{R1} = I_{R2}$  或  $I1 + I_{Q1} = I_{Q2}$

若  $I1 = 0$ ：  $I_{Q1} = I_{Q2}$  或  $\ln(I_{Q1}/I_{Q2}) = 0$

若  $I1 > 0$ ：  $I_{Q1} < I_{Q2}$  或  $\ln(I_{Q1}/I_{Q2}) < 0$

因此，

若  $I1 = 0$ ：  $I_{Q2} = (V_T/R3) \times [\ln(nI_{S2}/I_{S1})]$

若  $I1 > 0$ ：  $I_{Q2} = (V_T/R3) \times [\ln(nI_{S2}/I_{S1}) - \text{常數}]$

**【0031】** 圖 8 是實例校正電流  $I1$  的電流相對於溫度的圖。在此實例中，校正電流  $I1$  在低於約  $70^\circ\text{C}$  的臨限值的區域 800 中具有 CTAT 特性，所述區域 800 具有自約  $-40^\circ\text{C}$  至  $+70^\circ\text{C}$  的溫度範圍，且在高於  $70^\circ\text{C}$  的區域 801 中在臨限值的另一側關閉。

**【0032】** 圖 9 是可用於提供具有如上文所描述的特性的校正電流  $I_{cor}$  的電流源的示意圖。在此實施例中，電流源包括電流合成器，所述電流合成器包含電流減法器 90，其後是電流衰減器 91。電流減法器 90 包含 NMOS 電晶體 N0 至 NMOS 電晶體 N3。電晶體 N0 及電晶體 N2 串聯連接於接地與施加電流  $I_P$  的第一電流源 94 之間。電晶體 N2 的閘極連接至電晶體 N0 的汲極。電晶體 N1 及電晶體 N3 串聯連接於接地與施加電流  $I_C$  的第二電流源 95 之間。電

晶體 N1 的閘極連接至其汲極。由於電晶體 N2 及電晶體 N3 的電流鏡效應，電流  $I_P$  與電流  $I_C$  之間的差施加至電流衰減器 91 的 NMOS 電晶體 N4 的汲極。電流衰減器 91 包含第二 NMOS 電晶體 N5，電晶體 N5 與電晶體 N4 組態為電流鏡關係。校正電流  $I_{cor}$  產生於電晶體 N5 的汲極 98 處。藉由將電晶體 N5 與電晶體 N4 的尺寸大小的比例設定為低於 1 的期望值，而可視需要判定校正電流  $I_{cor}$  的量值。此外，在此電路中，當通過電晶體 N3 的電流（在此實例中為  $I_C$ ）在量值上降低至低於電晶體 N2 中的電流（在此實例中為  $I_P$ ）時，電晶體 N4 關閉，因此校正電流  $I_{cor}$  亦關閉，或基本上如此。

**【0033】** 可實施如上文所描述的校正電流  $I_{cor}$  或校正電流  $I_1$ ，使得其在相關操作範圍內具有 CTAT 特性或 PTAT 特性。用於在圖 9 中的電路中產生電流的 CTAT 特性的技術是應用具有 CTAT 特性的電流  $I_C$  及具有 PTAT 特性的電流  $I_P$ ，其中電流  $I_C$  具有跨越相關操作範圍的更大量值，且所述量值跨越溫度臨限值處。同樣地，用於在圖 9 的電路中產生電流的 PTAT 特性的技術是應用具有 CTAT 特性的電流  $I_C$  及具有 PTAT 特性的電流  $I_P$ ，其中電流  $I_P$  具有跨越相關操作範圍的更大量值，且所述量值跨越溫度臨限值處。

**【0034】** 圖 10 示出使用電流合成器 110 用作電流源來產生校正電流  $I_{cor}$  的參考電壓產生器的實施例。電流合成器 110 具有類似於圖 9 的組態。電流減法器包含 NMOS 電晶體 N0 至 NMOS 電晶體 N3 以及電阻器 RN2。電晶體 N0 及電晶體 N2 以及電阻器 RN2 串聯連接於接地與第一 PMOS 電晶體 P1 之間，所述第一 PMOS 電晶體 P1 的閘極連接至控制電壓  $G_P$ 。電晶體 N2 的閘極連接至電晶

體 N0 的汲極。此實例中的控制電壓 GP 在帶隙參考電壓產生器中的運算放大器 OP1 的輸出處產生，且因此在具有 PTAT 特性的電晶體 P1 中產生電流。電晶體 N1 及電晶體 N3 串聯連接於接地與 PMOS 電晶體 P1 之間，所述 PMOS 電晶體 P2 的閘極連接至控制電壓 GC。電晶體 N1 的閘極連接至電晶體 N0 的閘極。此外，電晶體 N1 的閘極連接至其汲極。此實例中的控制電壓 GC 由 CTAT 參考電路 101 產生，CTAT 參考電路 101 用以產生具有 CTAT 特性的控制電壓 GC。因此，電晶體 P2 中的電流具有 CTAT 特性。

【0035】 由於電晶體 N2 及電晶體 N3 的電流鏡效應，電流 IN1 與電流 IN2 之間的差施加至電流衰減器的 NMOS 電晶體 N4 的汲極。第二 NMOS 電晶體 N5 與電晶體 N4 以電流鏡關係組態。校正電流 I<sub>cor</sub> 產生於電晶體 N5 的汲極處，且施加至參考電壓產生器的中間節點 A。藉由將電晶體 N5 與電晶體 N4 的尺寸大小的比例設定為低於 1 的期望值，而可視需要判定校正電流 I<sub>cor</sub> 的量值。

【0036】 此實例中的 CTAT 參考電路 101 包含串聯在接地與 VDD（或其他電源電位）之間的電阻器 R5 及 PMOS 電晶體 C0。此外，電路 101 中的第二運算放大器 OP2 具有連接至電晶體 Q2 的射極的「正」輸入及連接至電阻器 R5 的「負」輸入。運算放大器 OP2 產生輸出電壓 GC，所述輸出電壓 GC 將 PMOS 電晶體 C0 中的電流維持在建立與電晶體 Q2 的基極-射極電壓 V<sub>BE</sub> 相匹配的電阻器 R5 兩端的電壓的值。電路 101 使用第一運算放大器 OP1 在不影響帶隙參考電路回饋的操作的情況下操作。因此，電流合成器 110 中的電晶體 P2 產生具有 CTAT 特性的電流。

【0037】 在操作中，圖 10 中的電路在電晶體 N1 中產生 CTAT 電

流且在電晶體 N0 及電晶體 N2 中產生 PTAT 電流。在電晶體 N0 及電晶體 N2 中的 PTAT 電流藉由來自電晶體 P0 的電晶體 P1 中的電流鏡效應實現，經由電晶體 N0 及電晶體 N2 饋送且映射在電晶體 N3 中，而 PTAT 電流承載的量值等於電阻器 R0 兩端的電流量值的三分之一 ( $I_{R0}/3$ )。電阻器 RN2 為可調諧的或經設定為修改電晶體 N3 及電晶體 N2 中的電流  $I_{N3}/I_{N2}$  的比例。

**【0038】** 圖 11 及圖 12 示出電阻器 RN2 為  $0\Omega$  的情況下的模擬電流  $I_{N1}$  及模擬電流  $I_{N3}$ 。如所示出，模擬電流  $I_{N1}$  具有在約  $-40^{\circ}\text{C}$  至約  $+10^{\circ}\text{C}$  的範圍內自約  $350\text{nA}$  下降至約  $265\text{nA}$  的負溫度係數 (CTAT 特性)。另一方面，模擬電流  $I_{N3}$  具有在約  $-40^{\circ}\text{C}$  至約  $+10^{\circ}\text{C}$  的範圍內自約  $240\text{nA}$  上升至約  $275\text{nA}$  的正溫度係數 (PTAT 特性)。

**【0039】** 在此模擬中，模擬電流  $I_{N1}$  在  $5^{\circ}\text{C}$  下約等於模擬電流  $I_{N3}$ ，所述  $5^{\circ}\text{C}$  為比期望的  $0^{\circ}\text{C}$  交叉點更高的溫度，在所述  $0^{\circ}\text{C}$  交叉點處需要關閉校正電流  $I_{\text{cor}}$ 。然而，增加電阻器 RN2 的大小增加  $I_{N3}/I_{N2}$  的比例，從而在電流減法電路中建立較大 PTAT 減數。舉例而言，在電路中，將電阻器 RN2 自約  $0\Omega$  增加至約  $10\text{K}\Omega$  使得零交叉點移動至較低溫度，如圖 13 中所示出。在此模擬中， $7.5\text{K}\Omega$  的電阻器 RN2 導致零交叉點在約  $0^{\circ}\text{C}$  處。使用  $7.5\text{K}\Omega$  的電阻器 RN2，所得的減去電流藉由電晶體 N5 與電晶體 N4 的尺寸大小的比例衰減。

**【0040】** 在圖 14 中，標繪電晶體 N5 與電晶體 N4 的尺寸大小比例  $N5/N4$  為  $3/13$ 、 $3/15$ 、 $3/17$  以及  $3/19$  的模擬結果。根據此模擬，對於等於  $7.5\text{K}\Omega$  的電阻器 RN2 及比例  $N5/N4$  為  $3/15$ ，輸出參考電壓  $V_{\text{REF}}$  的變化在  $-40^{\circ}\text{C}$  至  $0^{\circ}\text{C}$  的溫度範圍內小於  $0.1\text{mV}$  (在約

1.24014V 至約 1.2404V 之間變化)。

【0041】 在使用本文中所描述的技術的給定實施方式中，可使用此等電流合成技術來調諧校正電流  $I_{cor}$  的斜率及交叉點。其他實施例可採用其他類型的電流合成電路來產生所要校正電流  $I_{cor}$  及校正電流  $I_1$  特性。

【0042】 參考圖 10 所描述的實施例提供將操作溫度範圍向下朝向  $-40^{\circ}\text{C}$  或超出  $-40^{\circ}\text{C}$  擴展的校正電流  $I_{cor}$ 。在圖 15 中，描述將操作範圍向下朝向  $-40^{\circ}\text{C}$  及超出  $-40^{\circ}\text{C}$ ，且向上朝向  $125^{\circ}\text{C}$  及超出  $125^{\circ}\text{C}$  擴展的實例。在圖 15 的實例中，校正電流  $I_{cor}$  為分別由電流合成器 151 及電流合成器 152 產生的電流  $I_{cA}$  及電流  $I_{cB}$  的總和。圖 15 的電流合成器 152 如上文參考圖 10 所描述來實施，且提供具有低於約  $0^{\circ}\text{C}$  的臨限值的負溫度係數的電流  $I_{cA}$ ，且在約  $0^{\circ}\text{C}$  處關閉。

【0043】 圖 15 的電流合成器 152 產生具有已被選擇截止溫度的 CTAT 校正電流  $I_{cB}$ ，且包含合成器 151 中使用的類型的電流減法器及電流衰減器。電流減法器包含 NMOS 電晶體  $N_0$  至 NMOS 電晶體  $N_3$  以及電阻器  $R_{N2}$ 。電晶體  $N_0$  及電晶體  $N_2$  以及電阻器  $R_{N2}$  串聯連接於接地與第一 PMOS 電晶體  $P_1$  之間，所述第一 PMOS 電晶體  $P_1$  的閘極連接至控制電壓  $GP$ 。電晶體  $N_2$  的閘極連接至電晶體  $N_0$  的汲極。此實例中的控制電壓  $GP$  在帶隙參考電壓產生器中的運算放大器  $OP_1$  的輸出處產生，且因此在具有 PTAT 特性的電晶體  $P_1$  中產生電流。電晶體  $N_1$  及電晶體  $N_3$  串聯連接於接地與 PMOS 電晶體  $P_2$  之間，所述 PMOS 電晶體  $P_2$  的閘極連接至控制電壓  $GC$ 。電晶體  $N_1$  的閘極連接至電晶體  $N_0$  的閘極。此外，電晶體  $N_1$  的閘極連接至其汲極。此實例中的控制電壓  $GC$

由 CTAT 參考電路 101 產生，CTAT 參考電路 101 具有 CTAT 特性的電壓 GC。因此，電晶體 P2 中的電流具有 CTAT 特性。

【0044】由於電晶體 N2 及電晶體 N3 的電流鏡效應，電流 IN1 與電流 IN2 之間的差施加至電流衰減器的 NMOS 電晶體 N4 的汲極。第二 NMOS 電晶體 N5 與電晶體 N4 以電流鏡關係組態。校正電流  $I_{cor}$  產生於電晶體 N5 的汲極處，且施加至參考電壓產生器的中間節點 A。藉由將電晶體 N5 與電晶體 N4 的尺寸大小的比例設定為低於 1 的期望值，且藉由選擇電阻器 RN2 的電阻，可視需要判定 CTAT 校正電流  $I_{cB}$  的量值及截止臨限值。

【0045】圖 15 的電流合成器 151 產生具有已被選擇截止溫度的 PTAT 校正電流  $I_{cA}$ ，且包含電流減法器及電流衰減器。電流減法器包含 NMOS 電晶體 N6 至 NMOS 電晶體 N9 及電阻器 RN9。電晶體 N6 及電晶體 N8 串聯連接於接地與第三 PMOS 電晶體 P3 之間，所述第三 PMOS 電晶體 P3 的閘極連接至控制電壓 GC。電晶體 N8 的閘極連接至電晶體 N6 的汲極。此實例中的控制電壓 GC 由 CTAT 參考電路 101 產生，且因此在具有 CTAT 特性的電晶體 P3 中產生電流。電晶體 N7 及電晶體 N9 以及電阻器 RN9 串聯連接於接地與第四 PMOS 電晶體 P4 之間，所述第四 PMOS 電晶體 P4 的閘極連接至控制電壓 GP，所述控制電壓 GP 在帶隙參考電壓產生器中的運算放大器 OP1 的輸出處產生。電晶體 N7 的閘極連接至電晶體 N6 的閘極。此外，電晶體 N7 的閘極連接至其汲極。電晶體 P4 中的電流具有 PTAT 特性，響應於控制電壓 GP。

【0046】由於電晶體 N9 及電晶體 N8 的電流鏡效應，電流 IN7 與電流 IN8 之間的差施加至電流衰減器的 NMOS 電晶體 N10 的汲

極。第二 NMOS 電晶體 N11 與電晶體 N10 以電流鏡關係組態。校正電流  $I_{cor}$  產生於電晶體 N11 的汲極處，且施加至參考電壓產生器的中間節點 A。藉由將電晶體 N10 與電晶體 N11 的大小的比例設定為低於 1 的期望值，且藉由選擇電阻器 RN9 的電阻，可視需要判定 PTAT 校正電流  $I_{cA}$  的量值及截止臨限值。

【0047】 圖 16 及圖 17 示出電阻器 RN9 為  $0\Omega$  的情況下的模擬電流 IN7 及模擬電流 IN9。如所示出，模擬電流 IN7 具有在約  $+60^\circ\text{C}$  至約  $+125^\circ\text{C}$  的範圍內自約  $301\text{nA}$  增加至約  $330\text{nA}$  的正溫度係數 (PTAT 特性)。另一方面，模擬電流 IN9 具有在約  $+60^\circ\text{C}$  至約  $+125^\circ\text{C}$  的範圍內自約  $341\text{nA}$  下降至約  $195\text{nA}$  的負溫度係數 (CTAT 特性)。

【0048】 在此模擬中，模擬電流 IN7 在  $74^\circ\text{C}$  處約等於模擬電流 IN9 ( $308\text{nA}$ )，所述  $74^\circ\text{C}$  為比所要  $70^\circ\text{C}$  交叉點更高的溫度，低於所述  $70^\circ\text{C}$  交叉點需要關閉校正電流  $I_{cA}$ 。然而，增加電阻器 RN9 的大小減少 IN9/IN8 的比例，從而在電流減法電路中建立較小 CTAT 減數。舉例而言，在電路中，增加電阻器 RN9 使得與零交叉點移動至較低溫度，如在圖 18 中所示出。在此模擬中， $7.5\text{k}\Omega$  的電阻器 RN9 導致零交叉點在約  $70^\circ\text{C}$  處。使用  $7.5\text{k}\Omega$  的電阻器 RN9，所得的減去電流藉由電晶體 N5 與電晶體 N4 的尺寸大小的比例 N5/N4 衰減。

【0049】 在圖 19 中，標繪電晶體 N11 與電晶體 N10 的尺寸大小的比例 N11/N10 為  $4/25$ 、 $4/27$  以及  $4/29$  的模擬結果。根據此模擬，對於等於  $7.5\text{k}\Omega$  的電阻器 RN9 及比例 N11/N10 為  $4/27$ ，輸出參考電壓  $V_{REF'}$  的變化在  $+70^\circ\text{C}$  至約  $+125^\circ\text{C}$  的溫度範圍內小於  $0.2\text{mV}$  (在約  $1.24015\text{V}$  至約  $1.24035\text{V}$  之間變化)。

【0050】 圖 20 示出在  $-40^{\circ}\text{C}$  至  $+125^{\circ}\text{C}$  的擴展的操作溫度範圍內模擬類似於圖 15 的電路的結果。在此範圍內，參考電壓  $V_{\text{REF}}$  自約  $0^{\circ}\text{C}$  處約  $1.24016\text{V}$  的最小值變化至約  $35^{\circ}\text{C}$  處約  $1.24098$  的最大值。作為本文中所描述的技術的結果，帶隙參考電壓具有擴展的操作溫度範圍，在所述操作溫度範圍內參考電壓  $V_{\text{REF}}$  的變化為約  $1\text{mV}$  或更小。

【0051】 如上文參考圖 7 及圖 8 所提及，例如由於製造的變化，電晶體  $Q_1$  的飽和電流  $I_{S1}$  及參考電壓產生器可能與電晶體  $Q_2$  的飽和電流  $I_{S2}$  不匹配。在此等情形下，所產生的參考電壓  $V_{\text{REF}}$  可圍繞正常操作溫度偏斜或移位，如圖 2B 及圖 2C 中所展示。描述一種消除此偏斜或移位的技術，以改良利用校正電流來擴展如上文所論述的操作溫度範圍的能力。舉例而言，如圖 2B 中所示出， $70^{\circ}\text{C}$  處的參考電壓為約  $1.216\text{V}$ ，而  $0^{\circ}\text{C}$  處的參考電壓為約  $1.221\text{V}$ 。 $0^{\circ}\text{C}$  處的參考電壓應降低約  $5\text{mV}$  以補償所述移位。如上文所提及，不同於通過電阻器  $R_0$  提升電流以提升參考電壓  $V_{\text{REF}}$ ，降低參考電壓  $V_{\text{REF}}$  需要分別降低電晶體  $Q_1$  及電晶體  $Q_2$  中的 PTAT 電流  $I_{Q1}$  及 PTAT 電流  $I_{Q2}$ 。此可藉由在電晶體  $Q_1$  的射極處汲取校正電流  $I_1$  來實現，如圖 7 及圖 8 所示出。

【0052】 圖 21 示出包含用以產生類似於圖 8 中所展示的校正電流  $I_1$  的電流合成器 211 的參考電壓產生器。圖 21 的電流合成器 211 產生具有已被選擇截止溫度約  $70^{\circ}\text{C}$  的 CTAT 校正電流  $I_1$ ，且包含電流減法器及電流衰減器。電流減法器包含 NMOS 電晶體  $N_{12}$  至 NMOS 電晶體  $N_{15}$  及電阻器  $R_{N14}$ 。電晶體  $N_{12}$  及電晶體  $N_{14}$  以及電阻器  $R_{N14}$  串聯連接於接地與 PMOS 電晶體  $P_5$  之間，所述

PMOS 電晶體 P5 的閘極連接至控制電壓 GP。電晶體 N14 的閘極連接至電晶體 N12 的汲極。此實例中的控制電壓 GP 在帶隙參考電壓產生器中的運算放大器 OP1 的輸出處產生，且因此在具有 PTAT 特性的電晶體 P5 中產生電流。電晶體 N13 及電晶體 N15 串聯連接於接地與 PMOS 電晶體 P6 之間，所述 PMOS 電晶體 P6 的閘極連接至控制電壓 GC，在此實例中，所述控制電壓 GC 由 CTAT 參考電路 101 產生，且因此在具有 CTAT 特性的電晶體 P6 中產生電流。電晶體 N15 的閘極連接至電晶體 N14 的閘極。此外，電晶體 N13 的閘極連接至其汲極。

【0053】 由於電晶體 N14 及電晶體 N15 的電流鏡效應，電流  $I_{N13}$  與電流  $I_{N14}$  之間的差施加至電流衰減器的 NMOS 電晶體 N16 的汲極。第二 NMOS 電晶體 N17 與電晶體 N16 以電流鏡關係組態。校正電流  $I_1$  產生於電晶體 N17 的汲極處，且施加至參考電壓產生器的節點 P。藉由將電晶體 N17 與電晶體 N16 的大小的比例設定為低於 1 的期望值，且藉由選擇電阻器 RN14 的電阻，可視需要判定 CTAT 校正電流  $I_1$  的量值及截止臨限值，例如圖 8 中所展示。

【0054】 圖 22 是電晶體 Q2 中沒有校正電流  $I_1$  的電流  $I_{Q2}$  及電晶體 Q2 中具有汲取校正電流  $I_1$  的電流  $I_{Q2}'$  的圖，所述吸收校正電流  $I_1$  藉由模擬類似於參考圖 21 所描述的電路來合成如圖 8 中所展示的電流而產生。

【0055】 圖 23 是具有圖 8 的特性的沒有汲取校正電流  $I_1$  的參考電壓 VREF 及具有汲取校正電流  $I_1$  的參考電壓 VREF' 的曲線。

【0056】 如圖 8 中所示出，汲取校正電流  $I_1$  在  $-40^{\circ}\text{C}$  處具有約 18nA 的最大值且在  $70^{\circ}\text{C}$  下降至約 0nA，在所述  $70^{\circ}\text{C}$  處被關閉。根據模

擬，如圖 22 中所見， $0^{\circ}\text{C}$  處約  $11.3\text{nA}$  的汲取校正電流可使  $I_{Q2}$  降低約  $3\text{nA}$ 。隨著吸收電流  $I_1$  朝向  $-40^{\circ}\text{C}$  處的值增加，參考電壓  $V_{REF}'$  繼續在所述範圍內略微下降，且改良參考電壓  $V_{REF}'$  在  $0^{\circ}\text{C}$  與  $70^{\circ}\text{C}$  之間的均衡。此可導致圖 23 中的參考電壓  $V_{REF}'$  曲線與圖 2A 的參考電壓  $V_{REF}'$  曲線類似，所述圖 2A 中的參考電壓  $V_{REF}'$  曲線更對稱，且更易於使用如本文中所描述的高於  $70^{\circ}\text{C}$  且低於  $0^{\circ}\text{C}$  的校正電流進行校正。

【0057】 圖 24 是組合參考圖 15 及圖 21 所描述的技術的參考電壓產生器的圖。電路包含：類似於圖 21 的汲取校正電流合成器 243，用以產生施加至節點 P 的汲取校正電流  $I_1$ ；類似於圖 15 的合成器 151 的提升校正電流合成器 242，用以產生提升校正電流  $I_{cA}$ ；以及類似於圖 15 的合成器 152 的提升電流合成器 241，用以產生提升校正電流  $I_{cB}$ 。

【0058】 圖 25 是在約  $-40^{\circ}\text{C}$  至約  $125^{\circ}\text{C}$  的範圍內使用類似於圖 24 的電路產生的參考電壓  $V_{REF}$  的曲線，其在擴展的操作溫度範圍內自約  $35^{\circ}\text{C}$  處約  $1.21671$  的峰值至約  $70^{\circ}\text{C}$  處約  $1.21604$  的最小值變化小於  $1\text{mV}$ 。

【0059】 如圖 2C 中所展示，在飽和電流比例  $I_{S1}/I_{S2}$  小於 1 的情況下，參考電壓  $V_{REF}$  移位或偏斜，使得  $0^{\circ}\text{C}$  處的電壓比約  $70^{\circ}\text{C}$  處的電壓低約  $4\text{mV}$ 。為了消除此差異，可將如圖 26 中所示出的提升校正電流施加至中間節點 A，以升高產生於較低溫度處的參考電壓。圖 26 的提升校正電流  $I_{cor}$  具有負溫度係數（CTAT 特性），其中  $-40^{\circ}\text{C}$  處約  $36\text{nA}$  的最大值在  $70^{\circ}\text{C}$  處下降至約  $0\text{nA}$ ，在所述  $70^{\circ}\text{C}$  處被關閉。

【0060】圖 27 示出包含用以產生如圖 26 中所展示的提升校正電流的校正電流合成器的參考電壓產生器。圖 27 的電流合成器 271 產生具有已被選擇截止溫度約  $70^{\circ}\text{C}$  的 CTAT 提升校正電流  $I_{\text{cor}}$ ，且包含電流減法器及電流衰減器。電流減法器包含 NMOS 電晶體 N18 至 NMOS 電晶體 N21 及電阻器 RN20。電晶體 N18 及電晶體 N20 以及電阻器 RN20 串聯連接於接地與 PMOS 電晶體 P7 之間，所述 PMOS 電晶體 P7 的閘極連接至控制電壓 GP。電晶體 N20 的閘極連接至電晶體 N18 的汲極。此實例中的控制電壓 GP 在帶隙參考電壓產生器中的運算放大器 OP1 的輸出處產生，且因此在具有 PTAT 特性的電晶體 P7 中產生電流。電晶體 N19 及電晶體 N21 串聯連接於接地與 PMOS 電晶體 P8 之間，所述 PMOS 電晶體 P8 的閘極連接至控制電壓 GC，在此實例中，所述控制電壓 GC 由 CTAT 參考電路 101 產生，且因此在具有 CTAT 特性的電晶體 P8 中產生電流。電晶體 N21 的閘極連接至電晶體 N20 的閘極。電晶體 N19 的閘極連接至電晶體 N18 的閘極。此外，電晶體 N19 的閘極連接至其汲極。

【0061】由於電晶體 N21 及電晶體 N20 的電流鏡效應，電流  $I_{\text{N19}}$  與電流  $I_{\text{N20}}$  之間的差施加至電流衰減器的 NMOS 電晶體 N22 的汲極。第二 NMOS 電晶體 N23 與電晶體 N22 以電流鏡關係組態。校正電流  $I_{\text{cor}}$  產生於電晶體 N23 的汲極處，且施加至參考電壓產生器的中間節點 A。藉由將電晶體 N23 與電晶體 N22 的大小的比例設定為低於 1 的期望值，且藉由選擇電阻器 RN20 的電阻，可視需要判定 CTAT 校正電流  $I_{\text{cor}}$  的量值及截止臨限值。

【0062】圖 28 是使用來自圖 27 中的合成器 271 的提升校正電流

模擬的參考電壓  $V_{REF}'$  及在沒有提升校正電流的情況下模擬的參考電壓  $V_{REF}$  的圖。因此，作為校正電流的結果，參考電壓  $V_{REF}'$  在  $-40^{\circ}\text{C}$  至  $+70^{\circ}\text{C}$  的操作範圍內的變化為約  $-3\text{mV}$ ，且在約  $125^{\circ}\text{C}$  至  $70^{\circ}\text{C}$  的範圍內變化為約  $-1\text{mV}$ 。作為對由電晶體 Q1 及電晶體 Q2 中的飽和電流的不平衡引起的移位的此校正的結果，可使用上文所描述的技術更容易地校正參考電壓產生器以擴展操作溫度範圍。

【0063】圖 29 是組合參考圖 15 及圖 27 所描述的技術的參考電壓產生器的圖。電路包含：類似於圖 27 的合成器 271 的提升校正電流合成器 293，用以產生施加至節點 A 的提升校正電流  $I_{cC}$ ；類似於圖 15 的合成器 151 的提升校正電流合成器 292，用以產生提升校正電流  $I_{cA}$ ；以及類似於圖 15 的合成器 152 的提升電流合成器 291，用以產生提升校正電流  $I_{cB}$ 。

【0064】圖 30 是使用在約  $-40^{\circ}\text{C}$  至約  $125^{\circ}\text{C}$  的範圍內合成的類似於圖 29 的電路產生的參考電壓  $V_{REF}$  的曲線圖，其在擴展的操作溫度範圍內自約  $35^{\circ}\text{C}$  處約  $1.21688\text{V}$  的峰值至約  $125^{\circ}\text{C}$  處約  $1.21610\text{V}$  的最小值變化小於  $1\text{mV}$ 。

【0065】表 2 概述圖 20、圖 25 以及圖 30 的  $V_{REF}'$  結果。

表 2

$V_{REF}'$ (V)	圖 20	圖 25	圖 30
$125^{\circ}\text{C}$	1.24016	1.21601	1.26099
$70^{\circ}\text{C}$	1.24018	1.21604	1.26103
$0^{\circ}\text{C}$	1.24018	1.21604	1.26103
$-40^{\circ}\text{C}$	1.24016	1.21601	1.26099
$\Delta$	8.1E-04	7.0E-04	9.0E-04

【0066】因此，本文中所描述的技術可部署於多種組態中以達成參考電壓產生器的擴展的操作溫度範圍。

【0067】 可使用其他帶隙參考電路實施使用上文所描述的實例的參考電壓產生器。舉例而言，圖 31 及圖 32 中所展示的電路展示替代參考電壓產生器電路。圖 31 及圖 32 的參考電壓產生器電路包含分別包含 PNP 電晶體 Q1 及 PNP 電晶體 Q2 的第一電路及第二電路，所述 PNP 電晶體 Q1 及 PNP 電晶體 Q2 的閘極連接在一起。電晶體 Q1 的射極連接至接地，且電晶體 Q2 的射極經由電阻器 R1 連接至接地。電晶體 Q1 的基極連接至其汲極，所述汲極傳導電流  $I_{c1}$ 。此外，電晶體 Q1 的集極經由電阻器 R2 連接至中間節點 A，在所述中間節點 A 處產生參考電壓  $V_{REF}$ 。電晶體 Q2 的集極經由電阻器 R3 連接至中間節點 A。電晶體 Q4 自節點 A 連接至電源電位  $V_{DD}$ ，且傳導電流  $I_{c4}$ 。電晶體 Q3 的基極連接至電晶體 Q2 的集極。電阻器 R0 自節點 A 連接至電晶體 Q4 的射極。電晶體 Q4 的汲極連接至電源電位  $V_{DD}$ ，且傳導電流  $I_{c4}$ 。電晶體 Q3 的基極連接至電晶體 Q2 的集極。電晶體 Q3 的射極連接至接地。電晶體 Q3 的集極跨電容器  $C_c$  連接至接地。此外，電晶體 Q3 的集極接收來自電流源  $I_B$  的參考電流。電晶體 Q4 的基極連接至電晶體 Q3 的汲極。

【0068】 圖 31 及圖 32 的電路藉由維持以下條件來產生參考電壓  $V_{REF}$ ：藉由電晶體 Q2 中的電流  $I_{c2}$  產生的電壓差  $\Delta V_{BE}$  乘以 R1 的電阻，加上電晶體 Q2 的基極-射極電壓  $V_{BE}$  等於電晶體 Q1 的基極-射極電壓。回饋由包含電晶體 Q3 的電路提供，所述電路控制電容器  $C_c$  上的電荷以將通過電晶體 Q4 及電阻器 R1 的電流  $I_{c4}$  維持在滿足此條件所需的位準。可使用上文所描述的技術在節點 A 處添加提升校正電流  $I_{cor}$ 。此外，如圖 32 中所示出，可使用上

文所描述的技術藉由在電晶體 Q1 的基極處添加汲取校正電流來修改圖 31 的電路。此外，提升校正電流與汲取校正電流的組合可用於圖 31 及圖 32 的參考產生器中。

**【0069】** 此外，對於所述技術的一些實施例，可使用除雙極電晶體外的 PN 接面裝置（例如二極體或 MOS 電晶體）來實施參考電壓產生器。

**【0070】** 在使用本文中所描述的技術的給定實施方式中，可使用此等電流合成技術來調諧提升校正電流  $I_{cor}$  及汲取校正電流  $I_1$  的斜率及交叉點。其他實施例可採用其他類型的電流合成電路來產生所要校正電流  $I_{cor}$  及校正電流  $I_1$  特性。

**【0071】** 本文中所描述的技術的實施例使用電流減法及電流衰減器技術來實施電流合成器。在其他實施例中，其他類型的電流合成器可用於產生提升校正電流及汲取校正電流。

**【0072】** 雖然參考上文詳述的較佳實施例及實例來揭露本發明，但應理解，此等實例意欲為說明性而非限制性意義。經考慮所屬領域的技術人員將容易地想到修改及組合，所述修改及組合將在本發明的精神及以下申請專利範圍的範疇內。

#### **【符號說明】**

#### **【0073】**

10、35：電壓輸出節點

30、50、IB：電流源

90：電流減法器

91：電流衰減器

94：第一電流源

95：第二電流源

101：CTAT 參考電路

110、151、152、211、241、242、243、271、291、292、293：

電流合成器

800、801：區

A：中間節點

Cc：電容器

C0：PMOS 電晶體

GC、GP：控制電壓

I1、Icor：校正電流

IC、Ic1、Ic2、Ic3、Ic4、IcA、IcB、IcC、IN1、IN2、IN3、  
IN7、IN8、IN9、IN13、IN14、IN19、IN20、IP、IQ1、IQ2、IQ2'、  
IR0、IR0'：電流

IS1、IS2：飽和電流

N、P：節點

N0、N1、N2、N3、N4、N5、N6、N7、N8、N9、N10、N11、  
N12、N13、N14、N15、N16、N17、N18、N19、N20、N21、N22、  
N23、P0、P1、P2、P3、P4、P5、P6、P7、P8、Q1、Q2、Q3、Q4：  
電晶體

OP1、OP2：運算放大器

R0、r1、R1、r2、R2、r3、R3、R5、RN2、RN9、RN14、RN20：

電阻器

VBE：基極-射極電壓

VDD、VSS：電源電位

Vr3、VREF、VREF'：電壓

$\Delta V_{BE}$ ：電壓差

## 【發明申請專利範圍】

【請求項1】 一種用於產生參考電壓的參考電壓電路，包括：

第一電路，包含第一 PN 接面裝置、第一電阻器、第二電阻器以及第三電阻器，所述第一 PN 接面裝置及所述第一電阻器串聯連接於電源節點與第一節點之間，所述第二電阻器連接於所述第一節點與中間節點之間，以及所述第三電阻器連接於所述中間節點與參考電壓輸出節點之間；

第二電路，包含第二 PN 接面裝置以及第四電阻器，所述第二 PN 接面裝置連接於所述電源節點與第二節點之間，以及所述第四電阻器連接於所述第二節點與所述中間節點之間；

回饋電流源，用以將回饋電流供應至所述參考電壓輸出節點，所述回饋電流在所述第一電路與所述第二電路之間分配，所述回饋電流具有由電流控制信號控制的量值；

回饋電路，連接至所述第一節點及所述第二節點中的一者或兩者以產生所述電流控制信號，以使得所述第一電阻器兩端的電壓抵消所述第一 PN 接面裝置兩端的電壓的變化；以及

電流源，用以在所述中間節點處供應校正電流以在臨限值的第二側的操作溫度下提升所述第三電阻器中的電流，且在所述臨限值相對的第一側的操作溫度下關閉。

【請求項2】 如請求項 1 所述的用於產生參考電壓的參考電壓電路，包含用以自所述第二節點汲取第二校正電流的第二電流源，所述第二校正電流的量值在溫度範圍內隨著操作溫度的增加而增加，以抵消所述第一 PN 接面裝置及所述第二 PN 接面裝置的飽和電流的不匹配。

【請求項3】 如請求項 1 所述的用於產生參考電壓的參考電壓電路，其中所述電流源包含用以產生校正電流分量的電路，所述校正電流分量的量值在溫度範圍內隨著操作溫度的增加而減少，以抵消所述第一 PN 接面裝置及所述第二 PN 接面裝置的飽和電流的不匹配。

【請求項4】 如請求項 1 所述的用於產生參考電壓的參考電壓電路，其中所述校正電流隨著溫度增加至所述臨限值而減少，且在高於所述臨限值時關閉。

【請求項5】 如請求項 1 所述的用於產生參考電壓的參考電壓電路，其中所述校正電流隨著溫度降低至所述臨限值而減少，且在低於所述臨限值時關閉。

【請求項6】 如請求項 1 所述的用於產生參考電壓的參考電壓電路，其中所述電流源包含：

第一電路，用以產生減少提升電流分量，所述減少提升電流分量隨著溫度增加至所述臨限值而減少且在高於所述臨限值時關閉；以及

第二電路，用以產生增加提升電流分量，所述增加提升電流分量隨著溫度增加至高於第二臨限值而增加，其中所述第二臨限值高於所述臨限值，且所述校正電流為所述增加提升電流分量及所述減少提升電流分量的組合。

【請求項7】 如請求項 1 所述的用於產生參考電壓的參考電壓電路，其中所述電流源包含：

第一電路，用以產生減少提升電流分量，所述減少提升電流分量隨著溫度增加至所述臨限值而減少且在高於所述臨限值時關

閉；

第二電路，用以產生增加提升電流分量，所述增加提升電流分量隨著溫度增加至高於第二臨限值而增加，所述第二臨限值高於所述臨限值；以及

第三電路，用以產生校正電流分量，所述校正電流分量的量值在溫度範圍內隨著操作溫度的增加而減少，以抵消所述第一 PN 接面裝置及所述第二 PN 接面裝置的飽和電流的不匹配；

其中所述校正電流為所述增加提升電流分量及所述減少提升電流分量與所述校正電流分量的組合。

**【請求項8】** 如請求項 7 所述的用於產生參考電壓的參考電壓電路，包含用以自所述第二電路汲取第二校正電流的第二電流源，所述第二校正電流的量值在溫度範圍內隨著操作溫度的增加而增加，以抵消所述第一 PN 接面裝置及所述第二 PN 接面裝置的飽和電流的不匹配。

**【請求項9】** 如請求項 1 所述的用於產生參考電壓的參考電壓電路，其中所述電流源包括電流減法器電路，所述電流減法器電路用以回應於 PTAT 電流與 CTAT 電流之間的差而產生所述校正電流。

**【請求項10】** 如請求項 1 所述的用於產生參考電壓的參考電壓電路，其中所述電流源包括：

回應於所述回饋電路而產生 PTAT 電流的電路；

回應於所述第一 PN 接面裝置及所述第二 PN 接面裝置中的一者而產生 CTAT 電流的電路；

產生差電流的電流減法器；以及

基於所述差電流而產生所述校正電流的電流衰減器。

【請求項11】如請求項 1 所述的用於產生參考電壓的參考電壓電路，其中所述校正電流不改變所述第一 PN 接面裝置及所述第二 PN 接面裝置中的電流量值。

【請求項12】如請求項 1 所述的用於產生參考電壓的參考電壓電路，其中所述 PN 接面裝置為電晶體。

【請求項13】一種用於產生參考電壓的參考電壓電路，包括：

第一電路，包含第一電晶體、第一電阻器、第二電阻器以及第三電阻器，所述第一電晶體及所述第一電阻器串聯連接於電源節點與第一節點之間，所述第二電阻器連接於所述第一節點與中間節點之間，以及所述第三電阻器連接於所述中間節點與參考電壓輸出節點之間；

第二電路，包含第二電晶體，所述第二電晶體的第一端子連接至所述第一電晶體的第一端子，所述第二電晶體連接於所述電源節點與第二節點之間且第四電阻器連接於所述第二節點與所述中間節點之間；

第三電晶體，用以將回饋電流供應至所述參考電壓輸出節點，所述回饋電流在所述第一電路與所述第二電路之間分配，所述回饋電流具有由控制信號控制的量值；

運算放大器，具有連接至所述第一節點及所述第二節點的輸入以及連接至所述第三電晶體的控制端子的輸出，所述運算放大器用以產生所述控制信號以使得所述第一電阻器兩端的電壓抵消所述第一電晶體的 PN 接面兩端的電壓變化；以及

電流源，用以在所述中間節點處供應校正電流以在臨限值的另一側的操作溫度下提升所述第三電阻器中的電流，且在所述臨

限值的相對的第二側的操作溫度下關閉。

【請求項14】如請求項13所述的用於產生參考電壓的參考電壓電路，包含：

第五電阻器，連接於第四節點與所述第一電晶體的第二端子之間；

第四電晶體，用以在所述第五電阻器兩端供應電流；以及

第二運算放大器，具有連接至所述第四節點的第一輸入及連接至所述第一電晶體的第三端子的第二輸入，所述第二運算放大器的所述輸出連接至所述第四電晶體的控制端子，且其中所述電流源回應於所述第二運算放大器的所述輸出及所述運算放大器的所述輸出。

【請求項15】如請求項14所述的用於產生參考電壓的參考電壓電路，包含用以自所述第二節點汲取第二校正電流的第二電流源，所述第二校正電流具有回應於所述第二運算放大器的所述輸出及所述運算放大器的所述輸出的量值。

【請求項16】如請求項14所述的用於產生參考電壓的參考電壓電路，其中所述電流源包括：

回應於所述運算放大器的所述輸出而產生 PTAT 電流的電路；

回應於所述第二運算放大器而產生 CTAT 電流的電路；

在所述 PTAT 電流與所述 CTAT 電流之間產生差電流的電流減法器；以及

基於所述差電流而產生所述校正電流的電流衰減器。

【請求項17】如請求項13所述的用於產生參考電壓的參考電壓電路，其中所述電流源包含用以產生校正電流分量的電路，所述校正

電流分量的量值在溫度範圍內隨著操作溫度的增加而減少，以抵消所述第一電晶體及所述第二電晶體的飽和電流的不匹配。

**【請求項18】**如請求項 13 所述的用於產生參考電壓的參考電壓電路，其中所述電流源包含：

用以產生減少提升電流分量的電路，所述產生減少提升電流分量隨著溫度增加至所述臨限值而減少且在高於所述臨限值時關閉；以及

用以產生增加提升電流分量的電路，所述增加提升電流分量隨著溫度增加至高於第二臨限值而增加，所述第二臨限值高於所述臨限值，且所述校正電流為所述增加提升電流分量及所述減少提升電流分量的組合。

**【請求項19】**如請求項 13 所述的用於產生參考電壓的參考電壓電路，其中所述電流源包含：

用以產生減少提升電流分量的電路，所述減少提升電流分量隨著溫度增加至所述臨限值而減少且在高於所述臨限值時關閉；

用以產生增加提升電流分量的電路，所述增加提升電流分量隨著溫度增加至高於第二臨限值而增加，所述第二臨限值高於所述臨限值；以及

用以產生校正電流分量的電路，所述校正電流分量的量值在溫度範圍內隨著操作溫度的增加而減少，以抵消所述第一電晶體及所述第二電晶體的飽和電流的不匹配；

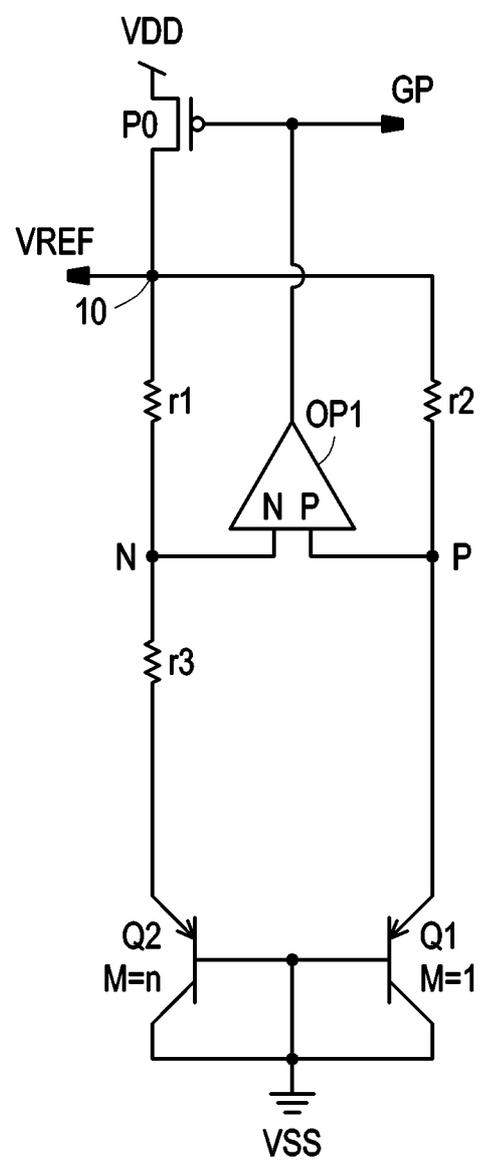
其中所述校正電流為所述增加提升電流分量及所述減少提升電流分量與所述校正電流分量的組合。

**【請求項20】**如請求項 13 所述的用於產生參考電壓的參考電壓電

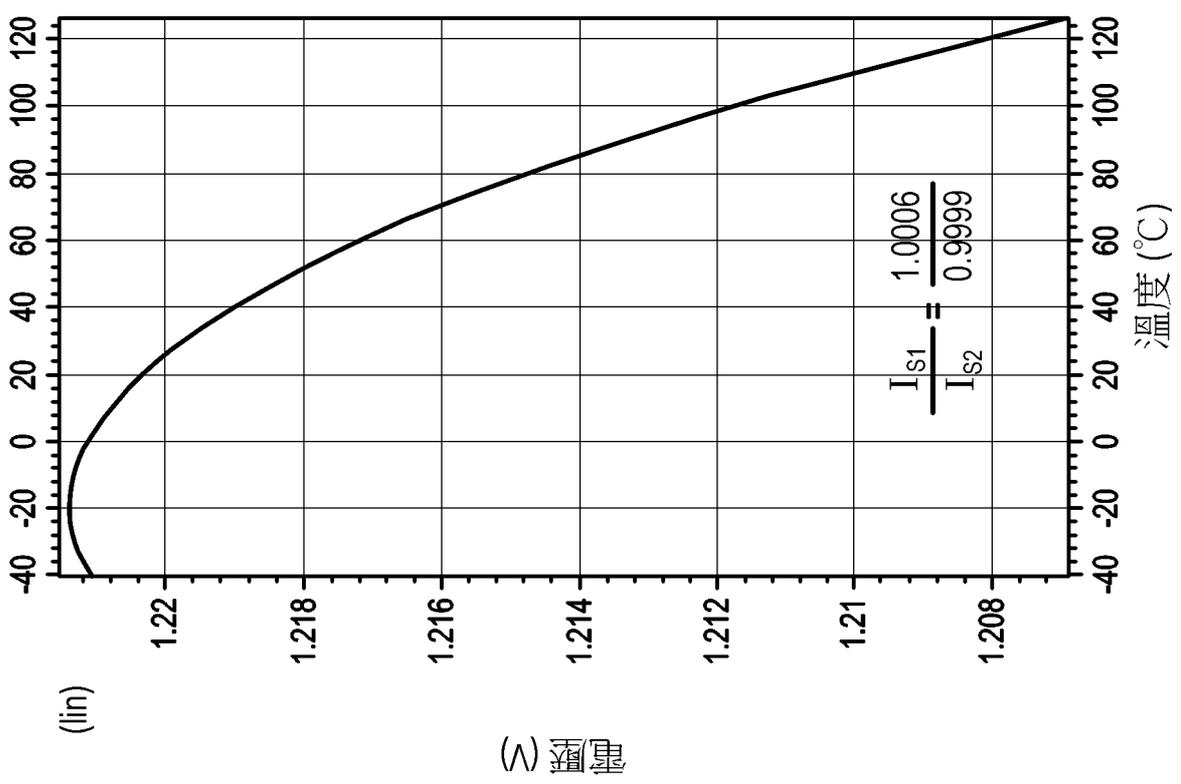
路，其中所述參考電壓輸出節點處的參考電壓在 $-40^{\circ}\text{C}$ 至 $+125^{\circ}\text{C}$ 的溫度範圍內變化小於  $1\text{mV}$ 。

【發明圖式】

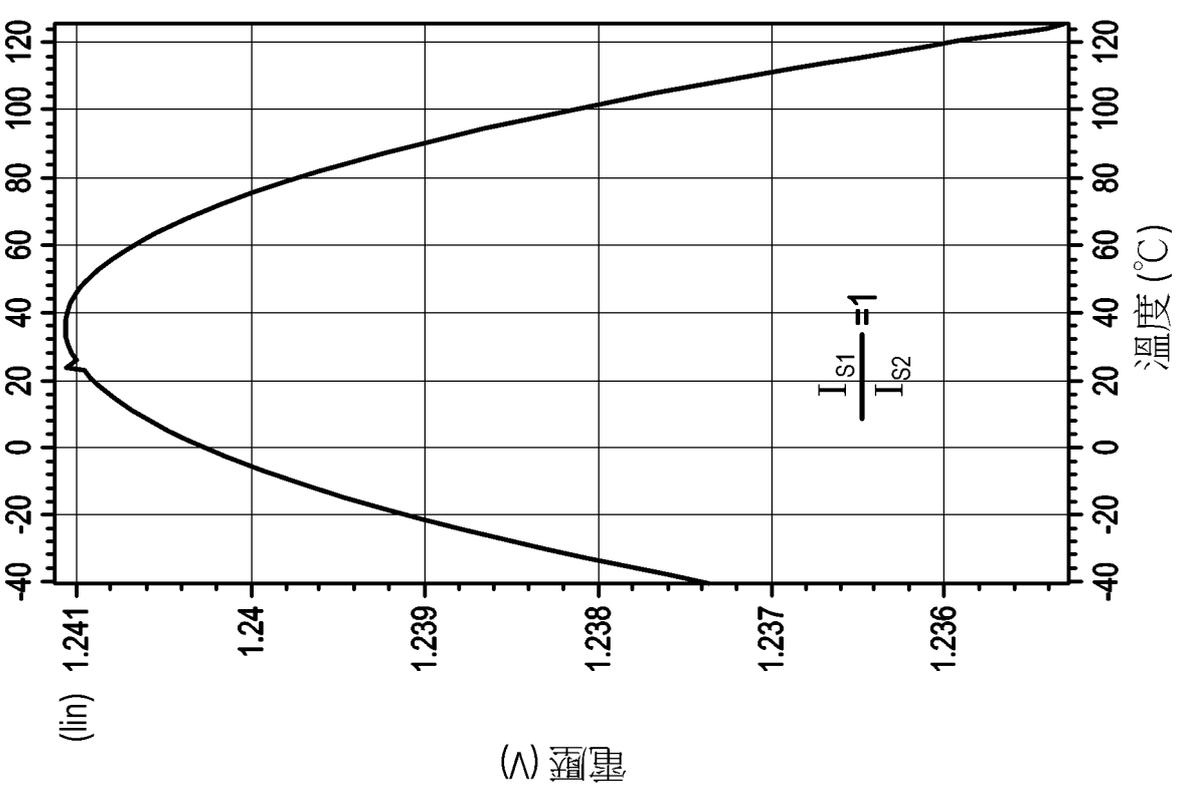
111-9-22



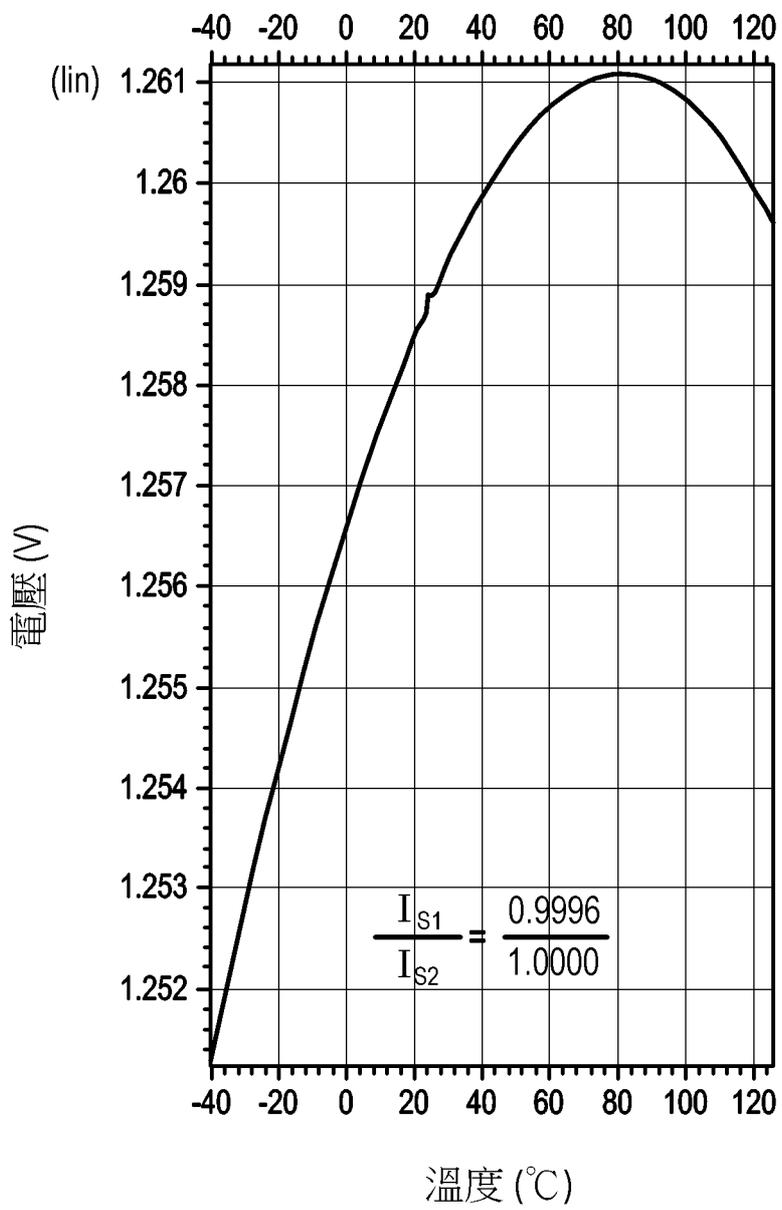
【圖1】



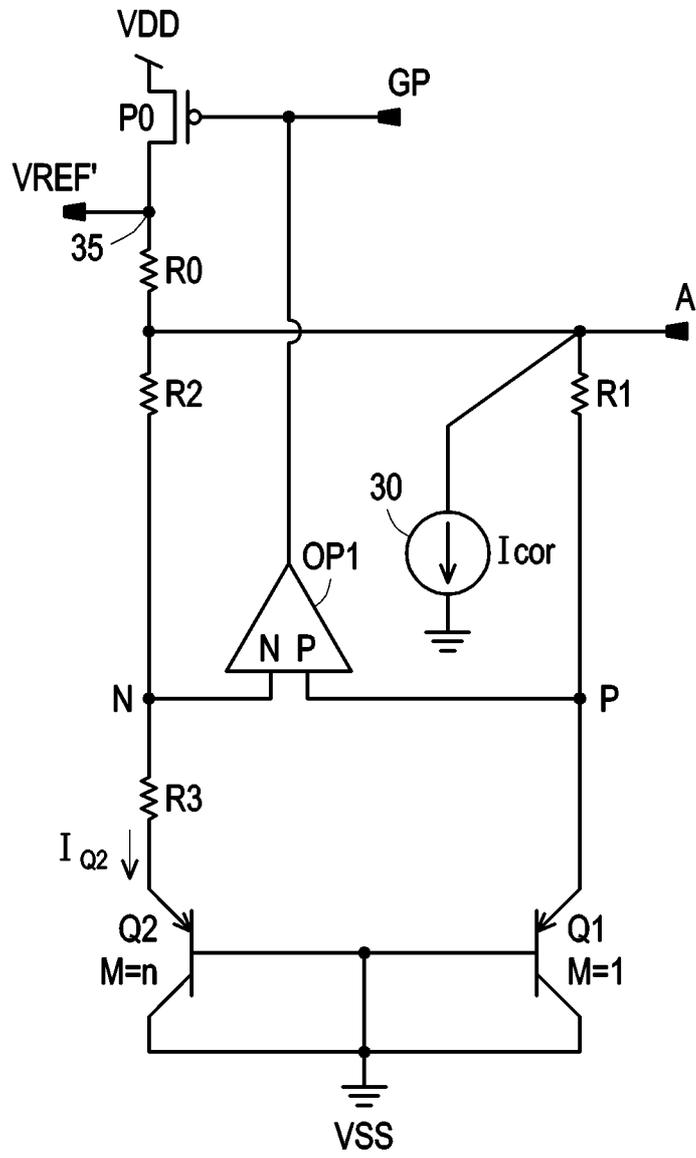
【圖2B】



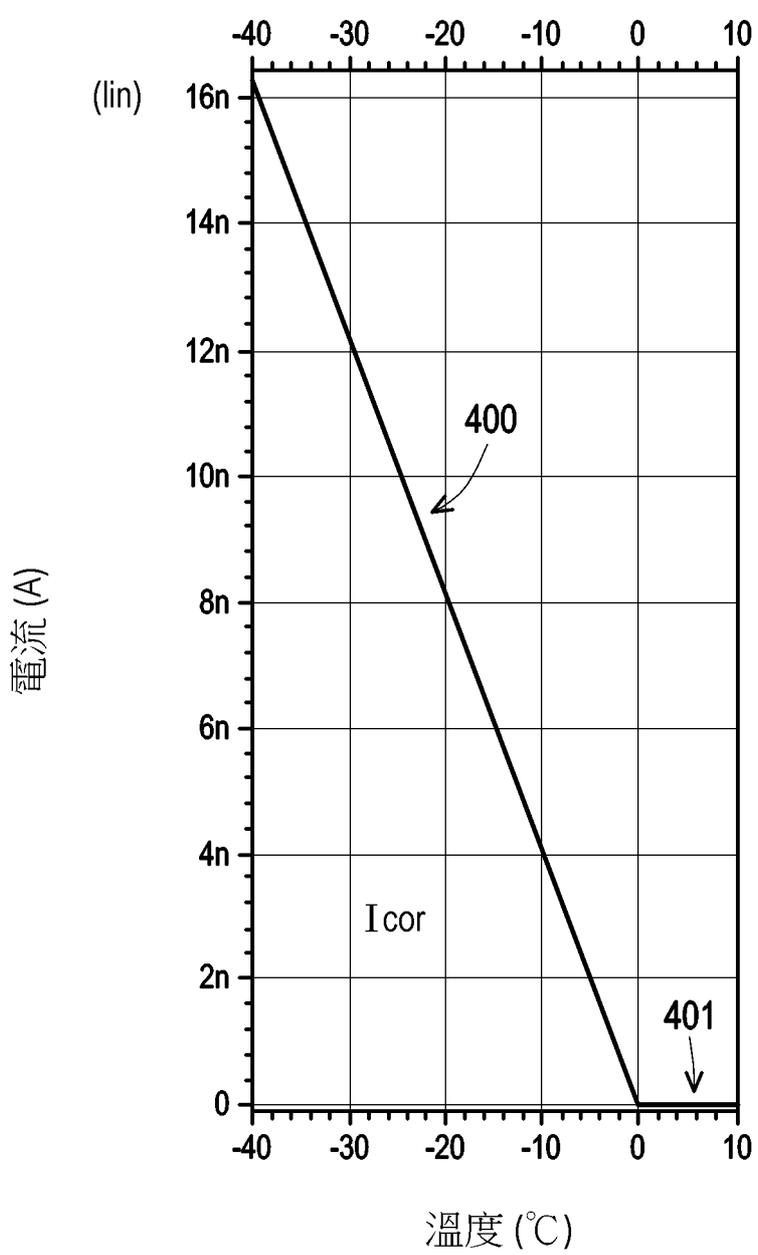
【圖2A】



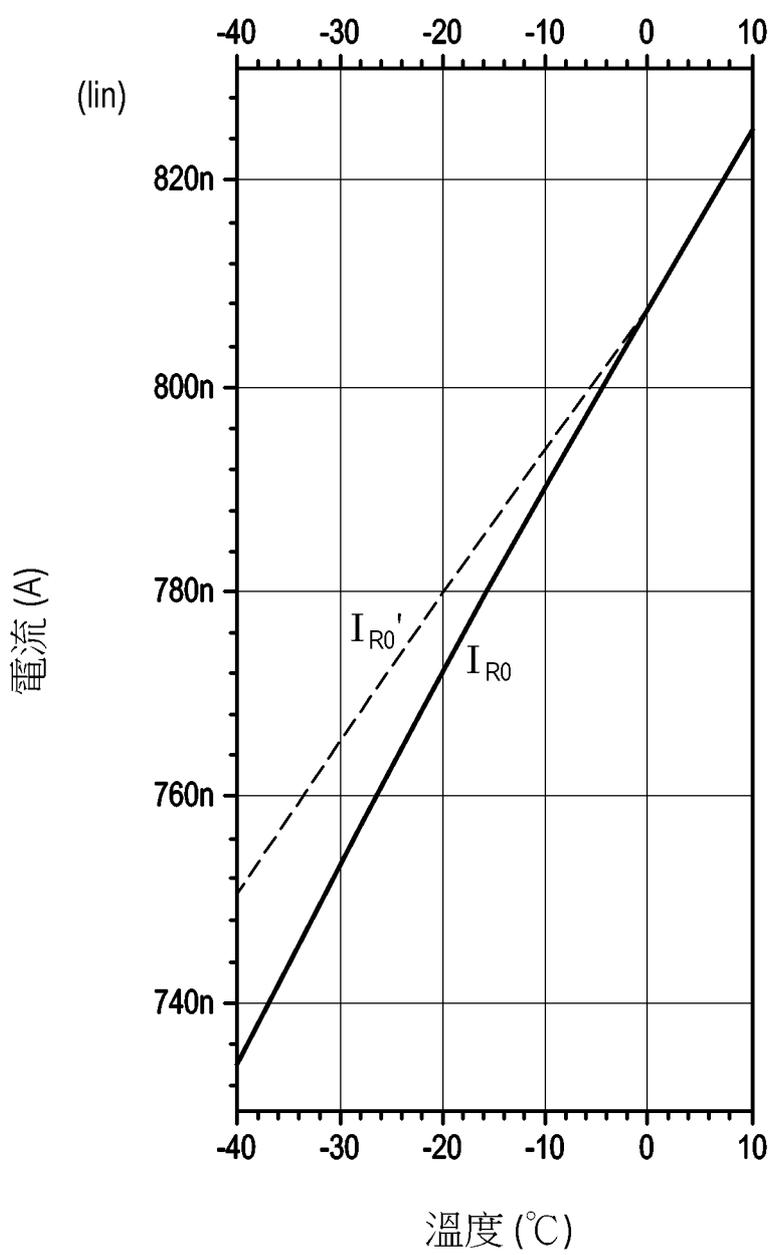
【圖2C】



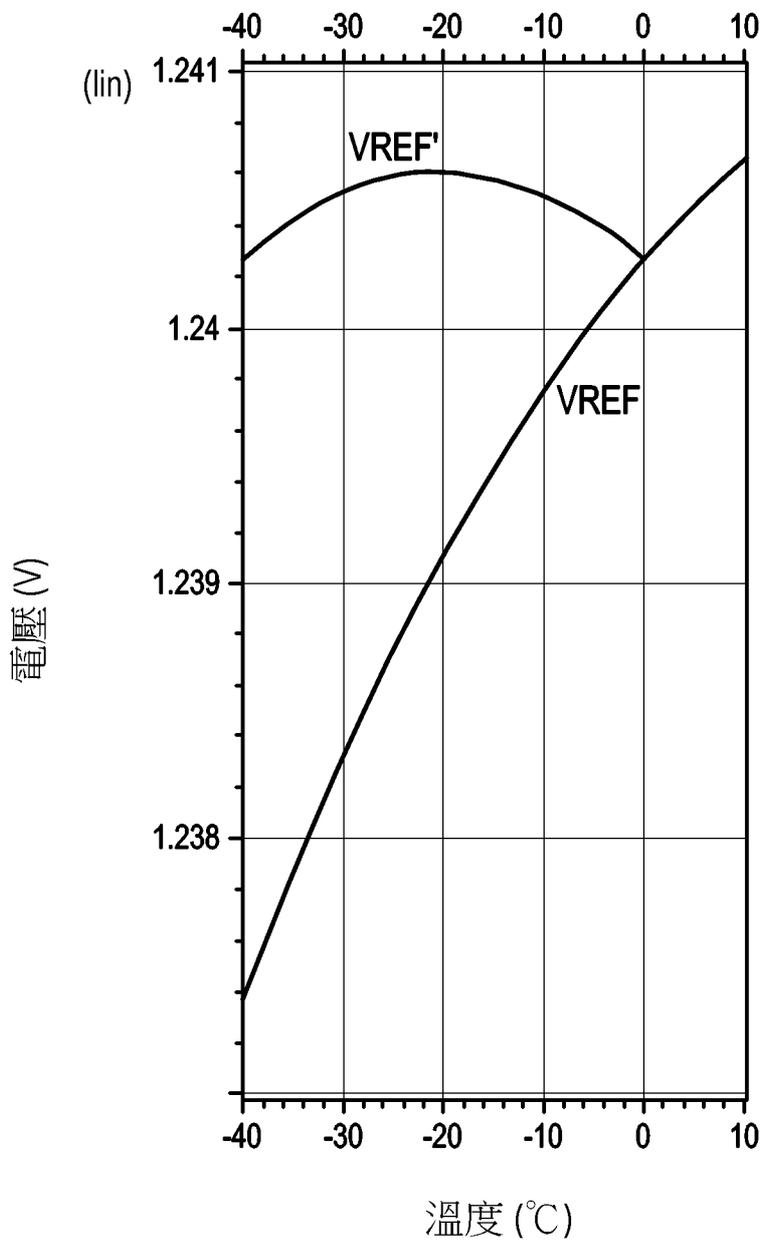
【圖3】



【圖4】

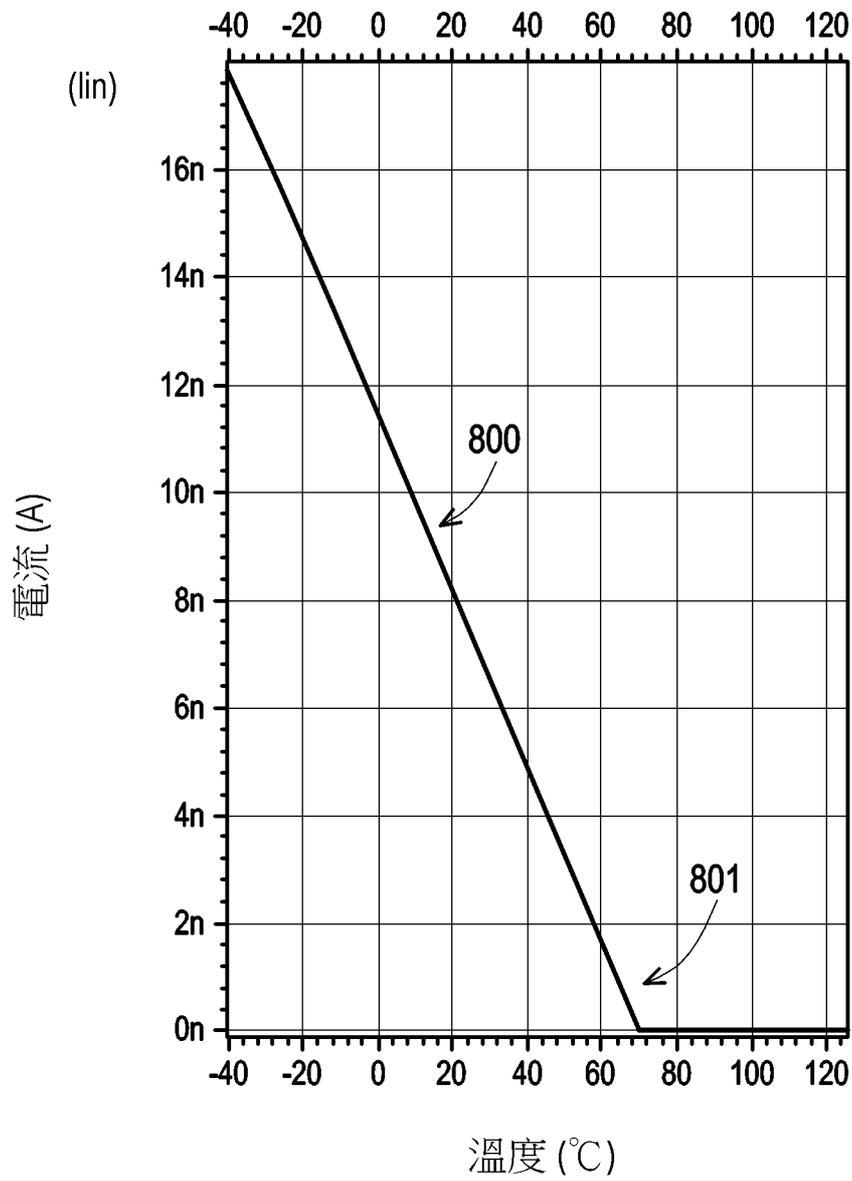


【圖5】

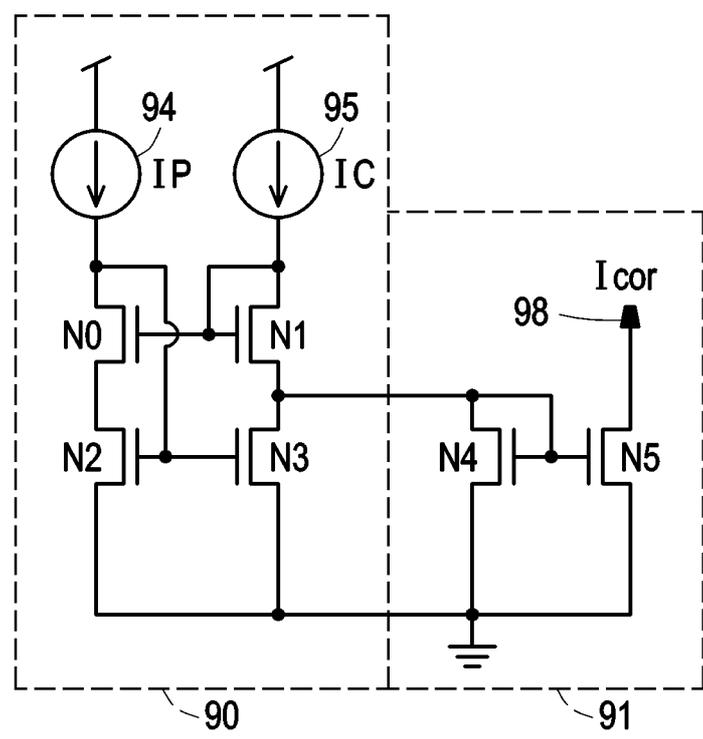


【圖6】



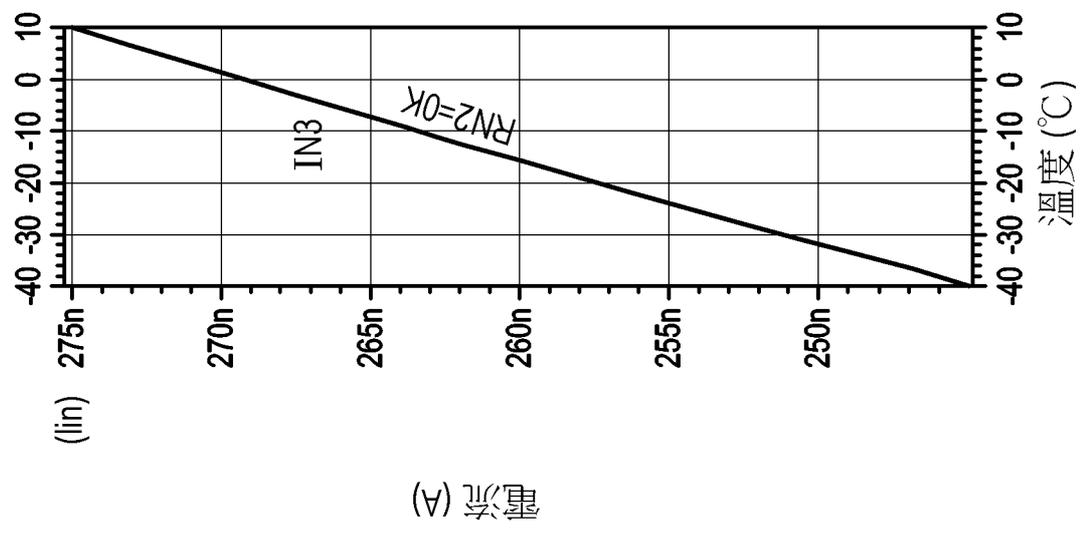


【圖8】

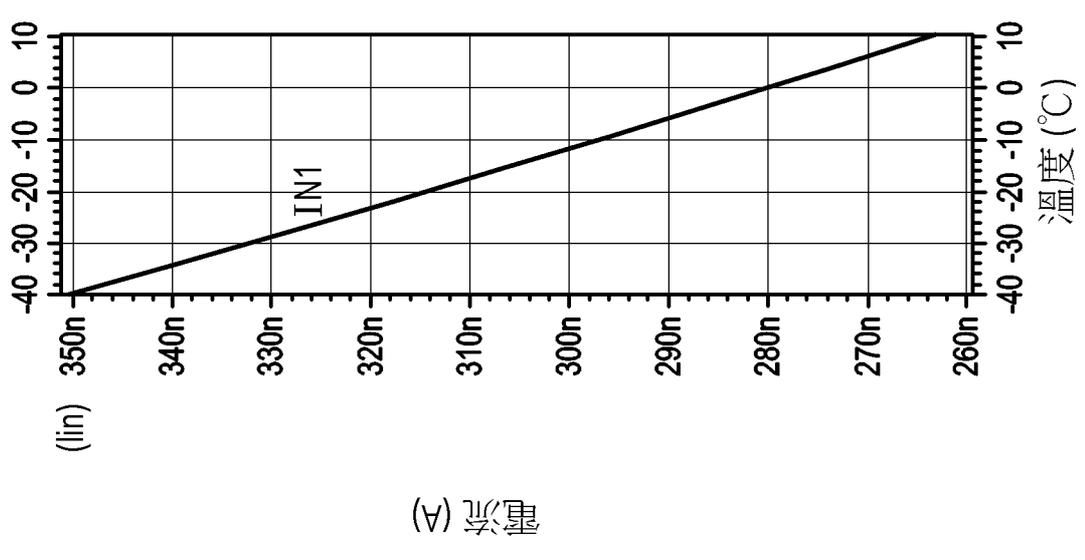


【圖9】

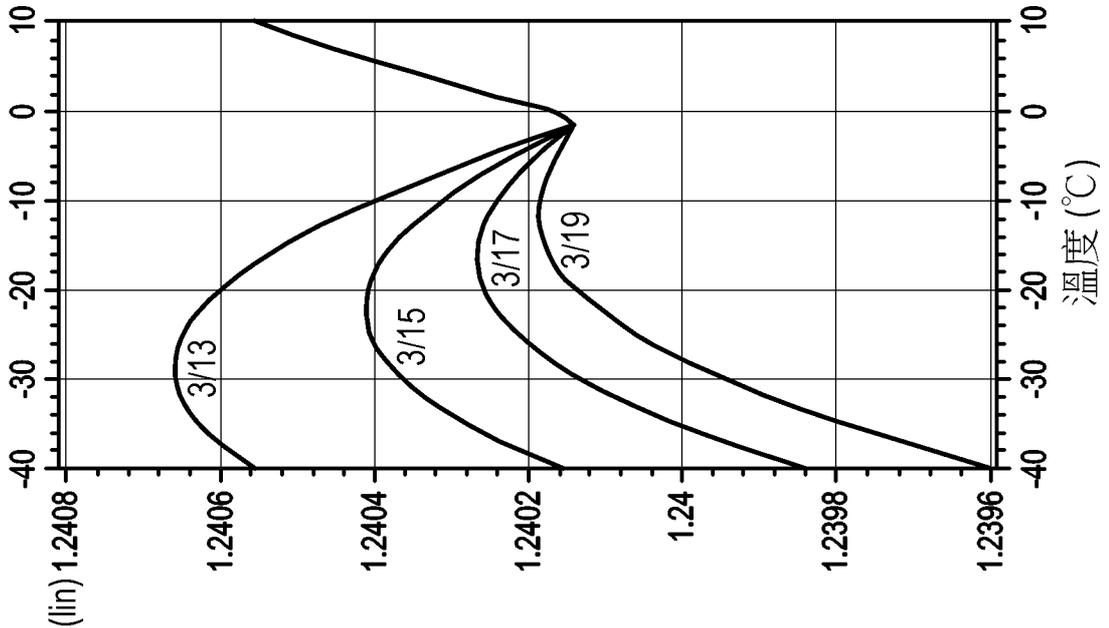




【圖12】

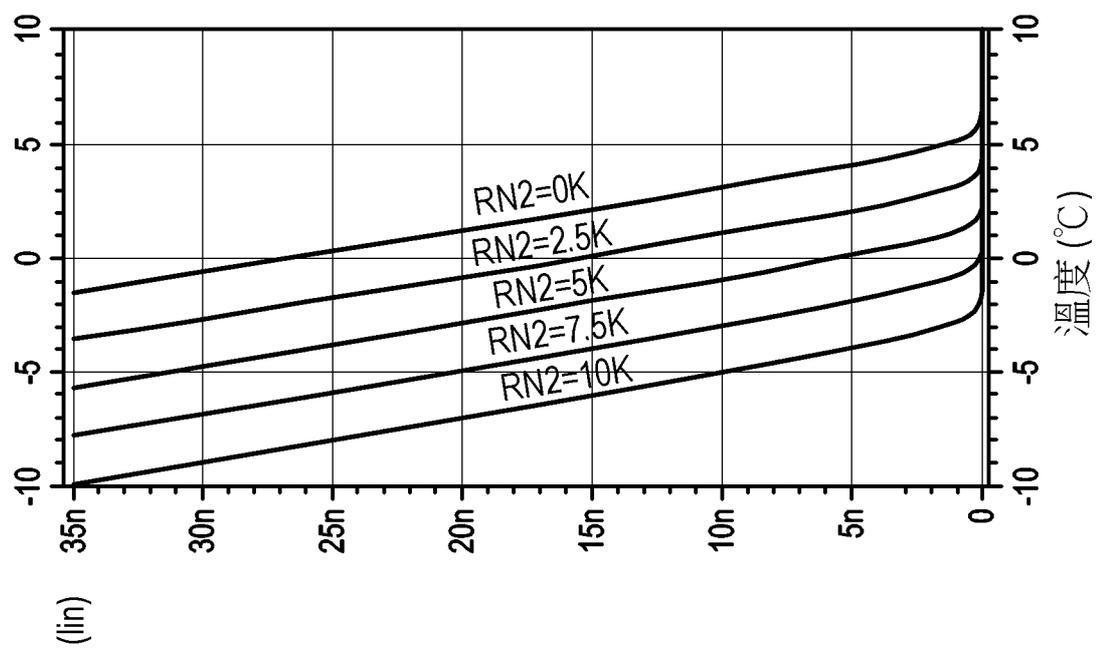


【圖11】



(W) 共振

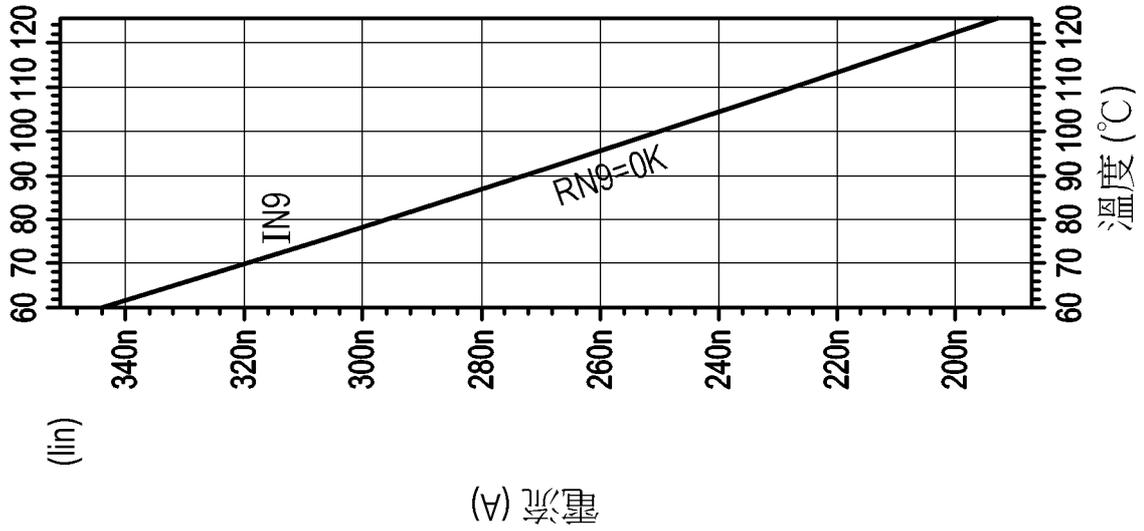
【圖14】



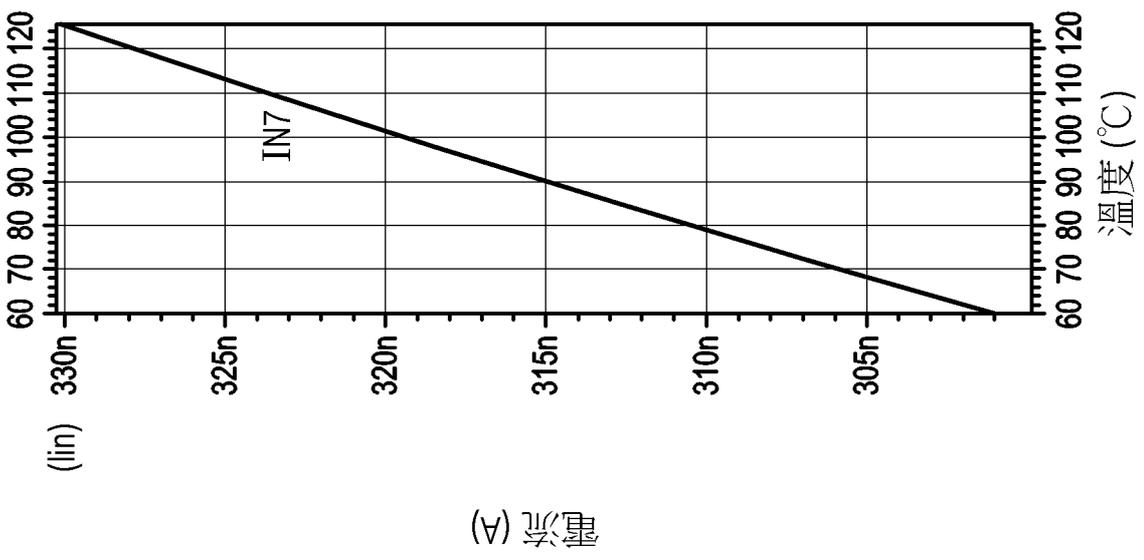
(A) 電流 (A)

【圖13】

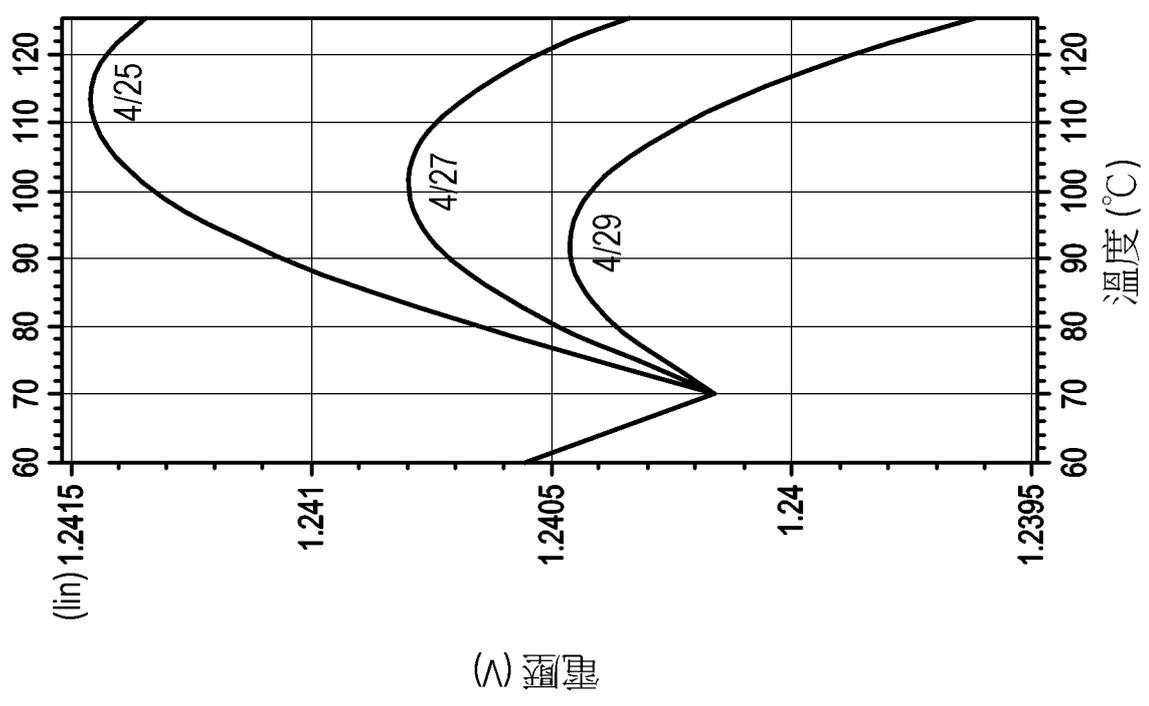




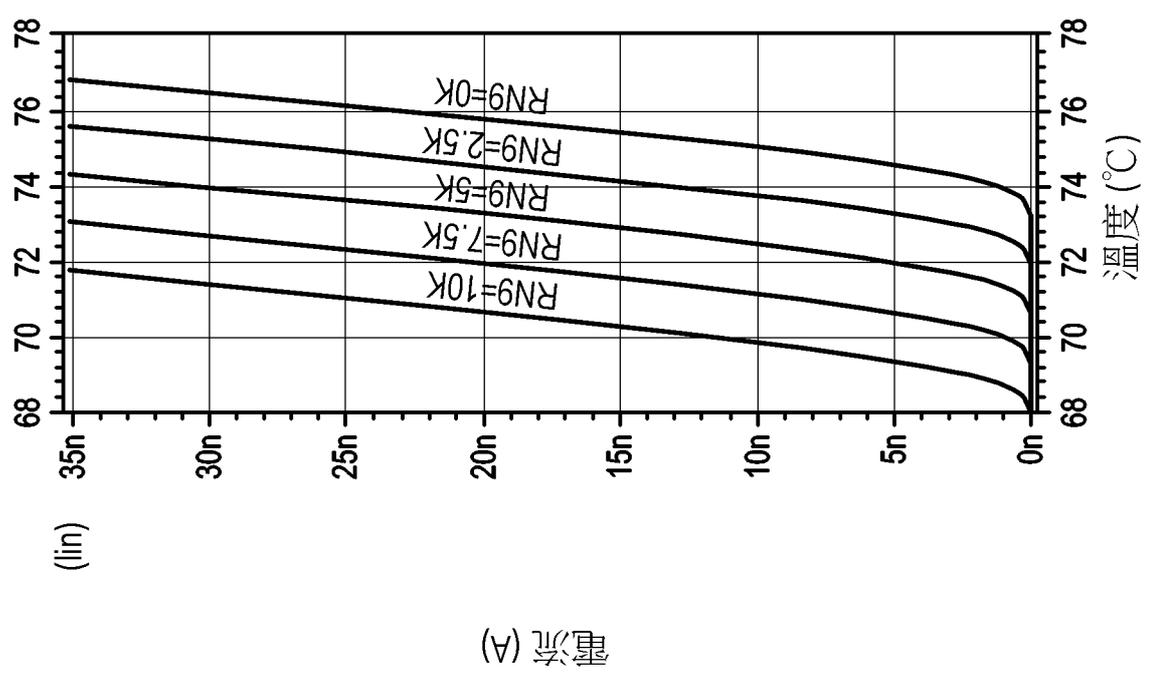
【圖17】



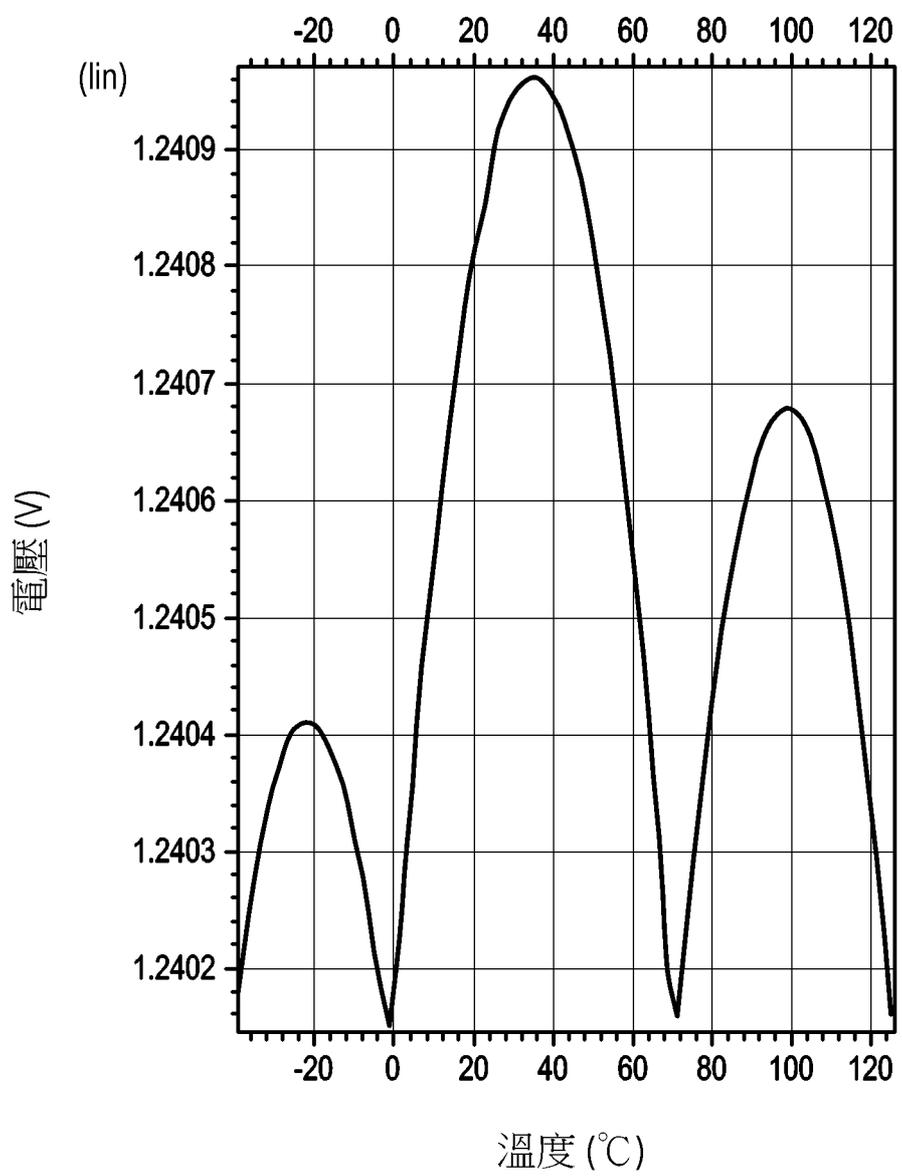
【圖16】



【圖19】

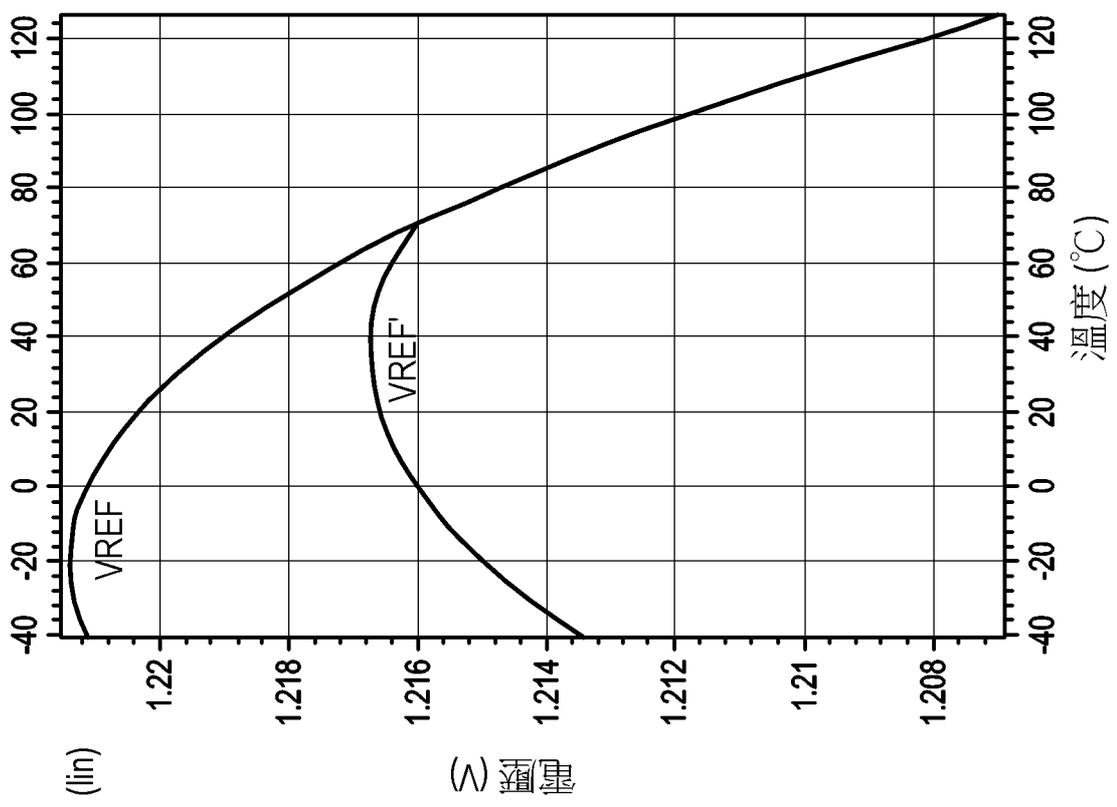


【圖18】

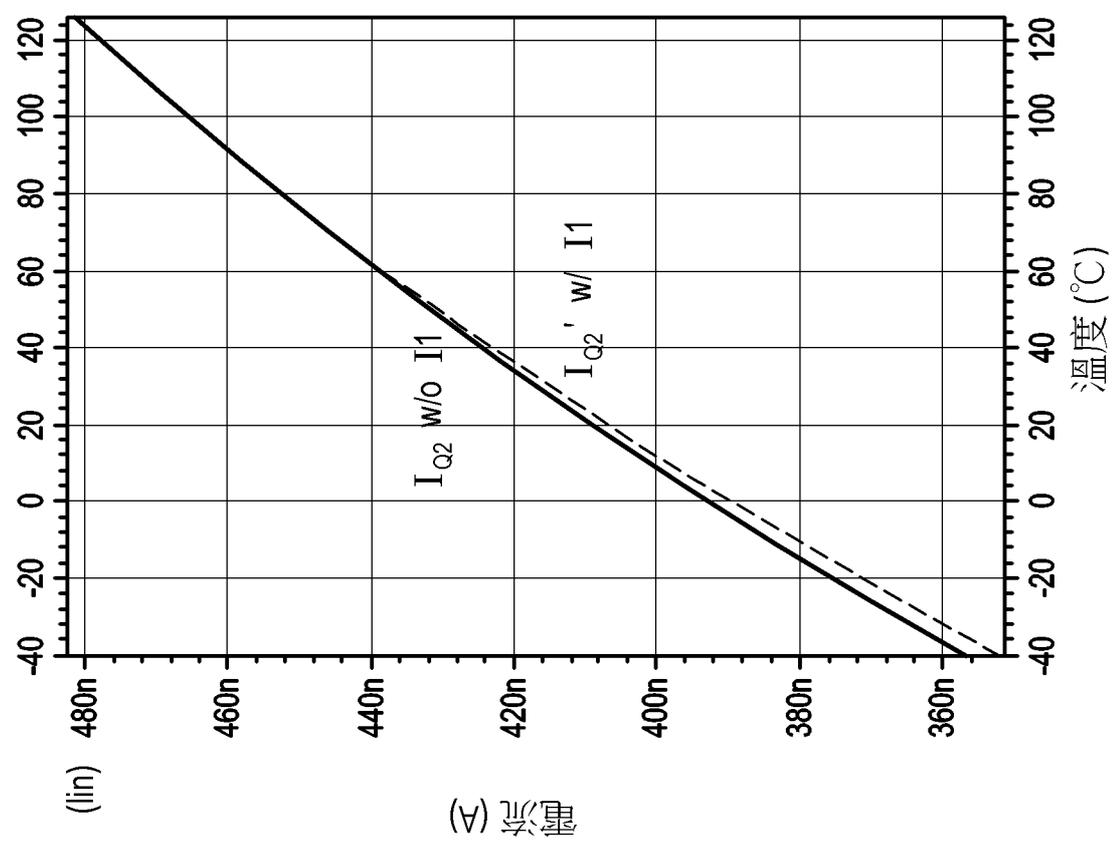


【圖20】



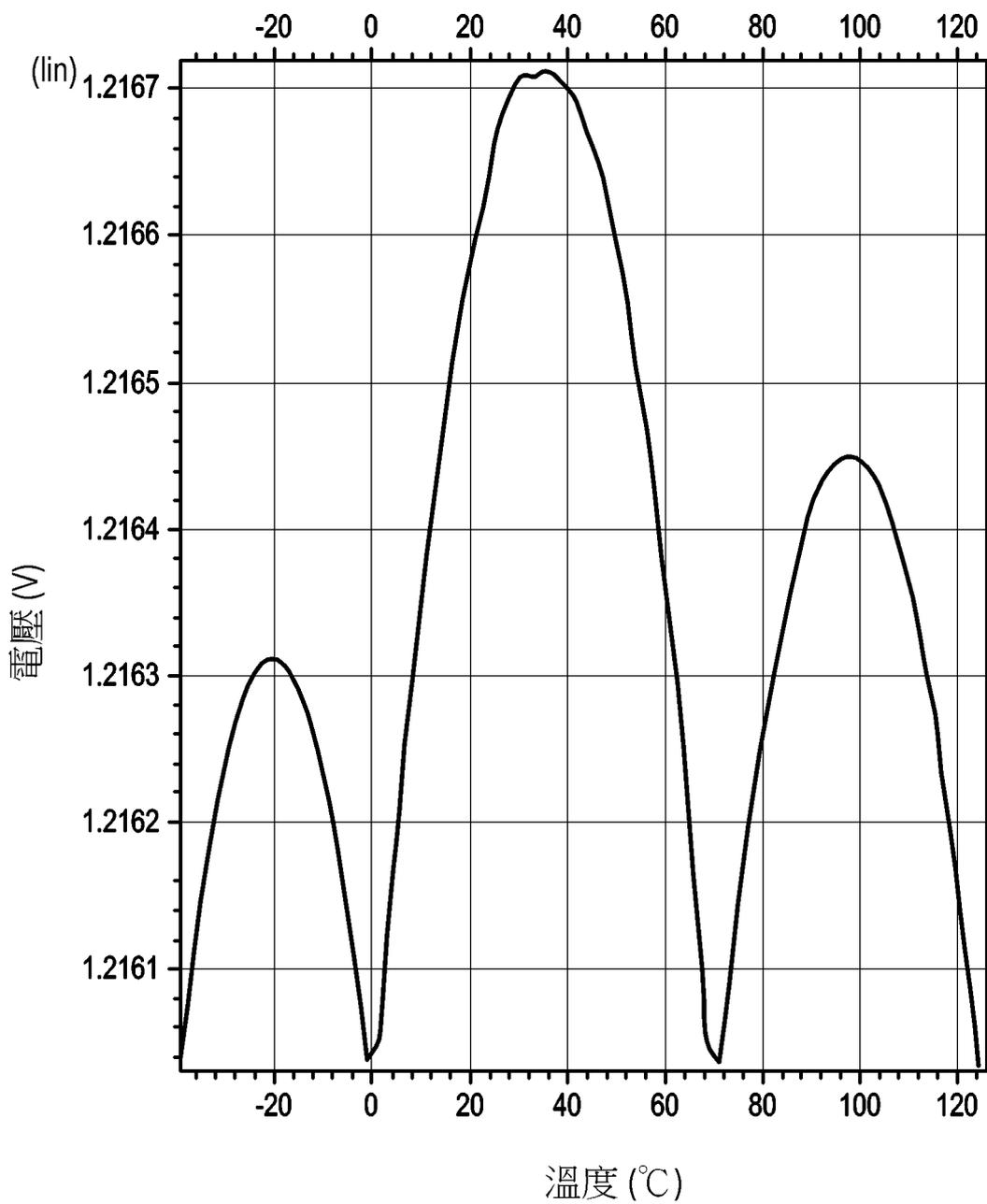


【圖23】

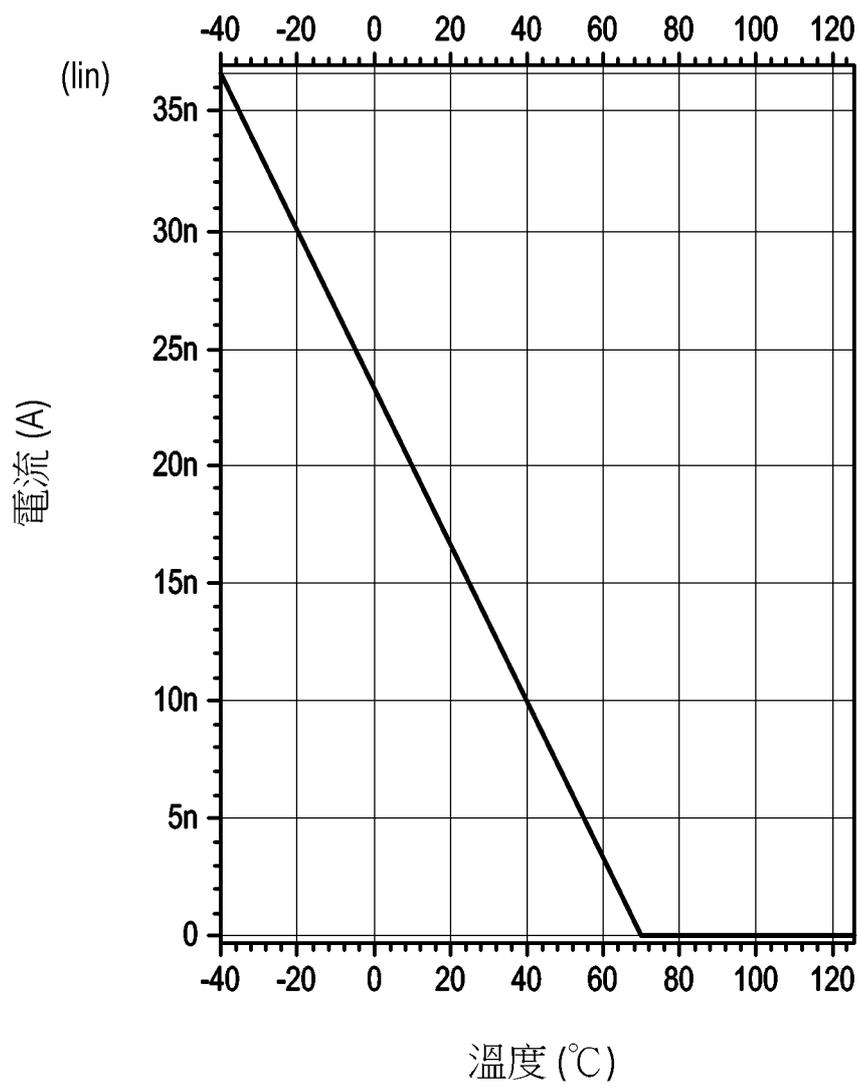


【圖22】



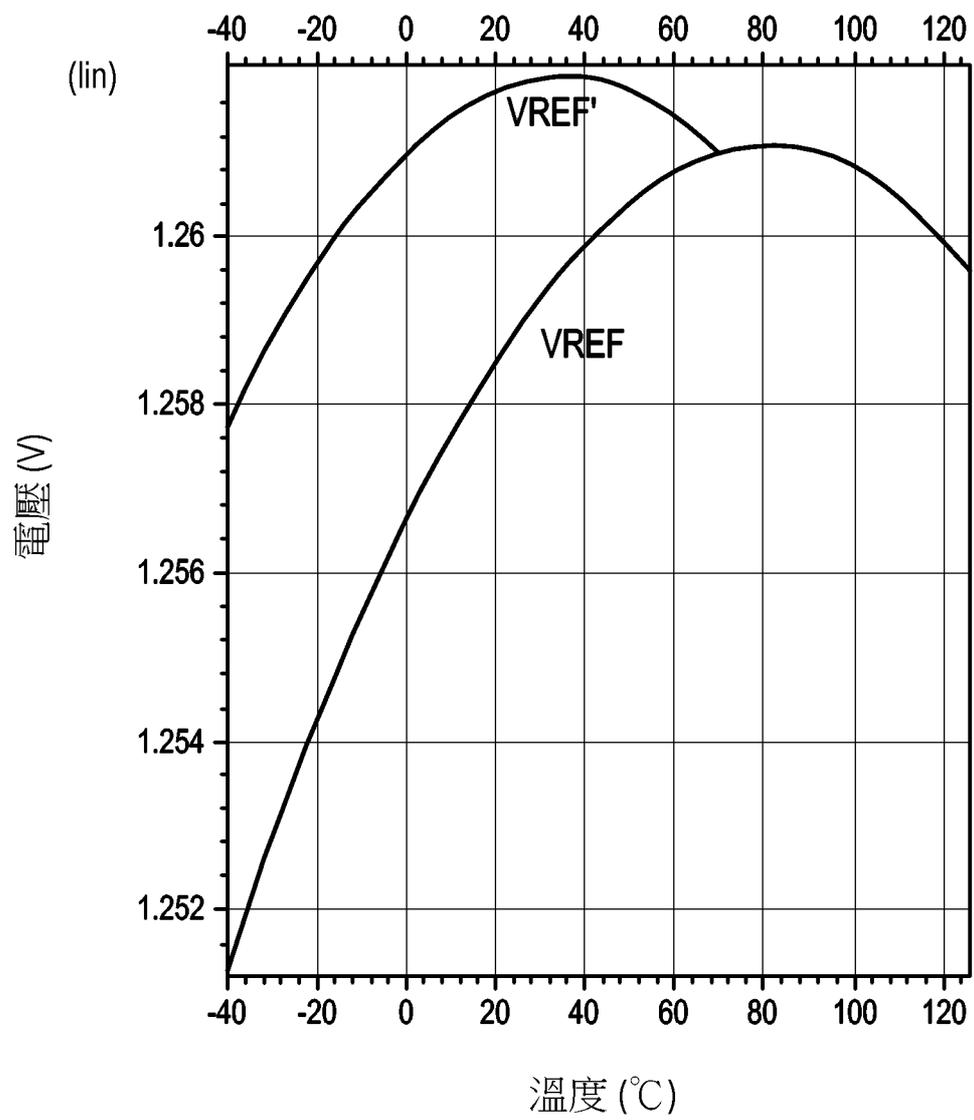


【圖25】

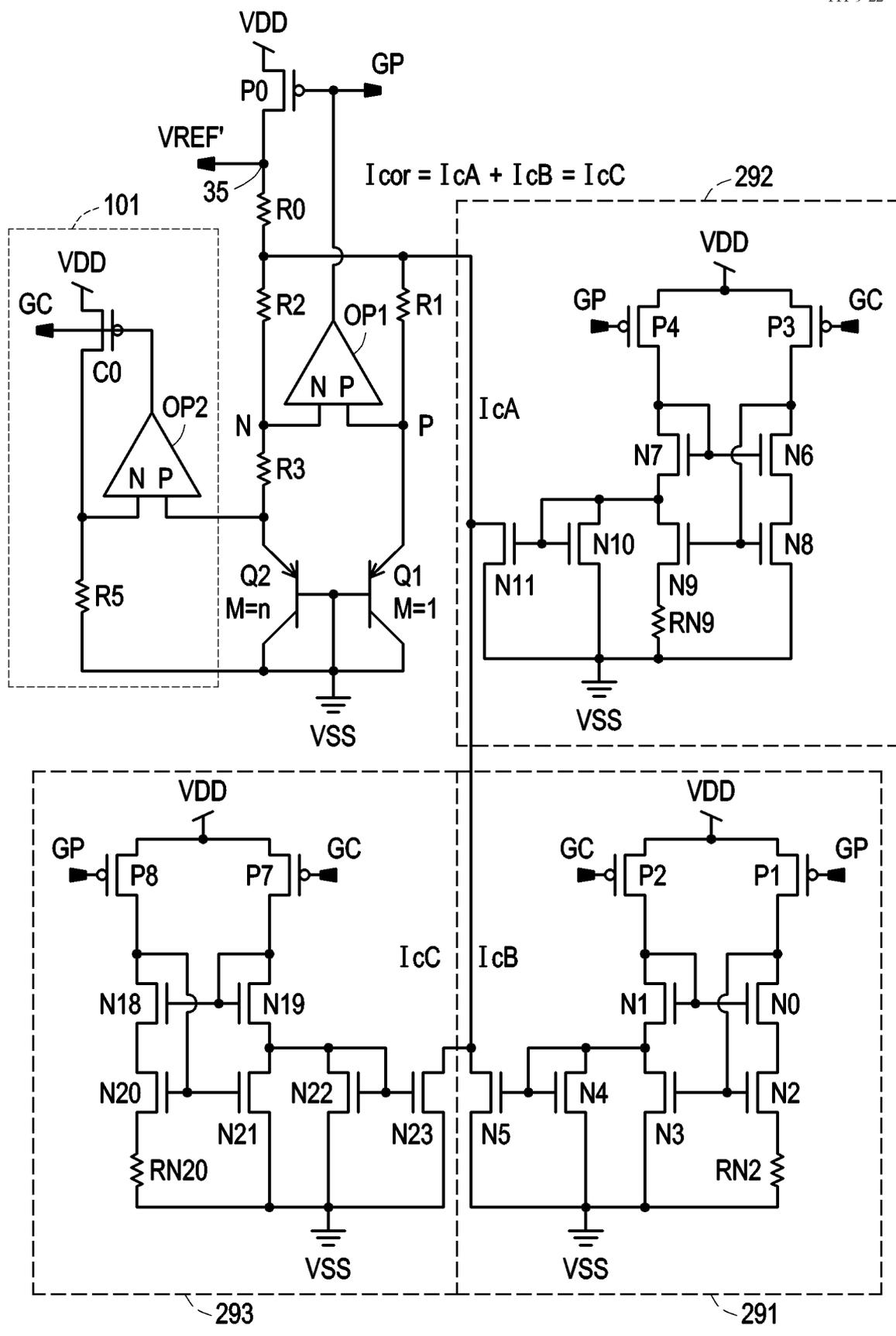


【圖26】

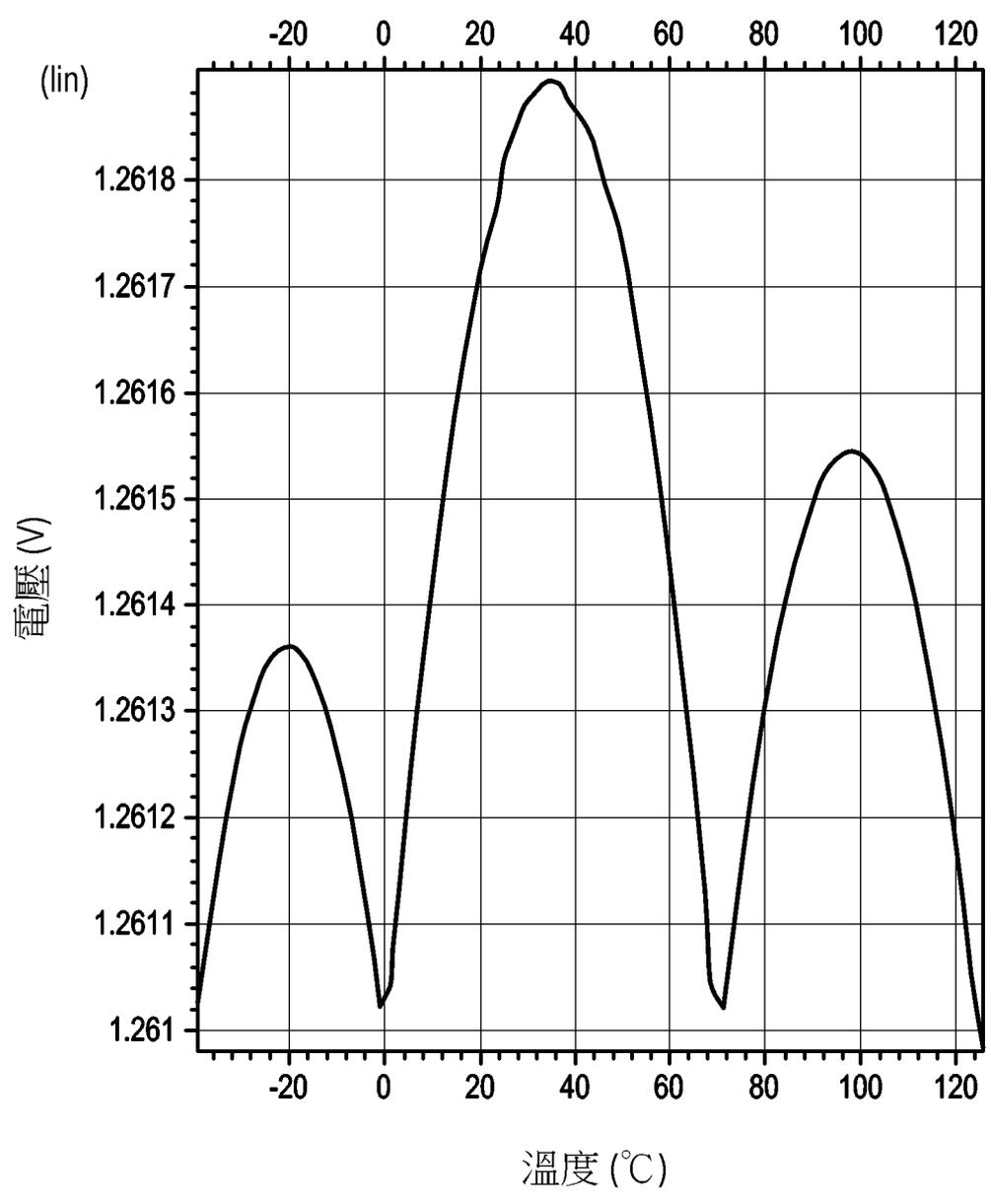




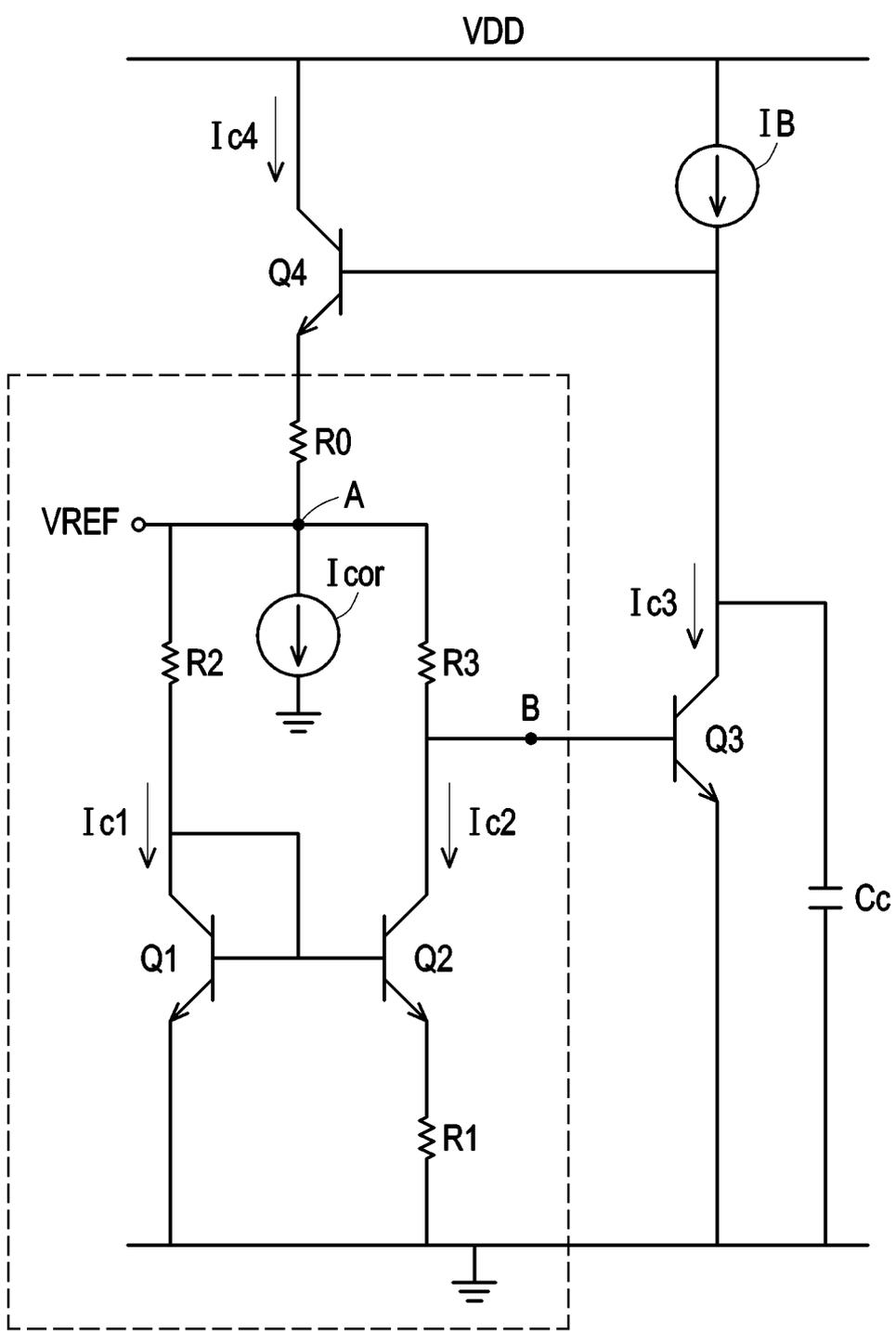
【圖28】



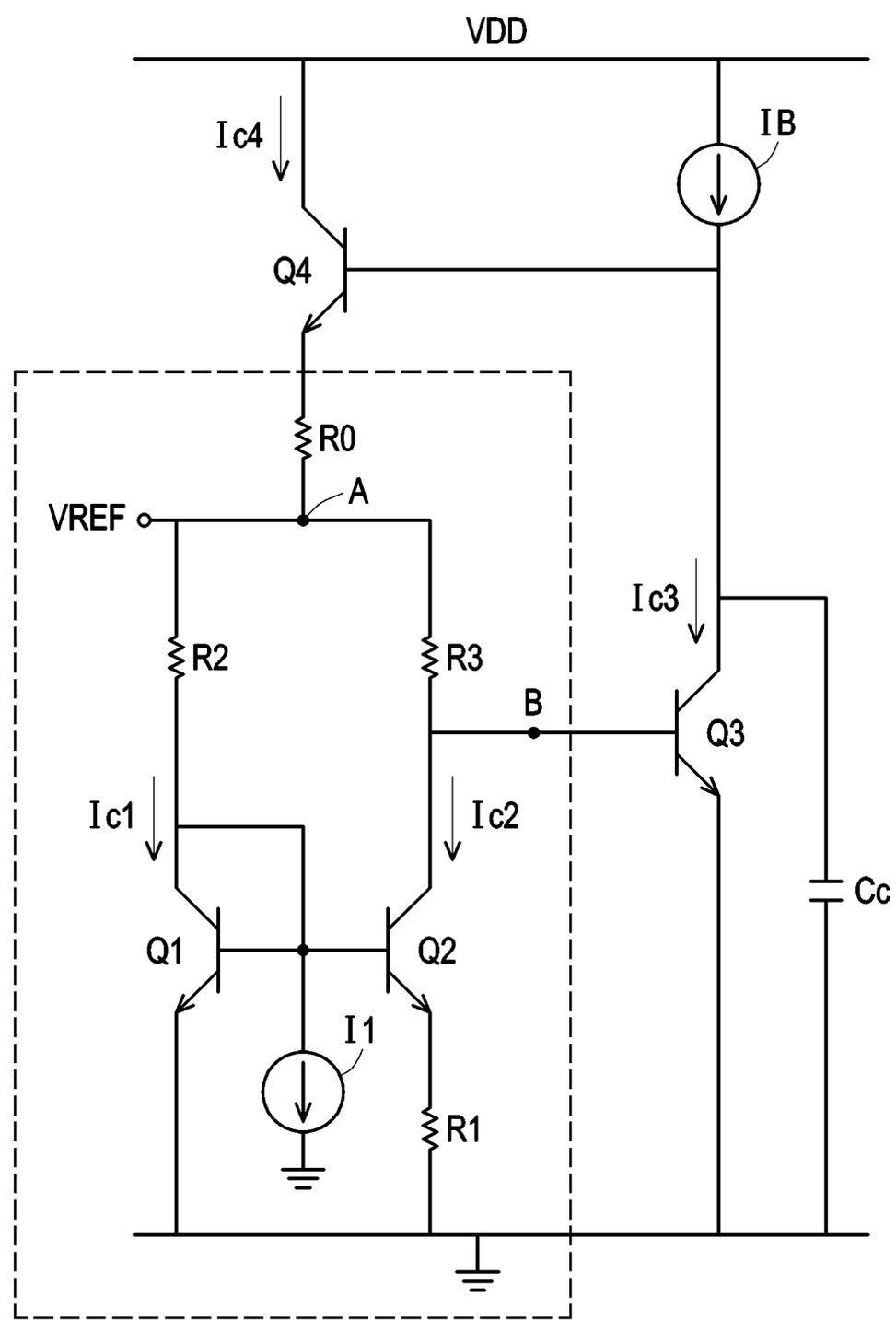
【圖29】



【圖30】



【圖31】



【圖32】