

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 6 部門第 3 区分
 【発行日】平成 29 年 10 月 26 日 (2017.10.26)

【公表番号】特表 2016-535337 (P2016-535337A)
 【公表日】平成 28 年 11 月 10 日 (2016.11.10)
 【年通号数】公開・登録公報 2016-063
 【出願番号】特願 2016-526069 (P2016-526069)
 【国際特許分類】

G 0 6 F 9/48 (2006.01)

G 0 6 F 9/50 (2006.01)

【 F I 】

G 0 6 F 9/46 4 5 2 Z

G 0 6 F 9/46 4 6 5 Z

【手続補正書】
 【提出日】平成 29 年 9 月 13 日 (2017.9.13)
 【手続補正 1】
 【補正対象書類名】特許請求の範囲
 【補正対象項目名】全文
 【補正方法】変更
 【補正の内容】
 【特許請求の範囲】
 【請求項 1】

ネットワーク環境における効率的なパケット処理をサポートするためのシステムであって、

1 つ以上のマイクロプロセッサと、

前記 1 つ以上のマイクロプロセッサ上で動くスレッドスケジューリングエンジンとを含み、前記スレッドスケジューリングエンジンは、複数のソフトウェアスレッドにおける各ソフトウェアスレッドにスレッドキーを割当てるように動作し、前記システムはさらに、

前記ネットワーク環境においてパケットを処理するように動作する直接メモリアクセス (DMA) リソースのプールを含み、

前記各ソフトウェアスレッドは、割当てられたスレッドキーを提示することによって、前記 DMA リソースのプールにおけるある DMA リソースへのアクセスを要求するように動作する、システム。

【請求項 2】

前記パケットは、仮想ファブリックによって生成される制御パケットである、請求項 1 に記載のシステム。

【請求項 3】

前記 DMA リソースのプールは、1 つ以上の DMA エンジンに関連付けられる、請求項 1 または 2 に記載のシステム。

【請求項 4】

前記 DMA リソースは、待ち時間要件と、各前記 DMA エンジンが維持している必要があるデータレートとのうちの少なくとも 1 つに依存して割当てられる、請求項 3 に記載のシステム。

【請求項 5】

前記スレッドスケジューリングエンジンは、オペレーティングシステム (OS) に基づいて構築されたスレッドスケジューラである、請求項 1 ~ 4 のいずれか 1 項に記載のシステム。

【請求項 6】

ソフトウェアスレッドから要求を受信し、物理的なDMAリソースが利用可能な場合には当該DMAリソースを割当てるように動作するリソースマネージャをさらに含む、請求項 1 ~ 5 のいずれか 1 項に記載のシステム。

【請求項 7】

別のソフトウェアスレッドが前記DMAリソースにすでに割当てられていた場合、前記DMAリソースへのアクセスは拒否される、請求項 6 に記載のシステム。

【請求項 8】

すべてのDMAリソースが使用されている場合、要求しているソフトウェアスレッドは待たされる、請求項 6 または 7 に記載のシステム。

【請求項 9】

単一のソフトウェアスレッドが複数のDMAリソースにアクセスすることが可能にされる、請求項 1 ~ 8 のいずれか 1 項に記載のシステム。

【請求項 10】

前記単一のソフトウェアスレッドは、前記複数のDMAリソース間の順序付けを決定するように動作する、請求項 9 に記載のシステム。

【請求項 11】

ネットワーク環境における効率的なパケット処理をサポートするための方法であって、1 つ以上のマイクロプロセッサ上で動くスレッドスケジューリングエンジンを提供するステップを含み、前記スレッドスケジューリングエンジンは、複数のソフトウェアスレッドにおける各ソフトウェアスレッドにスレッドキーを割当てるように動作し、前記方法はさらに、

前記ネットワーク環境においてパケットを処理するように動作する直接メモリアccess (DMA) リソースのプールを提供するステップと、

前記各ソフトウェアスレッドが、割当てられたスレッドキーを提示することによって、前記DMAリソースのプールにおけるあるDMAリソースへのアクセスを要求することを可能にするステップとを含む、方法。

【請求項 12】

実行されると、以下のステップをシステムに行なわせる命令を含むマシン読取可能なプログラムであって、前記以下のステップは、

1 つ以上のマイクロプロセッサ上で動くスレッドスケジューリングエンジンを提供するステップを含み、前記スレッドスケジューリングエンジンは、複数のソフトウェアスレッドにおける各ソフトウェアスレッドにスレッドキーを割当てるように動作し、前記以下のステップはさらに、

ネットワーク環境においてパケットを処理するように動作する直接メモリアccess (DMA) リソースのプールを提供するステップと、

前記各ソフトウェアスレッドが、割当てられたスレッドキーを提示することによって、前記DMAリソースのプールにおけるあるDMAリソースへのアクセスを要求することを可能にするステップとを含む、マシン読取可能なプログラム。

【請求項 13】

ネットワーク装置における効率的なパケット処理をサポートするためのシステムであって、

前記ネットワーク装置上のメモリにおける複数のパケットバッファと、

直接メモリアccess (DMA) リソースプールとを含み、前記DMAリソースプールは 1 つ以上のDMAリソースを含み、前記DMAリソースプールにおける各前記DMAリソースは、前記メモリにおけるパケットバッファのチェーンを指し示し、

各前記DMAリソースは、パケット処理スレッドが、前記パケット処理スレッドに予め割当てられたスレッドキーを使用して、前記メモリにおけるパケットバッファのチェーンにアクセスすることを可能にする、システム。

【請求項 14】

前記パケット処理スレッドは、予め割当てられた同じスレッドキーを使用して、前記メ

メモリにおけるパケットバッファの複数のチェーンにアクセスするように動作する、請求項 1 3 に記載のシステム。

【請求項 1 5】

前記パケット処理スレッドは、前記パケットバッファの複数のチェーンにおけるパケットを処理するために依存リストを設定するように動作する、請求項 1 4 に記載のシステム。

【請求項 1 6】

複数のパケット処理スレッドが、前記メモリにおけるパケットバッファの別々のチェーンに同時にアクセスするように動作する、請求項 1 3 ~ 1 5 のいずれか 1 項 に記載のシステム。

【請求項 1 7】

少なくとも 1 つの DMA リソースは、パケットバッファのリンクリストを指し示す、請求項 1 3 ~ 1 6 のいずれか 1 項 に記載のシステム。

【請求項 1 8】

前記リンクリストにおける各パケットバッファは、識別子と連結している、請求項 1 7 に記載のシステム。

【請求項 1 9】

少なくとも 1 つの DMA リソースは、識別子のリニアアレイを指し示す、請求項 1 3 ~ 1 8 のいずれか 1 項 に記載のシステム。

【請求項 2 0】

前記識別子のリニアアレイにおける各識別子は、パケットバッファを指し示す、請求項 1 9 に記載のシステム。

【請求項 2 1】

前記複数のパケットバッファは、リンクリストとリニアアレイとの混合に基づいて構成される、請求項 1 3 ~ 2 0 のいずれか 1 項 に記載のシステム。

【請求項 2 2】

前記 DMA リソースプールは、パケット処理スレッドがリンクリストに基づいてバッファのチェーンにアクセスすべきか、またはリニアアレイに基づいてバッファのチェーンにアクセスすべきかを動的に判断するように動作する、請求項 2 1 に記載のシステム。

【請求項 2 3】

ネットワーク環境における効率的なパケット処理をサポートするための方法であって、ネットワーク装置上のメモリにおける複数のパケットバッファを提供するステップと、直接メモリアクセス (DMA) リソースプールを提供するステップとを含み、前記 DMA リソースプールは DMA リソースの 1 つ以上を含み、前記 DMA リソースプールにおける各前記 DMA リソースは、前記メモリにおけるパケットバッファのチェーンを指し示し、前記方法はさらに、

各前記 DMA リソースを介して、パケット処理スレッドが、前記パケット処理スレッドに予め割当てられたスレッドキーを使用して、前記メモリにおけるパケットバッファのチェーンにアクセスすることを可能にするステップを含む、方法。

【請求項 2 4】

実行されると、以下のステップをシステムに行なわせる命令を含むマシン読取可能なプログラムであって、前記以下のステップは、

ネットワーク装置上のメモリにおける複数のパケットバッファを提供するステップと、直接メモリアクセス (DMA) リソースプールを提供するステップとを含み、前記 DMA リソースプールは DMA リソースの 1 つ以上を含み、前記 DMA リソースプールにおける各前記 DMA リソースは、前記メモリにおけるパケットバッファのチェーンを指し示し、前記以下のステップはさらに、

各前記 DMA リソースを介して、パケット処理スレッドが、前記パケット処理スレッドに予め割当てられたスレッドキーを使用して、前記メモリにおけるパケットバッファのチェーンにアクセスすることを可能にするステップを含む、マシン読取可能なプログラム。