

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第3区分

【発行日】平成29年10月26日(2017.10.26)

【公表番号】特表2016-535337(P2016-535337A)

【公表日】平成28年11月10日(2016.11.10)

【年通号数】公開・登録公報2016-063

【出願番号】特願2016-526069(P2016-526069)

【国際特許分類】

G 06 F 9/48 (2006.01)

G 06 F 9/50 (2006.01)

【F I】

G 06 F 9/46 4 5 2 Z

G 06 F 9/46 4 6 5 Z

【手続補正書】

【提出日】平成29年9月13日(2017.9.13)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

ネットワーク環境における効率的なパケット処理をサポートするためのシステムであつて、

1つ以上のマイクロプロセッサと、

前記1つ以上のマイクロプロセッサ上で動くスレッドスケジューリングエンジンとを含み、前記スレッドスケジューリングエンジンは、複数のソフトウェアスレッドにおける各ソフトウェアスレッドにスレッドキーを割当てるよう動作し、前記システムはさらに、

前記ネットワーク環境においてパケットを処理するよう動作する直接メモリアクセス(DMA)リソースのプールを含み、

前記各ソフトウェアスレッドは、割当てられたスレッドキーを提示することによって、前記DMAリソースのプールにおけるあるDMAリソースへのアクセスを要求するよう動作する、システム。

【請求項2】

前記パケットは、仮想ファブリックによって生成される制御パケットである、請求項1に記載のシステム。

【請求項3】

前記DMAリソースのプールは、1つ以上のDMAエンジンに関連付けられる、請求項1または2に記載のシステム。

【請求項4】

前記DMAリソースは、待ち時間要件と、各前記DMAエンジンが維持している必要があるデータレートとのうちの少なくとも1つに依存して割当られる、請求項3に記載のシステム。

【請求項5】

前記スレッドスケジューリングエンジンは、オペレーティングシステム(OS)に基づいて構築されたスレッドスケジューラである、請求項1~4のいずれか1項に記載のシステム。

【請求項6】

ソフトウェアスレッドから要求を受信し、物理的なDMAリソースが利用可能な場合には当該DMAリソースを割当てるよう動作するリソーススマネージャをさらに含む、請求項1～5のいずれか1項に記載のシステム。

【請求項7】

別のソフトウェアスレッドが前記DMAリソースにすでに割当てられていた場合、前記DMAリソースへのアクセスは拒否される、請求項6に記載のシステム。

【請求項8】

すべてのDMAリソースが使用されている場合、要求しているソフトウェアスレッドは待たされる、請求項6または7に記載のシステム。

【請求項9】

単一のソフトウェアスレッドが複数のDMAリソースにアクセスすることが可能にされる、請求項1～8のいずれか1項に記載のシステム。

【請求項10】

前記単一のソフトウェアスレッドは、前記複数のDMAリソース間の順序付けを決定するよう動作する、請求項9に記載のシステム。

【請求項11】

ネットワーク環境における効率的なパケット処理をサポートするための方法であって、1つ以上のマイクロプロセッサ上で動くスレッドスケジューリングエンジンを提供するステップを含み、前記スレッドスケジューリングエンジンは、複数のソフトウェアスレッドにおける各ソフトウェアスレッドにスレッドキーを割当てるよう動作し、前記方法はさらに、

前記ネットワーク環境においてパケットを処理するよう動作する直接メモリアクセス(DMA)リソースのプールを提供するステップと、

前記各ソフトウェアスレッドが、割当てられたスレッドキーを提示することによって、前記DMAリソースのプールにおけるあるDMAリソースへのアクセスを要求することを可能にするステップとを含む、方法。

【請求項12】

実行されると、以下のステップをシステムに行なわせる命令を含むマシン読取可能なプログラムであって、前記以下のステップは、

1つ以上のマイクロプロセッサ上で動くスレッドスケジューリングエンジンを提供するステップを含み、前記スレッドスケジューリングエンジンは、複数のソフトウェアスレッドにおける各ソフトウェアスレッドにスレッドキーを割当てるよう動作し、前記以下のステップはさらに、

ネットワーク環境においてパケットを処理するよう動作する直接メモリアクセス(DMA)リソースのプールを提供するステップと、

前記各ソフトウェアスレッドが、割当てられたスレッドキーを提示することによって、前記DMAリソースのプールにおけるあるDMAリソースへのアクセスを要求することを可能にするステップとを含む、マシン読取可能なプログラム。

【請求項13】

ネットワーク装置における効率的なパケット処理をサポートするためのシステムであって、

前記ネットワーク装置上のメモリにおける複数のパケットバッファと、直接メモリアクセス(DMA)リソースプールとを含み、前記DMAリソースプールは1つ以上のDMAリソースを含み、前記DMAリソースプールにおける各前記DMAリソースは、前記メモリにおけるパケットバッファのチェーンを指し示し、

各前記DMAリソースは、パケット処理スレッドが、前記パケット処理スレッドに予め割当てられたスレッドキーを使用して、前記メモリにおけるパケットバッファのチェーンにアクセスすることを可能にする、システム。

【請求項14】

前記パケット処理スレッドは、予め割当てられた同じスレッドキーを使用して、前記メ

モリにおけるパケットバッファの複数のチェーンにアクセスするように動作する、請求項13に記載のシステム。

【請求項15】

前記パケット処理スレッドは、前記パケットバッファの複数のチェーンにおけるパケットを処理するために依存リストを設定するように動作する、請求項14に記載のシステム。

【請求項16】

複数のパケット処理スレッドが、前記メモリにおけるパケットバッファの別々のチェーンに同時にアクセスするように動作する、請求項13～15のいずれか1項に記載のシステム。

【請求項17】

少なくとも1つのDMAリソースは、パケットバッファのリンクリストを指し示す、請求項13～16のいずれか1項に記載のシステム。

【請求項18】

前記リンクリストにおける各パケットバッファは、識別子と連結している、請求項17に記載のシステム。

【請求項19】

少なくとも1つのDMAリソースは、識別子のリニアアレイを指し示す、請求項13～18のいずれか1項に記載のシステム。

【請求項20】

前記識別子のリニアアレイにおける各識別子は、パケットバッファを指し示す、請求項19に記載のシステム。

【請求項21】

前記複数のパケットバッファは、リンクリストとリニアアレイとの混合に基づいて構成される、請求項13～20のいずれか1項に記載のシステム。

【請求項22】

前記DMAリソースプールは、パケット処理スレッドがリンクリストに基づいてバッファのチェーンにアクセスすべきか、またはリニアアレイに基づいてバッファのチェーンにアクセスすべきかを動的に判断するように動作する、請求項21に記載のシステム。

【請求項23】

ネットワーク環境における効率的なパケット処理をサポートするための方法であって、ネットワーク装置上のメモリにおける複数のパケットバッファを提供するステップと、直接メモリアクセス(DMA)リソースプールを提供するステップとを含み、前記DMAリソースプールはDMAリソースの1つ以上を含み、前記DMAリソースプールにおける各前記DMAリソースは、前記メモリにおけるパケットバッファのチェーンを指し示し、前記方法はさらに、

各前記DMAリソースを介して、パケット処理スレッドが、前記パケット処理スレッドに予め割当てられたスレッドキーを使用して、前記メモリにおけるパケットバッファのチェーンにアクセスすることを可能にするステップを含む、方法。

【請求項24】

実行されると、以下のステップをシステムに行なわせる命令を含むマシン読取可能なプログラムであって、前記以下のステップは、

ネットワーク装置上のメモリにおける複数のパケットバッファを提供するステップと、直接メモリアクセス(DMA)リソースプールを提供するステップとを含み、前記DMAリソースプールはDMAリソースの1つ以上を含み、前記DMAリソースプールにおける各前記DMAリソースは、前記メモリにおけるパケットバッファのチェーンを指し示し、前記以下のステップはさらに、

各前記DMAリソースを介して、パケット処理スレッドが、前記パケット処理スレッドに予め割当てられたスレッドキーを使用して、前記メモリにおけるパケットバッファのチェーンにアクセスすることを可能にするステップを含む、マシン読取可能なプログラム。