

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2017-191916

(P2017-191916A)

(43) 公開日 平成29年10月19日(2017. 10. 19)

(51) Int.Cl.	F I	テーマコード (参考)
H O 1 L 29/78 (2006.01)	H O 1 L 29/78	6 5 2 D
H O 1 L 29/12 (2006.01)	H O 1 L 29/78	6 5 2 F
H O 1 L 21/336 (2006.01)	H O 1 L 29/78	6 5 2 T
	H O 1 L 29/78	6 5 8 B
	H O 1 L 29/78	6 5 2 C
審査請求 未請求 請求項の数 15 O L (全 22 頁)		

(21) 出願番号 特願2016-82375 (P2016-82375)
 (22) 出願日 平成28年4月15日 (2016. 4. 15)

(71) 出願人 000005108
 株式会社日立製作所
 東京都千代田区丸の内一丁目6番6号
 (74) 代理人 110001689
 青稜特許業務法人
 (72) 発明者 森川 貴博
 東京都千代田区丸の内一丁目6番6号 株
 式会社日立製作所内
 (72) 発明者 佐藤 慎太郎
 東京都千代田区丸の内一丁目6番6号 株
 式会社日立製作所内
 (72) 発明者 小林 慶亮
 東京都千代田区丸の内一丁目6番6号 株
 式会社日立製作所内

(54) 【発明の名称】 半導体装置およびその製造方法

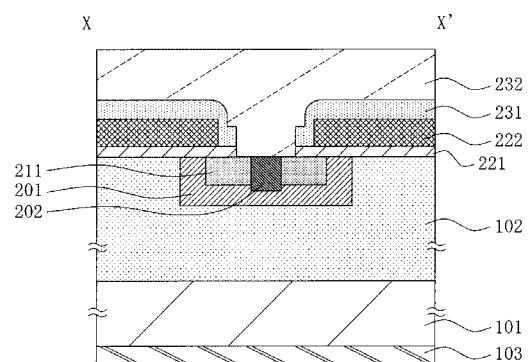
(57) 【要約】 (修正有)

【課題】高性能で、かつ、信頼性の高い炭化珪素半導体装置およびその製造方法を提供する。

【解決手段】半導体装置は、半導体基板と、半導体基板の上に形成されたエピタキシャル層102と、エピタキシャル層の表面に形成され、第1導電型を有するソース領域211と、エピタキシャル層の表面において、ソース領域の外側に形成された、第1導電型とは異なる第2導電型を有するボディ領域201と、エピタキシャル層の表面において、凹多角形状をなしてソース領域の内側に形成され、かつ、エピタキシャル層の断面において、ボディ領域の上に形成される、第2導電型を有するコンタクト領域202と、ソース領域の少なくとも一部およびコンタクト領域の少なくとも一部と電氣的に接触するソース電極232と、を有する。

【選択図】図4

図4



【特許請求の範囲】**【請求項 1】**

半導体基板と、
前記半導体基板の上に形成されたエピタキシャル層と、
前記エピタキシャル層の表面に形成され、第 1 導電型を有するソース領域と、
前記エピタキシャル層の表面において、前記ソース領域の外側に形成された、前記第 1 導電型とは異なる第 2 導電型を有するボディ領域と、
前記エピタキシャル層の表面において、凹多角形状をなして前記ソース領域の内側に形成され、かつ、前記エピタキシャル層の断面において、前記ボディ領域の上に形成される、前記第 2 導電型を有するコンタクト領域と、
前記ソース領域の少なくとも一部および前記コンタクト領域の少なくとも一部と電氣的に接触するソース電極と、
を有する半導体装置。

10

【請求項 2】

前記エピタキシャル層の表面において、前記ソース領域の外縁の輪郭の任意の点と、前記ボディ領域の外縁の輪郭の任意の点と、の間の最短の距離を L_1 とし、
前記エピタキシャル層の表面において、前記コンタクト領域の外縁の輪郭の任意の点から、前記コンタクト領域の内部の任意の点と、の間の最長の距離を L_2 としたとき、
 $L_1 \geq L_2$ の関係が成り立つことを特徴とする、
請求項 1 に記載の半導体装置。

20

【請求項 3】

前記エピタキシャル層の表面において、前記コンタクト領域の外縁部は、前記ソース電極の外縁部に内包されており、前記コンタクト領域の全体が、前記ソース電極と電氣的に接触していることを特徴とする、
請求項 1 に記載の半導体装置。

【請求項 4】

前記コンタクト領域の直下全体に、前記ボディ領域が存在することを特徴とする、
請求項 1 に記載の半導体装置。

【請求項 5】

前記半導体基板は、SiC 基板であり、
前記エピタキシャル層は、SiC からなるエピタキシャル層であることを特徴とする、
請求項 1 に記載の半導体装置。

30

【請求項 6】

前記ボディ領域に内包される構成を一単位とするユニットセルの平面形状が、正多角形となっていることを特徴とする、
請求項 1 に記載の半導体装置。

【請求項 7】

前記コンタクト領域の平面形状は、十字形状であり、
前記コンタクト領域の十字形状の腕の延びる方向が、前記ユニットセルの正多角形の対角線方向に一致することを特徴とする、
請求項 6 に記載の半導体装置。

40

【請求項 8】

前記ソース領域の直下に、前記第 2 導電型を有する埋め込みボディ領域が存在することを特徴とする、
請求項 1 に記載の半導体装置。

【請求項 9】

半導体層の上に、開口部を有するとともに、前記開口部の内部に凹多角形状をした島状遮蔽部を有するマスクを形成する第 1 の工程と、
前記マスクを遮蔽膜として前記開口部を通して前記半導体層に第 1 の導電型の不純物イオン注入を行なう第 2 の工程と、

50

前記マスクを縮小させて前記開口部を拡張する第 3 の工程と、
縮小した前記マスクを遮蔽膜として、拡張した前記開口部を通して、前記第 1 の導電型と異なる第 2 の導電型の不純物イオン注入を行なう第 4 の工程と、
前記半導体層の表面に電氣的に接するように電極を形成する第 5 の工程と、
を有する、
半導体装置の製造方法。

【請求項 10】

前記第 3 の工程において、
前記島状遮蔽部を全て除去することを特徴とする、
請求項 9 記載の半導体装置の製造方法。

10

【請求項 11】

前記第 3 の工程において、
前記開口部が拡張される距離を L_1 とし、
前記半導体層の表面において、前記島状遮蔽部の外縁の輪郭の任意の点から、前記島状遮蔽部の内部の任意の点までの、最長の距離を L_2 としたとき、
 $L_1 < L_2$ の関係が成り立つことを特徴とする、
請求項 9 記載の半導体装置の製造方法。

【請求項 12】

前記第 4 の工程の後に、
縮小した前記マスクを除去し、前記島状遮蔽部に対応した形状の凹多角形状をした開口部を有する新たなマスクを形成する第 6 の工程と、
前記凹多角形状をした開口部を通して、前記半導体層に前記第 2 の導電型の不純物イオン注入を行ない、コンタクト領域を形成する第 7 の工程と、を備え、
前記第 5 の工程において、
前記電極は、前記コンタクト領域に電氣的に接するように形成される、
請求項 9 記載の半導体装置の製造方法。

20

【請求項 13】

前記第 2 の工程において、
前記第 1 の導電型の不純物イオン注入を行なった後に、さらに前記第 2 の導電型の不純物イオン注入を行なう、
請求項 9 記載の半導体装置の製造方法。

30

【請求項 14】

S i C 半導体基板上に S i C エピタキシャル層を形成する第 1 ステップ、
前記 S i C エピタキシャル層の上に、開口部を有するとともに、前記開口部の内部に凹多角形状をした島状遮蔽部を有するマスクを形成する第 2 ステップ、
前記マスクを遮蔽膜として、前記開口部を通して、第 1 の導電型不純物イオン注入を行ない、ソース領域を形成する第 3 ステップ、
前記マスクを縮小させて前記開口部を拡張するとともに、前記島状遮蔽部を除去する第 4 ステップ、
縮小した前記マスクを遮蔽膜として、拡張した前記開口部を通して、前記第 1 の導電型と異なる第 2 の導電型の不純物イオン注入を行ない、ボディ領域を形成する第 5 ステップ、
縮小した前記マスクを除去し、新たに前記島状遮蔽部と対応する開口部を備える第 2 のマスクを形成する第 6 ステップ、
前記第 2 のマスクを遮蔽膜として、前記島状遮蔽部と対応する開口部を通して、前記第 2 の導電型の不純物イオン注入を行い、凹多角形状をしたコンタクト領域を形成する第 7 ステップ、
前記コンタクト領域および前記ソース領域の両方に電氣的に接するように電極を形成する第 7 ステップ、を有する、
半導体装置の製造方法。

40

50

【請求項 15】

前記第4ステップにおいて、

前記開口部が拡張される距離をL1とし、

前記SiCエピタキシャルの表面において、前記島状遮蔽部の外縁の輪郭の任意の点から、前記島状遮蔽部の内部の任意の点までの、最長の距離をL2としたとき、

L1、L2の関係が成り立つことを特徴とする、

請求項14記載の半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

10

本発明は、半導体装置およびその製造方法に関し、特に、炭化珪素(SiC)基板を用いたパワー半導体デバイスにより構成される、炭化珪素半導体装置およびその製造方法に適用して有効な技術に関するものである。

【背景技術】

【0002】

近年、地球温暖化や化石燃料の供給不安が問題となる中で、エネルギーの有効利用を促進するための技術であるパワーエレクトロニクスが注目されている。パワーエレクトロニクス機器は、電力の変換や制御を担っており、そのキーとなるパワー半導体デバイスの性能向上が求められている。

【0003】

20

パワー半導体デバイスの一つである電界効果トランジスタ(Metal Oxide Semiconductor Field Effect Transistor: MOSFET)は、古くから珪素(Si)基板を用いたパワーMOSFET(以下、SiパワーMOSFETと記す)が用いられてきた。SiパワーMOSFETは現在に至るまで低損失化や性能向上が図られてきた結果、そのデバイス性能がSiの材料物性で決まる理論限界に近づきつつあり、今後の更なる性能向上は困難な状況になってきている。

【0004】

このような状況の中で、炭化珪素(SiC)基板(以下、SiC基板と記す)を用いたパワーMOSFET(以下、SiCパワーMOSFETと記す)が盛んに研究されている。炭化珪素(SiC)は、珪素(Si)と比較して絶縁破壊電界強度が約7倍大きく、ドリフト層を薄くできるため、SiCパワーMOSFETは、SiパワーMOSFETと比較してオン抵抗の低抵抗化、したがって低損失化が可能である。

30

【0005】

従来から用いられているパワーMOSFETの一例として、縦型2重拡散MOS(Double diffused Metal Oxide Semiconductor)FET構造について説明する。

【0006】

図1は典型的な縦型DMOSFET構造の断面図である。N+型SiC基板101の主面上に、同じくSiCからなるエピタキシャル層102が設けられ、エピタキシャル層102の上にはゲート絶縁膜221とゲート電極222が形成されている。また、エピタキシャル層102の表面に接するソース電極232と、SiC基板101の裏面に設けられたドレイン電極103とを備えている。

40

【0007】

エピタキシャル層102の表面付近には、P型ボディ領域201が形成されている。ボディ領域201の内部には、N型ソース領域211、および、P型ボディ領域201よりも高い濃度でP型不純物を含むP+型コンタクト領域202が形成されており、N型ソース領域211およびP+型コンタクト領域202の表面に接して、ソース電極232が形成されて電氣的に接続されている。したがって、N型ソース領域211とP+型コンタクト領域202の間は、ソース電極232を介して電氣的に短絡されている。

【0008】

DMOSFETの製造方法は、Siを用いたDMOSFETの場合、ドーパントの熱拡

50

散を用いる方法がよく知られている。その製造方法の例は、非特許文献 1 に示されている。非特許文献 1 の製造方法によれば、ゲートをマスクとして、P 型ボディ領域に P 型ドーパントを拡散させ、続いて、N ソース領域に N 型ドーパントを拡散させる。これが 2 重拡散 (Double diffused) と呼称される理由である。この方法によれば、ゲート、P ボディ領域、N ソース領域を 1 回のフォトリソグラフィによって自己整合的に定義できる。したがって、短いチャネル長を有する DMOSFET 構造が、ばらつき無く簡便に製造できるという利点がある。

【0009】

一方、SiC 系 DMOSFET では、Si 系 DMOSFET とは異なり、2 重拡散プロセスは通常利用されない。なぜなら、SiC 中ではドーパントの拡散速度が極めて遅く制御性も悪いため、熱処理によってドーパントを拡散させて適切な不純物プロファイルを形成することは難しいためである。したがって、N ソース領域及び P ボディ領域等の DMOSFET 構造の形成は、選択的なイオン注入によって行ない、注入直後のドーパントプロファイルは、デバイスが完成するまでほぼ維持される。この不純物イオン注入にあたっては、N ソース領域及び P ボディ領域それぞれに対してリソグラフィを行ない、別々のマスクを用いて注入を行なうことが通例である。

10

【0010】

N ソース領域と P ボディ領域のイオン注入に別々のマスクを用いる場合、2 回のリソグラフィ工程におけるマスクの重ね合わせが製造上の障害となる。ステップを用いた場合、典型的には $0.1 \sim 0.3 \mu\text{m}$ の合せずれを生じる。また、露光量や温度の小さな変化によって、現像後に形成されるレジストマスクの寸法がシフトすることもある。チャネル長は通例 $1 \mu\text{m}$ 未満であるので、重ね合せずれや寸法シフトによって生じるデバイス性能の変化やばらつきが無視できない。

20

【0011】

また、低いオン抵抗を得るためにはチャネル長を短くするほうが好ましいが、短くなりすぎるとパンチスルーが発生してしまい、所定の耐圧を保持できない不良となる。したがって、合せずれによってチャネル長が短くなったとしても、パンチスルーが発生しないように十分なマージンを持ってチャネル長の中心値を設計しておく必要があるが、それはオン抵抗やスイッチング損失の増大に繋がることになる。

30

【0012】

上に述べた重ね合せずれの問題に対して、1 回のみのリソグラフィ工程でボディ領域とソース領域を形成し、合せずれや寸法シフトの影響を受けずにチャネル長を規定できる、自己整合 (セルフアラインメント) プロセスが提案されている。自己整合プロセスによれば、上記 2 回の露光により生じる合わせずれの問題を回避することができ、短チャネル、低オン抵抗の MOSFET を、ばらつき無く製造することができる。

40

【0013】

自己整合プロセスに関しては、すでにいくつかの方法が提案されている。例えば、特許文献 1 および非特許文献 2 に記されているようなマスクの側壁に膜を堆積して、マスクを拡幅させる方法や、特許文献 2 に記載のように、マスクをエッチングにより縮小させる方法が開示されている。

40

【0014】

また、特許文献 3 には、炭化硅素からなるパワー半導体デバイスについて、第 1 の軸に沿って延びる少なくとも 1 つの帯状部分を有する導電型半導体領域の記載がある。

【先行技術文献】

【特許文献】

【0015】

【特許文献 1】特開 2000 - 22137 号公報

【特許文献 2】特開 2011 - 193020 号公報

【特許文献 3】国際公開 2010 / 004715 号公報

【非特許文献】

50

【 0 0 1 6 】

【非特許文献 1】Fundamentals of Power Semiconductor Devices , B . J . Baliga , p . 46
0

【非特許文献 2】" A Self-Aligned Process for High-Voltage Short-Channel Vertical DMOSFETs in 4H-SiC " , M . Matin , A . Saha , and J . A . Cooper , IEEE TRANSACTIONS ON ELECTRON DEVICES , VOL . 51 , NO . 10 , OCTOBER 2004 p . 1721 .

【発明の概要】

【発明が解決しようとする課題】

【 0 0 1 7 】

特許文献 2 に記載された製造方法に準拠して、マスクを縮小させるプロセスを用いて自己整合 SiC 系 DMOSFET の製造方法を検討したところ、以下のような問題点が明らかになった。

10

【 0 0 1 8 】

図 2 A ~ 図 2 C を参照して問題点を説明する。図 2 A ~ 図 2 C は製造工程における自己整合プロセスに関する工程の断面を示す。まず、図 2 A に示すように、エピタキシャル層 1 0 2 を堆積した SiC 基板 1 0 1 の上に、ソース領域となる部分を開口した第 1 のマスク 3 0 1 a、3 0 1 b を形成し、イオン注入によって N 型ドーパントをソース領域 2 1 1 に注入する。

【 0 0 1 9 】

続いて図 2 B のようにマスク 3 0 1 a、3 0 1 b を縮小させて、マスク 3 1 1 a、3 1 1 b として、開口部を拡張する。このときの開口部の拡大した長さによって、DMOSFET のチャンネル長が定義される。さらに続いて後退したマスク 3 1 1 a、3 1 1 b を遮蔽部として P 型ドーパントを注入してボディ領域 2 0 1 を注入する。このようにして、一つのマスクで、ソース領域 2 1 1 とボディ領域 2 0 1 を形成する。次にマスク 3 1 1 a、3 1 1 b を除去した後、図 2 C のように改めて P + 型コンタクト領域 2 0 2 を開口した新たな第 2 のマスク 3 2 1 を形成し、P + 型コンタクト領域 2 0 2 に P 型ドーパントを注入する。

20

【 0 0 2 0 】

ここに示した製造方法の問題点は、マスク開口部の拡幅が完了した時点において、のちに P + 型コンタクト領域 2 0 2 が形成される部分の上に、マスク 3 1 1 b が取り残される点である。マスク縮小後に一部が残存した場合には、そのマスクの下領域には P + 型ドーパントが注入されないことになる。したがって、特許文献 2 の場合は、P + 型コンタクト領域のイオン注入の際に、P 型ボディ領域の注入されなかった部分とともに P 型ボディ領域の一部に重なるように第 2 のマスクの開口部を設けている。しかし、ユニットセルが大きくなって、デバイス内に配置されるユニットセルの数が少なくなるため、オン抵抗の増大に繋がる。

30

【 0 0 2 1 】

一方で、マスク 3 0 1 b の領域を小さくして、マスク縮小後退の完了時に P + 型コンタクト領域の遮蔽マスク 3 1 1 b が消失する程度のサイズにしておくことも可能であるが、この場合は、P + 型コンタクト領域 2 0 2 の面積が小さくなると、P + 型コンタクト領域 2 0 2 とソース電極 2 3 2 との間で良好な電氣的接触が形成されなくなる。電氣的接触が不十分で、ソース領域 2 1 1 と P 型ボディ領域 2 0 1 との間に電位差が生じると、DMOSFET 構造に寄生的に存在する NPN 構造からなるバイポーラトランジスタが導通して誤動作の原因となる。

40

【 0 0 2 2 】

本発明は、上記の課題を鑑みてなされたものであり、高性能で、かつ、信頼性の高い炭化珪素半導体装置およびその製造方法を提供することを目的とする。本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【課題を解決するための手段】

50

【 0 0 2 3 】

上記課題を解決するための本発明の一側面は、半導体基板と、半導体基板の上に形成されたエピタキシャル層と、エピタキシャル層の表面に形成され、第1導電型を有するソース領域と、エピタキシャル層の表面において、ソース領域の外側に形成された、第1導電型とは異なる第2導電型を有するボディ領域と、エピタキシャル層の表面において、凹多角形状をなしてソース領域の内側に形成され、かつ、エピタキシャル層の断面において、ボディ領域の上に形成される、第2導電型を有するコンタクト領域と、ソース領域の少なくとも一部およびコンタクト領域の少なくとも一部と電氣的に接触するソース電極と、を有する半導体装置である。

【 0 0 2 4 】

上記課題を解決するための本発明の他の一側面は、半導体層の上に、開口部を有するとともに、開口部の内部に凹多角形状をした島状遮蔽部を有するマスクを形成する第1の工程と、マスクを遮蔽膜として開口部を通して半導体層に第1の導電型の不純物イオン注入を行なう第2の工程と、マスクを縮小させて開口部を拡張する第3の工程と、縮小したマスクを遮蔽膜として、拡張した開口部を通して、第1の導電型と異なる第2の導電型の不純物イオン注入を行なう第4の工程と、半導体層の表面に電氣的に接するように電極を形成する第5の工程と、を有する半導体装置の製造方法である。

【 0 0 2 5 】

上記課題を解決するための本発明の他の一側面は、SiC半導体基板上にSiCエピタキシャル層を形成する第1ステップ、SiCエピタキシャル層の上に、開口部を有するとともに、開口部の内部に凹多角形状をした島状遮蔽部を有するマスクを形成する第2ステップ、マスクを遮蔽膜として、開口部を通して、第1の導電型不純物イオン注入を行ない、ソース領域を形成する第3ステップ、マスクを縮小させて開口部を拡張するとともに、島状遮蔽部を除去する第4ステップ、縮小したマスクを遮蔽膜として、拡張した開口部を通して、第1の導電型と異なる第2の導電型の不純物イオン注入を行ない、ボディ領域を形成する第5ステップ、縮小したマスクを除去し、新たに島状遮蔽部と対応する開口部を備える第2のマスクを形成する第6ステップ、第2のマスクを遮蔽膜として、島状遮蔽部と対応する開口部を通して、第2の導電型の不純物イオン注入を行い、凹多角形状をしたコンタクト領域を形成する第7ステップ、コンタクト領域およびソース領域の両方に電氣的に接するように電極を形成する第7ステップ、を有する半導体装置の製造方法である。

【 発明の効果 】

【 0 0 2 6 】

本発明によれば、高信頼のMOSFETを実現することができる。

【 図面の簡単な説明 】

【 0 0 2 7 】

【 図 1 】 従来技術によるSiCパワーMOSFETの断面図。

【 図 2 A 】 本発明の課題を説明するためのSiCパワーMOSFETの製造方法の一工程における断面図。

【 図 2 B 】 本発明の課題を説明するためのSiCパワーMOSFETの製造方法の一工程における断面図。

【 図 2 C 】 本発明の課題を説明するためのSiCパワーMOSFETの製造方法の一工程における断面図。

【 図 3 】 本発明の実施形態の1つに係るSiCパワーMOSFETの要部平面図。

【 図 4 】 本発明の実施形態の1つに係るSiCパワーMOSFETの要部断面図。

【 図 5 】 本発明の実施形態の別の1つに係るSiCパワーMOSFETの要部平面図。

【 図 6 】 本発明の実施形態の別の1つに係るSiCパワーMOSFETの要部平面図。

【 図 7 】 本発明の実施形態の別の1つに係るSiCパワーMOSFETの要部平面図である。

【 図 8 】 本発明の実施形態の別の1つに係るSiCパワーMOSFETの要部平面図。

【 図 9 A 】 本発明の実施形態の1つに係るSiCパワーMOSFETの製造方法の一工程

10

20

30

40

50

における断面図。

【図 9 B】本発明の実施形態の 1 つに係る S i C パワー M O S F E T の製造方法の一工程における断面図。

【図 9 C】本発明の実施形態の 1 つに係る S i C パワー M O S F E T の製造方法の一工程における平面図。

【図 9 D】本発明の実施形態の 1 つに係る S i C パワー M O S F E T の製造方法の一工程における断面図。

【図 9 E】本発明の実施形態の 1 つに係る S i C パワー M O S F E T の製造方法の一工程における断面図。

【図 9 F】本発明の実施形態の 1 つに係る S i C パワー M O S F E T の製造方法の一工程における断面図。 10

【図 9 G】本発明の実施形態の 1 つに係る S i C パワー M O S F E T の製造方法の一工程における断面図。

【図 9 H】本発明の実施形態の 1 つに係る S i C パワー M O S F E T の製造方法の一工程における断面図。

【図 9 I】本発明の実施形態の 1 つに係る S i C パワー M O S F E T の製造方法の一工程における断面図。

【図 9 J】本発明の実施形態の 1 つに係る S i C パワー M O S F E T の製造方法の一工程における断面図。

【図 9 K】本発明の実施形態の 1 つに係る S i C パワー M O S F E T の製造方法の一工程における断面図。 20

【図 9 L】本発明の実施形態の 1 つに係る S i C パワー M O S F E T の製造方法の一工程における断面図。

【図 9 M】本発明の実施形態の 1 つに係る S i C パワー M O S F E T の製造方法の一工程における断面図。

【図 1 0】本発明の実施形態の別の 1 つに係る S i C パワー M O S F E T の要部断面図。

【図 1 1】本発明の実施形態の別の 1 つに係る S i C パワー M O S F E T の製造方法の一工程における断面図。

【発明を実施するための形態】

【 0 0 2 8 】 30

本実施例にて開示される発明のうち、代表的なものを簡単に説明すれば次の通りである。本実施例の半導体素子は、半導体基板と、半導体基板の上に形成されたエピタキシャル層と、エピタキシャル層の表面に形成され、第 1 導電型を有するソース領域と、エピタキシャル層の表面において、ソース領域の外側に形成された、第 1 導電方とは反対の第 2 導電型を有するボディ領域と、エピタキシャル層の表面において、ソース領域の内側に形成された第 2 導電型を有するコンタクト領域と、ソース領域の少なくとも一部および前記コンタクト領域の少なくとも一部と電気的に接触するソース電極とを備えており、エピタキシャル層の表面において、前記コンタクト領域の形状は、凹多角形状を有する。

【 0 0 2 9 】

また本実施例の半導体素子の好ましい実施の一形態では、エピタキシャル層の表面において、ソース領域の外縁の輪郭と、ボディ領域の外縁の輪郭と、の間の最短の距離を L 1 とし、エピタキシャル層の表面において、コンタクト領域の外縁の輪郭から、コンタクト領域の内部の点までの、最長の距離を L 2 としたとき、L 1 > L 2 の関係が成り立つ。 40

【 0 0 3 0 】

本実施例によれば、コンタクト領域とソース電極との接触面積を大きくして良好な電氣的接触を確保しつつ、自己整合的なチャネル形成プロセスにより、寸法シフトや重ね合せの影響を受けない半導体素子を提供できる。

【 0 0 3 1 】

また、本実施例の半導体素子のさらに好ましい例では、エピタキシャル層の表面において、コンタクト領域の外縁部は、ソース電極の外縁部に内包されており、コンタクト領域 50

の全体が、ソース電極と電氣的に接触している。

【 0 0 3 2 】

本実施例によれば、コンタクト領域の全体がソース電極と接するため、より高信頼の動作が可能となる。

【 0 0 3 3 】

また、本実施例の半導体素子の製造方法は、半導体層上に開口部を有したマスクを形成する第 1 の工程と、マスクを遮蔽膜として開口部を通して半導体層に第 1 の導電型不純物イオン注入を行なう第 2 の工程と、マスクを縮小させて開口部を拡張する第 3 の工程と、縮小マスクを遮蔽膜として、拡張開口部を通して、第 1 の導電型と反対の第 2 の導電型の不純物イオン注入を行なう第 4 の工程と、半導体層の表面に電氣的に接するように電極を形成する第 5 の工程と、を有するパワー半導体素子の製造方法である。この方法の例では、第 1 の工程において形成されるマスクは、半導体層の表面において、開口部の内部に凹多角形状をした島状遮蔽部を具備しており、半導体層の表面において、島状遮蔽部の内部は凹多角形状を有する。

【 0 0 3 4 】

また、本実施例の半導体素子の製造方法の好ましい実施の一形態においては、第 3 の工程において、開口部が拡張される距離を L_1 とし、半導体層の表面において凹多角形状を有する島状遮蔽部の外縁の輪郭から、前記島状遮蔽部の内部までの、距離を L_2 としたとき、 $L_1 \geq L_2$ の関係が成り立つ。

【 0 0 3 5 】

前記第 1 の工程で形成されたマスクの島状遮蔽部を平面視したときの面積は、後に形成されるコンタクト領域とソース電極とが良好な電氣的接触を得るのに十分な大きさを有しており、かつ、第 3 の工程において島状遮蔽部は消失するような形状となっている。つまり、凹多角形の島状遮蔽部は、良好な電氣的接触を確保しながら、ユニットセルの面積は大きくしない、必要十分な大きさとなっている。

【 0 0 3 6 】

したがって、以下で詳細に説明する本実施例の半導体素子の製造方法によれば、コンタクト領域とソース電極との接触面積を大きくして良好な電氣的接触を確保しつつ、自己整合的なチャネル形成プロセスにより、寸法シフトや重ね合せの影響を受けない半導体素子の製造方法が提供可能となる。

【 実施例 1 】

【 0 0 3 7 】

本発明の実施例 1 による炭化珪素半導体装置の構造について図 3 および図 4 を用いて説明する。

【 0 0 3 8 】

図 3 は本実施例の SiC パワー MOSFET の要部平面図である。

【 0 0 3 9 】

図 4 は本実施例の SiC パワー MOSFET の要部断面図である。図 3 の平面視図において、同一の形状が格子状に並べられているが、この繰り返しの単位をユニットセル 300 と呼称する。ユニットセル 300 は、例えば便宜的に、P 型ボディ領域 201 に内包される構成を 1 単位ユニットとすることができ、MOSFET デバイスの活性領域の内部に複数にわたって並べられている。図 3 に示した、切断線 X - X' で切り出した、ユニットセル 1 つの断面が図 4 に示されている。また、ユニットセルが敷き詰められた活性領域のさらに外側には、終端領域が設けられている。

【 0 0 4 0 】

図 4 に示す断面構造について説明する。N + 型 SiC 基板 101 の主面上に、所定のドーパント濃度と膜厚を持つ N - 型 SiC からなるエピタキシャル層 102 が設けられ、エピタキシャル層 102 の表面の一部にはゲート絶縁膜 221 と、さらにゲート絶縁膜 221 の上にはゲート電極 222 が設けられている。また、エピタキシャル層 102 の表面の一部には、ソース電極 232 が設けられている。また、SiC 基板 101 の裏面には金属

10

20

30

40

50

からなるドレイン電極 103 を備えている。

【0041】

エピタキシャル層 102 の表面付近には、P 型ボディ領域 201 が形成されている。P 型ボディ領域 201 の内部には、N 型ソース領域 211、および、P 型ボディ領域 201 よりも高い濃度で P 型不純物を含む P + 型コンタクト領域 202 が形成されている。N 型ソース領域 211 および P + 型コンタクト領域 202 の表面にはソース電極 232 が形成されて電氣的に接続されている。P 型ボディ領域 201 は、同じく P 型の導電型を持つ P + 型コンタクト領域 202 を介してソース電極 232 と電氣的に接続されている。

【0042】

図 3 に示すように、ユニットセル 300 の平面形状は、例えば、正方形を有している。ただし、P + 型コンタクト領域 202 は、例えば、斜め十字形状となっている。N 型ソース領域 211 は、P + 型コンタクト領域 202 を囲むように形成されるが、N 型ソース領域 211 の外縁部の輪郭は正方形形状となっている。P 型ボディ領域 201 は、N 型ソース領域 211 を覆うように形成され、同じくほぼ正方形形状を有する。

【0043】

平面形状において、N 型ソース領域 211 の輪郭の点から、P 型ボディ領域 201 の輪郭までの最短距離は、N 型ソース領域 211 の輪郭のどの点を選択してもほぼ同じ距離となっており、DMOSFET のチャンネル長 L_{ch} を定義している。設計上は、N 型ソース領域 211 の輪郭上の各点から、P 型ボディ領域 201 の輪郭までの最短距離のうち最小のものを L_{ch} とすればよい。チャンネル長 L_{ch} は、後にプロセスの説明で述べるように、マスクの縮小量 L_1 (後退量) により制御できる。

【0044】

また、P + 型コンタクト領域 202 は、その内部の任意の点からその輪郭上の任意の点までの最短の距離が、 L_{ch} よりも短くなるように設計されている。このような設計ルールにより、後にプロセスの説明で述べるように、P + 型コンタクト領域 202 の下の P 型ボディ領域 201 には、図 1 で示したような P 型領域の形成漏れをなくすることができる。

【0045】

また、ソース電極 232 が、P + 型コンタクト領域 202 および N 型ソース領域 211 に接触する領域の輪郭 (図 3 では点線の四角形で示す) は、P + 型コンタクト領域 202 を内包するように形成されている。このように形成することで、ソース電極 232 が、P + 型コンタクト領域 202 と N 型ソース領域 211 の両方に、所望の面積で接触させることが容易になり、両方の接触抵抗を良好に設定することができる。また、接触面積を大きくするためには、図 3 に示すように、凹多角形の P + 型コンタクト領域 202 の長辺 (すなわち十字型の腕の方向) が、ソース電極 232 が N 型ソース領域 211 に接触する四角形の領域の対角線方向となるように配置することが望ましい。

【0046】

このようなデバイスの構造設計により、後に説明する製造方法を用いた場合、マスク縮小プロセスにおいて斜め十字形をした島状の N ソースマスクが消滅する。面積は十分な大きさであるため、ソース電極との電氣的接触は良好に導通し、寄生バイポーラトランジスタが導通することなく信頼性の高い動作が実現できる。

【0047】

図 5 ~ 図 8 はユニットセルの他の例である。図 3 に示した例では、正方形形状のユニットセルが縦横等間隔に格子状に配置されているが、図 5 のような配置としてもよい。また、ユニットセルは正方形形状で無くとも、例えば、図 6 のように長方形型でもよく、図 7 のように正六角形でもよい。その場合、図 3 の断面は、各図上に示した X - X' 切断線で切り出した断面を示すものと理解される。ユニットセルは正多角形状のほうが、活性領域にユニットセルをより多く配置できて、MOSFET の総チャンネル幅が大きくできるため、より低いオン抵抗が実現できる。特に正六角形であれば、ユニットセルを最も密に配置出来るため、さらに好ましい。

【0048】

また、P型コンタクト領域の形状は、凹多角形状でかつ平面視図において十分な面積を有していれば、図8のような形状でもよい。他の形状においても、上に説明したように、Nソース領域211の輪郭上の点からP型ボディ領域201の輪郭上のいずれかの点までの最短距離が、Nソース領域211の輪郭のどの点を選択してもほぼ同じ距離 Lch となっており、かつ、P+型コンタクト領域202は、その内部の任意の点からその輪郭上のいずれかの点まで結ぶ最短の距離が、 Lch よりも短くなるように、凹多角形状を有していれば、本実施例の効果を得ることが出来ることは言うまでもない。

【0049】

図9Aから図9Mを用いて本発明の実施例1に係る炭化珪素半導体装置の製造方法について工程順に説明する。

10

【0050】

図9Aに示すように、 $n+$ 型の4H-SiC基板101の主面上に、 n -型の導電型を有するSiCからなるエピタキシャル層102を形成する。 $n+$ 型のSiC基板101には、 n 型不純物が導入されている。この n 型不純物は、例えば窒素(N)であり、この n 型不純物の不純物濃度は、例えば $1 \times 10^{18} \sim 1 \times 10^{21} \text{ cm}^{-3}$ の範囲である。

【0051】

SiCからなるエピタキシャル層102は、SiC基板101の表面(第1主面)に、例えばエピタキシャル法によって形成することが出来る。エピタキシャル層102は、素子の仕様によって決まる所定の厚さとドーパント濃度を有している。エピタキシャル層102の厚さは、例えば $3 \sim 30 \mu\text{m}$ の範囲である。また、エピタキシャル層102に添加されている n 型ドーパントは、例えば窒素であり、このドーパント濃度は例えば $1 \times 10^{14} \sim 1 \times 10^{17} \text{ cm}^{-3}$ の範囲である。

20

【0052】

この n -型のエピタキシャル層102の表面上にマスク301を形成する。マスク301の厚さは、例えば $1.0 \sim 5.0 \mu\text{m}$ 程度である。マスク301の材質としてはフォトレジストや二酸化珪素(SiO₂)を用いることが出来る。

【0053】

図9Bのように、マスク301をパターニングして、マスク301a、301bとする。マスク301aと301bの間には開口部900が形成される。開口部の形状は、図9Cの平面視図に示すように略四角形であり、開口部900の内側にはマスク301bが島状に残されている。また、この凹多角形状の島領域は平面形状において、凹多角形の内部の任意の点から凹多角形の輪郭の任意の点までの最短距離が、後に示すマスクの縮小幅よりも短くなるように形成されている。

30

【0054】

島領域を凹多角形状とすることで、凹部から浸食させることができ、マスクの残りをなくすることが容易になる。一方、島領域の面積は比較的広くとることができるため、P+型コンタクト領域の面積を大きくとることが可能となる。

【0055】

マスク301a、301bとしてフォトレジストを使用する場合は、フォトレジストを塗布した後、公知のリソグラフィ法によってパターニングすることによって形成することが出来る。

40

【0056】

マスク301a、301bとして、SiO₂を用いる場合は、SiO₂を堆積した後、さらにフォトレジストを塗布し、公知のリソグラフィ法によってレジストパターンを形成する。さらにレジストパターンをエッチングマスクとして、例えば反応性イオンエッチング法によりSiO₂をエッチングした後、フォトレジストを除去することで得ることが出来る。

【0057】

マスク301a、301bの厚さは、イオン注入の遮蔽のために十分な厚さであり、例えば $1.0 \sim 5.0 \mu\text{m}$ とすることができる。

50

【 0 0 5 8 】

図 9 D に示すように、マスク 3 0 1 a、3 0 1 b を遮蔽膜としてエピタキシャル層 1 0 2 に N 型不純物をイオン注入し、ソース領域 2 1 1 を形成する。N 型不純物としては窒素 (N) や 燐 (P) を用いることができる。N 型のソース領域 2 1 1 の不純物濃度は、例えば $1 \times 10^{17} \sim 1 \times 10^{21} \text{ cm}^{-3}$ の範囲とすることができる。N 型ソース領域 2 1 1 の、エピタキシャル層 1 0 2 の表面からの深さは、例えば $0.01 \sim 0.2 \mu\text{m}$ 程度とすることができる。

【 0 0 5 9 】

図 9 E に示すように、マスク 3 0 1 a、3 0 1 b を後退させ、開口部を拡大する。マスクを後退させる距離 L_1 は、設計上 MOSFET のチャネル長 L_{ch} に対応する。本工程におけるマスク後退プロセスによって、島状マスク 3 0 1 b は消滅する。なぜなら、マスク 3 0 1 b の外輪郭部分から浸食されていくが、凹多角形の内部の任意の点から外輪郭までの距離 L_2 が、後退させる長さ L_1 (ほぼ L_{ch} に相当) よりも短くなるように形成されているためである。具体的な一例として、図 9 E で示す断面では、島状マスク 3 0 1 b の幅を $L_2 * 2$ とすれば、その中心点 X はマスク 3 0 1 b の外輪郭部分から L_2 の距離にあり、マスクを L_1 後退させることにより、中心点 X は除去される。他の任意の断面でも同様の現象が成り立つことにより、島状マスク 3 0 1 b は全て除去されることになる。

【 0 0 6 0 】

プロセスが理想的であれば、上記の後退させる長さ L_1 は、完成したデバイス構造において、ソース領域 2 1 1 の外縁とボディ領域 2 0 1 の外縁の間の最短の距離に対応することになる。また、上記の L_2 一般化して定義すると、島状マスク 3 0 1 b の外縁の輪郭の任意の点から、島状マスク 3 0 1 b の内部の任意の点までの最長の距離となる。これにより、完成したデバイス構造においては、 L_2 はコンタクト領域 2 0 2 の外縁からコンタクト領域 2 0 2 の内部の任意の点の間の、最長の距離に対応することになる。

【 0 0 6 1 】

このように、外輪郭から浸食が進んだ場合、浸食の距離がチャネル長に達する前に島状マスク 3 0 1 b 内部の任意の点に達することが出来る。したがって、マスク後退工程において島状マスク 3 0 1 b が消滅し、マスク 3 0 1 a は縮小したマスク 3 1 1 a となって残存する。

【 0 0 6 2 】

マスクを後退させる方法としては、マスク 3 0 1 a、3 0 1 b が SiO_2 である場合は、希釈フッ化水素酸水溶液 (DHF) やバッファードフッ化水素酸水溶液 (BHF) によるウェットエッチング法を用いることができる。マスク 3 0 1 a、3 0 1 b としてフォトリジストを用いる場合は、酸素プラズマを用いたライトアッシング等のドライエッチング法を用いることができる。

【 0 0 6 3 】

図 9 F に示すように、マスク 3 1 1 a を遮蔽膜としてエピタキシャル層 1 0 2 に P 型不純物をイオン注入する。注入する P 型不純物としては、例えば、アルミニウム (Al) またはホウ素 (B) を用いることができる。これによりエピタキシャル層 1 0 2 の素子形成領域に P 型のボディ領域 2 0 1 を形成できる。図 9 E の工程により、ソース領域の外縁の輪郭の任意の点とボディ領域の外縁の輪郭の任意の点との間の最短の距離は L_1 に対応し、コンタクト領域の外縁の輪郭の任意の点からコンタクト領域の内部の任意の点との間の最長の距離は L_2 に対応し、これらの間には $L_1 \leq L_2$ の関係が成り立つことになる。

【 0 0 6 4 】

P 型ボディ領域 2 0 1 の、エピタキシャル層 1 0 2 の表面からの深さは、例えば $0.5 \sim 2.0 \mu\text{m}$ 程度とすることができる。また、P 型ボディ領域 2 0 1 のドーパント濃度は、例えば 1×10^{16} から $1 \times 10^{19} \text{ cm}^{-3}$ の範囲である。

【 0 0 6 5 】

図 9 G に示すように、マスク 3 1 1 a を除去した後、別の第 2 のマスク 3 2 1 を形成する。マスク 3 2 1 の開口部は、第 1 のマスクの島状領域 3 0 1 b とほぼ一致するように、

平面レイアウトにおいて凹多角形領域を有している。第2のマスク321の材料としては、第1のマスク301と同様にフォトリソグロフまたはS i O₂を用いることができ、フォトリソグロフによって所定のパターンを形成することが出来る。

【0066】

図9Hのように、マスク321を遮蔽膜としてP型不純物をイオン注入し、P型コンタクト領域202を形成する。P型コンタクト領域は、N型ソース領域211の内部側面に接するように形成される。P型不純物としては、アルミニウム(A l)またはホウ素(B)を用いることができる。P型コンタクト領域202の不純物濃度は、例えば $1 \times 10^{19} \sim 1 \times 10^{21} \text{ cm}^{-3}$ の範囲である。P型コンタクト領域202の、エピタキシャル層102の表面からの深さは、例えば0.1~0.4 μm程度である。

10

【0067】

図9Iのようにマスク321を除去した後、熱処理を施すことによってイオン注入した不純物が活性化される。図面上では省略されているが、活性化熱処理の前にエピタキシャル層102の表面および裏面上に、例えば厚さ0.05 μm程度の炭素(C)からなる表面被服膜を堆積する。この表面被服膜は、活性化熱処理の際にエピタキシャル層102の表面やS i C基板101の裏面が荒れるのを防止する効果がある。活性化熱処理後は、表面被服膜を例えば酸素プラズマ処理によって除去する。

【0068】

図9Jに示すように、エピタキシャル層102の表面にゲート絶縁膜221を形成する。ゲート絶縁膜221は、例えば熱C V D法により形成された二酸化珪素(S i O₂)膜からなる。ゲート絶縁膜221の厚さは、例えば0.02~0.2 μmとすることができる。

20

【0069】

次に、ゲート絶縁膜221上に、n型不純物をドーピングした多結晶シリコン(S i)膜222aを形成する。n型多結晶シリコン膜222aの厚さは、例えば0.2~0.5 μm程度である。多結晶シリコン222aは熱C V D法によって形成することが出来る。また、多結晶シリコン222aは、多結晶状態で堆積してもよいし、アモルファス状態で堆積した後に熱処理によって多結晶化させてもよい。

【0070】

図9Kのように、マスク331を形成して、多結晶珪素(S i)222aをドライエッチング法により加工して、ゲート電極222を形成する。

30

【0071】

図9Lに示すように、マスク331を除去した後、ゲート電極222およびゲート絶縁膜221を覆うように、例えばプラズマC V D法により層間絶縁膜231を形成する。

【0072】

図9Mに示すように、マスク241を用いて、層間絶縁膜231およびゲート絶縁膜221をドライエッチングにより加工して、N型ソース領域211の表面の一部およびP+型コンタクト領域202の表面に達するコンタクトホールを形成する。コンタクトホールは、その内部に、P型コンタクト領域202の表面が内包されるように形成される。これにより、コンタクトホール内に形成される金属配線との電氣的接触が良好になり、P型ボディ領域201の電位が固定される。

40

【0073】

なお、図示は省略するが、コンタクトホールを形成した後に、露出したエピタキシャル層102の表面にシリサイド層を形成することができる。シリサイド層を設けることにより、ソース電極232と、N型ソース領域211およびP+型コンタクト領域202との接触抵抗が低減でき、より高信頼で高性能の素子を実現できる。

【0074】

シリサイド層を設ける場合は、コンタクトホール形成後に、金属膜、例えばニッケル(N i)を堆積する。この金属膜の厚さは、例えば0.02~0.1 μmとすることができる。続いて、600~1200 °Cの熱処理を施すと、金属膜とエピタキシャル層102と

50

が反応し、金属シリサイド層、例えばニッケルシリサイド (NiSi) が形成される。金属膜とエピタキシャル層が直接接していない部分、例えば、層間絶縁膜 231 の表面やコンタクトホール 102 の側面に堆積した金属膜は、未反応のまま残されるが、未反応金属はウェットエッチングにより除去することで、コンタクトホール 102 の底部にシリサイド層が残される。ウェットエッチングの溶液としては、例えば硫酸と過酸化水素水の混合溶液が用いることができる。

【0075】

コンタクトホールを形成後、N型ソース領域 211 の一部および P+ 型コンタクト領域 202 のそれぞれの表面に形成されたコンタクトホール、およびゲート電極 222 に達する開口部 (図示は省略) の内部を含む層間絶縁膜 231 上に金属膜、例えばチタン (Ti) 膜と窒化チタン (TiN) 膜とアルミニウム (Al) 膜とからなる積層膜を堆積する。

10

【0076】

続いて、金属膜を加工することにより、N型ソース領域 211 の一部および P 型コンタクト領域 202 と電氣的に接続するソース電極 232、および、ゲート電極 222 と電氣的に接続するゲート配線用電極 (図示は省略) を形成する。その後、ソース電極 232 およびゲート配線用電極 (図示は省略) にそれぞれ外部配線が電氣的に接続される。

【0077】

説明は省略するが、SiC 基板の裏面には、金属からなるドレイン電極 103 が形成される。また、ドレイン電極 103 と SiC 基板 101 の裏面との電氣的接触を取るために、SiC 基板の裏面に N 型の不純物を高濃度に注入した領域、および、シリサイド層を形成することができる。以上の工程によって図 4 に示した MOSFET の構造を得ることが出来る。

20

【実施例 2】

【0078】

図 10 は、本発明の実施例 2 による炭化珪素半導体装置のユニットセルの要部断面構造を示す。ユニットセルは、図 5 ~ 図 8 と同様、MOSFET デバイスの活性領域の内部に複数にわたって並べられている。

【0079】

図 10 の構造は、図 4 で示した実施例 1 の構造と類似しているが、同一の構成には同一の符号を付して、説明を省略する。

30

【0080】

図 10 の実施例では、N型ソース領域 211 の下側、エピタキシャル層 102 の表面から離れた深い領域に、P 型の埋め込みボディ領域 203 が形成されている。すなわち、実施例 1 との相違点としては、Nソース領域 211 を囲む P 型領域が、表面に近い P 型ボディ領域 201 と、N型ソース領域 211 の下側に形成された P 型埋め込みボディ領域 203 とに分割された形となっている。

【0081】

このように、実施例 2 の断面構造は実施例 1 と異なるが、エピタキシャル層 102 の表面に形成された領域のみを抽出して、ユニットセルの平面形状を示すと、実施例 1 と同様に図 3 に示したようになる。

40

【0082】

実施例 2 のような構成を採用することにより、実施例 1 の構造と比べて、以下の点で性能の向上が見込まれる。すなわち、MOSFET がオン状態にあるとき、電子はソース領域 211 から表面のチャネル領域を通過した後、エピタキシャル層 102 を縦方向に電子が流れてドレイン電極 103 に達する。電子は、隣接する 2 つのユニットセルの P 型ボディ領域 201 の間 (JFET 領域と呼ばれる) を通過するが、JFET 領域は狭窄されているため、無視できないほどの抵抗の成分として寄与する。実施例 2 では、JFET 領域が深い側で広がっていて電子の通過できる領域の段面積が大きいため、導通抵抗が低くできる。

【0083】

50

実施例 2 に係る炭化珪素半導体装置の製造方法について説明する。製造プロセスは、基本的に実施例 1 の図 9 A ~ 図 9 M に類似しているので、同図を参照しつつ、異なる部分を中心に説明する。

【0084】

まず、図 9 A、図 9 B のマスク 301 a、301 b を形成するまでは、実施例 1 と同様に進められる。実施例 1 と同様に、平面レイアウト図 9 C において、開口部の内側には凹多角形状を有する非開口部 301 b が設けられている。すなわち、平面レイアウトにおいて、開口部の内側には島状マスク 301 b が形成されており、開口部の外側にはマスク 301 a が形成されている。また、平面レイアウトにおいて、凹多角形状の島状マスク 301 b の内部の任意の点から、凹多角形の輪郭までの最短距離は、チャンネル長 L_{ch} よりも短くなるように形成されている。

10

【0085】

続いて、実施例 2 では、図 9 D の工程に代えて、図 11 のように、マスク 301 a、301 b を遮蔽膜として、エピタキシャル層 102 に N 型不純物をイオン注入し、ソース領域 211 を形成する。N 型不純物としては窒素 (N) や磷 (P) を用いることができる。N 型ソース領域 211 の不純物濃度は、例えば $1 \times 10^{17} \sim 1 \times 10^{21} \text{ cm}^{-3}$ の範囲とすることができる。N 型ソース領域 211 の、エピタキシャル層 102 の表面からの深さは、例えば $0.01 \sim 0.2 \mu\text{m}$ 程度である。

【0086】

さらに、同じ遮蔽膜を使用して、N 型ソース領域 211 の下側に、P 型不純物をイオン注入し、埋め込みボディ領域 203 を形成する。注入する P 型不純物としては、例えば、アルミニウム (Al) またはホウ素 (B) を用いることができる。埋め込み P ボディ領域 203 の、エピタキシャル層 102 の表面からの深さは、例えば $0.5 \sim 2.0 \mu\text{m}$ 程度とすることができる。また、P 型埋め込みボディ領域 203 のドーパント濃度は、例えば 1×10^{16} から $1 \times 10^{19} \text{ cm}^{-3}$ の範囲である。

20

【0087】

その後の工程は、基本的に図 9 E ~ 図 9 L と同様でよい。異なる部分は、断面形状においてボディ領域が 2 段になっていることである。

【0088】

実施例 1 の図 9 F で説明した P 型ボディ領域 201 を形成する工程を行うに際しては、マスク 311 a を遮蔽膜としてエピタキシャル層 102 に P 型不純物をイオン注入する。注入する P 型不純物としては、例えば、アルミニウム (Al) またはホウ素 (B) を用いることができる。これにより P 型ボディ領域 201 が形成される。P 型ボディ領域 201 のドーパント濃度は、例えば 1×10^{16} から $1 \times 10^{19} \text{ cm}^{-3}$ の範囲である。P 型ボディ領域 201 の、エピタキシャル層 102 の表面からの深さは、例えば $0.5 \sim 2.0 \mu\text{m}$ 程度とすることができるが、上で説明したように、MOSFET のオン抵抗をより低くするためには、P 型ボディ領域 201 の深さは、埋め込みボディ領域 203 の深さよりも浅い領域に形成しておくことが望ましい。

30

【0089】

また、実施例 1 の図 9 G に示した工程を行うに際しては、マスク 311 a を除去した後、別のマスク 321 を形成する。第 2 のマスク 321 の開口部は、第 1 のマスクの島状領域 301 b とほぼ一致するように、平面レイアウトにおいて凹多角形領域を有している。図 9 H と同様に、第 2 のマスク 321 を遮蔽膜として P 型不純物をイオン注入して P 型コンタクト領域 202 を形成する。P 型コンタクト領域 202 は、N 型ソース領域 211 の内部側面に接するように形成される。P 型不純物としては、アルミニウム (Al) またはホウ素 (B) を用いることができる。P 型コンタクト領域 202 の不純物濃度は、例えば $1 \times 10^{19} \sim 1 \times 10^{21} \text{ cm}^{-3}$ の範囲である。P 型コンタクト領域 202 の、エピタキシャル層 102 の表面からの深さは、例えば $0.1 \sim 0.4 \mu\text{m}$ 程度である。

40

【0090】

次に、図 9 I のようにマスク 321 を除去した後、熱処理を施すことによってイオン注

50

入した不純物が活性化される。これらの工程は、実施の形態 1 の製造方法と同様に行なうことができ、最終的に図 10 に示した D M O S F E T 構造を得ることが出来る。

【 0 0 9 1 】

以上説明した本発明の実施例によれば、S i C を用いた縦型の D M O S F E T を製造する際、1 回のみのリソグラフィで形成されたマスクを用いて、ソース領域およびベース領域の 2 回のイオン注入を行なって、自己整合的に形成されたチャネルを有する M O S F E T を作製することができる。低抵抗の P + コンタクト領域が実現できるため、寄生バイポーラトランジスタの導通することのない、高信頼 D M O S F E T が実現できる。

【 0 0 9 2 】

本実施例は、特に高電圧・大電流用に使用されるパワー半導体素子に広く利用され得る。本実施例によれば、自己整合的に形成されたチャネルを有する、高信頼・高性能の縦型 D M O S F E T 構造を製造することができる。特に、チャネル長が 2 μ m 以下の短チャネル D M O S F E T から構成されたパワー半導体素子に適用すると有利である。

【 0 0 9 3 】

トランジスタの「ソース」や「ドレイン」の機能は、異なる極性のトランジスタを採用する場合や、回路動作において電流の方向が変化する場合などには入れ替わることがある。このため、本明細書においては、「ソース」や「ドレイン」の用語は、入れ替えて用いることができる。

【 0 0 9 4 】

本明細書等において「電極」や「配線」の用語は、これらの構成要素を機能的に限定するものではない。例えば、「電極」は「配線」の一部として用いられることがあり、その逆もまた同様である。さらに、「電極」や「配線」の用語は、複数の「電極」や「配線」が一体となって形成されている場合なども含む。

【 0 0 9 5 】

本発明は上記した実施形態に限定されるものではなく、様々な変形例が含まれる。例えば、ある実施例の構成の一部を他の実施例の構成に置き換えることが可能であり、また、ある実施例の構成に他の実施例の構成を加えることが可能である。また、各実施例の構成の一部について、他の実施例の構成の追加・削除・置換をすることが可能である。

【産業上の利用可能性】

【 0 0 9 6 】

パワー半導体素子に広く利用され得る、縦型 M O S F E T に利用することができる。

【符号の説明】

【 0 0 9 7 】

- 1 0 1 S i C 基板
- 1 0 2 エピタキシャル層
- 1 0 3 ドレイン電極
- 2 0 1 P 型ボディ領域
- 2 0 2 P 型コンタクト領域
- 2 0 3 P 型埋め込みボディ領域
- 2 1 1 N 型のソース領域
- 3 0 1、3 0 1 a、3 0 1 b、3 1 1 a、3 2 1、3 3 1、3 4 1 マスク
- 2 2 1 ゲート絶縁膜
- 2 2 2 ゲート電極
- 2 2 2 a 多結晶シリコン層
- 2 3 1 層間絶縁膜
- 2 3 2 ソース電極

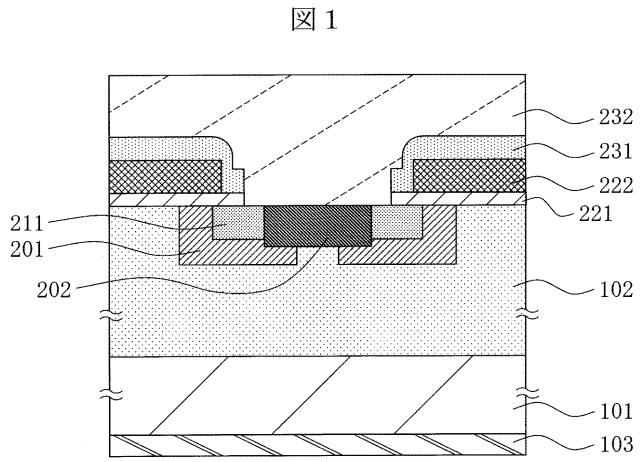
10

20

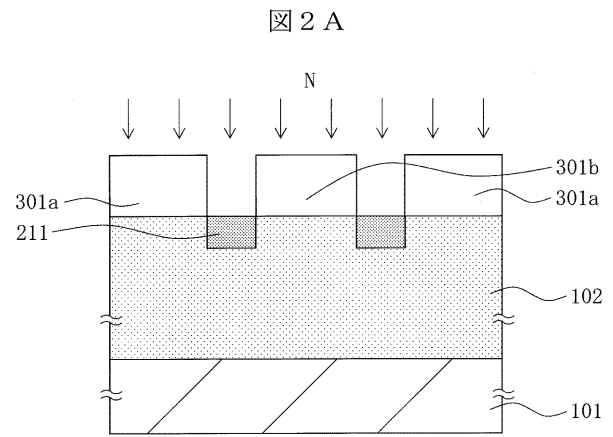
30

40

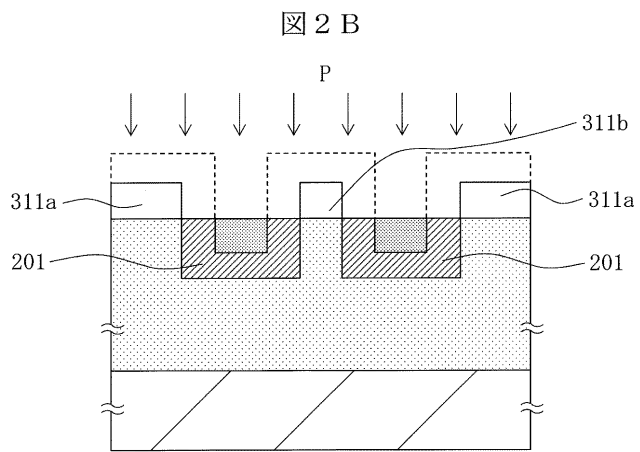
【図 1】



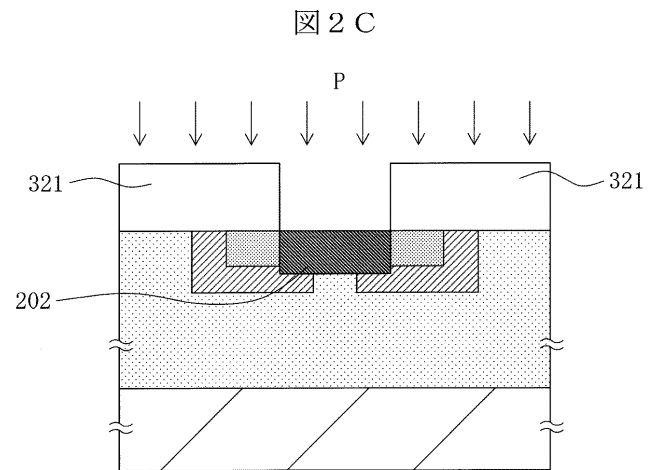
【図 2 A】



【図 2 B】

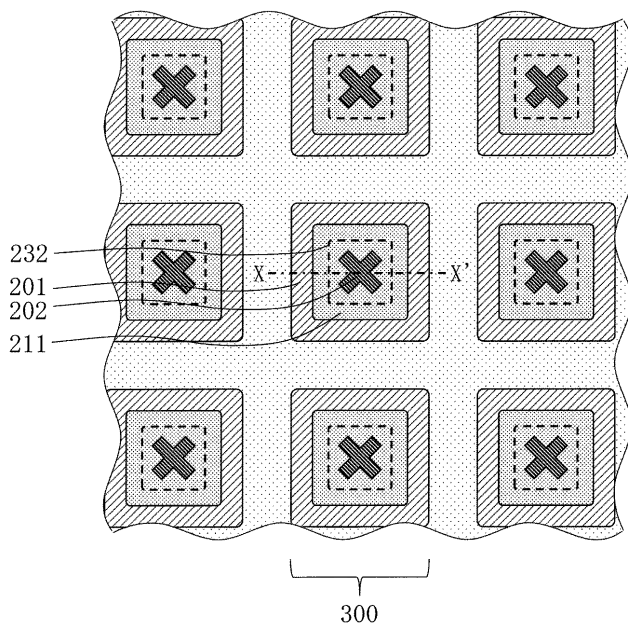


【図 2 C】



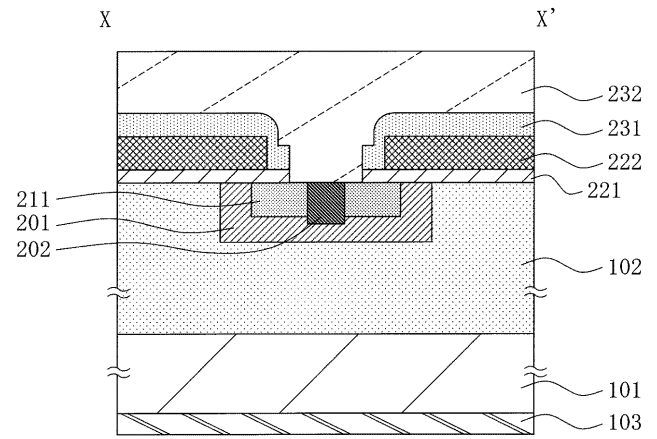
【図 3】

図 3



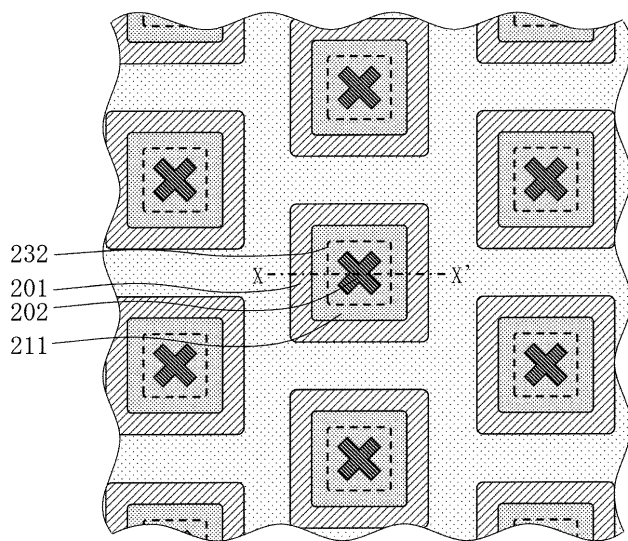
【図 4】

図 4



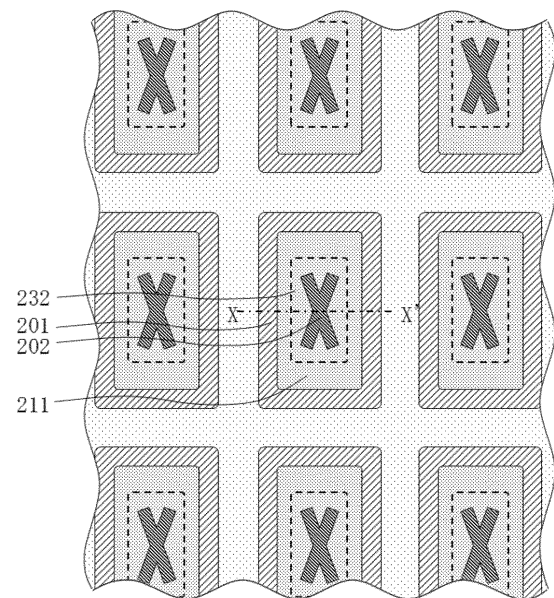
【図 5】

図 5



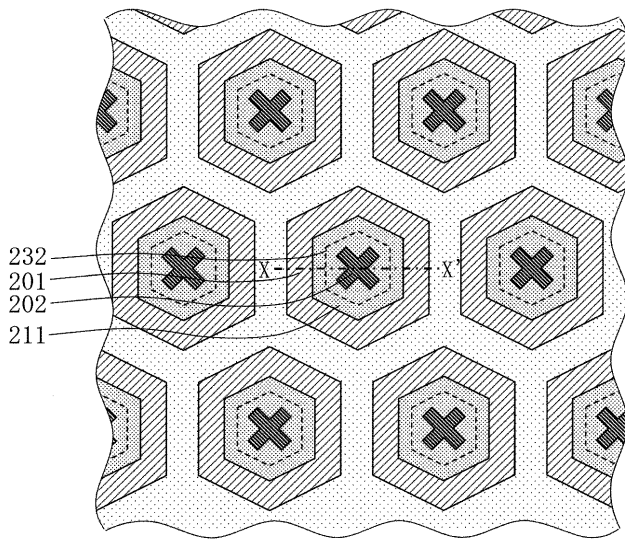
【図 6】

図 6



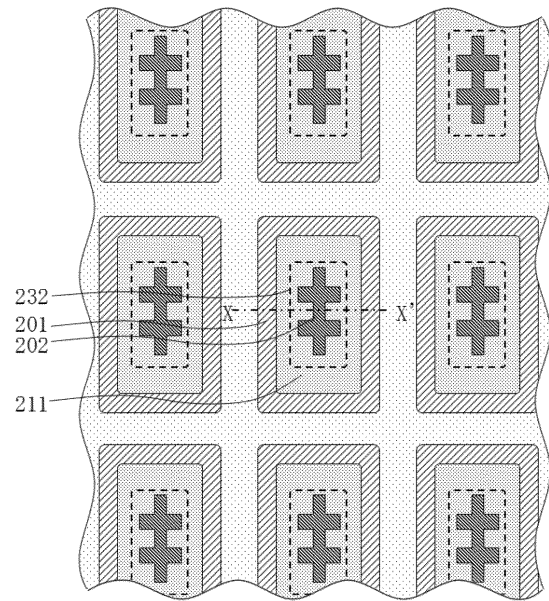
【図 7】

図 7



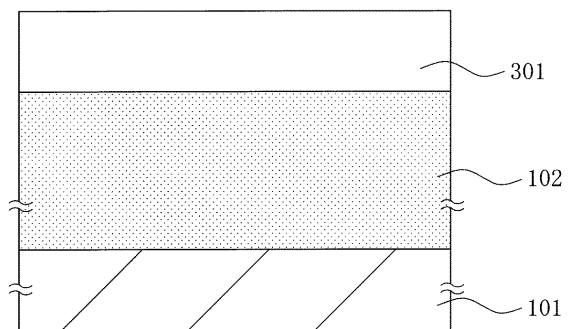
【図 8】

図 8



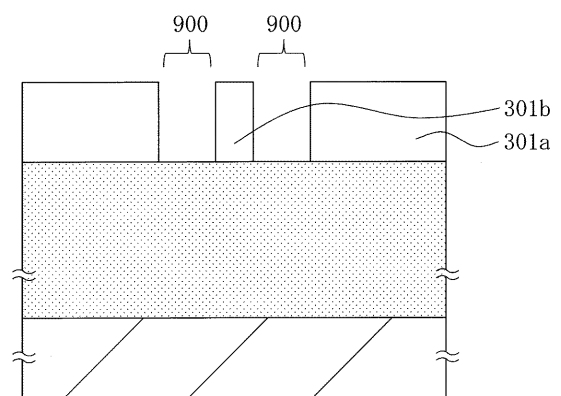
【図 9 A】

図 9 A



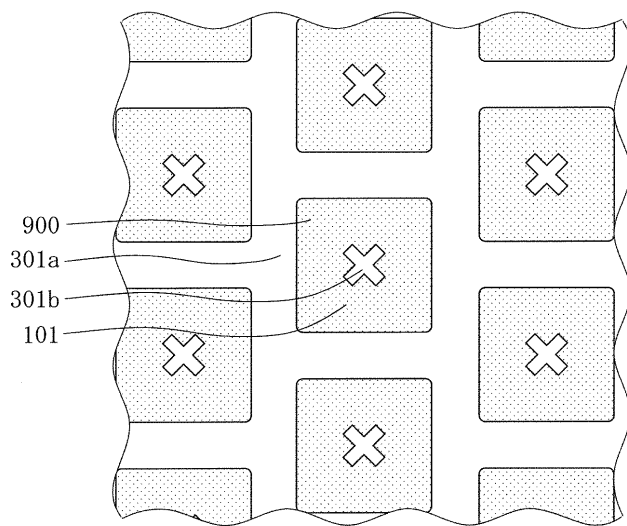
【図 9 B】

図 9 B



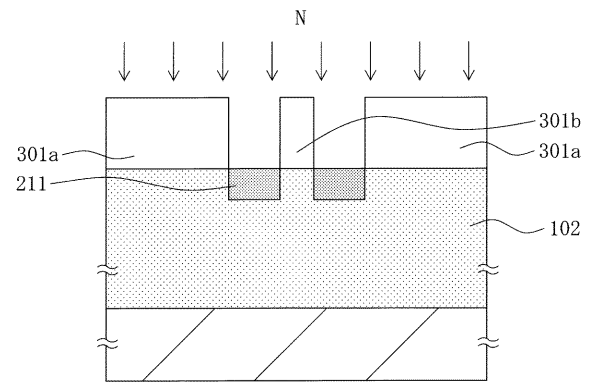
【図 9 C】

図 9 C



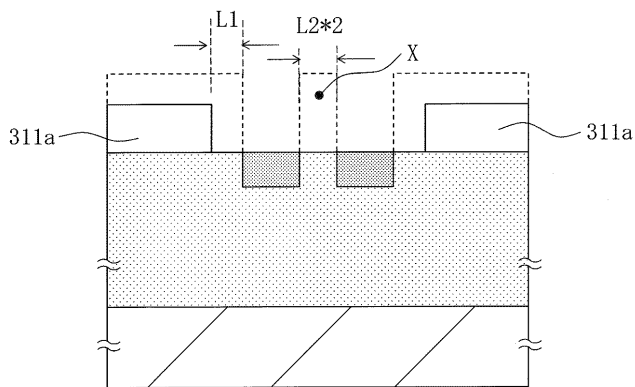
【図 9 D】

図 9 D



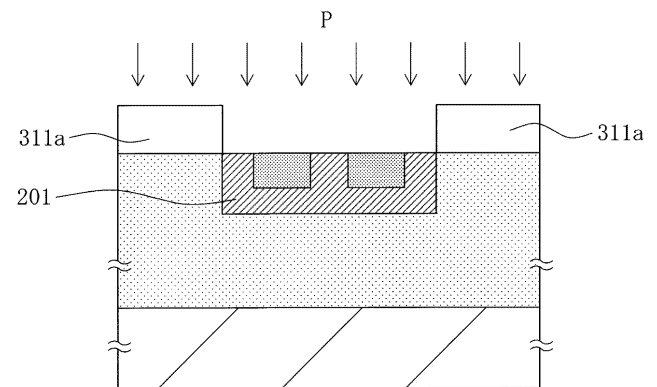
【図 9 E】

図 9 E



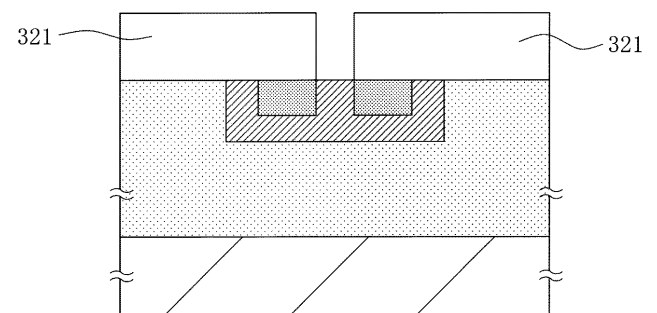
【図 9 F】

図 9 F



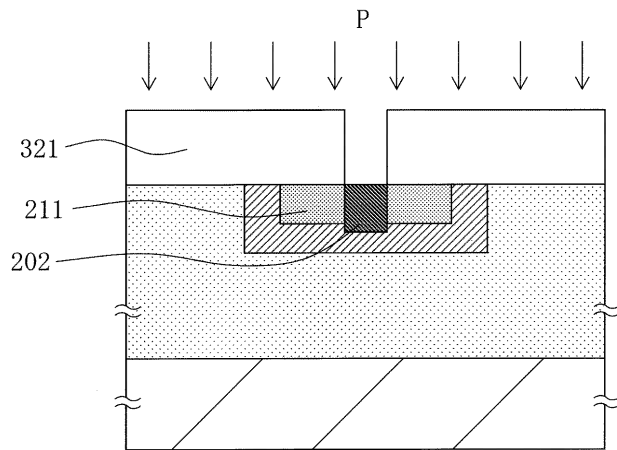
【図 9 G】

図 9 G



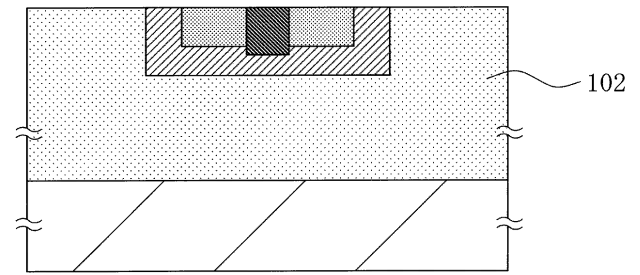
【図 9 H】

図 9 H



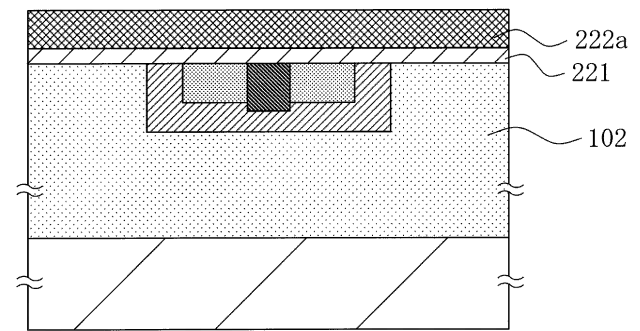
【図 9 I】

図 9 I



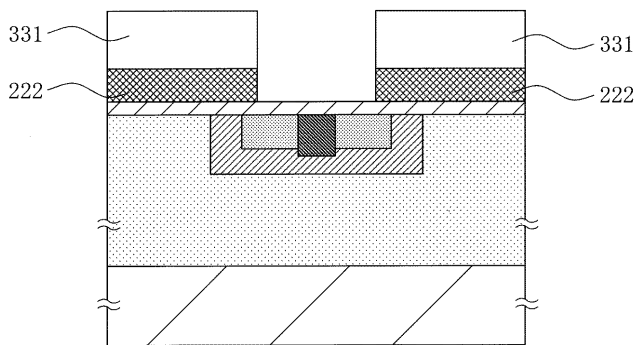
【図 9 J】

図 9 J



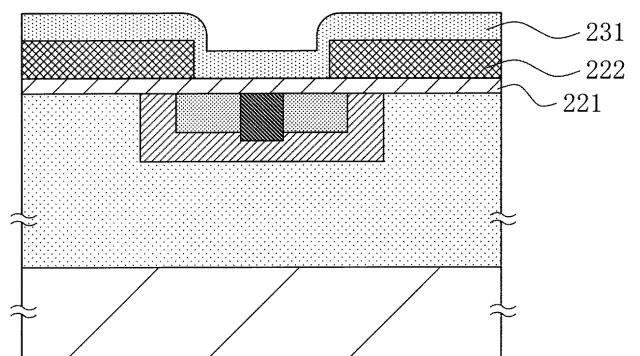
【図 9 K】

図 9 K

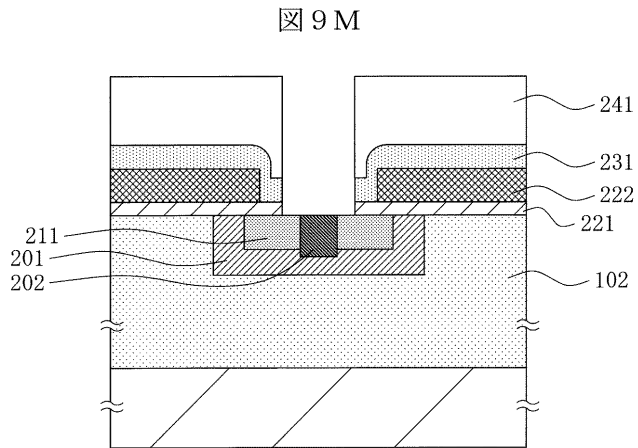


【図 9 L】

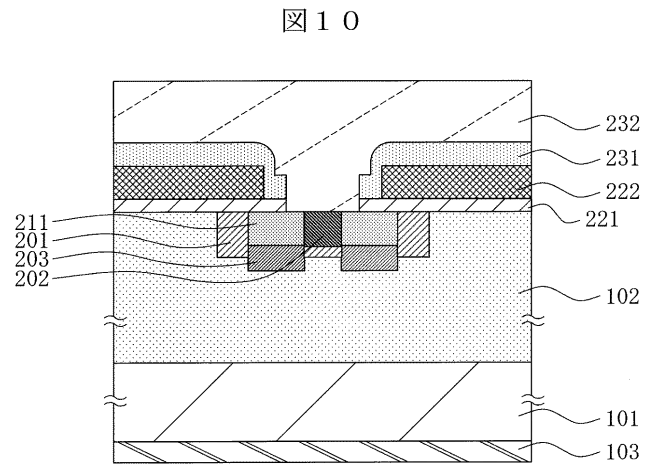
図 9 L



【図 9 M】



【図 1 0】



【図 1 1】

