



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2011년08월01일
 (11) 등록번호 10-1053091
 (24) 등록일자 2011년07월26일

(51) Int. Cl.

H05K 13/04 (2006.01)

(21) 출원번호 10-2004-0042135

(22) 출원일자 2004년06월09일

심사청구일자 2009년02월02일

(65) 공개번호 10-2004-0105625

(43) 공개일자 2004년12월16일

(30) 우선권주장

JP-P-2003-00163624 2003년06월09일 일본(JP)

JP-P-2003-00396908 2003년11월27일 일본(JP)

(56) 선행기술조사문헌

JP2000200806 A*

US06558978 B1*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

파나소닉 주식회사

일본 오오사카후 가도마시 오오아자 가도마 1006 반치

(72) 발명자

야마모토, 유우수케

일본국, 810-0042 후쿠오카-켄, 후쿠오카-시, 츄오-구, 아카사카, 3-10-49

(74) 대리인

특허법인세신

전체 청구항 수 : 총 4 항

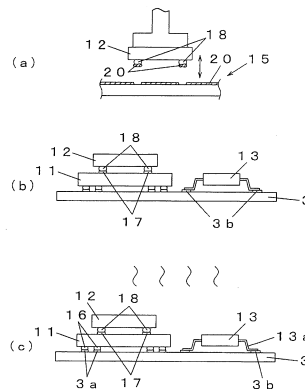
심사관 : 김성희

(54) 실장기관의 제조방법

(57) 요약

적층구조를 저비용으로 광범위하게 적용할 수 있는 실장기관 제조방법을 제공하는 것을 목적으로 한다. 그 해결 방법으로서, 하면에 뿔뿔이 형성된 제 1 전자부품(11) 및 제 2 전자부품(12)을 기관(3)에 복수단으로 적층하여 실장하여 이루어진 실장기관을 제조하는 실장기관 제조방법에 있어서, 뿔뿔공급후의 기관(3)에 제 1 전자부품(11)을 탑재한 후, 제 1 전자부품(11)의 상면에 형성된 전극(17)에 제 2 전자부품(12)의 뿔뿔(18)를 탑재하고, 이 후 리플로우 공정에서 기관(3)을 가열하여 제 1 전자부품(11)을 기관(3)에 뿔뿔 접합하는 동시에 제 2 전자부품(12)을 제 1 전자부품(11)에 뿔뿔접합한다. 이것에 의해, 적층구조를 저비용으로 광범위한 전자부품의 종류에 대하여 적용할 수 있다.

대표도 - 도6



특허청구의 범위

청구항 1

하면에 뿔뿔이 형성된 전자부품을 기판에 복수단으로 적층하여 실장하여 이루어진 실장기판을 제조하는 실장기판 제조방법으로서,

상기 기판의 제1 전극에 뿔뿔을 공급하는 뿔뿔 공급공정;

상기 기판의 위치를 인식하는 제1 인식공정;

상기 기판에 제1 단의 제1 전자부품을 상기 제1 인식공정의 인식결과에 기초하여 위치결정하여 상기 제1 전자부품의 뿔뿔 범프를 상기 제1 전극상에 착지시켜 탑재하는 제1 탑재공정;

상기 제1 전자부품의 위치를 인식하는 제2 인식공정;

상기 제1 전자부품에 제2 단의 제2 전자부품을 상기 제2 인식공정의 인식결과에 기초하여 위치결정하여 상기 제2 전자부품의 뿔뿔 범프를 상기 제1 전자부품의 상면에 형성된 제2 전극상에 착지시켜 탑재하는 제2 탑재 공정; 및

상기 제1 전자부품과 상기 제2 전자부품이 탑재된 상기 기판을 가열함으로써, 상기 제1 전자부품을 상기 기판에 뿔뿔 접합하는 동시에 상기 제2 전자부품을 상기 제1 전자부품에 뿔뿔 접합하는 리플로우 공정을 포함하고,

뿔뿔 접합에 사용되는 플럭스를 플럭스 전사 테이블상에 공급하는 공정; 및

상기 제2 탑재공정에 앞서 상기 플럭스 전사 테이블상에서 상기 제2 전자 부품의 상기 뿔뿔 범프에 상기 플럭스를 전사하는 공정을 더 포함하는 것을 특징으로 하는 실장기판 제조방법.

청구항 2

삭제

청구항 3

제1항에 있어서, 상기 플럭스는 상기 뿔뿔 범프나 상기 제 1 및 제 2 전극 표면의 산화피막을 제거하는 활성 작용을 가지는 페이스트형 재료인 것을 특징으로 하는 실장기판 제조방법.

청구항 4

제1항에 있어서, 상기 플럭스는 페이스트형 재료중에 박형 또는 입자형의 은을 혼입한 은 혼입 플럭스인 것을 특징으로 하는 실장기판 제조방법.

청구항 5

제1항에 있어서, 상기 플럭스는 뿔뿔 입자를 플럭스중에 혼입한 뿔뿔 페이스트인 것을 특징으로 하는 실장기판 제조방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

[0007] 본 발명은 전자부품을 기판에 복수단으로 적층하여 실장하여 이루어진 실장기판을 제조하는 방법에 관한 것이다.

[0008] 휴대전화나 비디오 카메라 등의 전자기기는 최근 급속하게 소형화·고기능화되어, 이러한 전자기기의 전자회로를 구성하는 실장기판에는 보다 고밀도 실장이 요구되고 있다. 이 실장 정밀도의 고정밀도화에 대응하기 위하여, 전자부품을 상하방향으로 적층한 구조의 반도체 패키지가 이용되고 있다(예를 들면, 일본 특개 2002-

217359호 공보 참조).

- [0009] 이러한 적층구조의 반도체 패키지를 채용함으로써, 기판 사이즈를 증대시키지 않고 고기능의 실장기판을 제조하는 것이 가능하게 되었다.
- [0010] 그러나, 상술한 선행기술에 개시된 반도체 패키지는 다수의 전자부품을 조합하여 제조되는 것으로, 이러한 반도체 소자의 개발과정동안 적층상태에서의 기능검사 등 복잡한 단계를 필요로 하기 때문에, 단독의 전자부품으로서의 반도체 장치의 개발에 상당히 장기간을 요하고 있었다. 이 때문에, 적층구조의 반도체 패키지의 대상이 되는 전자부품의 종류는 한정되어, 적층구조를 저비용으로 광범위하게 적용하는 것이 어려웠다.

발명이 이루고자 하는 기술적 과제

- [0011] 이러한 사정을 감안하여, 본 발명은 적층구조를 저비용으로 광범위하게 적용할 수 있는 실장기판 제조방법을 제공할 수 있다.
- [0012] 본 발명에 따른 실장기판 제조방법은 하면에 뿔뿔이 형성된 전자부품을 기판에 복수단으로 적층하여 실장하여 이루어진 실장기판을 제조하는 방법으로서, 상기 기판의 전극에 뿔뿔을 공급하는 뿔뿔 공급공정과, 상기 기판의 위치를 인식하는 제 1 인식공정과, 뿔뿔 공급후의 상기 기판에 제 1 단의 전자부품을 상기 제 1 인식공정의 인식결과에 기초하여 위치결정하여 상기 뿔뿔 뿔뿔을 상기 전극상에 착지시켜 탑재하는 제 1 탑재공정과, 상기 제 1 단의 전자부품의 위치를 인식하는 제 2 인식공정과, 상기 제 1 단의 전자부품에 제 2 단의 전자부품을 상기 제 2 인식공정의 인식결과에 기초하여 위치결정하여 제 2 단의 전자부품의 뿔뿔 뿔뿔을 제 1 단의 전자부품의 상면에 형성된 접속용 전극상에 착지시켜 탑재하는 제 2 탑재 공정과, 제 1 단 및 제 2 단의 전자부품이 탑재된 기판을 가열함으로써 제 1 단의 전자부품을 상기 기판에 뿔뿔 접합하는 동시에 제 2 단의 전자부품을 제 1 단의 전자부품에 뿔뿔 접합하는 리플로우 공정을 포함한다.
- [0013] 본 발명에 따르면, 뿔뿔 공급후의 기판에 제 1 단의 전자부품을 탑재한 후에 제 1 단의 전자부품에 제 2 단의 전자부품을 탑재하고, 제 1 단의 전자부품과 제 2 단의 전자부품이 탑재된 기판을 가열함으로써, 제 1 단의 전자부품을 기판에 뿔뿔 접합하고 또한 제 2 단의 전자부품을 제 1 단의 전자부품에 뿔뿔 접합하여 이들의 적층부품의 실장을 단일 실장과정으로 완료할 수 있어, 적층구조를 저비용으로 광범위하게 적용할 수 있다.

발명의 구성 및 작용

- [0014] 다음으로, 본 발명의 실시예를 도면을 참조하여 설명한다. 도 1은 본 발명의 일실시예의 실장기판 제조 라인의 구성도, 도 2는 본 발명의 일실시예의 전자부품 실장장치의 평면도, 도 3 및 4는 본 발명의 일실시예의 실장기판에 실장되는 전자부품의 구조설명도, 도 5 및 6은 본 발명의 일실시예의 실장기판의 제조방법의 공정설명도이다.
- [0015] 먼저, 도 1을 참조하여 실장기판 제조 라인에 대하여 설명한다. 도 1에서, 실장기판 제조라인은 스크린 인쇄기 M1, 전자부품 실장기 M2, 리플로우 장치 M3를 직렬로 접속하여 구성된다. 스크린 인쇄기 M1은 기판에 전자부품 접합용 크립 뿔뿔을 인쇄한다. 전자부품 실장기 M2는 크립 뿔뿔이 인쇄된 기판에 전자부품을 탑재한다. 리플로우 장치 M3는 전자부품이 탑재된 기판을 가열함으로써 크립 뿔뿔중의 뿔뿔 성분을 용융시켜 전자부품을 기판에 뿔뿔 접합한다.
- [0016] 다음으로, 도 2를 참조하여 전자부품 실장기 M2의 구조를 설명한다. 도 2에서, 베이스(1)의 중앙부에는 반송로(2)가 X 방향으로 배열되어 있다. 반송로(2)는 전자부품이 실장되는 기판(3)을 반송하고, 전자부품 실장 위치에 기판(3)을 위치결정한다. 반송로(2)의 전방측에는 제 1 부품공급부(4A) 및 제 2 부품공급부(4B)가 X 방향으로 병렬로 배열되어 있고, 제 1 부품공급부(4A) 및 제 2 부품공급부(4B)에 구비된 부품 트레이에는 각각 제 1 전자부품(11) 혹은 제 2 전자부품(12)이 유지되어 있다. 반송로(2)의 후방측에는 제 3 부품공급부(4C)가 배열되어 있고, 제 3 부품공급부(4C)에 배열된 테이프 피더(5)는 제 3 전자부품(13)(도 5 참조)을 유지한 테이프를 피더 전진하여 이하에 설명하는 이송 헤드의 픽업 위치로 공급한다.
- [0017] 베이스(1)의 X 방향의 양단부에는 2개의 Y축 테이블(6A 및 6B)이 배열되어 있고, Y축 테이블(6A 및 6B)에는 X축 테이블(7A 및 7B)이 가설되어 있다. X축 테이블(7A 및 7B)에는 각각 이송 헤드(8A 또는 8B)가 장착되어 있다. 이송 헤드(8A 및 8B)는 다수의 단위 이송 헤드를 구비한 다연형의 이송 헤드이며, 기판 인식 카메라(9)와 일체로 이동한다.
- [0018] X축 테이블(7A) 및 Y축 테이블(6A)을 구동함으로써 이송 헤드(8A)는 XY 방향으로 이동하여, 제 1 부품공급부

(4A)에서 제 1 전자부품(11)을, 그리고 제 2 부품공급부(4B)에서 제 2 전자부품(12)을 각 단위 이송 헤드의 흡착 노즐로 취출하여 반송로(2)상에 위치결정된 기관(3)에 탑재한다. 또한, X축 테이블(7B) 및 Y축 테이블(6B)을 구동함으로써 이송 헤드(8B)는 동일하게 XY 방향으로 이동하여, 제 3 부품공급부(4C)에서 제 3 전자부품(13)을 각 단위 이송 헤드의 흡착 노즐로 취출하여 반송로(2)상에 위치결정된 기관(3)에 탑재한다.

[0019] 반송로(2)와 제 1 및 제 2 부품공급부(4A 및 4B)의 사이에는 라인 카메라(10), 노즐 스토커(14), 및 플렉스 전사 테이블(15)이 배설되어 있고, 반송로(2)와 제 3 부품공급부(4C)의 사이에는 라인 카메라(10)와 노즐 스토커(14)가 배설되어 있다. 각각의 부품 공급부에서 전자부품을 픽업한 이송 헤드(8A 또는 8B)가 기관(2)으로 이동하는 도중에, 이송 헤드(8A 또는 8B)가 라인 카메라(10)의 상방을 통과함으로써 이송 헤드(8A 또는 8B)에 유지된 상태의 전자부품을 인식한다.

[0020] 노즐 스토커(14)는 기관(3)에 탑재되는 전자부품의 종류에 따른 흡착 노즐을 다수 종류 수납하고, 이송 헤드(8A 또는 8B)가 노즐 스토커(14)에 액세스함으로써 탑재 대상이 되는 전자부품에 따른 흡착 노즐을 선택하여 장착할 수 있도록 되어 있다. 플렉스 전사 테이블(15)은 뱀납 접합에 사용되는 플렉스를 테이블상에 박막 형태로 공급한다. 전자부품을 유지한 이송 헤드를 플렉스 전사 테이블(15)에 대하여 승강시킴으로써, 전자부품의 하면에 형성된 뱀납 범프에는 플렉스가 전사(轉寫)에 의해 공급된다.

[0021] 다음으로, 도 3 및 4를 참조하여 제 1 전자부품(11) 및 제 2 전자부품(12)에 대하여 설명한다. 제 1 전자부품(11)은 반도체 소자를 수지봉지하여 형성된 패키지 부품으로, 도 3에 나타난 것과 같이 하면(11a)에는 기관(3)과의 접속용 뱀납 범프(16)가 형성되어 있고, 또한 상면(11b)에는 제 1 전자부품(11)에 적층하여 실장되는 전자부품과의 접속용 전극(17)이 형성되어 있다. 제 2 전자부품(12)도 마찬가지로 반도체 소자를 수지봉지하여 형성된 패키지 부품으로, 도 4에 나타난 것과 같이, 하면(12a)에는 제 1 전자부품(11)과의 접속용 뱀납 범프(18)가 제 1 전자부품(12)의 전극(17)과 같은 배열로 형성되어 있다.

[0022] 다음으로, 기관(3)에 전자부품을 실장하여 실장기관을 제조하는 실장기관 제조방법에 대하여 설명한다. 여기서는, 하면에 뱀납 범프가 형성된 제 1 전자부품(11)과, 제 2 전자부품(12)을 기관(3)에 복수단으로 적층하여 실장함으로써 실장기관을 제조한다.

[0023] 도 5a에서, 기관(3)의 상면에는 전극(3a 및 3b)이 형성되어 있다. 전극(3a)은 제 1 전자부품(11)의 범프(16)의 배열과 같은 배열로 되어 있고, 전극(3b)은 제 3 전자부품(13)의 리드(13a)의 배열과 같은 배열로 형성되어 있다. 기관(3)은 먼저 도 1에 도시한 스크린 인쇄기 M1로 반입되고, 여기서 도 5b에 나타난 것과 같이 기관(3)의 전극(3a 및 3b)에 스크린 인쇄에 의한 크림 뱀납(19)을 인쇄하여 공급한다(뱀납 공급 공정). 다음으로, 뱀납 공급후의 기관(3)은 전자부품 실장기 M2로 반입되고, 반송로(2)상의 실장위치에 위치결정된다. 그리고, 이송 헤드(8A)(또는 8B)를 기관(3) 위로 이동시켜, 기관인식 카메라(9)로 기관(3)을 촬상함으로써 기관(3)의 위치를 인식한다(제 1 인식공정).

[0024] 다음으로, 이송 헤드(8A 및 8B)에 의해, 도 5c에 나타난 것과 같이 뱀납 공급후의 기관(3)에 전자부품이 실장된다. 먼저, 제 1 전자부품(11)(제 1 단의 전자부품)을 제 1 인식공정의 인식결과에 기초하여 기관(3)의 전극(3a)에 대하여 위치결정하고, 다음으로, 도 5d에 나타난 것과 같이, 뱀납 범프(16)를 전극(3a)상에 착지시켜 탑재한다(제 1 탑재공정). 이 제 1 탑재공정에서는, 도 5c 및 d에 나타난 것과 같이, 제 3 전자부품(13)의 탑재도 실행되고, 리드(13a)를 전극(3b)에 위치결정하여 탑재한다.

[0025] 이 후, 제 2 단의 전자부품의 탑재가 행해진다. 먼저, 제 1 전자부품(11)의 위치인식을 기관인식 카메라(9)로 행한다. 여기에서는, 제 1 전자부품(11)의 상면(11b)에 형성된 전극(17)중, 최외주의 대각위치에 형성된 전극(16)을 전자부품의 특징부로 하여 인식함으로써 위치를 인식한다(제 2 인식공정).

[0026] 다음으로, 제 2 부품공급부(4B)에서 제 2 전자부품(12)을 픽업한 이송 헤드(8A)는 플렉스 전사 테이블(15)로 이동하고, 여기서 도 6a에 나타난 것과 같이, 플렉스(20)의 도포막에 대하여 제 2 전자부품(12)을 승강시킴으로써 뱀납 범프(18)의 하면측에는 플렉스(20)가 전사에 의해 도포된다. 다음으로, 제 1 전자부품(11)에 제 2 전자부품(12)을 제 2 인식공정의 인식결과에 기초하여 위치결정하고, 제 1 전자부품(12)의 상면에 형성된 전극(17)에 제 2 전자부품(12)의 뱀납 범프(18)를 착지시켜 탑재한다(제 2 탑재공정).

[0027] 이 후, 기관(3)은 리플로우 장치 M3로 반입되고, 제 1, 제 2 및 제 3 전자부품(11,12,13)이 탑재된 기관(3)을 뱀납 용융점보다 높은 리플로우 온도까지 가열함으로써, 제 1 전자부품(11)의 뱀납 범프(16)를 기관(3)의 전극(3a)에 뱀납 접합하고, 제 3 전자부품(13)의 리드(13a)를 전극(3b)에 뱀납 접합하고, 또한 제 2 전자부품(12)의 뱀납 범프(18)를 제 1 전자부품(11)의 전극(17)에 뱀납 접합한다(리플로우 공정).

- [0028] 이것에 의해, 반도체 소자를 수지봉지하여 형성된 제 1 및 제 2 전자부품(11 및 12) 등의 패키지 부품을 적층한 구성의 고실장 정밀도의 실장기판이 완성된다. 상술한 실장기판 제조방법에서는, 적층구조를 구성하는 제 1 및 제 2 전자부품(11 및 12)은 단독 패키지 부품으로서의 제조과정에서 기능검사에 합격하기 위하여, 이러한 전자부품을 전극(17)과 뱀납 범프(18)를 통하여 뱀납 접합으로 실장한 전자부품의 실장구조는 높은 신뢰성을 가지고 있다. 더욱이, 이러한 실장구조는 기존의 전자부품 실장장치를 이용하여 실현할 수 있다.
- [0029] 따라서, 제 1 및 제 2 전자부품(11 및 12)에 내장되는 반도체 소자 자체를 적층한 후에 수지봉지하여 하나의 반도체 패키지를 형성하므로, 이 때문에 상당한 개발기간을 요하는 종래의 방법과 비교하여 저비용·단기간에 적층구조를 실현할 수 있어, 적층구조의 반도체 패키지의 대상이 되는 전자부품의 종류를 상당히 확대할 수 있다.
- [0030] 또한, 상기 실시예에서는, 플럭스 전사 테이블(15)에 의해 공급되는 플럭스(20)로서, 일반적인 뱀납 접합에 사용되는 플럭스, 즉 뱀납 범프(18)나 전극(17) 표면의 산화피막을 제거하는 활성화작용을 가지는 페이스트형 재료를 이용한 예를 들었지만, 본 발명에서 사용되는 플럭스는 이러한 종류에 한정되지 않고, 플럭스(20)로서 이하에 설명한 것과 같이, 뱀납 습윤성(wetting property)이 양호한 금속성분(예를 들면, 은 등의 귀금속이나 뱀납 범프(18)의 뱀납보다도 용융점이 높은 종류의 뱀납 등)을 함유한 것을 이용하여도 무방하다.
- [0031] 즉, 상술한 활성화작용을 가지는 페이스트형 재료중에 박형 또는 입자형의 은을 혼입한 은 혼입 플럭스나, 뱀납 입자를 플럭스중에 혼입한 뱀납 페이스트 등을 플럭스(20)로서 이용할 수 있다. 이러한 플럭스를 사용함으로써, 리플로우 과정에서 뱀납범프(18)를 전극(17)에 양호하게 뱀납 접합하는 데에 다음과 같은 효과를 얻을 수 있다.
- [0032] 제 2 전자부품(12)으로서, 박형의 수지 기판에 반도체 소자를 실장한 BGA 타입의 전자부품 등 얇고 휘기 쉬운 것을 이용하는 경우에는, 제 1 전자부품(11)을 탑재한 상태에서 휘어짐 변형에 기인하여 뱀납 범프(18)가 전극(17)에 균일하게 착지되지 않아, 일부의 뱀납범프(18)가 전극(17)에서 부상한 상태가 되기 쉽다. 그리고, 이러한 상태인 채로 기판이 리플로우로 보내지면, 뱀납 범프(18)가 용융한 액상의 뱀납이 전극(17)의 표면까지 도달하지 않아 접합 불량에 생기는 경우가 있다.
- [0033] 반대로, 플럭스(20)로서 은 혼입 플럭스나 뱀납 페이스트 등을 이용함으로써, 뱀납 범프(18)와 전극(17)과의 사이에 극간이 존재하는 경우에도, 뱀납 범프(18)가 용융된 액상의 뱀납은 뱀납범프(18)와 전극(17) 사이의 극간을 채우는 플럭스(20)중에 존재하고 뱀납 습윤성이 양호한 은박이나 뱀납 입자 등의 금속성분에 의해 순차적으로 인도되어 용이하게 전극(17)의 표면에 도달한다. 이것에 의해, 뱀납범프(18)와 전극(17) 사이에 극간이 존재하는 경우에도, 미접합 부분이 없는 양호한 뱀납 접합 결과를 얻을 수 있다.

발명의 효과

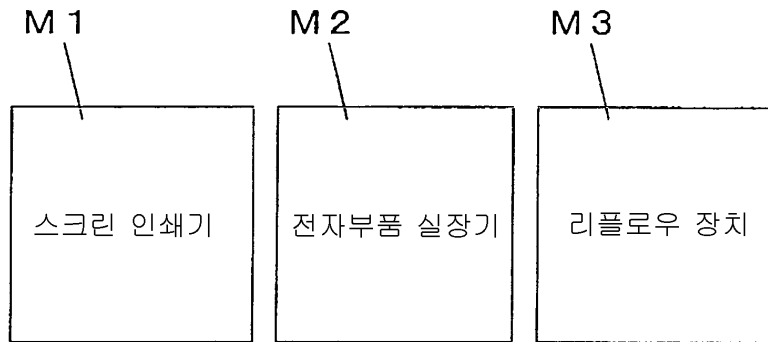
- [0034] 본 발명의 실장기판 제조방법은 적층구조를 저비용으로 광범위하게 적용할 수 있는 효과를 가지며, 전자부품을 기판에 복수단으로 적층하여 실장하여 이루어진 실장기판을 제조하는 분야에서 유용하다.

도면의 간단한 설명

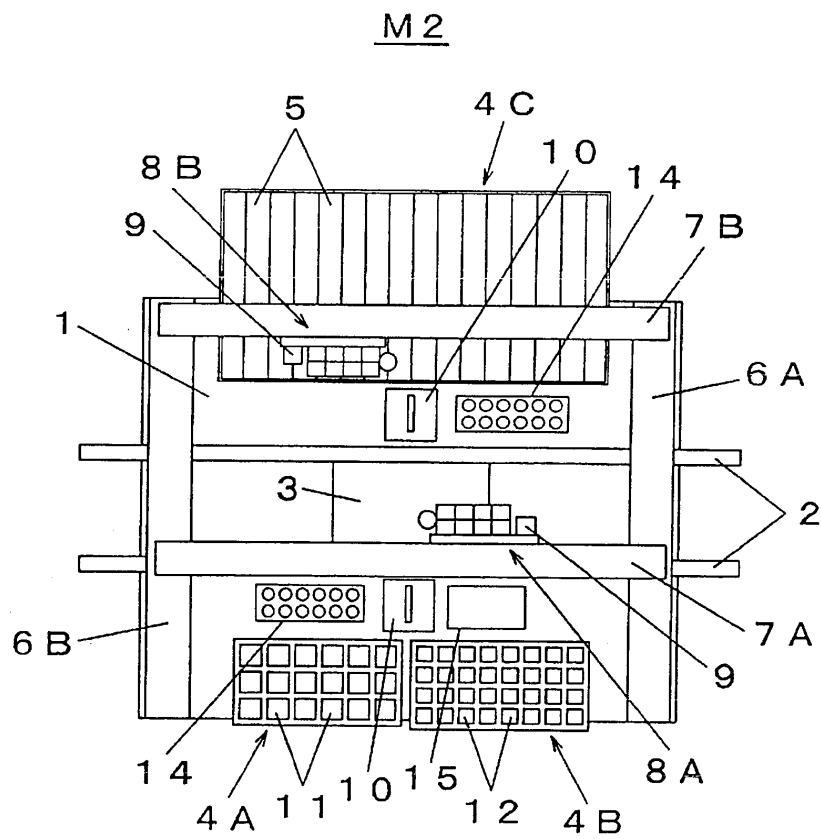
- [0001] 도 1은 본 발명의 일실시예의 실장기판 제조 라인의 구성도.
- [0002] 도 2는 본 발명의 일실시예의 전자부품 실장장치의 평면도.
- [0003] 도 3은 본 발명의 일실시예의 실장기판에 실장되는 전자부품의 구조설명도.
- [0004] 도 4는 본 발명의 일실시예의 실장기판에 실장되는 전자부품의 구조설명도.
- [0005] 도 5는 본 발명의 일실시예의 실장기판의 제조방법의 공정설명도.
- [0006] 도 6은 본 발명의 일실시예의 실장기판의 제조방법의 공정설명도.

도면

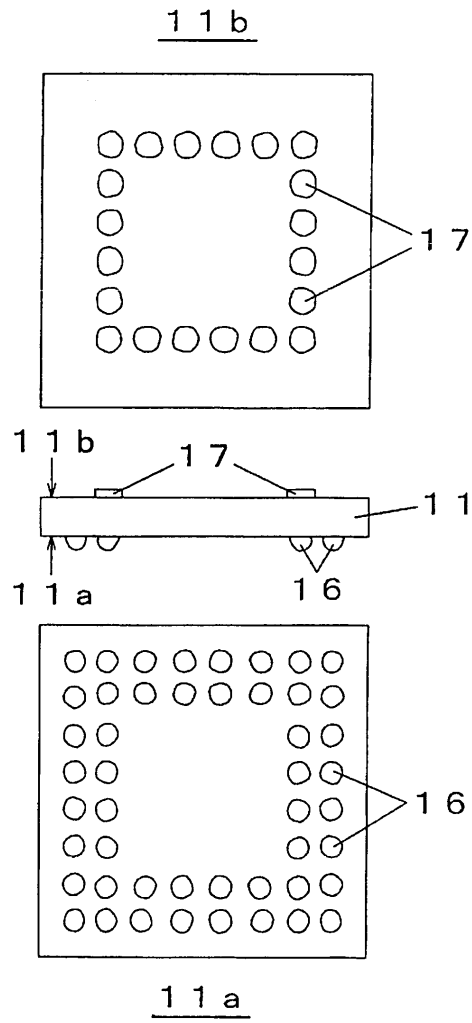
도면1



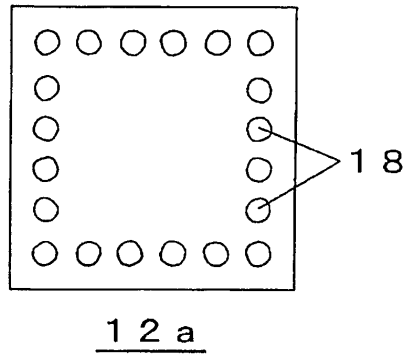
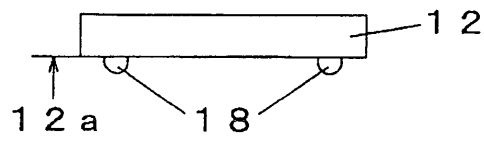
도면2



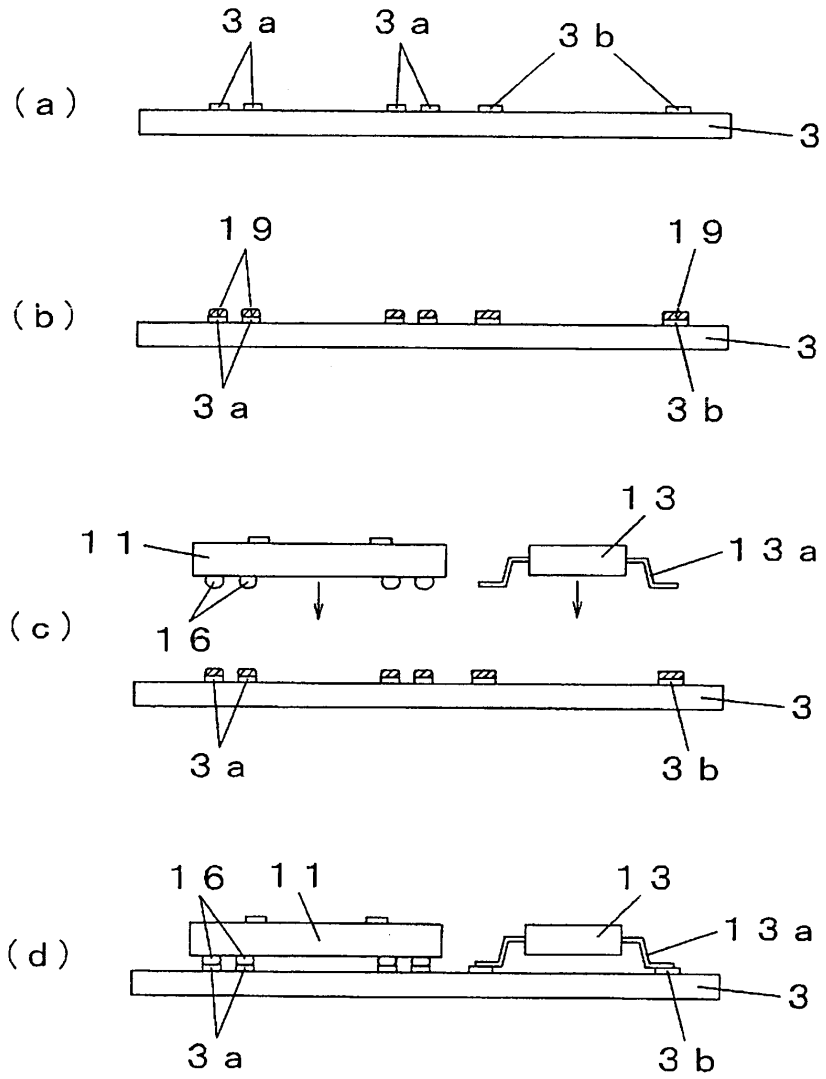
도면3



도면4



도면5



도면6

