

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-335647

(P2004-335647A)

(43) 公開日 平成16年11月25日(2004.11.25)

| (51) Int. Cl. <sup>7</sup> | F I          | テーマコード (参考) |
|----------------------------|--------------|-------------|
| HO 1 L 21/768              | HO 1 L 21/90 | 4M104       |
| HO 1 L 21/28               | HO 1 L 21/28 | 5F033       |
| HO 1 L 23/52               | HO 1 L 23/52 |             |
| HO 1 L 25/065              | HO 1 L 25/08 |             |
| HO 1 L 25/07               |              |             |

審査請求 未請求 請求項の数 5 O L (全 15 頁) 最終頁に続く

|           |                              |          |   |
|-----------|------------------------------|----------|---|
| (21) 出願番号 | 特願2003-128076 (P2003-128076) | (71) 出願人 | 000002369<br>セイコーエプソン株式会社<br>東京都新宿区西新宿2丁目4番1号 |
| (22) 出願日  | 平成15年5月6日(2003.5.6)          | (74) 代理人 | 100095728<br>弁理士 上柳 雅普                        |
|           |                              | (74) 代理人 | 100107076<br>弁理士 藤綱 英吉                        |
|           |                              | (74) 代理人 | 100107261<br>弁理士 須澤 修                         |
|           |                              | (72) 発明者 | 増田 員拓<br>長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内        |
|           |                              | Fターム(参考) | 4M104 AA01 BB14 CC01 DD19 FF18<br>FF22        |

最終頁に続く

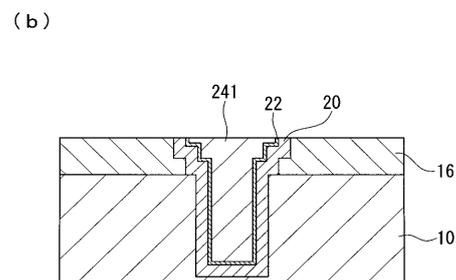
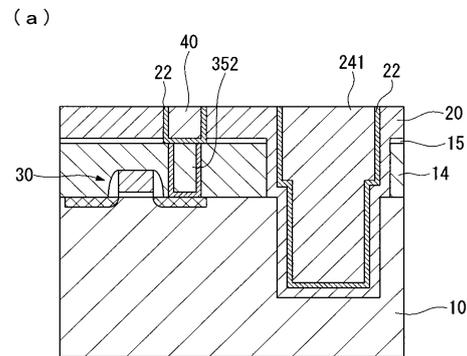
(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 基板を貫通する接続端子を効率よく製造できるようにした半導体装置の製造方法を提供する。

【解決手段】 多層配線構造を有する回路部16と、この回路部16に導電接続された電極が順に積層された基板10と、この基板10及び回路部16を貫通し上記電極に導電接続された接続端子とを備えた半導体装置の製造方法において、回路部16の各配線層の配線40を形成する際に、同時に接続端子の一部241を形成する。これにより、回路部16の配線形成と同時に、接続端子が一層ずつ継ぎ足す形で下層側から順に形成されるため、接続端子の形成工程を回路部の形成工程の後工程として行なう場合に比べて工程を簡略化できる。

【選択図】 図5



## 【特許請求の範囲】

## 【請求項 1】

一面側に回路部と上記回路部に導電接続された電極が順に積層された基板と、上記基板及び回路部を貫通し上記電極に導電接続された接続端子とを備えた半導体装置の製造方法であって、

上記接続端子と上記回路部の配線とを同時に形成することを特徴とする、半導体装置の製造方法。

## 【請求項 2】

多層配線構造を有する回路部と上記回路部に導電接続された電極とが順に積層された基板と、上記基板及び回路部を貫通し上記電極に導電接続された接続端子とを備えた半導体装置の製造方法であって、

上記基板上に絶縁膜を形成する絶縁膜形成工程と、

上記絶縁膜に対し、接続端子形成予定部に対応する位置に開口部を形成する開口工程と、上記基板面内において上記接続端子形成予定部とは異なる位置に配線用の溝を形成する溝形成工程と、

上記開口部、溝内に導電部材を充填する導電部材充填工程とを備え、

上記絶縁膜形成工程、開口部形成工程、溝形成工程、導電部材充填工程を繰り返すことで、上記回路部の配線層と接続端子とを上記基板の厚み方向に順に積層形成することを特徴とする、半導体装置の製造方法。

## 【請求項 3】

上記溝形成工程は、上記配線層の配線と下層側の配線層の配線とを接続するための配線接続孔を形成する工程を含み、

上記導電部材充填工程では、上記開口部、溝、配線接続孔内に導電部材を充填することを特徴とする、請求項 2 記載の半導体装置の製造方法。

## 【請求項 4】

上記接続端子の最上層が上記電極とされたことを特徴とする、請求項 1 ~ 3 のいずれかの項に記載の半導体装置の製造方法。

## 【請求項 5】

請求項 1 ~ 4 のいずれかの項に記載の方法により製造された複数の半導体装置を、その接続端子を介して積層する工程を備えたことを特徴とする、半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

## 【発明の属する技術分野】

本発明は、三次元実装技術に用いて好適な半導体装置の製造方法に関する。

## 【0002】

## 【従来の技術】

現在、主として携帯電話機、ノート型パーソナルコンピュータ、PDA (Personal data assistance) 等の携帯性を有する電子機器は、小型・軽量化のため、内部に設けられる半導体チップ等の各種の電子部品の小型化が図られており、更にその電子部品を実装するスペースも極めて制限されている。このため、例えば半導体チップにおいては、そのパッケージング方法が工夫され、現在では CSP (Chip Scale Package) といわれる超小型のパッケージングが案出されている。この CSP 技術を用いて製造された半導体チップは、実装面積が半導体チップの面積と同程度で良いため、高密度な実装が可能となる。

## 【0003】

しかしながら、上記の電子機器は、今後益々小型化及び多機能化が求められることが予想されており、半導体チップの実装密度を更に高める必要が出てきた。かかる背景の下、例えば特許文献 1 に開示されているような三次元実装技術が案出されてきた。この三次元実装技術は、同様の機能を有する半導体チップ同士又は異なる機能を有する半導体チップ同士を積層し、各半導体チップ間を配線接続することで、実装密度を高めた技術である。

【 0 0 0 4 】

【 特許文献 1 】

特開 2 0 0 2 - 5 0 7 3 8 号公報

【 0 0 0 5 】

【 発明が解決しようとする課題 】

ところで、上述の三次元実装技術に用いられる半導体チップは基板の表裏を貫通する接続端子を備えており、各チップはその接続端子を介して積層されることで電氣的に接続されている。従来、このような接続端子は、ウェハプロセス（多層配線工程～パッシベーション膜の形成工程）終了後の後工程として加工していくことが主流となっている。しかし、この方法はどのようなデバイスに対しても付加的に加工が可能な点で汎用性を有するもの

10

の、このような付加工程が必要となる点でコスト高となる。  
本発明は、上記事情に鑑みてなされたものであり、導電部材の形成工程を簡素化し製造コストを低減できるようにした半導体装置の製造方法を提供することを目的とする。

【 0 0 0 6 】

【 課題を解決するための手段 】

上記課題を解決するために、本発明の半導体装置の製造方法は、一面側に回路部と上記回路部に導電接続された電極が順に積層された基板と、上記基板及び回路部を貫通し上記電極に導電接続された接続端子とを備えた半導体装置の製造方法であって、上記接続端子と上記回路部の配線とを同時に形成することを特徴とする。

本製造方法によれば、回路部を形成する際に同時に接続端子が形成されるため、接続端子の形成工程を回路部の形成工程の後工程として行なう従来の方法に比べて工程を簡略化でき、コスト的に有利となる。

20

【 0 0 0 7 】

このような方法は、回路部が多層配線構造を有する半導体装置の製造方法にも適用できる。すなわち、本発明の半導体装置の製造方法は、多層配線構造を有する回路部と上記回路部に導電接続された電極とが順に積層された基板と、上記基板及び回路部を貫通し上記電極に導電接続された接続端子とを備えた半導体装置の製造方法であって、上記基板上に絶縁膜を形成する絶縁膜形成工程と、上記絶縁膜に対し、接続端子形成予定部に対応する位置に開口部を形成する開口工程と、上記基板面内において上記接続端子形成予定部とは異なる位置に配線用の溝を形成する溝形成工程と、上記開口部、溝内に導電部材を充填する導電部材充填工程とを備え、上記絶縁膜形成工程、開口部形成工程、溝形成工程、導電部材充填工程を繰り返すことで、上記回路部の配線層と接続端子とを上記基板の厚み方向に順に積層形成することを特徴とする。

30

【 0 0 0 8 】

例えば半導体の回路部を 10 層程度の積層構造とし、各層の層間絶縁膜の膜厚を 1  $\mu$ m とすると、基板上には 10  $\mu$ m 程度の膜厚の絶縁膜が形成される。従来、このような基板に接続端子を形成する場合には、まず、上記膜厚の絶縁膜に対し、接続端子の形成される領域（接続端子形成予定部）に基板表面に通じる開口部を形成し、続いて基板にこれと連通する基板孔を形成した後、これらの開口部及び基板孔に導電材料を充填する必要があった。これに対して本発明の製造方法では、絶縁膜に設けられた溝及び開口部に対して導電部材を充填することで、回路部の一の配線層の配線と接続端子の一部とが同時に形成され、更にこのような工程を繰り返すことで各層の配線形成と同時に、接続端子となる導電部材が一層ずつ継ぎ足す形で形成される。

40

【 0 0 0 9 】

したがって、本製造方法によれば回路部の各配線層の形成と同時に接続端子が下層側から順に積層形成されるため、従来の方法に比べて少なくとも上記絶縁膜内に配置される導電部材の形成時間を短縮でき、回路部の層数が大きく（即ち、基板上に形成される上記絶縁膜が厚く）なる程、工程時間の短縮という点で有利となる。また、上記溝形成工程において、上記配線層の配線と下層側の配線層の配線とを接続するための配線接続孔を更に形成し、上記導電部材充填工程において、上記開口部、溝、配線接続孔内に導電部材を充填す

50

ることで、配線層間を導電接続する接続プラグを上記配線及び接続端子と同時に形成でき、より一層の効率化を図ることもできる。

なお、上述の製造方法では、開口工程と溝形成工程とはどちらを先に行なってもよい。

#### 【0010】

また、上記半導体装置において、接続端子の最上層を電極として構成してもよい。これにより、電極が形成されていない基板上の領域に接続端子を配置する場合に比べて基板の省スペース化を図ることができ、当該半導体装置の高機能化や小型化を実現できる。

また、上述の方法により製造された複数の半導体装置を、その接続端子を介して積層することで、小型且つ高い信頼性を備えた三次元実装型の半導体装置を製造することができる。

10

#### 【0011】

##### 【発明の実施の形態】

以下、図面を参照して本発明の実施形態について説明する。なお、本実施の形態においては、各図において各層や各部材を図面上で認識可能な程度の大きさとするため、各層や各部材毎に縮尺を異ならしめてある。

#### 【0012】

##### (第1実施形態)

図1は本発明の第1実施形態に係る三次元実装型半導体装置の要部を示す部分断面図である。この三次元実装型半導体装置100は、シリコン基板10上に回路部16を形成された半導体チップ(半導体装置)1が複数積層された構成を有する。

20

#### 【0013】

各半導体チップ1の回路部16は多層配線構造を有し、例えば10層程度の配線層を備えている。また、各半導体チップ1には、上記回路部16において素子及び配線の形成されない位置に基板10及び回路部16をその積層方向に貫通する接続端子24が設けられている。

#### 【0014】

また、接続端子24の基板最表面に位置する部分(回路部16上に露出した部分)は電極パッド24aとして構成され、このパッド24aは図示しない箇所回路部16に電気的に接続されている。そして、チップ内で形成された電気信号はこのパッド24aを介してこれに積層された他のチップへ出力される。なお、本実施形態では、接続端子24に回路部16の配線材料と同じ材料を用いている。このような導電部材としては、例えば金、銀、銅、白金等の低抵抗な金属材料を好適に用いることができ、メッキ法を用いて貫通孔11内に充填することができる。なお、図1中、符号20は基板10と接続端子24とを絶縁するための絶縁膜であり、符号22はメッキ法を用いて貫通孔11内に導電部材を充填する際のバリア層やシード層等からなる下地膜である。

30

#### 【0015】

また、接続端子上層には錫-銀からなるメッキ薄膜19が形成され、該メッキ薄膜19を介して異なる半導体チップが積層接続されている。なお、各半導体チップ1において、シリコン基板10の裏面側には貫通孔11から接続端子24が突出して設けられており、その突出した部分が異なる半導体装置の接続端子とメッキ薄膜を介して接続されている。また、積層された各チップ1の間にはアンダフィル25が充填されている。

40

#### 【0016】

以下、図1に示した半導体装置の製造方法について、その一例を説明する。図2~図5は半導体装置100を製造する一連の工程の内、本発明に関連した工程を断面図にて示す工程図である。

#### 【0017】

まず、図2(a)に示すように、公知の方法を用いてシリコン基板等からなる基板10上に、トランジスタ30等の回路素子を有する第1の層を形成する。このトランジスタ30は、基板10にソース部31、ドレイン部32を有し、この基板10上にゲート絶縁膜34とゲート部33とを順に積層して形成される。また、ゲート部33の側壁部にはサイド

50

ウォールが形成されており、ゲート部 33 及びサイドウォールをマスクとして不純物ドーピングを行なうことで LDD 構造を実現している。

【0018】

次に、この第 1 の層の上に例えば硼磷珪酸ガラス（以下、BPSG という）からなる層間絶縁膜 14 を形成する。そして、この層間絶縁膜 14 に対してトランジスタ 30 のドレイン部 32 に通じる配線接続孔 35 を形成し、この孔内にタングステンプラグ 352 を埋め込み形成する。また、ドレイン部 32 に通じる配線接続孔 34 を形成する工程と同じ工程で、層間絶縁膜 14 に対してトランジスタ 30 のソース部 31 に通じる配線接続孔（図示せず）を形成してもよい。さらに、ドレイン部 32 に通じる配線接続孔 35 内にタングステンプラグ 352 を埋め込む工程と同じ工程でソース部 31 に通じる配線接続孔内にタン

10

グステンプラグを埋め込んでもよい。なお、図 2 中、符号 351 はバリア層となる TiN / Ti 薄膜である。

そして、このプラグ 351 を形成した後、層間絶縁膜 14 の表面に層間絶縁膜 14 及び後述する工程で形成するハードマスク 29 と異なるエッチング選択比を有し、かつ後述する工程で形成する接続端子 24 の材料に対して拡散バリア性を有する絶縁膜、例えば窒化シリコン又は炭化シリコンからなる絶縁膜 15 を形成する。

【0019】

次に、絶縁膜 15 上にレジスト 71 を塗布し、パターンニングにより接続端子 24 の形成される領域（接続端子形成予定部）E1 に開口部 71a を形成する。

なお、レジスト 71 の開口部 71a の形状は貫通孔 11 の開口形状に応じて設定され、例えば径 60  $\mu\text{m}$  の円形開口部を有するものである。

20

【0020】

次に、レジスト 71 をマスクとしてエッチングを行ない、開口部 71a に位置する絶縁膜 14, 15 を除去する。図 2 (b) は上記エッチング後、レジスト 71 を剥離処理やアッシング等により除去した後の状態を示す断面図である。これにより、絶縁膜 14、15 の上記開口部 71a に対応する位置（即ち、接続端子形成予定部 E1 に対応する位置）に開口部 H1 が形成される。

【0021】

次に、図 2 (c) に示すように、基板 10 を穿孔するためのエッチング用ハードマスク 29 を形成する。ハードマスク 29 は、絶縁膜 15 の上層面及び開口部 H1 の内面を覆う態

様に形成するものとし、例えば SiO<sub>2</sub> 等の絶縁材料を CVD 法等により形成することができる。このようにハードマスク 29 を全面に形成したのち、開口部 H1 の底においてハードマスク 29 を開口し、基板 10 の表面を開口部 H1 に露出させる。なお、エッチングにはドライエッチングを適用することが好ましい。ドライエッチングは、反応性イオンエッチング（RIE: Reactive Ion Etching）であってもよい。

30

【0022】

そして、この開口部を備えるハードマスク 29 を用いて、ドライエッチングにより、図 3 (a) に示すように基板 10 を穿孔する。なお、ここでは、ドライエッチングとして RIE のほかに ICP (Inductively Coupled Plasma) を用いることができる。図 3 (a) は、基板 10 を穿孔して、孔部（基板孔）H2 を形成した状態を示す断面図である。なお、ハードマスク 29 の開口部は、基板穿孔時のオーバーエッチ（サイドエッチ）を考慮して、例えば開口径を 30  $\mu\text{m}$  としている。また、ハードマスク 29 の膜厚については、基板 10 に対して 70  $\mu\text{m}$  程度の深さの孔を形成する場合には、例えば正珪酸四エチル (Tetra Ethyl Ortho Silicate: Si(OC<sub>2</sub>H<sub>6</sub>)<sub>4</sub>; 以下、TEOS という) を原料として、PECVD (Plasma Enhanced Chemical Vapor Deposition) を用いて形成したシリコン酸化膜、即ち PE-TEOS 法にてシリコン酸化膜を 2  $\mu\text{m}$  程度形成する必要がある。ハードマスク 29 の形成方法としては、PE-TEOS 法の他にも、オゾンと TEOS を用いて熱 CVD 法によりシリコン酸化膜を形成する即ち O<sub>3</sub>-TEOS 法により、或いは SiH<sub>4</sub>-N<sub>2</sub>O 系、SiH<sub>4</sub>-O<sub>2</sub> 系のプラズマ励起 CVD 法により形成

40

50

することも可能である。また、基板穿孔工程により、ハードマスク29も薄膜化され、該穿孔工程後には膜厚が1000 ~ 9000 程度に減少することとなる。つまり、本実施の形態では、ハードマスク29の膜厚をオーバーエッチング量よりも大きな値となるように設定した。

#### 【0023】

ここで、通常用いられるフォトレジストマスクでは、ドライエッチングの耐性が乏しいため70 $\mu$ m孔設に対して10 $\mu$ m程度のレジストマスクが必要で、厚膜によりコストアップに繋がる上、プロセス的にもアスペクト比が大きくなり、非効率的である。しかしながら、上述のようなハードマスク29によると、膜厚を薄くでき、効率的な製造プロセスを実現できる。

10

#### 【0024】

また、ハードマスク29の開口部H5の開口形状としては、本実施の形態では円形を採用しているが、四角形等の多角形を採用でき、開口プロセスにはPFC系ドライエッチング、又はBHF系ウェットエッチングのいずれかが好適である。

#### 【0025】

以上の工程が終了すると、残されたハードマスク29が孔部H2よりも孔内側に突出しており、以降のプロセス上不都合となる。そのため、残されたハードマスク29を全面エッチングすることにより、ハードマスク29及び突出部29aを除去する。このとき、図3(b)に示すように、絶縁膜15にてエッチングが止るようにハードマスク29と絶縁膜14に対しエッチング速度が速く、絶縁膜15に対してエッチング速度が遅い、高選択比を有するエッチングを用いることが好ましい。また、図3(b)に示すように、絶縁膜14、15の開口部内壁に薄膜のハードマスク29が残存するように、エッチングはドライエッチング等の異方性エッチングを用いることが好ましい。

20

#### 【0026】

次に、孔部H2内に絶縁膜の被覆処理を行なう。ここでは、PE-TEOS法にて、シリコン酸化膜を1 $\mu$ m程度形成するものとしており、その結果、図4(a)に示すように、基板10、絶縁膜14、15に連通した孔部H1、H2の内部に絶縁膜20を形成することができる。この際、孔部H1、H2内に配置された絶縁膜20の表面に、上記シリコン酸化膜20よりも誘電率の低い薄膜層を形成してもよい。

#### 【0027】

次に、絶縁膜20上にレジスト(図示略)を塗布する。このレジストは接続孔35の上方にプラグ352と導通される配線用の溝を形成するためのものである。したがって、このレジストを塗布した後、パターニングにより接続孔35上方の溝形成予定部E2に対応する位置に開口部(図示略)を形成する。そして、このレジストをマスクとしてエッチングを行ない、上記開口部に位置する絶縁膜15、20を除去して接続プラグ352の表面をこの開口部に露出させる。これにより、接続孔35の上方に図4(b)に示すような配線用の溝28が形成される。

30

#### 【0028】

次に、上記溝28形成用のレジストを除去し、図4(b)に示すように、基板上にバリア層及びシード層を含む下地膜22を形成する。なお、バリア層にはTiNやTa<sub>2</sub>N<sub>3</sub>WN(窒化タングステン)等の金属材料が用いられ、シード層には接続端子24と同じ材料が用いられ、例えば銅が用いられる。これらのバリア層やシード層の形成方法としては、スパッタ法やCVD法等の種々の方法を採用できる。これにより、下地膜22は、溝28及び孔部H1、H2の内部を十分にカバーして絶縁膜20上に形成される。

40

#### 【0029】

下地膜22の形成が終了すると、電気化学プレーティング(ECP)法を用いて、孔部H1、H2の内部及び溝28の内部を含む形にて下地膜22上にメッキ処理を施す。そして、CMP(化学的機械研磨)法等の方法を用いて絶縁部20から突出する不要な銅及びバリア層を除去することで図5(a)のような状態が形成される。これにより、孔部H1、H2内部に導電部材である銅が埋め込まれると同時に溝28内に配線40が形成される。

50

すなわち、接続端子 24 の一部 241 と第 2 の層の配線 40 とが同時に形成される。

第 3 の層以降についても同様に行なわれ、接続端子は各層の配線形成と同時に一層ずつ継ぎ足す形で形成される。図 5 ( b ) は最後の回路層が形成された状態を示す模式的な断面図である。

#### 【 0 0 3 0 】

なお、上記方法では接続端子 24 は各層の配線形成工程に対応して一層ずつ継ぎ足して形成されるため、接続端子 24 の断面にはこの層の境界部に対応して基板面に平行な下地膜の層が形成されるが、図 5 ( b ) ではこの図示を省略している。また、第 3 の層以降は従来のタングステンプラグによる接続孔の形成とアルミ配線の組み合わせにより配線を形成しても良い。

10

#### 【 0 0 3 1 】

以上の工程を経て製造された半導体チップは、例えば接続端子 24 が基板 10 の裏面に露出するまで基板 10 の裏面が研磨される。

そして、このように形成された半導体チップをその接続端子 24 を介して複数積層して配線することにより、高密度実装が可能な三次元実装型 ( スタック型 ) の半導体装置が製造される。

#### 【 0 0 3 2 】

なお、各半導体チップを積層するには、上下に配置された半導体チップの電極を、ハンダ等のロウ材 19 ( 図 1 参照 ) によって電気的な導通を取りつつ、接合するようにしても良い。また、半導体装置本体部を接合するための接着剤を用いても良い。この接着剤は、液状又はゲル状の接着剤であってもよいし、シート状の接着シートであってもよい。接着剤は、エポキシ樹脂を主な材料とするものであってもよく、絶縁性のものであってもよい。

20

#### 【 0 0 3 3 】

また、接着剤により半導体チップ同士を接合するだけでなく、電気的な導通を取る場合には、導電性物質を含んだ接着剤を用いても良い。この導電性物質は、例えば、ロウ材、ハンダ等の粒子で構成され、それらが接着材料中に分散している。こうすることで、被接続体同士の接合時に、その粒子が接合のロウとして働き、接合性をさらに著しく向上することができる。接着剤は、導電粒子が分散された異方性導電接着剤 ( A C A )、例えば異方性導電膜 ( A C F ) や異方性導電ペースト ( A C P ) であってもよい。異方性導電接着剤は、バインダに導電粒子 ( フィラー ) が分散されたもので、分散剤が添加される場合もある。異方性導電接着剤のバインダとして、熱硬化性の接着剤が使用されることが多い。その場合には、配線パターンと電極との間に、導電粒子が介在して両者間の電気的な接続が図られる。

30

#### 【 0 0 3 4 】

また、電極間の電気的な接続には、Au - Au、Au - Sn、ハンダ等による金属接合を適用してもよい。例えば、電極にこれらの材料を設け、熱のみ、超音波振動のみ、又は超音波振動及び熱等を印加して両者を接合する。両者が接合されると、振動や熱によって電極に設けられた材料が拡散して金属接合が形成される。

#### 【 0 0 3 5 】

以上のように積層されて形成される三次元実装型の半導体装置の最も下 ( 又は最も上 ) に位置する半導体装置本体部の接続端子 24 には、外部端子が接続される。この外部端子はハンダ又は金属等で形成することができるが、必ずしもこれらに制限される訳ではなく、導電性の部材で形成すればよい。また、ハンダボールは必ずしも必要ではなく、半導体装置本体部を基板上に実装して、半導体モジュールを構成してもよい。さらに、ハンダボールを形成せず、マザーボード実装時にマザーボード側に塗布されるハンダクリームを利用し、その溶融時の表面張力で電気的な接続をとってもよい。

40

#### 【 0 0 3 6 】

したがって、本実施形態の製造方法によれば、回路部 16 を形成する際に同時に接続端子 24 が形成されるため、回路部の形成工程と導電部材の形成工程とを別工程で行なう従来

50

の方法に比べて工程を簡略化でき、製造コストを低減できる。つまり、上述の方法では、従来の方法に比べて少なくとも回路部 16 の層間絶縁膜内に配置される部分の接続端子の形成時間を短縮できるため、回路部の層数が大きく（即ち、基板上に形成される層間絶縁膜が厚く）なる程、工程時間の短縮という点で有利となる。

また、本実施形態では、基板の貫通孔 11 が電極パッド 24 a の直下に配置される（即ち、貫通孔 11 が平面視で電極パッド 24 a 内に配置される）ため、電極パッドの形成位置とは異なる位置に接続端子 24 を形成し再配置配線を用いてこれらを接続する構成に比べて基板の省スペース化を図ることができ、当該半導体チップの高機能化ないし小型化を実現できる。

#### 【0037】

10

（第 2 実施形態）

次に、本発明の第 2 の実施形態に係る半導体装置の製造方法について説明する。図 6 ~ 図 10 は上記半導体装置 100 を製造する一連の工程の内、本発明に関連した工程を断面図にて示す工程図である。なお、本実施形態において、上記第 1 実施形態と同様の部材については同じ符号を付し、その説明を省略する。

#### 【0038】

本実施形態の製造方法は、接続端子 24 と各層の配線とを同時に形成する際に、更にこの配線を下層と導通させるための接続プラグを同時に形成するようにしたものである。

本実施形態では、まず、図 6 (a) に示すように、公知の手法を用いて基板 10 上にトランジスタ 30 等の回路素子を有する第 1 の層を形成する。

20

次に、この第 1 の層の上に例えば硼磷珪酸ガラス（以下、BPSG という）からなる第 1 の層間絶縁膜 14 を形成し、更に、この層間絶縁膜 14 上に層間絶縁膜 14 及び後述する工程で形成するハードマスク 29 と異なるエッチング選択比を有し、かつ後述する工程で形成する接続端子 24 の材料に対して拡散バリア性を有する絶縁膜、例えば窒化シリコン又は炭化シリコンからなる絶縁膜 15 を形成する。

#### 【0039】

次に、基板上にレジスト 72 を塗布し、パターニングにより、配線接続孔 35 の形成される位置（配線接続孔形成予定部）E3 に開口部 72 a を形成する。

次に、上記レジストをマスクとしてエッチングを行ない、開口部 72 a に位置する絶縁膜 15 を除去する。図 6 (b) は、エッチング工程後、レジスト 72 を除去した後の状態を示す断面図である。これにより、絶縁膜 15 の上記開口部 72 a に対応する位置（即ち、配線接続孔形成予定部 E3 に対応する位置）に開口部 15 a が形成される。

30

#### 【0040】

次に、図 6 (c) に示すように、基板上にレジスト 73 を塗布し、パターニングにより、接続端子形成予定部 E1 に開口部 73 a を形成する。なお、レジスト 73 の開口部 73 a の形状は貫通孔 11 の開口形状に応じて設定され、例えば径 60  $\mu\text{m}$  の円形開口部を有するものである。

次に、レジスト 73 をマスクとしてエッチングを行ない、開口部 73 a に位置する絶縁膜 14, 15 を除去する。図 7 (a) は上記エッチング後、レジスト 73 を除去した後の状態を示す断面図である。これにより、絶縁膜 14, 15 の上記開口部 73 a に対応する位置（即ち、接続端子形成予定部 E1 に対応する位置）に開口部 H1 が形成される。

40

#### 【0041】

次に、図 7 (b) に示すように、基板 10 を穿孔するためのエッチング用ハードマスク 29 を形成する。ハードマスク 29 は、絶縁膜 15 の上層面及び開口部 H1 の内面を覆う態様にて形成する。このようにハードマスク 29 を全面形成したのち、開口部 H1 の底においてハードマスク 29 を開口し、基板 10 の表面を開口部 H1 に露出させる。

#### 【0042】

そして、この開口部を備えるハードマスク 29 を用いて、ドライエッチングにより、図 8 (a) に示すように基板 10 を穿孔する。以上の工程が終了すると、残されたハードマスク 29 が孔部 H2 よりも孔内側に突出しており、以降のプロセス上不都合となる。そのた

50

め、残されたハードマスク 29 を全面エッチングすることにより、ハードマスク 29 及び突出部 29 a を除去する。このとき、図 8 ( b ) に示すように、絶縁膜 15 にてエッチングが止るようにハードマスク 29 と絶縁膜 14 に対しエッチング速度が速く、絶縁膜 15 に対してエッチング速度が遅い、高選択比を有するエッチングを用いることが好ましい。また、図 8 ( b ) に示すように、絶縁膜 14、15 の開口部内壁に薄膜のハードマスク 29 が残存するように、エッチングはドライエッチング等の異方性エッチングを用いることが好ましい。

【 0 0 4 3 】

次に、孔部 H 2 内に絶縁膜の被覆処理を行ない、図 9 ( a ) に示すように、基板 10、絶縁膜 14、15 に連通した孔部 ( H 1、H 2 ) の内部に絶縁膜 20 を形成する。

10

【 0 0 4 4 】

続いて、絶縁膜 20 上にレジスト ( 図示略 ) を塗布する。このレジストは絶縁膜 20 に第 2 の回路層の配線用の溝 28 を形成し且つこの溝 28 の直下に第 1 の回路層のトランジスタのドレイン部 32 に通じる接続孔 35 を形成するためのものである。したがって、まず、このレジストを塗布した後、パターンングにより溝形成予定部 E 2 に対応する位置に開口部 ( 図示略 ) を形成する。そして、このレジストをマスクとしてエッチングを行ない、上記開口部に位置する絶縁膜 20 を除去して絶縁膜 15 の表面をこの開口部に露出させる。これにより、トランジスタ 30 のドレイン部 32 の上方に位置する配線用の溝 28 が形成される。その後、更にエッチングを続けると、絶縁膜 15 の開口部 15 a を介して絶縁膜 14 が除去され、トランジスタ 30 のドレイン部 32 が上記開口部に露出される。この際、例えば窒化シリコン又は炭化シリコンからなる絶縁膜 15 がエッチストップパとして機能し、層間絶縁膜 14 には絶縁膜 15 の開口形状に応じた接続孔 35 が形成される。図 9 ( a ) はエッチング後、溝及び接続孔形成用のレジストを除去した後の状態を示す断面図である。

20

【 0 0 4 5 】

次に、図 9 ( b ) に示すように、CVD 法やスパッタリング法等の方法を用いて基板上にバリア層及びシード層を含む下地膜 22 を形成する。これにより、下地膜 22 は、溝 28、接続孔 35、孔部 H 1、H 2 の内部を十分にカバーして絶縁膜 20 上に形成される。

【 0 0 4 6 】

下地膜 22 の形成が終了すると、電気化学プレーティング ( ECP ) 法を用いて、孔部 H 1、H 2 の内部及び溝 28 の内部を含む形にて下地膜 22 上にメッキ処理を施す。そして、CMP ( 化学的機械研磨 ) 法等の方法を用いて絶縁部 20 から突出する不要な銅及びバリア層を除去することで図 10 のような状態が形成される。これにより、孔部 H 1、H 2 内部に導電部材である銅が埋め込まれると同時に溝 28 内に配線 41 が形成され、更に配線直下の接続孔 35 内に、第 1 の層と第 2 の層とを導通させる接続プラグ 42 が形成される。

30

【 0 0 4 7 】

第 3 の回路層以降についても同様に行なわれ、接続端子は各層の配線及び層間を接続する接続孔の形成と同時に一層ずつ継ぎ足す形で形成される。

そして、これ以降の工程は上記第 1 実施形態と同様であるため、その説明を省略する。

40

【 0 0 4 8 】

したがって、本実施形態でも、回路部 16 を形成する際に同時に接続端子 24 が形成されるため、従来の方法に比べて効率よくチップを製造できる。また、本実施形態では、各層の配線だけでなく、層間を接続する接続プラグ 42 も接続端子 24 と同時に形成されるため、このプラグの形成工程を別工程とする上記第 1 実施形態の方法に比べて更に製造効率を高めることができる。

【 0 0 4 9 】

なお、本発明は上述の実施形態に限定されるものではなく、本発明の趣旨を逸脱しない範囲で種々変形して実施することができる。

例えば、上記各実施形態では、基板孔の形成を回路部 16 における一層目の素子を形成し

50

た後としているが、この基板孔 H 2 の形成工程は 2 層目形成以降でも構わない。通常、このような半導体装置は複数の回路ブロックを備えており、上記回路部の配線として、素子近傍の極めて狭い範囲の導通を図るための「ローカル配線」と、単一の回路ブロック内において信号の授受を行なう「セミグローバル配線」と、各回路ブロック間を接続するための「グローバル配線」とを備えている。これらの配線は、ローカル配線、セミグローバル配線、グローバル配線の順に基板側から積層され、又、配線幅もこの順に太くなる。

【0050】

仮に、最も細いローカル配線と、径が 50  $\mu\text{m}$  以上もある接続端子とを同時に形成した場合、孔部 H 1, H 2 内に導電部材を充填する間に配線上に導電部材が厚く形成され、これを CMP (化学的機械研磨) 法等を用いて研磨する工程に長時間を要することとなる。このため、接続端子の形成は、ローカル配線形成工程以降に行なうことが好ましい。つまり、孔部 H 1, H 2 の形成工程はローカル配線形成工程以降に行ない、孔部 H 1, H 2 内への導電部材の充填をセミグローバル配線又はグローバル配線の形成と同時に進めることで、接続端子 24 をより効率的に形成することが可能となる。

10

【0051】

また、上記実施形態では電極パッド 24 a の直下に接続端子を形成した例を挙げたが、パッドと接続端子とを基板上の異なる位置に形成し、これらを再配置配線により接続するようにしてもよい。この場合、強度を高めるために、再配置配線はチップの端に直線で設けることが好ましい。

【0052】

(半導体デバイス、電子機器)

次に、本発明の半導体デバイス及びこれを備えた電子機器について説明する。

図 11 は、本発明の半導体デバイスの一実施形態たる回路基板の概略構成を示す斜視図である。図 11 に示すように、本実施の形態の半導体デバイス 102 は、上記半導体装置 100 が回路基板 101 上に搭載された構成を具備している。回路基板 101 には例えばガラスエポキシ基板等の有機系基板を用いることが一般的である。回路基板 101 には例えば銅等からなる配線パターンが所望の回路となるように形成されており、それらの配線パターンと半導体装置 100 の配線パターンとが機械的に接続され、又は、上述した異方性導電膜を用いて電氣的な導通がとられている。

20

【0053】

また、本実施形態の半導体装置を具備した半導体デバイスを有する電子機器として、図 12 にはノート型パーソナルコンピュータ 201 が示されている。図 12 に示した半導体デバイスは各電子機器の筐体内部に配置される。

30

【0054】

また、電子機器は、上記のノート型コンピュータ及び携帯電話に限られる訳ではなく、種々の電子機器に適用することができる。例えば、液晶プロジェクタ、マルチメディア対応のパーソナルコンピュータ (PC) 及びエンジニアリング・ワークステーション (EWS)、ページャ、ワードプロセッサ、テレビ、ビューファインダ型又はモニタ直視型のビデオテープレコーダ、電子手帳、電子卓上計算機、カーナビゲーション装置、POS 端末、タッチパネルを備えた装置等の電子機器に適用することが可能である。

40

【図面の簡単な説明】

【図 1】本発明の第 1 実施形態の半導体装置の概略断面図。

【図 2】図 1 の半導体装置の一製造工程を示す断面模式図。

【図 3】図 2 に続く、半導体装置の一製造工程を示す断面模式図。

【図 4】図 3 に続く、半導体装置の一製造工程を示す断面模式図。

【図 5】図 4 に続く、半導体装置の一製造工程を示す断面模式図。

【図 6】第 2 実施形態の半導体装置の一製造工程を示す断面模式図。

【図 7】図 6 に続く、半導体装置の一製造工程を示す断面模式図。

【図 8】図 7 に続く、半導体装置の一製造工程を示す断面模式図。

【図 9】図 8 に続く、半導体装置の一製造工程を示す断面模式図。

50

【図10】図9に続く、半導体装置の一製造工程を示す断面模式図。

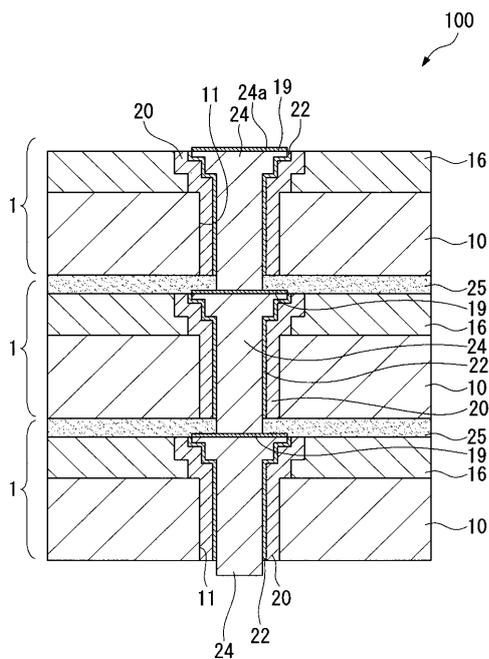
【図11】本発明の半導体デバイスについて概略構成を示す斜視図。

【図12】本発明の電子機器の概略構成を示す斜視図。

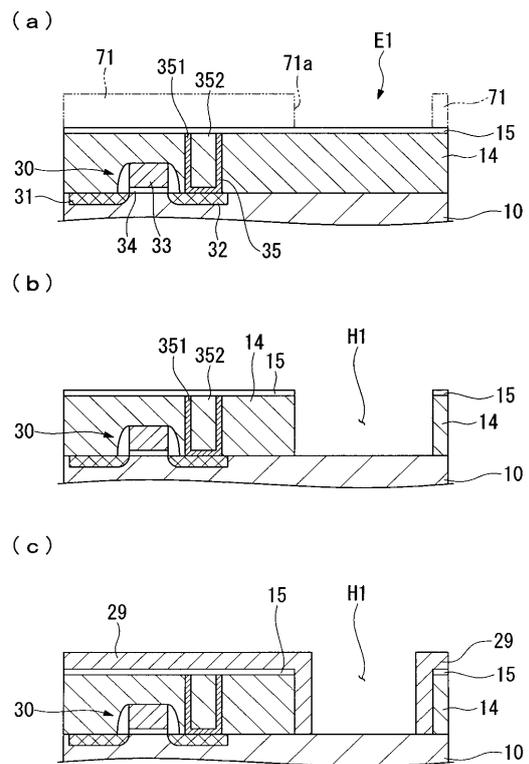
【符号の説明】

1 ... 半導体チップ (半導体装置)、10 ... 半導体基板 (基板)、16 ... 回路部、20 ... 絶縁膜、24 ... 接続端子、24a ... 電極パッド (電極)、28 ... 溝、35 ... 配線接続孔、40 ... 配線、100 ... 三次元実装型半導体装置、102 ... 半導体デバイス、201 ... 電子機器、E1 ... 接続端子形成予定部、H1 ... 開口部

【図1】

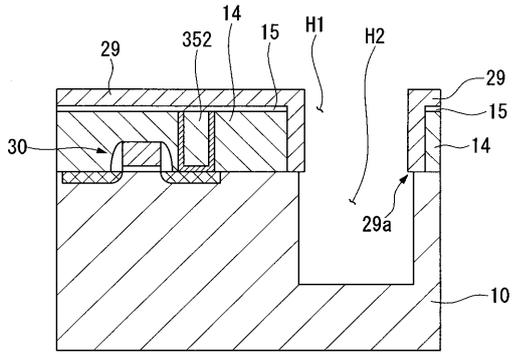


【図2】

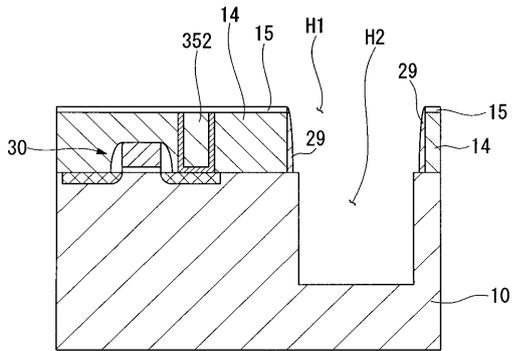


【 図 3 】

(a)

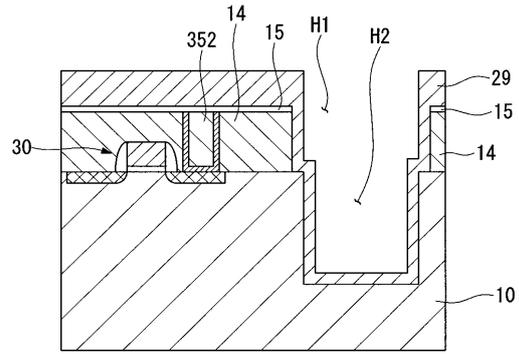


(b)

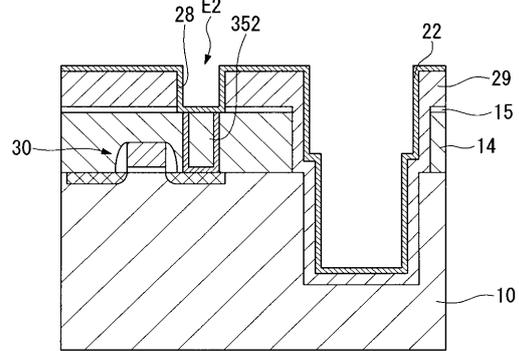


【 図 4 】

(a)

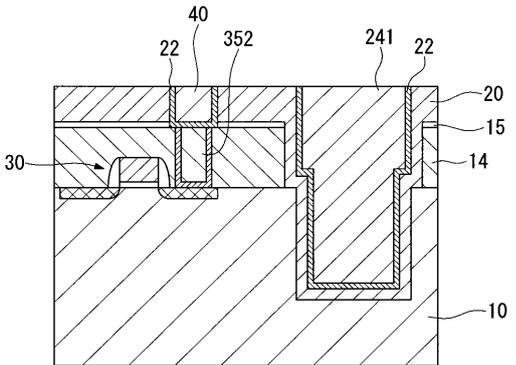


(b)

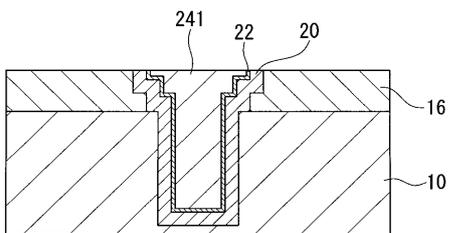


【 図 5 】

(a)

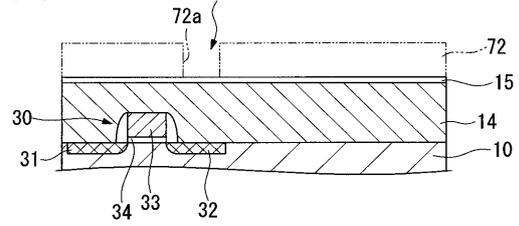


(b)

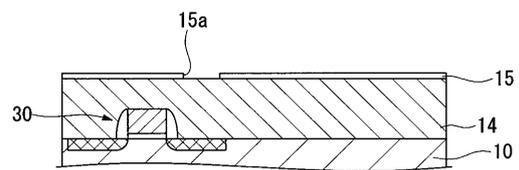


【 図 6 】

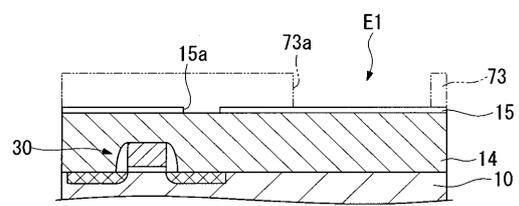
(a)



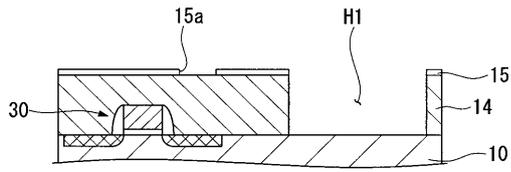
(b)



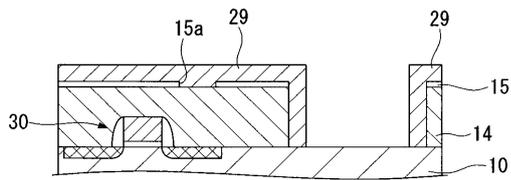
(c)



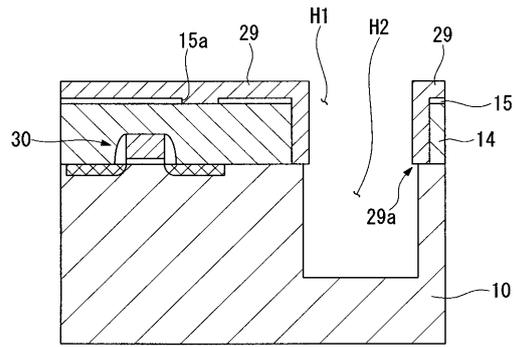
【 図 7 】  
( a )



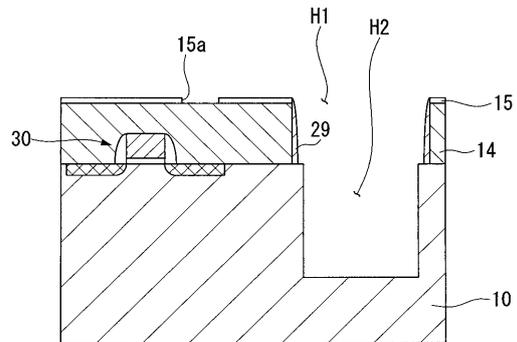
( b )



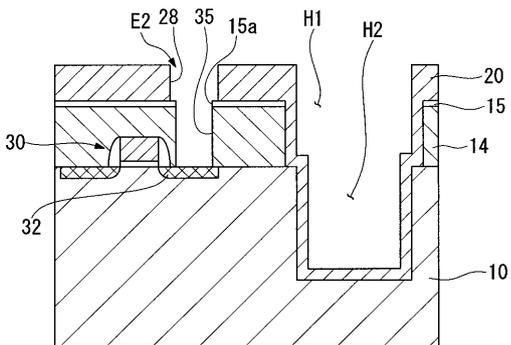
【 図 8 】  
( a )



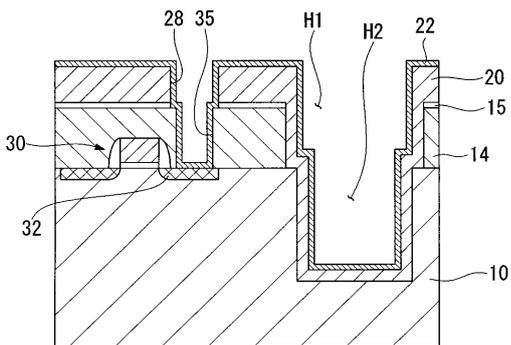
( b )



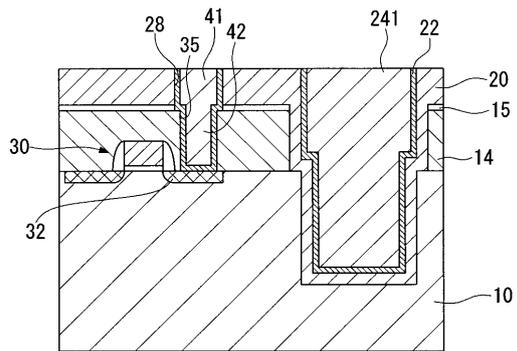
【 図 9 】  
( a )



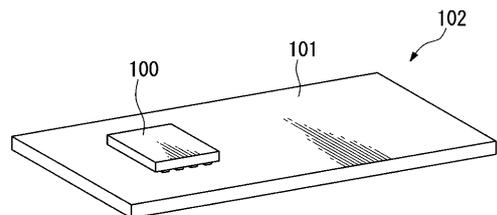
( b )



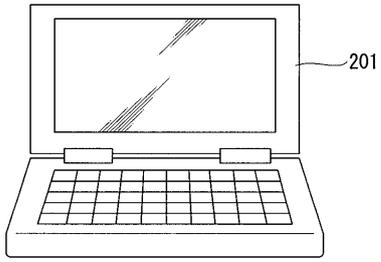
【 図 1 0 】



【 図 1 1 】



【 図 1 2 】



---

フロントページの続き

(51)Int.Cl.<sup>7</sup>

F I

テーマコード(参考)

H 0 1 L 25/18

Fターム(参考) 5F033 HH11 HH32 HH33 HH34 JJ11 JJ18 JJ32 JJ33 JJ34 KK01  
MM01 MM30 NN06 NN07 PP06 PP15 PP26 QQ07 QQ09 QQ13  
QQ16 QQ19 QQ25 QQ28 QQ35 QQ37 QQ48 RR01 RR06 RR15  
SS04 SS15 TT07 XX33