

(43) 国際公開日
2006 年 4 月 27 日 (27.04.2006)

PCT

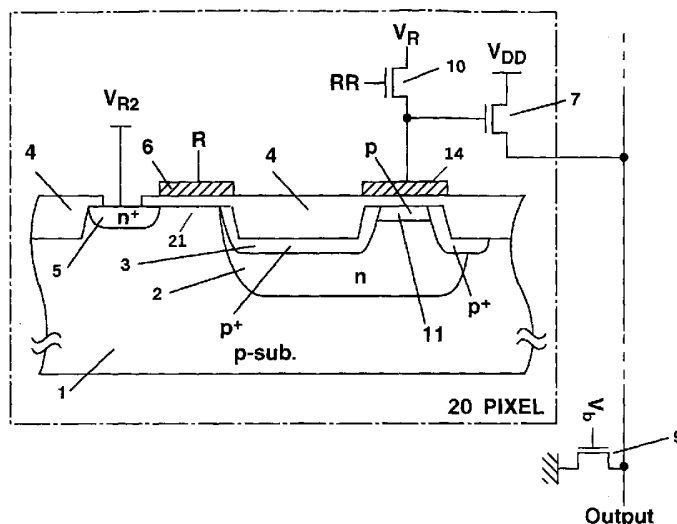
(10) 国際公開番号
WO 2006/043697 A1

- (51) 国際特許分類:
H01L 27/146 (2006.01) H04N 5/335 (2006.01)
- (21) 国際出願番号: PCT/JP2005/019464
- (22) 国際出願日: 2005 年 10 月 18 日 (18.10.2005)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2004-303983
2004 年 10 月 19 日 (19.10.2004) JP
- (71) 出願人 (米国を除く全ての指定国について): 国立大学法人静岡大学 (NATIONAL UNIVERSITY CORPORATION SHIZUOKA UNIVERSITY) [JP/JP]; 〒422-8529 静岡県 静岡市 駿河区大谷 8 3 6 Shizuoka (JP).
- (72) 発明者; および
(75) 発明者/出願人 (米国についてののみ): 川人 祥二 (KAWAHITO, Shoji) [JP/JP]; 〒432-8013 静岡県 浜松市 広沢一丁目 2 2 番 1 2 号 Shizuoka (JP).
- (74) 代理人: 梅村 勁樹 (UMEMURA, Tsuyoki); 〒302-0023 茨城県 取手市 白山一丁目 7 番 3 9 号 Ibaraki (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KM, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD,

[続葉有]

(54) Title: IMAGING DEVICE BY BURIED PHOTODIODE STRUCTURE

(54) 発明の名称: 埋め込みフォトダイオード構造による撮像装置



(57) Abstract: A low noise, low dark current and high sensitivity image sensor realized by burying the charge storage part (2), i.e. the n-type region, of a photodiode in a substrate (1). The interface of silicon and a silicon oxide film (4) is covered with a high concentration p layer (3) and a p layer (11) of relatively low concentration is formed only at a part directly under a floating electrode (14) for taking out a signal. Electrons generated by light are stored in the charge storage part (2), i.e. the n-type region, and potential is varied at the part of the p layer (11) on the semiconductor surface. The potential variation is transmitted by capacitive coupling to the floating electrode (14) brought into floating state through a thin insulating film. Potential variation of the floating electrode (14) is read out by a buffer transistor (7). Initialization of charges is carried out by applying a high positive voltage to a gate electrode (6) by a control signal R, and generation of reset noise is prevented by transferring all the electrons stored in the charge storage part (2) of the photodiode to an n+ region (5).

(57) 要約: 低雑音で、暗電流が少なく、高感度なイメージセンサを実現するために、フォトダイオードの電荷蓄積部(2)であるn型領域が基板(1)中に埋め込まれている。シリコンとシリコン酸化膜(4)の界面は、高濃度のp層(3)で覆

[続葉有]



WO 2006/043697 A1



SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

規則4.17に規定する申立て:

- 出願し及び特許を与えられる出願人の資格に関する申立て (規則4.17(ii))

- 先の出願に基づく優先権を主張する出願人の資格に関する申立て (規則4.17(iii))

添付公開書類:

- 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

れ、信号取りだし用浮遊電極(14)の直下の部分だけ、比較的低濃度のp層(11)を形成する。光により発生した電子は、電荷蓄積部(2)であるn型領域に蓄積され、それによって半導体表面のp層(11)の部分の電位が変化する。この電位の変化を薄い絶縁膜を介して浮遊状態にした浮遊電極(14)に容量結合により伝える。その浮遊電極(14)の電位の変化をバッファトランジスタ(7)により読み出す。電荷の初期化は、制御信号Rによってゲート電極(6)に正の高い電圧を加えることによって行われるが、このときフォトダイオードの電荷蓄積部(2)に蓄積された電子を全てn+領域(5)に転送することで、リセット雑音の発生を防ぐ。

明 細 書

埋め込みフォトダイオード構造による撮像装置

5 技術分野

本発明は、低雑音で、暗電流が少なく、高感度なイメージセンサを実現する画素部の構造に関するものであり、特にCMOS集積回路工程にいくつかの工程を追加することによって構成するイメージセンサに関する。

10 背景技術

CMOS集積回路の製作工程に光電変換の構造のための幾つかの工程を追加することで実現されるCMOSイメージセンサには、光により発生された電荷を、画素アレイの外に設けた回路に直接読み出す受動型画素方式と、信号電荷蓄積に伴う電圧変化を画素内にもうけたトランジスタを介在して画素アレイの外の回路に読み出す能動型画素方式とがある。能動型画素方式の方が、低雑音、高感度にできるとされている。また、能動型画素方式としては、電荷蓄積に伴うフォトダイオードの電位変化を直接トランジスタを介して読み出す方式と、画素内でフォトダイオードから浮遊拡散層に電荷転送を行い、浮遊拡散層の電位変化をトランジスタを介して読み出す方式がある。

20 後者の例が、以下の文献に開示されている。

1) テー スアン リー他、"ピン光ダイオード集積能動画素センサー" 特開平
8-335688号公報

後者の画素の構造と回路の例を、図1に示す。

p型半導体シリコンを基板(1)とし、フォトダイオードとなる部分に電荷蓄積
25 部(2)としてのn型領域が形成され、その表面にさらに基板と同極性のp型領域

2

である高濃度のp層(3)を形成することで、電子の蓄積が行われる部分が半導体内部に埋め込まれ、表面が逆極性のキャリア(電子を蓄積する場合にはホール)で満たされるようにすることで、暗電流を非常に小さくしている。

また、電荷蓄積部(2)を転送トランジスタに接続し、そのゲート電極(6')の
5 制御信号TXの電位を高くしてゲートを開き、n型の浮遊拡散層(FD)(15)に蓄積された電荷を完全に転送するように構成する。このことによって残留電荷による残像とノイズの発生をなくし、電荷転送と、周辺回路への読み出し動作を組み合わせて、相関2重サンプリング処理を行うことによって、リセットノイズをキャンセルすることができる。

10 読み出しは、浮遊拡散層(15)にバッファトランジスタ(7)のゲートを接続し、Sに高い電圧を与えることにより画素選択トランジスタ(8)を導通させる。その際にバッファトランジスタ(7)と画素アレイの周辺に設けた電流源トランジスタ(9)とによってソースフォロワ回路が構成され、浮遊拡散層の電位を出力に読み出す。

15 図1の4はシリコン酸化膜による絶縁体(誘電体)、5はリセット用n+領域、6はリセット用ゲート電極である。

このような画素構成は、暗電流とランダム雑音が低く、高感度なCMOSイメージセンサが実現できるため、広く用いられている。しかしながら、このような電荷転送を行う方式では、電荷を蓄積・記憶保持する部分が、フォトダイオード部
20 と浮遊拡散層の2箇所が必要であるため、画素サイズの縮小に伴い、扱える信号電荷量が小さくなり、また、浮遊拡散層での信号振幅を高くしにくいため、電源電圧の低下に伴ってダイナミックレンジが減少することが懸念されている。

一方、前者については、電荷転送を行わない方式であり、扱える信号電荷量については電荷転送方式よりも有利であるが、この場合にはリセット雑音がランダム雑音の主要因となり、ノイズレベルが大きくなり、またフォトダイオードが埋
25

め込み構造にできないため、暗電流も大きくなる。この暗電流を低減する構造として部分的に表面に p 型半導体を形成する方法が以下の文献に開示されている。

2) テー スアン リー他、"固体画像センサ用の部分的ピン止めフォトダイオード" 特開平 10-209422 号公報

- 5 この構造の例を図 2 に示す。図 2 に示すような構造では、フォトダイオードの電荷蓄積部 (2) である n 型領域の電位を MOS 型バッファトランジスタ (7) のゲートに接続するため、フォトダイオードの n 層の一部が半導体とシリコン酸化膜 (4) の界面に接触し、完全に埋め込まれる場合に比べて暗電流が大きくなる。

【参考文献一覧】

- 10 【特許文献 1】 特開平 8-335688 号公報
【特許文献 2】 特開平 10-209422 号公報

発明の開示

- 従来の電荷転送を行わない構造でも、フォトダイオードに蓄積される電荷を初期化する際に、n 型領域を完全に空乏化し、全ての電子を一時的に、リセット用電源 VR に接続された n 型拡散層に抜き去ることができれば、リセットノイズが発生しないようにすることができる。しかしながら、図 2 の構造では、n 層を金属配線に接続するため、その部分には、高濃度のドナー不純物を導入する必要があり、非常に電子濃度の高い層が存在する。この非常に高濃度の n 型層が存在する
- 15 ために、完全空乏化することはできず、リセットノイズが発生する。
- 20

本発明は、従来の構造における課題、十分な蓄積信号量と、リセット雑音除去、低暗電流、高感度といった性能と両立することができる画像構造を提供するものである。

- 25 図面の簡単な説明

4

第1図は、埋め込みフォトダイオードを用いた電荷転送型画素回路(従来技術1)を示す図である。

第2図は、部分的にホールでピンニングする画素構造の例(従来技術2)を示す図である。

5 第3図は、埋め込みフォトダイオードと浮遊電極の電荷検出による画素構造(p層形成)を示す図である。

第4図は、埋め込みフォトダイオードと浮遊電極の電荷検出による画素構造を示す図である。

10 第5図は、埋め込みフォトダイオードと浮遊電極の電荷検出による画素構造(pチャンネルMOSトランジスタを一部使用)を示す図である。

第6図は、イメージセンサ全体の構成を示す図である。

第7図は、図3の構造における読み出し動作タイミングを示す図である。

第8図は、浮遊電極による信号検出の原理図である。

第9図は、浮遊拡散層を用いた画素構造を示す図である。

15 第10図は、図9の構造における読み出し動作タイミングを示す図である。

第11図は、浮遊2重拡散層を用いた画素構造2を示す図である。

第12図は、蓄積電荷のあふれ出しを示す図である。

第13図は、入射光量(対数)に対する蓄積電荷量を示す図である。

第14図は、高輝度時の黒反転を避けるための動作タイミングを示す図である。

20 図中の符号1は、p型半導体シリコン基板、2は、電荷蓄積部(n型領域)、3は、p型領域、4は、シリコン酸化膜、5は、n+領域、6は、ゲート電極、7は、バッファトランジスタ、8は、画素選択トランジスタ、9は、電流源トランジスタ、10は、初期化用転送トランジスタ、11は、低濃度p層、12は、ホール・ピンニング領域、13は、pチャンネルMOSトランジスタ、14は、浮遊電極、15は、浮遊拡散層を示している。

25

発明を実施するための最良の形態

本発明は、フォトダイオードの電荷蓄積部としてのn型領域をp型半導体シリコンからなる基板中に埋め込み、この領域から容量結合により非接触で信号を取り出す。n型領域には高濃度のn型層が存在せず、リセット時にn型領域を完全に空乏化し、全ての電子を一時的に、リセット用電源に接続されたn型領域に抜き去ることができる。

【実施例1】

図3に、その構造例を示す。

これは信号電荷を画素内で転送せずに直接フォトダイオードの電位を検出する方式に基づいている。フォトダイオードの電荷蓄積部(2)であるn型領域が基板(1)中に埋め込まれている。シリコンとシリコン酸化膜(4)の界面は、高濃度のp層(3)で覆われており、信号取りだし用浮遊電極(14)の直下の部分だけ、比較的low濃度のp層(11)を形成する。光により発生した電子は、電荷蓄積部(2)であるn型領域に蓄積され、それによって半導体表面のp層(11)の部分の電位が変化する。この電位の変化を薄い絶縁膜を介して浮遊状態にした浮遊電極(14)に容量結合により伝える。その浮遊電極(14)の電位の変化をバッファトランジスタ(7)と、画素アレイの外に設けた電流源トランジスタ(9)とによりソース・フォロワ回路を形成し、読み出す。電荷の初期化は、制御信号Rによって第1の転送トランジスタ(21)のゲート電極(6)に正の高い電圧を加えることによって行われるが、このときフォトダイオードのn型半導体領域である電荷蓄積部(2)に蓄積された電子が全てn+領域(5)に転送されるように製作することで、リセット雑音の発生を防ぐことができる。

浮遊電極(14)の直下の部分の比較的low濃度のp層(11)は、そのp型領域の濃度と深さを、浮遊電極に与えた電圧によってp層半導体表面にホールが誘起し、

6

また光によるキャリアを初期化した際には、浮遊電極の電位が蓄積された電子の量に依存して大きく変化するように設定することが好ましい。

さらには、信号蓄積時に、浮遊電極の電位が0 Vにおいても、浮遊拡散層下の半導体表面にホール(または電子)が誘起されるようにp型領域の濃度と深さを定めることにより暗電流を低減することができる。

この濃度は実験的に定められるが、濃度が濃いと半導体表面をホールで満たしやすい代わりにn層の電位が浮遊電極に伝わりにくくなる。濃度が低いとn層の電位が浮遊電極に伝わりやすいが、半導体表面をホールで満たすのが難しくなる。深さについても、深すぎるとn層の電位を伝えにくくなる代わりに、半導体表面をホールで満たしやすくなる。浅いとその逆である。

これらにはキャリアの密度及び移動度が関係すると考えられ、浮遊電極の初期化電圧、制御信号のパルス幅や周期なども影響する。濃度は、 10^{15} から 10^{18} の間とするのが好ましく、深さは、各濃度において実験的に定めることが望ましい。

浮遊拡散層を用いた検出の場合は、その拡散層の電位を読み出し用MOSトランジスタのゲートに接続するために高濃度のn型拡散層を形成する必要があるが、図3の場合には、絶縁物(シリコン酸化膜)を介して浮遊電極(14)により検出するため、高濃度のn型拡散層を形成する必要がある。これによって2つの利点が生じる。1つは、高濃度の拡散層を形成しないため、蓄積電荷の初期化の際、n型領域が完全に空乏化する構造とすることができることであり、もう1つは、VRに0 Vまたはわずかな負電圧(例えば-0.3 V)を与えておくことで、フォトダイオードのn型層の表面全体をホール(正孔)で満たすことができ、暗電流を低減することができることである。

また、図4のように、浮遊電極直下のp層を省略し、0 Vまたは小さな負電圧であっても、n型半導体表面の領域にホールが蓄積するような仕事関数をもった

浮遊電極(例えば、 $p+$ にドーピングされたポリシリコン)を用いて、光により発生する電荷蓄積を行っている間、ホール・ピンニング領域(12)の部分にホールを誘起するようにしておく方法も考えられる。

さらに、図5に示すように電荷蓄積時に浮遊電極の電圧を比較的大きな負の電圧で保持しておくため、 p チャネルMOSトランジスタ(13)を用いる方法もある。 p チャネルMOSトランジスタであれば、 V_R として負の電圧を与え、浮遊電極に負の電圧を与えることができる。ただし、その場合、トランジスタ(13)をオンするために、 R_R には負の電圧を与えなければならない。

次に、図3に対して、動作タイミングを含めた具体的な動作について説明する。
図3に示す構造を画素(20)に用いたイメージセンサ全体の構成例を図6に示す。
図7は、1水平行に対するタイミング図である。

前のフレームの読み出し時の電荷のリセット後、図7に基づく読み出しが行われるまでの期間、信号電荷の蓄積が行われているものとする。蓄積時には、 V_R を0V(またはわずかの負の電圧)に保ち、 n 型半導体表面のホール・ピンニング領域(12)にホールを誘起してピンニング状態にしておく。読み出しのために、一旦、電圧を2V程度の高い電圧にして、浮遊電極(14)の電圧(V_{FG})の初期電圧を設定し、その後 R_R を0Vにして、第2の転送トランジスタ(10)をオフにすることで、浮遊電極(14)を浮遊状態にする。

浮遊状態になったときの V_{FG} を V_{FGR} とする。そのレベルを、図6のブロック図のカラムに設けた相関2重サンプリング回路(CDS)(16)において、信号 ϕ_R によってリセットレベルをサンプルする。その後、リセット信号 R を与えて第1の転送トランジスタ(21)のゲートを開き、 V_p の部分に蓄積されている電子をリセット動作により完全に抜き去る。このとき、蓄積された電子による電荷を Q_n とする。これにより、半導体内部の n 領域の電位分布が変化するが、その変化が浮遊電極側に伝えられ、このときの浮遊電極の電位を V_{FGS} とする。この動作

を解析するためのモデル図を図 8 に示す。図 8 において C_{ox} は、浮遊電極下の酸化膜容量、 C_D は、空乏層容量、 C_s は、浮遊電極に寄生する容量である。 C_s や C_D は電圧依存性をもつが、いま簡単化のため、これらが一定であるとする。

VFGS と VFGR は次式のように表される。

5 【数 1】

$$V_{FGS} - V_{FGR} = \frac{C_{OX} Q_n}{C_S (C_D + C_{OX}) + C_{OX} C_D} \quad (1)$$

このように近似的には、浮遊電極の電圧変化は、 Q_n に比例することがわかる。ただし、ここでは空乏層容量が変化しないという仮定を入れているが、実際には変化することを考慮に入れなければならない。式(1)から、明らかなように感度を高くするためには、浮遊電極に寄生する容量を小さくすることが必要であり、仮に無視できるぐらいに小さくできたとすれば、

10 【数 2】

$$V_{FGS} - V_{FGR} = \frac{Q_n}{C_D} \quad (2)$$

となり、電子が蓄積されたことによる半導体内部の電位変化が直接、浮遊電極で
15 検出できることがわかる。

この VFGS の電位はソースフォロワを経由して、図 6 の CDS 回路(16)において、 ϕ_S を与えることで、サンプルする。CDS 回路内の容量に記憶されたり
20 セットレベルと信号レベルの電圧は水平走査によって最終段のアンプで差分が求められて出力される。図 6 における 17 は画素(20)をスキャンするための垂直シフトレジスタであり、18 は CDS 回路(16)をスキャンするための水平シフトレジスタであり、19 は CDS 回路(16)の 2 出力の差分を得るためのアンプ

である。

なお、図6は、あくまで1構成例を示すものであり、CDS回路に別の回路を用いたり、あるいはカラムにA/D変換器のアレイを用いてデジタル信号に変換して読み出すなど、様々な構成が可能であり、本発明の画素回路が、これらの
5 周辺の構成を限定するものではない。

画素回路構成としては、いろいろと変形が可能である。たとえば、ソースフォロワ用のバッファトランジスタ(7)に直列に画素選択トランジスタ(8)を追加して、画素の読み出し選択を行ってもよい。ソースフォロワにpチャネルのMOSトランジスタを用いることもできる。さらにソースフォロワにディプリーション
10 型のトランジスタを用い、これに直列に画素選択用MOSトランジスタを追加する構成も考えられる。

また、図3から図5はp基板上にn層と表面にp層を形成する場合であるが、n基板上にp層と表面にn層を形成するような逆の構造も当然可能であり、これらを排除するものではない。

さらに、図3から図5は、素子分離方式として、STI (shallow trench Isolation)構造を想定してかかれたものであるが、その他の素子分離構造、例えばLOCOS (local oxidation of silicon)などに対して殆ど同様な構造で実現可能であることはいうまでもない。
15

【実施例2】

上で説明した浮遊電極の代わりに、フォトダイオード上に逆極性の不純物を導入して形成した浮遊拡散層を用いる方法を説明する。その構造図を図9に示す。図9(a)は上面図であり、図9(b)は切断線x-xによる断面図である。p型の基板(1)は0Vに接続されているものとする。電荷蓄積層(2)とn+領域(5)の境界に設けられたゲート電極により第1の転送トランジスタ(21)が、低濃度のp
20 層(22)に設けられたゲート電極(6)により第2の転送トランジスタ(10)が構
25

成されている。電位 V_R が与えられる $p+$ 領域は、制御信号 RR が供給されるゲート電極(6)の周囲を取り囲むように配置されるが、製造上の都合により、一部において配置されない。

図10は読み出し動作タイミングを示している。第2の転送トランジスタ(10)のゲート電極に接続された RR 及び第1の転送トランジスタ(21)のゲート電極に接続された R に、 $0V$ または負の電圧を与えるとその直下の半導体表面にはホールが誘起されてゲートが導通し、中央の浮遊拡散層(15)の電位は V_R となる。これによりシリコンとシリコン酸化膜界面の界面準位がホールで満たされ、電子が発生しないので暗電流の発生を抑えることができる。このときフォトダイオードの n 型領域は完全に基板中に埋め込まれた状態になり、その表面はホールで満たされることになる。光により発生した電子の蓄積は、このような状態で行う。これにより、極めて暗電流の発生を少なくすることができる。

その後 RR の電圧を高くする。これによりその直下の半導体を空乏化し、中央の p 型浮遊拡散層(15)を浮遊状態にする。このときの浮遊拡散層(15)の電圧を、第1の電圧レベルとして、外部に読み出す。次いで、 R に高い電圧を与え、電荷蓄積部(2)である n 型領域に蓄積された電荷を全て、電位 V_{R2} である $n+$ 領域(5)に転送する。このとき、電子が電荷蓄積部(2)である n 型領域からドレインである $n+$ 領域(5)に吐き出されることによって、電荷蓄積部(2)である n 型領域の電位が上昇する。これに伴い浮遊した中央の p 型浮遊拡散層(15)の電位も上昇する。その電位の変化を、バッファトランジスタ(7)を介して読み出す。これを第2の電圧レベルとする。このとき、電荷蓄積部(2)である n 型領域に電子が蓄積され、中央の p 型浮遊拡散層が浮遊状態になったときの電圧レベル(第1の電圧レベル)と、電荷蓄積部(2)である n 型領域の電子を全て吐き出し、空にした状態での p 型浮遊拡散層の電位を外部に読み出した電圧レベル(第2の電圧レベル)の差を画素から読み出して、それらの差分を求める。これにより、画

素部の固定パターンノイズ、リセットノイズが除去され、信号電荷に比例した出力が取り出される。

浮遊拡散層(15)の電位を読み出すためのバッファトランジスタ(7)は、その読み出す電位を考慮し、図9ではしきい値電圧が負の値をとるディプリーション型を用いている。その電位の範囲によってはエンハンスメント型を使える場合もある。また、画素選択トランジスタ(8)によって読み出す画素を選択し、垂直信号線に接続した電流源トランジスタ(9)と、バッファトランジスタ(7)によって、ソースフォロワを形成し、浮遊拡散層の電位をカラムのノイズキャンセル回路に読み出す。

10 信号読み出し時に、RRを高い電圧にすることによって、中央のp型の浮遊拡散層が浮遊状態になったときの電圧レベルが、ホールが中央の電極に注入されることによって、例えば1V程度まで上昇する場合がある。このような場合、読み出し用バッファトランジスタ(7)としてエンハンスメント型を用いることができ、また画素選択トランジスタ(8)を省略することができる。画素選択トランジスタ
15 を省略した例を図11に示す。

これは、画素選択を、RRによって行っていることに相当し、RRに0Vまたは負の電圧が与えられたとき、中央のp型浮遊拡散層の電位は0Vで固定されるので、読み出し用バッファトランジスタ(7)がカットオフ状態になるためであり、RRに高い電圧が与えられて、浮遊拡散層の電位が上昇すると、読み出し用バッ
20 ファトランジスタ(7)が電流源トランジスタ(9)との組み合わせでソースフォロワとして読み出されるような電圧になるためである。

イメージセンサ全体の構成は、図6と同様であるので、省略する。また、p基板上にn層と表面にp層を形成する場合を例示したが、n基板上にp層と表面にn層を形成するような逆の構造も当然可能であり、これらを排除するものではない。
25 い。

【実施例 3】

本発明の画素デバイスでは、蓄積電荷のあふれ出し特性を利用することでダイナミックレンジの広い画像を得ることができる。図 1 2 は蓄積電荷のあふれ出しを示しており、図 1 2 (a) は、図 3 と同様に画素 (20) の断面を示し、図 1 2 (b) は、断面に対応した位置のポテンシャルを示している。図 1 2 (b) に示すように、リセット信号 R を 0 V にした状態で、非常に強い入射光があった場合には、フォトダイオードに蓄積される電荷がその容量を越え、第 1 の転送トランジスタ (21) のリセットゲート電位を越えてドレインである n^+ 領域 (5) にあふれ出す。このとき、電荷蓄積部 (2) の電荷の増加は抑えられるものの全く変化しないわけではなく、図 1 3 に示すように、入射光量に対して対数的に増加する。図 1 3 では、これをわかりやすくするために、横軸を対数でとっている。そのため、あふれ出しの領域になると直線的で小さい傾きで増加する。つまり、この電荷があふれ出す領域では、蓄積される電荷、及びその電荷に比例する読み出される信号電圧は、非常に広い範囲の光量に対して、対数的に応答し、この対数応答領域も含めて読み出すことで、ダイナミックレンジの広い映像信号を得ることができる。

このあふれ出しが起こる電荷量は、蓄積時に保持するリセット信号 R の電位によって制御でき、1. 0 V 程度にしてあふれ出しやすくすることも考えられる。また、画像の平均輝度または最大輝度などによって、蓄積時のリセット信号 R の電位を制御することも考えられる。

20 なお、このときに注意しなければならないのは、入射光量が非常に大きいとき、リセット信号 R に高い電圧を与えて、電荷を初期化して、その後信号 R を 0 V に戻したあとで、信号読み出しにサンプリングを行うと、短時間でフォトダイオードに電荷が蓄積し、リセットレベルが変化し、リセットレベルと信号レベルの差をとると差が小さくなり、明暗の逆転が生じる。つまり、非常に明るい領域が黒くなる。これを避けるため、図 1 4 のタイミング図に示したように、サンプリン

5 グ制御信号 $\phi S 2$ を用いて、リセット信号 R を高くしたままでの信号を、図 6 の
カラムに別のサンプル&ホールド回路を設けて記憶し、非常に明るい信号に対し
ては、 $\phi S 2$ でサンプルした信号と ϕR でサンプルした信号との差を求めて出力
とするようにする。また、通常の線形領域の信号は図 7 と同様、 ϕR と $\phi S 1$ で
サンプルした信号との差を求めて出力とする。最終的には、これらを合成してダイ
ナミックレンジの広い画像信号を生成する。これらの合成処理は、イメージセン
サ上でアナログ処理、あるいは A/D 変換後デジタル処理で行ってよいし、イ
メージセンサの外部に読み出して、ハードウェア、ソフトウェアいずれでも実
行できる。

10

産業上の利用可能性

これまで述べた構成により、低雑音で、暗電流が少なく、高感度なイメージセンサを実現できる。

請 求 の 範 囲

1. 埋め込みフォトダイオードと、該フォトダイオードの電荷蓄積部(2)と絶縁体を介して容量結合され浮遊状態にすることができる浮遊電極(14)と、光により蓄積されたキャリアを抜き去って初期化するために前記フォトダイオードの電荷蓄積部に接続された第1の転送トランジスタ(21)と、前記浮遊電極に初期化電位を設定するために初期化電位と前記浮遊電極との間に接続される第2の転送トランジスタ(10)と、前記浮遊電極の電位を読み出すためにそのゲートが前記浮遊電極に接続されたバッファトランジスタ(7)とからなる素子を単位画素とし、該単位画素を1次元または2次元に配置してなる埋め込みフォトダイオード構造による撮像装置。

2. 前記フォトダイオードは、p型(またはn型)半導体基板上にn型(またはp型)半導体領域を形成し、その表面にp型(またはn型)領域が形成され、前記n型(またはp型)半導体領域がその下に埋め込まれた構造とするものであり、前記n型(またはp型)半導体領域表面の一部にはp型(またはn型)領域を形成しないようにし、前記浮遊電極として、このp型(またはn型)領域が形成されていない表面にシリコン酸化膜を介した電極が設けられたものである請求の範囲第1項記載の埋め込みフォトダイオード構造による撮像装置。

3. 前記フォトダイオードは、p型(またはn型)半導体基板上にn型(またはp型)半導体領域を形成し、その表面にp型(またはn型)領域が形成され、n型(またはp型)領域がその下に埋め込まれた構造とし、前記浮遊電極下のn型(またはp型)半導体領域表面の一部にはp型(またはn型)領域を形成し、そのp型(またはn型)領域の濃度と深さを、浮遊電極に与えた電圧によって半導体表面にホール(または電子)が誘起し、また光によるキャリアを初期化した際には、浮遊電極の電位が蓄積された電子(またはホール)の量に依存して大きく変化するよう

に設定することにより、暗電流の低減を図るとともに高い検出感度をもたせるようにした請求の範囲第2項記載の埋め込みフォトダイオード構造による撮像装置。

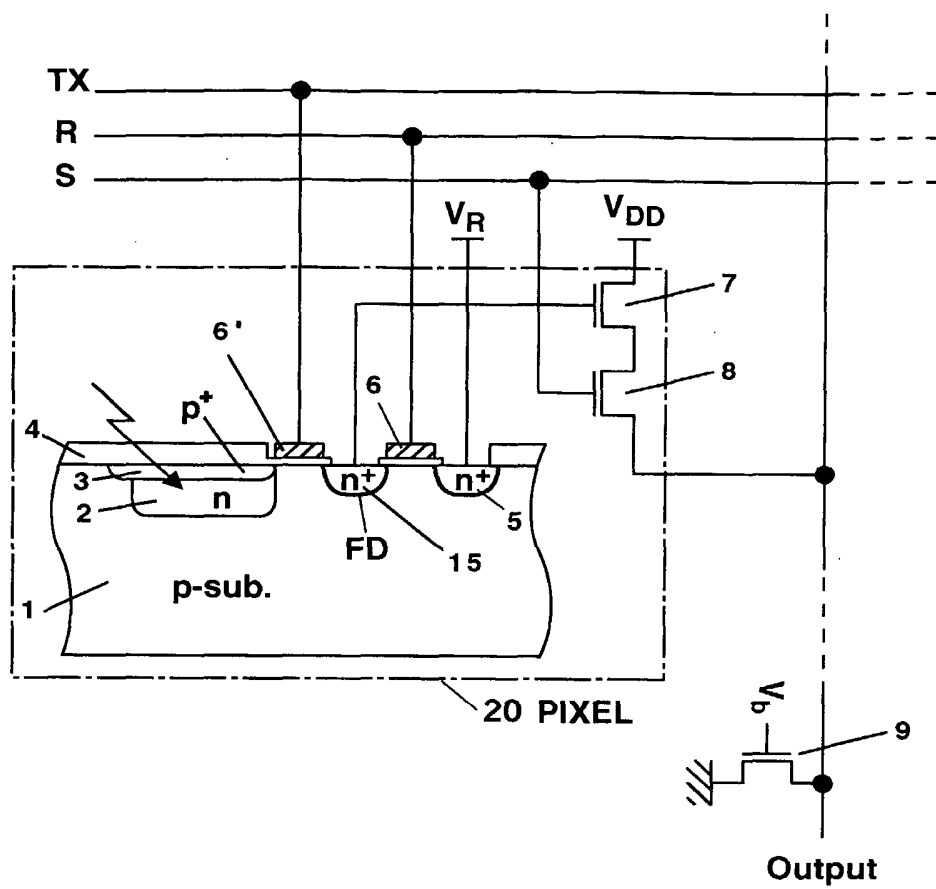
4. 信号蓄積時に、浮遊電極の電位が0 Vにおいても、浮遊拡散層下の半導体表面にホールが誘起されるようにp型(またはn型)領域の濃度と深さを定めることにより暗電流を低減することを特徴とする請求の範囲第3項記載の埋め込みフォトダイオード構造による撮像装置。

5. n型(またはp型)領域からなる埋め込みフォトダイオードと、該フォトダイオードの表面に形成したp型(またはn型)拡散層からなる浮遊拡散層(15)に金属を接触させることで形成した浮遊電極と、光により蓄積されたキャリアを抜き去って初期化するために前記フォトダイオードの電荷蓄積部(2)に接続された第1の転送トランジスタ(21)と、前記浮遊電極に初期化電位を設定するために該浮遊拡散層を取り囲むように形成されたゲートと該ゲートの外側にある一定の電圧が与えられたドレインとからなる第2の転送トランジスタ(10)と、前記浮遊電極の電位を読み出すためにそのゲートが前記浮遊電極に接続されたバッファトランジスタ(7)とからなる素子を単位画素とし、該単位画素を1次元または2次元に配置してなる埋め込みフォトダイオード構造による撮像装置。

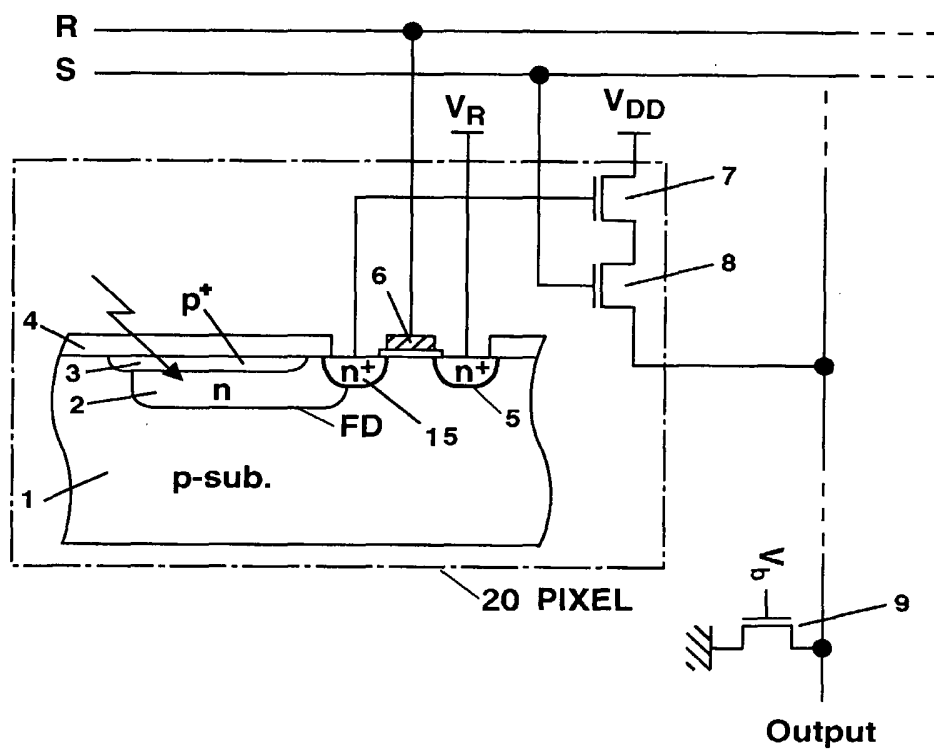
6. p型(またはn型)半導体基板上にn型(またはp型)半導体領域を形成し、その表面にp型(またはn型)領域が形成され、前記n型(またはp型)半導体領域がその下に埋め込まれた構造であるフォトダイオードと、該フォトダイオードの電荷蓄積部(2)と絶縁体を介して容量結合され浮遊状態にすることができる浮遊電極(14)と、光により蓄積されたキャリアを抜き去って初期化するために前記フォトダイオードの電荷蓄積部に接続された第1の転送トランジスタ(21)と、前記浮遊電極に初期化電位を設定するために初期化電位と前記浮遊電極との間に接続される第2の転送トランジスタ(10)とからなる撮像素子の製造方法において、前記第1の転送トランジスタ及び第2の転送トランジスタをCMOS集積回路

- の製造工程により製造するとともに、前記フォトダイオードの基板は、n ウェル、p ウェルどちらも形成しないようにして、低濃度の基板をそのまま用いるようにし、その上にn型(またはp型)半導体層と表面のp型(またはn型)半導体層を形成する工程をCMOS集積回路の製造工程に追加することで前記フォトダイオード
- 5 を形成するようにしたことを特徴とする埋め込みフォトダイオード構造による撮像素子の製造方法。

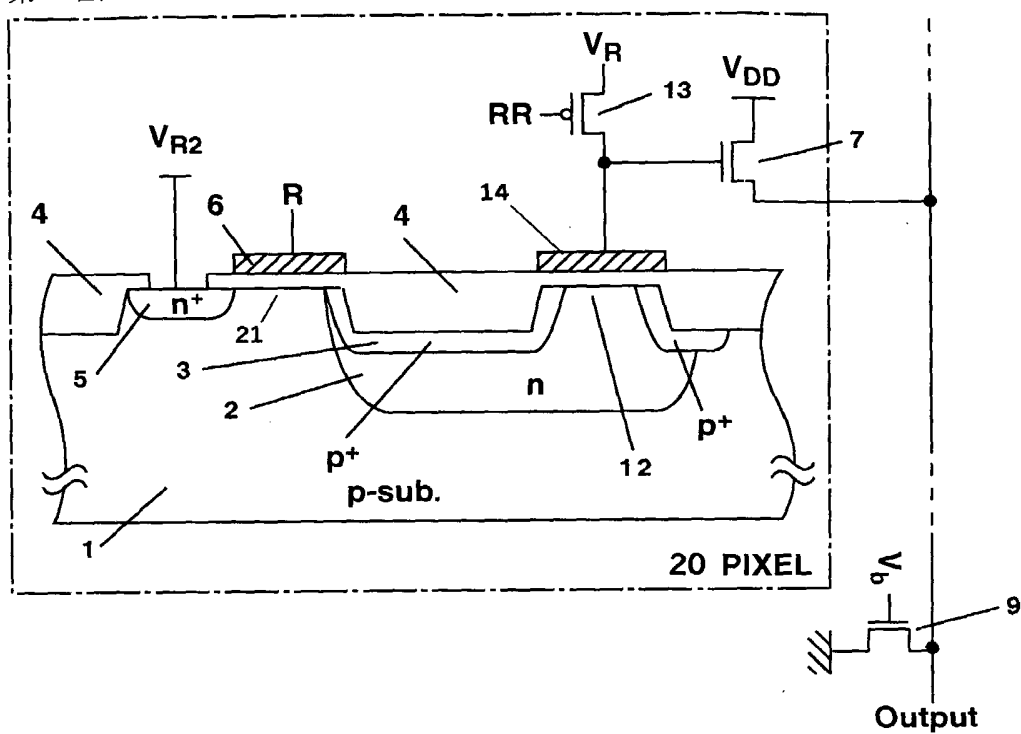
第 1 図



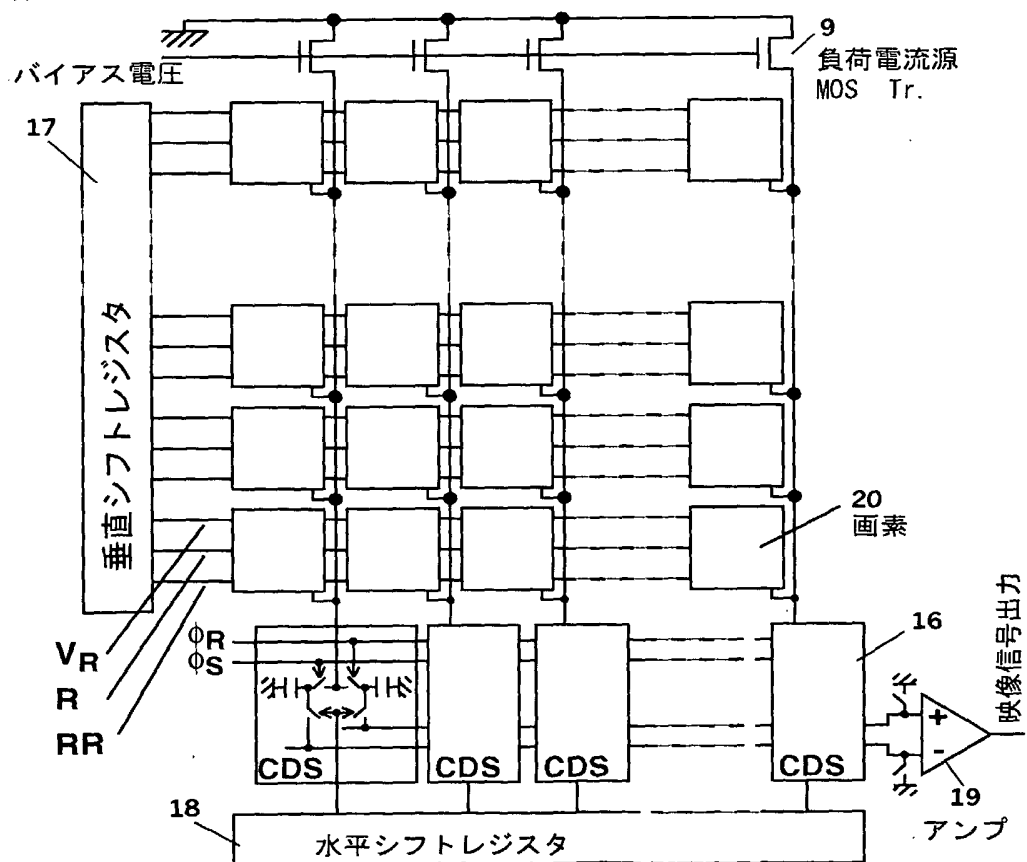
第 2 図



第 5 図



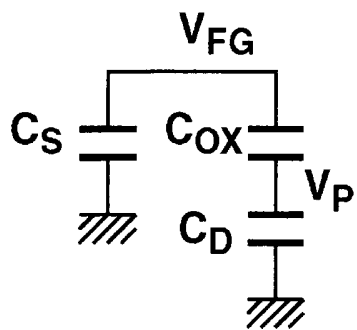
第 6 図



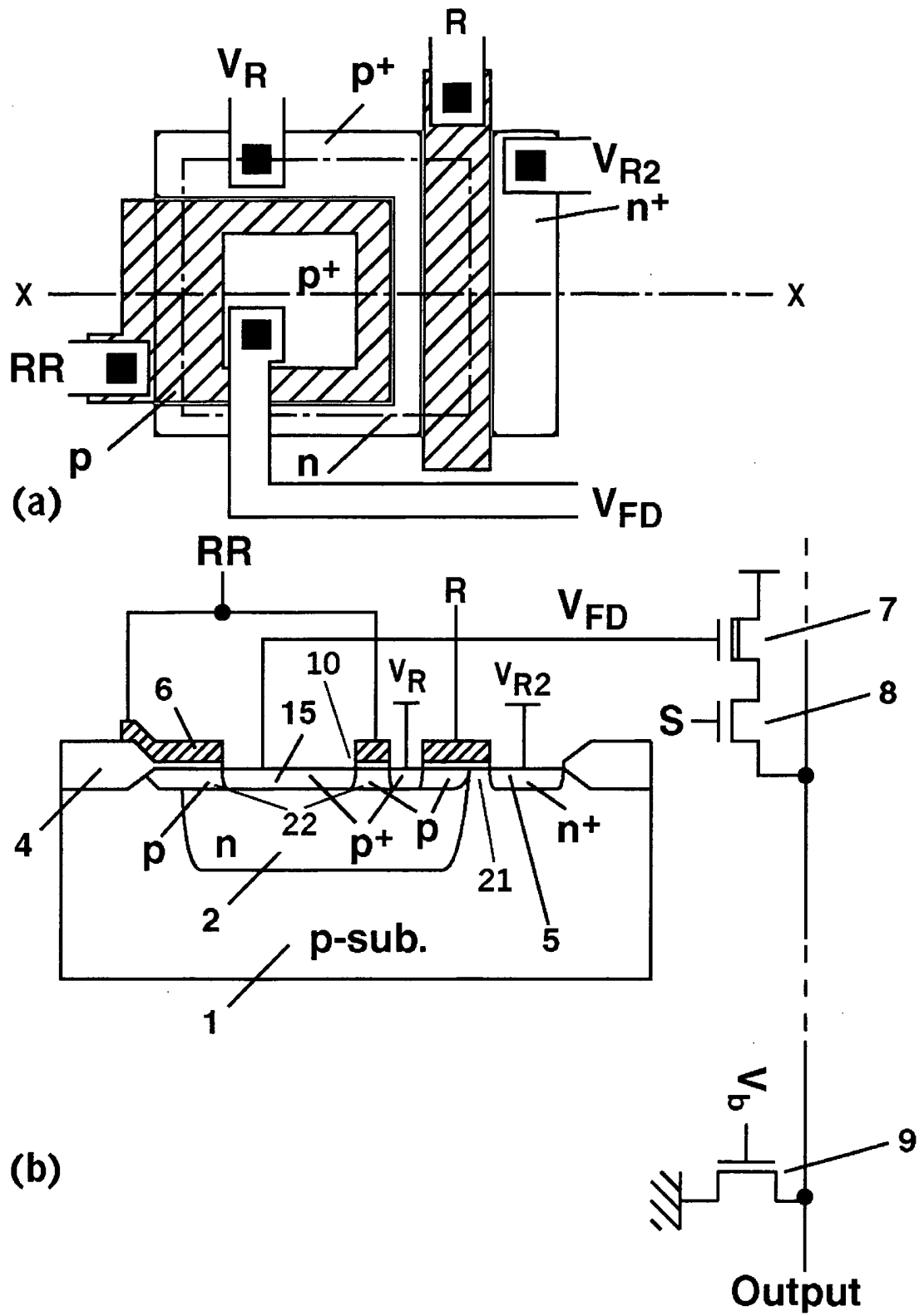
第 7 図



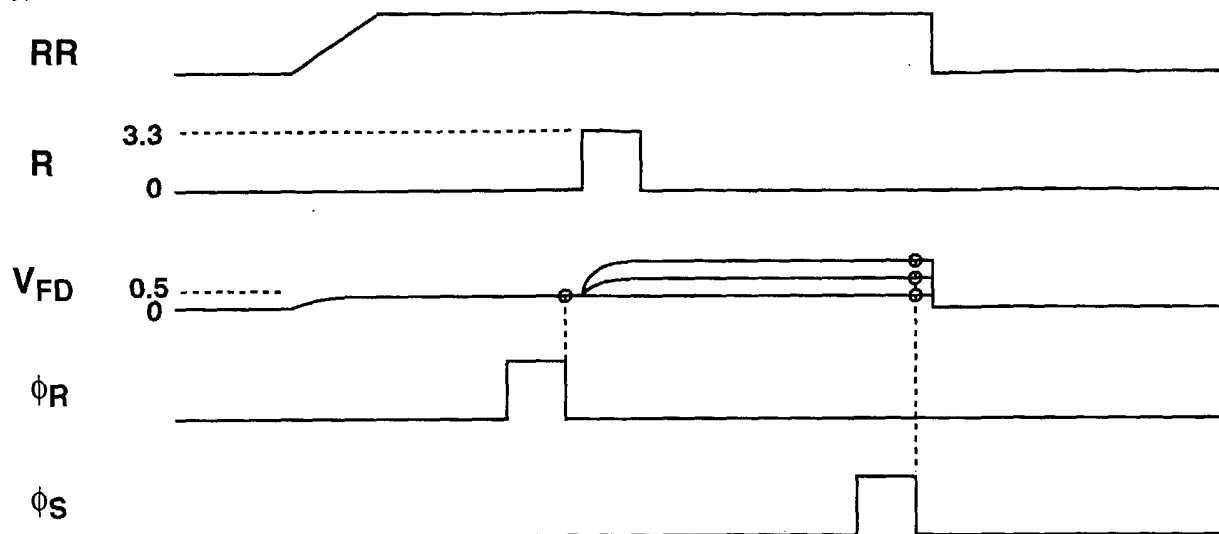
第 8 図



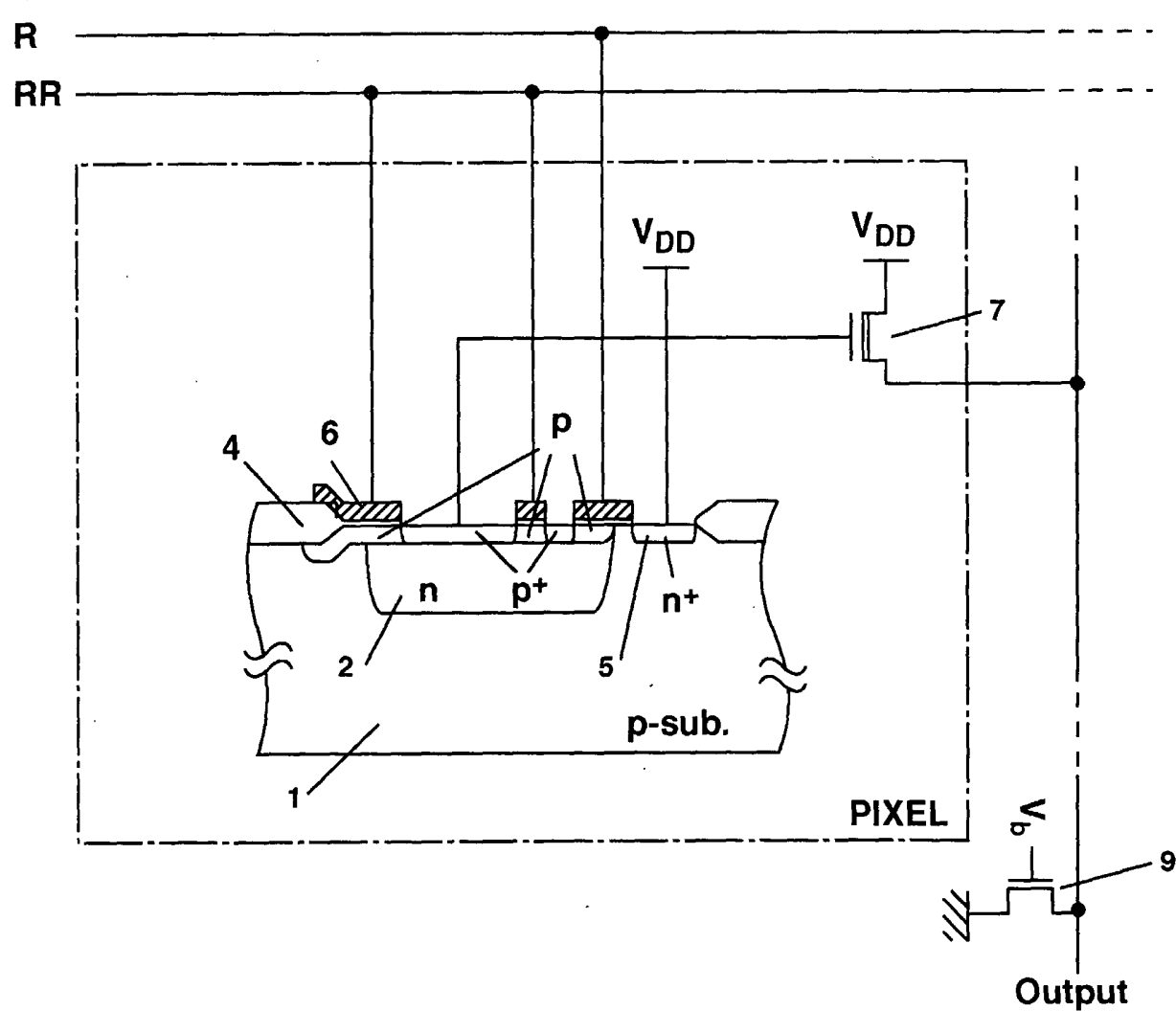
第 9 図



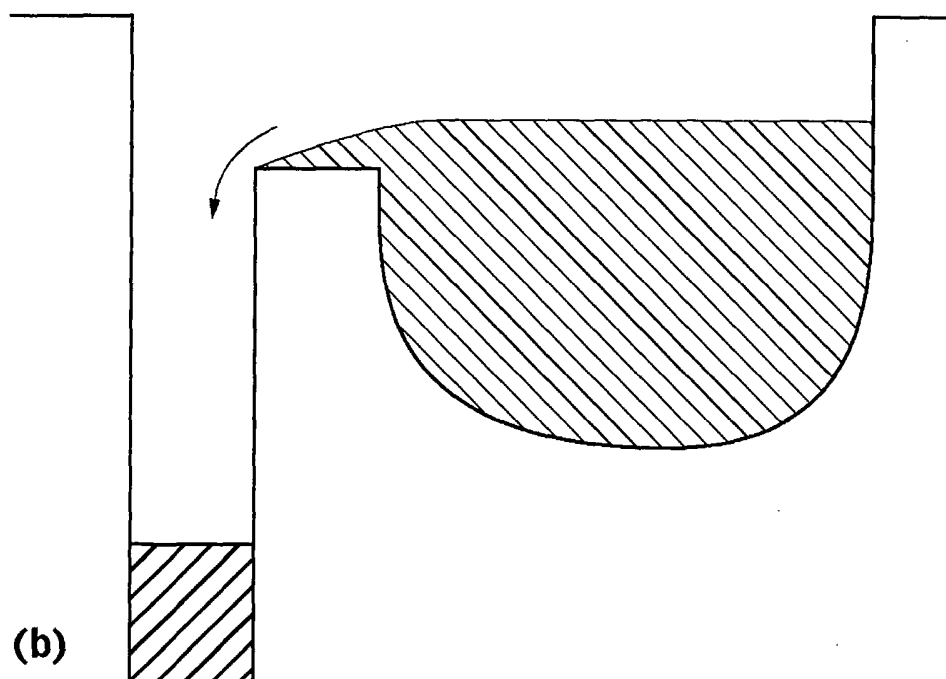
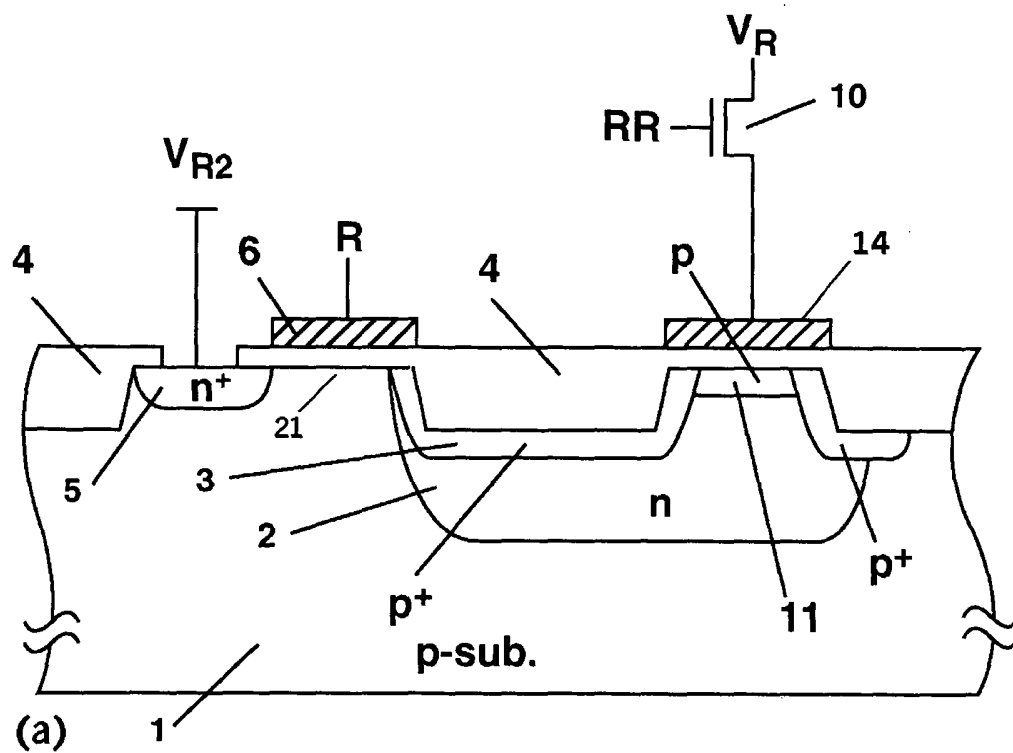
第 10 図

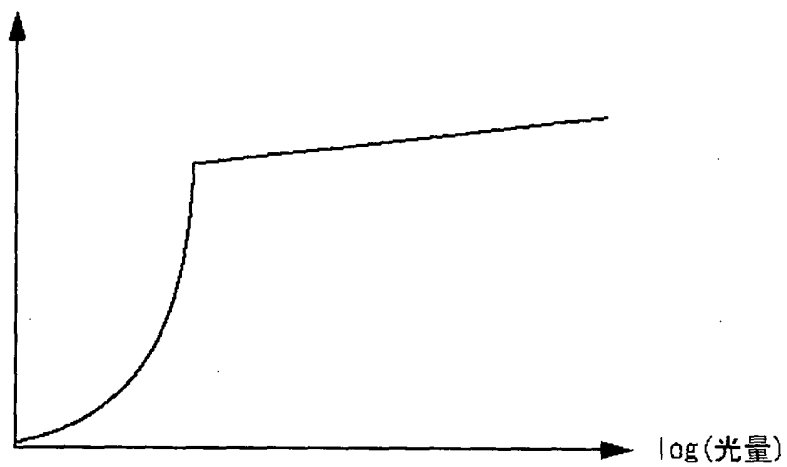


第 11 図

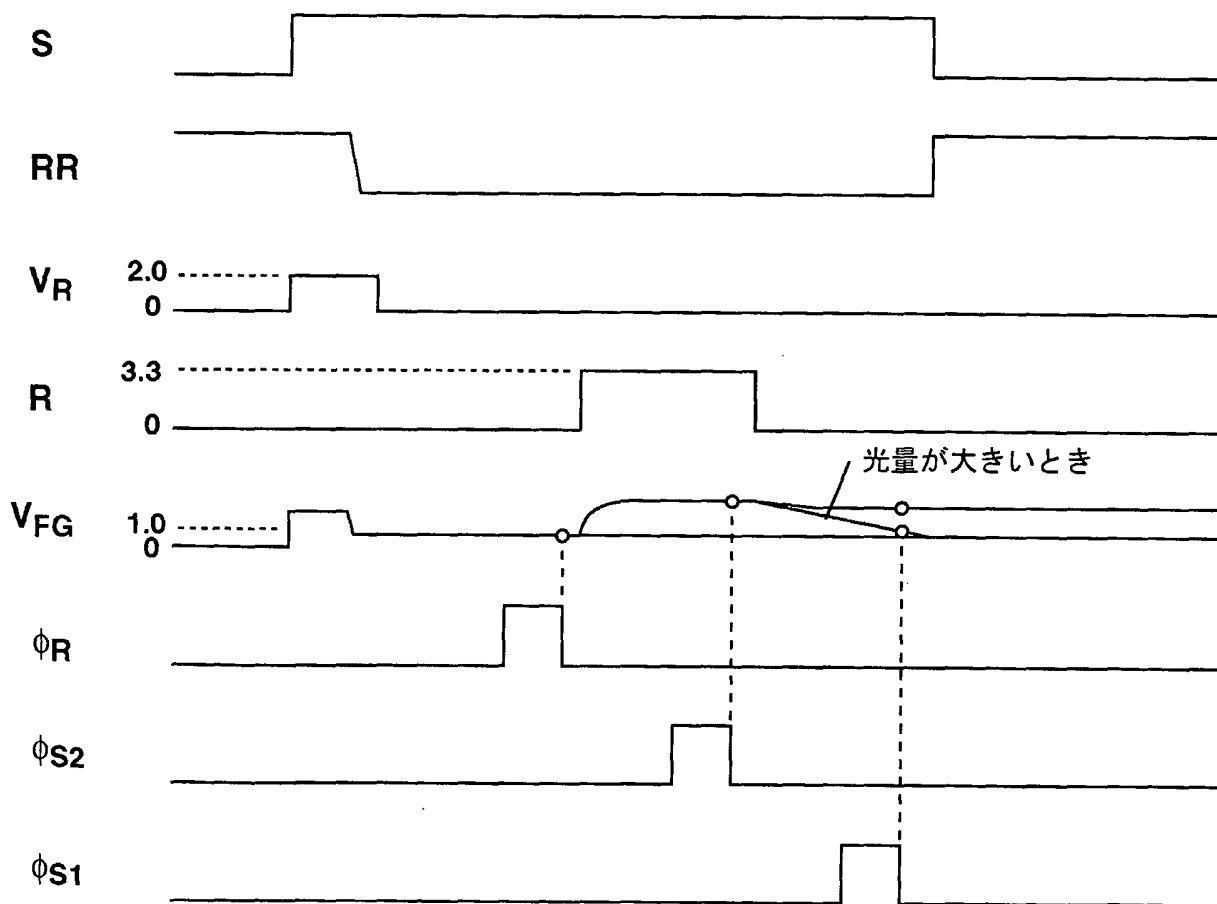


第 12 図



第 1 3 図
信号電荷量

第 1 4 図



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/019464

A. CLASSIFICATION OF SUBJECT MATTER

H01L27/146 (2006.01), **H04N5/335** (2006.01)

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L27/146 (2006.01), **H04N5/335** (2006.01)

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2005
Kokai Jitsuyo Shinan Koho	1971-2005	Toroku Jitsuyo Shinan Koho	1994-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 8-214218 A (AT & T Corp.), 20 August, 1996 (20.08.96), Full text; all drawings & EP 708554 A2 & CA 2156948 A & US 5541402 A	1-6
A	JP 2000-312024 A (Canon Inc.), 07 November, 2000 (07.11.00), Full text; all drawings & EP 1032049 A2 & CN 1268773 A & TW 484235 A & US 2003/57431 A1 & US 2004/312039 A1	1-6
A	JP 6-13597 A (Ricoh Co., Ltd.), 21 January, 1994 (21.01.94), Full text; all drawings (Family: none)	1-6

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
14 November, 2005 (14.11.05)

Date of mailing of the international search report
22 November, 2005 (22.11.05)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類（国際特許分類（IPC））
Int.Cl. **H01L27/146** (2006.01), **H04N5/335** (2006.01)

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））
Int.Cl. **H01L27/146** (2006.01), **H04N5/335** (2006.01)

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2005年
日本国実用新案登録公報	1996-2005年
日本国登録実用新案公報	1994-2005年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリ*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 8-214218 A (エイ・ティ・アンド・ティ・コーポ レーション) 1996.08.20, 全文, 全図 & EP 708554 A2 & CA 2156948 A & US 5541402 A	1-6

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリ

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

14.11.2005

国際調査報告の発送日

22.11.2005

国際調査機関の名称及びあて先

日本国特許庁（ISA/JP）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

柴山 将隆

電話番号 03-3581-1101 内線 3498

4L

3035

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	J P 2000-312024 A (キヤノン株式会社) 2000. 11. 07, 全文, 全図 &EP 1032049 A2 &CN 1268773 A &TW 484235 A &US 2003/57431 A1 &US 2004/312039 A1	1-6
A	J P 6-13597 A (株式会社リコー) 1994. 01. 21, 全文, 全図 (ファミリーなし)	1-6