(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.[6]
H01L 23/488

(11) 공개번호 특1999-0063531
(43) 공개일자 1999년07월26일

(21) 출원번호 10-1998-0059708
(22) 출원일자 1998년12월28일
(30) 우선권주장 8/998,856 1997년12월29일 미국(US)
(71) 출원인 지멘스 악티엔게젤샤프트 피터 토마스
독일 뮌헨 80333 비텔스파허프라쯔 2
(72) 발명자 플리트너, 베른트란트
미국 12533 뉴욕 호프웰 정션 첼씨 코브 1405
플뢰슬, 로베르트
미국 14850 뉴욕 이타카 웨스트뷰 레인 135
그쇠데러, 모니카
미국 12590 뉴욕 와핑거스 폴스 타운 뷰 드라이브 154
(74) 대리인 남상선

심사청구 : 없음

(54) 패드 부식 감소 방법

요약

본 발명은 반도체 제조시 패드 부식을 감소시키는 하드 마스크를 제공하는 방법에 관한 것이다. 하드 마스크는 제 1 및 제 2 하드 마스크층 사이에 에칭 정지층을 포함한다.

대표도

도2

명세서

도면의 간단한 설명

도 1a 내지 도 1d는 깊은 트렌치를 형성하는 통상적인 방법을 도시한다.

도 2는 트렌치 커패시터 DRAM 셀을 도시한다.

도 3a 내지 도 3h는 본 발명의 일실시예에 따른 깊은 트렌치 형성 단계를 도시한다.

* 도면의 주요부분에 대한 부호의 설명 *

101 : 기판	110 : 패드 스택
212 : 게이트	214 : 확산 영역
220 : 워드라인	225 : 노드 확산
261 :폴리실리콘	263 : 노드 유전체
280 : STI	289 : 레벨간 유전체층
290 : 비트라인	

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 반도체 제조 특히, 패드 박막 부식을 감소시키는 방법에 관한 것이다.

집적 회로(IC) 또는 칩 제조시, 하나 이상의 소자층을 포함하거나 또는 포함하지 않는 실리콘 기판 내부를 에칭함으로써 형상이 형성된다. 이러한 형상은 소자 또는 소자의 일부를 형성하는데 사용된다. 예를 들면, 깊은 트렌치(Deep Trench : DT)와 같은 일 형태의 형상이 메모리 셀의 트렌치 커패시터를 형성하는

데 사용된다. 전형적으로, RAM IC 또는 칩을 제조하는 방법에 있어서, 깊은 트렌치 어레이가 기판의 어레이 영역내에서 에칭된다. 다음으로, 트렌치 커패시터가 트렌치로부터 형성된다. 이러한 트렌치 커패시터는 메모리 셀 어레이를 형성하는데 사용되고, 메모리 IC를 형성하기 위해 워드-라인과 비트-라인에 의해 상호 접속된다.

도 1a 내지 도 1d는 트렌치 커패시터 어레이를 형성하는 단계를 도시한다. 도 1a에 도시된 바와 같이, 통상적인 패드 스택(110)이 기판(101) 표면상에 형성된다. 패드 스택은 예를 들면, 패드 산화물(112)과 패드 질화물(114)로 구성된 연속층을 포함한다. 패드 스택 상부에 예를 들면, TEOS를 포함하는 하드 마스크층(116)이 위치한다. 하드 마스크층은 DT를 형성하는데 사용된 하드 마스크와 같은 역할을 한다. 포토레지스트층(도시 안됨)이 하드 마스크 상부에 증착되고 DT가 형성될 어레이내의 영역을 선택적으로 노출시키도록 패터닝된다. 다음으로 기판이 반응성 이온 에칭(Reactive Ion Etching : RIE)에 의해 에칭되어, DT를 형성한다.

RIE는 비-어레이(필드) 영역(130)에서보다 어레이 영역(135)내에서 더 빠른 속도로 하드 마스크층을 부식시켜, 필드 영역과 어레이 영역 사이에 큰 계단형 모양 부분을 형성하게 된다. 다음으로, 적어도 노드 유전체가 형성된 이후, 트렌치가 예를 들면, 고도핑 폴리실리콘(이하 폴리)(150)으로 충진된다. 폴리가 컨포멀(conformal)하기 때문에, RIE 동안 형성된 토포그래피는 폴리층에도 전사된다.

도 1b에서, 화학 기계 연마(Chemical Mechanical Polish : CMP)가 평탄한 표면을 제공하기 위해 수행된다. CMP는 하드 마스크층에 대해 선택적이고, 하드 마스크를 효과적으로 제거함없이 폴리를 제거한다. 도시된 바와 같이, CMP는 어레이 영역내의 폴리를 부식시키고, 그 내부에 함몰부를 형성하게 된다. 이러한 함몰부 형성은 디싱(dishing)이라 불린다. 큰 계단형 모양이 존재하기 때문에, 폴리의 여분이 CMP 이후에 어레이의 에지부(160)에 남겨진다. 도 1c에 도시된 하드 마스크층 스트립핑 이후에, 폴리 귀모양 부분(165)이 DT내의 패드 질화물층 상부에서 돌출한다. 토포그래피의 결과로 인해 이전의 CMP 단계 동안 에지부 내에 남겨진 여분의 폴리 때문에, 어레이 에지부에서의 귀모양 부분이 중앙부 또는 플래토(plateau) 부분(162)내의 귀모양 부분이 더 높다. 예를 들면, 에지부에서의 귀모양 부분의 높이는 대략 2500Å보다 크고, 플래토내의 귀모양 부분의 높이는 대략 1 내지 1500Å범위이다.

폴리 귀모양 부분을 제거하기 위해 마감 처리 CMP가 필요하다. 하지만, 도 1d에 도시된 바와 같이, 마감 처리 CMP는 어레이 영역내의 패드 질화물층의 부식을 초래한다. 게다가, 패드 질화물 부식은 어레이 영역의 플래토 부분보다 에지부 영역에서 더 두드러진다. 이러한 부식은 게이트 임계 전압 및 설계상 변화를 초래하고, 매립형 스트랩 저항을 증가시켜 수용에 역효과를 미친다.

상술한 바에 의해 알 수 있듯이, DT에칭에 사용되는 개선된 패드 스택이 필요하다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명은 집적 회로 제조시 깊은 트렌치를 형성하는 개선된 방법을 제공하는 것을 그 목적으로 한다.

발명의 구성 및 작용

본 발명은 IC 제조에 관한 것이다. 전형적으로, 다수의 IC가 실리콘 웨이퍼와 같은 반도체 기판상에 병렬로 가공된다. 다른 형태의 반도체 웨이퍼 또한 사용가능하다. 웨이퍼는 IC 형성 이후에 다이싱되어, 개별 칩으로 분할된다. 다음으로, 칩은 패키지화되고 집적되어 예를 들면, 소비자 상품이 된다. 이러한 소비자 상품은 예를 들면, 개인용 컴퓨터, 휴대폰 및 다른 전자 제품을 포함한다.

이해를 돕기 위해, 본 발명은 칩의 일부를 형성하는 방법에 관해서 설명될 것이다. 특히, 본 발명은 DRAM 셀과 같은 메모리 셀내에서 사용되는 트렌치 커패시터를 형성하는 방법에 관해서 설명될 것이다. 하지만, 본 발명은 전반적으로 RAM, DRAM, 동기 DRAM(SDRAM) 및 정전 RAM(SRAM)을 포함하는 IC제조에 적용 가능하다. 다른 IC는 프로그램 가능 논리 어레이, 응용 주문형 IC(ASIC) 및 병합형 논리-DRAM(삽입형 DRAM)과 같은 논리 소자를 포함한다.

도 2를 참조하면, 트렌치 커패시터 DRAM 셀이 도시되어 있다. 이러한 DRAM 셀은 예를 들면, 네스빗등의 자가-정렬 매립형 스트랩(BEST)을 가진 0.6㎛^{2} 256Mb 트렌치 DRAM 셀, IEDM 93-627에 개시되어 있고, 이는 여기서 참조를 위해 인용된다. 도시된 바와 같이, DRAM 셀은 기판(101)내에 형성된 트렌치 커패시터(260)를 포함한다. 트렌치는 전형적으로, n-도펀트로 고도핑되는 폴리실리콘(폴리)(261)으로 충진된다. 커패시터의 전극과 같은 역할을 하는 폴리는 저장 노드라 불린다. 선택적으로, n-형 도펀트로 도핑된 매립형 플레이트(264)가 트렌치의 하부를 감싼다. 매립형 플레이트는 커패시터의 제 2 전극을 형성한다. 트렌치의 상부 표면내에 와류 누설을 감소시키기 위해 칼라(168)가 위치한다. 노드 유전체(263)가 커패시터의 두 플레이트를 분리시킨다. n-형 도펀트를 포함하는 매립형 웰(270)이 어레이내의 DRAM 셀의 매립형 플레이트를 접속시키기 위해 제공된다. 매립형 웰 상부에 p-웰(273)이 위치한다. p-웰은 수직 누설을 감소시키는 역할을 한다.

DRAM 셀은 또한 트랜지스터(110)를 포함한다. 트랜지스터는 게이트(212) 및 n-형 도펀트를 구비하는 확산 영역(213, 214)을 포함한다. 확산 영역은 소스와 드레인으로 불린다. 소스와 드레인의 지정은 트랜지스터의 동작에 의존한다. 트랜지스터를 커패시터에 접속시키는 것은 노드 확산이라 불리는 확산 영역(225)을 통해 가능하다. 워드라인이라 불리는 게이트 또한 전형적으로 폴리층(366)과 질화물층(368)을 포함한다. 선택적으로, 층(357)은 폴리층 상부에 워드라인 저항을 감소시키기 위해 몰리부덴($MoSi_x$), 탄탈($TiSi_x$), 텅스텐(WSi_x), 티타늄($TiSi_x$) 또는 코발트($CoSi_x$)와 같은 규화물을 구비하는 폴리사이드층이다.

일실시예에서, 폴리사이드층은 폴리 상부에 WSi_x를 포함한다. 질화물 라이너(369)가 게이트 스택과 기판을 덮는다. 질화물층(368)과 질화물 라이너는 다음 가공에 대한 에칭 정지층 또는 연마 정지층과 같은 역할을 한다.

낮은 트렌치 절연물(Shallow Trench Isolation : STI)(280)이 DRAM 셀을 다른 셀을 다른 소자로부터 절연시키기 위해 제공된다. 도시된 바와 같이, 워드라인(220)이 트렌치 상부에 형성되어 STI에 의해 절연된다. 워드라인(220)은 패싱 워드라인이라 불린다. 이러한 구성은 폴디드(folded) 비트라인 아키텍쳐라 불린다. 개방형 또는 개방형-폴디드 비트라인 아키텍쳐 또는 셀 설계 또한 사용가능하다.

레벨간 유전체층(289)이 워드라인 상부에 형성된다. 비트라인인 도전체층이 레벨간 유전체층 상부에 형성된다. 비트라인 접촉 개구부(286)가 레벨간 유전체층내에 제공되어 소스를 비트라인(290)에 접속시킨다.

다수의 이러한 셀이 어레이내에 형성된다. 셀의 어레이는 워드라인과 비트라인에 의해 상호접속된다. 셀로의 액세스는 셀의 해당 워드라인과 비트라인을 활성화시킴으로써 가능하다.

도 3a 내지 도 3h는 트렌치 커패시터 어레이를 형성하는 단계를 도시한다. 트렌치 커패시터가 형성되는 기판이 제공된다. 기판은 예를 들면, 실리콘 웨이퍼이다. 갈륨 비소, 게르마늄, 절연체상의 실리콘(Sillicon on Insulator : SOI) 또는 다른 반도체 재료와 같은 다른 반도체 기판이 사용가능하다. 기판은 예를 들면, 밀-설정된 도펀트로 고도핑 또는 저도핑되어 원하는 전기적 특성을 얻게 된다.

패드 스택층(310)이 기판 표면상에 형성된다. 패드 스택(310)은 예를 들면, 도 1a에 도시된 것과 같은 통상적인 패드 스택이다. 도시된 바와 같이, 패드 스택은 패드 산화물층(312)과 패드 정지층(314)을 포함한다. 패드 산화물은 열적 산화와 같은 공지된 기술을 사용하여 기판 표면상에 형성된다. 패드 산화물은 응력을 감소시키기에 충분한 두께이고 패드 정지층과 기판 사이의 부착력을 증진시킨다. 패드 산화물층의 전형적인 두께는 대략 10nm이다.

패드 산화물 상부에 패드 정지층이 위치한다. 패드 정지층은 트렌치를 충진하는 재료에 대해 충분히 선택적인 재료를 포함한다. 일실시예에서, 패드 에칭 정지층은 트렌치를 충진하는데 사용되는 폴리실리콘에 대해 비교적 낮은 에칭률을 가지기 때문에 실리콘 질화물(Si_3N_4)을 포함한다. 전형적으로, 폴리와 에칭 정지층 사이의 에칭 선택도는 대략 60 : 1이다. 연마의 경우, 선택도는 대략 300 : 1이다. 질화물층은 예를 들면, 저압 화학 기상 증착(LPCVD)에 의해 형성된다. 질화물층을 증착시키는 다른 기술 또한 사용 가능하다. 전형적으로, 패드 질화물층은 대략 200-220nm이다.

패드 질화물 상부에 하드 마스크층(315)이 형성된다. 본 발명에 따르면, 하드 마스크층은 제 1 및 제 2 하드 마스크층(316, 320) 사이에 에칭 정지층(318)을 가진다. 제 1 및 제 2 하드 마스크층은 충분히 응집한 재료이거나 또는 깊은 트렌치 형성동안 RIE의 이온 가격(bombardment)을 견딜 수 있는 재료를 포함한다. 게다가, 에칭 마스크는 패드 에칭 정지층보다 더 높은 습식 에칭률을 가져야만 한다.
전형적으로, 선택도는 대략 80보다 크다. 일실시예에서, 하드 마스크층은 TEOS와 같은 도핑되지 않은 규화물 유리를 포함한다. 붕소 도핑된 규화물 유리(BSG) 또는 유동성 산화물과 같은 하드 마스크 재료 또한 사용가능하다. 더욱이, 제 1 및 제 2 하드 마스크층이 같은 재료로 구성될 필요는 없다. 제 1 및 제 2 마스크층 사이에 에칭 정지층을 제공함으로서, DT 에칭 동안 형성된 토포그래피는 다음 공정에서 반영되지 않고, 이에 따라 수율을 증가시킨다.

도 3b를 참조하면, 게이트 스택이 통상적인 리소그래피 기술을 사용해 패터닝된다. 이러한 기술은 패드 스택 상부에 포토레지스트층을 증착하는 단계를 포함하고, 이에 의해 노출 소스와 마스크를 가지고 이를 노출시킨다. 포지티브 또는 네가티브 레지스트중 어느 것이 사용되었느냐에 따라, 레지스트층의 노출된 부분 또는 노출되지 않은 부분이 현상 동안 제거되어, 패드 스택 영역을 보호되지 않은 채로 남겨둔다. 보호되지 않은 영역은 트렌치가 형성될 영역이다.

반응성 이온 에칭(RIE)과 같은 에칭이 레지스트에 의해 보호되지 않은 패드 스택내에 개구부를 형성하기 위해 수행된다. 개구부는 하부의 기판을 노출시킨다. RIE는 기판을 에칭하여 DT(305)를 형성할 때까지 계속된다. RIE는 필드 영역(330)에서보다 더 빠른 속도로 어레이 영역(135)내의 제 2 마스크층(320)을 부식시키고, 이들 사이에 평탄하지 않은 토포그래피를 만든다. 제 2 마스크층이 충분한 두께를 가지기 때문에, 에칭 정지층(318)은 노출되지 않는다. 제 2 마스크층의 전형적인 두께는 대략 200-220nm이다. 실제 두께는 예를 들면, RIE 공정 및/또는 형성된 DT의 깊이에 따라 변한다.

선택적으로, 트렌치 하부를 감싸는 확산 영역이 형성되고, 매립형 플레이트와 같은 역할을 한다. 매립형 플레이트의 형성은 기판 내부로 확산하는 도펀트의 소스를 제공하는 것과 같은 여러 공지된 기술에 의해 가능하다. 다음으로 커패시터의 노드 유전체가 트렌치내에 형성된다.

도 3c를 참조하면, 폴리(350)가 DT를 충진하기 위해 증착된다. 폴리는 완전한 충진을 위하여 트렌치를 과도하게 충진한다. 폴리의 과도한 충진은 기판 표면을 덮는 과도한 폴리를 야기한다. 폴리가 컨포멀하기 때문에, 하부에 위치하는 토포그래피는 증착된 층에 반영된다. 이와 같이, 폴리의 표면은 어레이 영역(335) 상부의 함몰부를 포함한다.

도 3d를 참조하면, 과도한 폴리는 예를 들면, CMP에 의해 연마된다. CMP는 제 2 마스크층에 대해 선택적이다. 어레이 영역과 필드 영역 사이에 존재하는 큰 계단형 모양 부분 때문에, 여분의 폴리가 CMP이후 어레이의 에지부(360)에 남겨진다.

도 3e에서, 제 2 마스크가 폴리와 제 2 에칭 정지층에 대해 선택적으로 제거된다. 이는 전형적으로 습식 에칭에 의해 이루어진다. 도시된 바와 같이, 제 2 패드 마스크의 제거는 DT내의 패드 질화물층 상부에서 돌출하는 폴리 귀모양 부분(365)을 남긴다. 토포그래피의 결과 이전의 CMP 동안 에지부에 남아 있는 여분의 폴리 때문에, 어레이 에지부(360)에서의 귀모양 부분의 높이가 중앙부 또는 플래토 부분(362)에서의 높이보다 더 높다.

도 3f를 참조하면, 기판 표면이 예를 들면, CMP에 의해 연마된다. CMP는 에칭 정지층(318)에 대해 선택적이고, 비교적 평탄한 최상부 귀모양 부분을 남긴다. 에칭 정지층은 CMP 에칭 정지층과 같은 역할을 하기에 충분한 두께를 가진다. 에칭 정지층의 전형적인 두께는 대략 20nm이다.

CMP는 도시된 바와 같이 어레이 영역내의 에칭 정지층의 일부를 부식한다. 하지만, 제 1 마스크층(316)

은 패드 정지층이 노출되는 것을 방지하기에 충분한 두께를 가진다. 제 1 마스크층의 두께는 예를 들면, 200-220nm이다. 하지만, 제 1 마스크층은 CMP 실행에 따라 다양한 두께를 가진다.

도 3g를 참조하면, 에칭 정지층과 제 1 마스크층이 제거된다. 에칭 정지층은 예를 들면, 습식 에칭에 의해 이루어진다. 습식 에칭은 또한 정지층(314)과 폴리에 대해 선택적으로 제 1 하드 마스크를 제거하기 위해 사용된다. 도시된 바와 같이, 폴리 귀모양 부분은 비교적 높이가 일정하다.

폴리 귀모양 부분은 연마 정지물로서 패드 정지층을 사용하는 CMP에 의해 제거된다. 도 3h에 도시된 바와 같이, CMP는 실질적으로 평탄한 표면(380)을 형성한다. 폴리 귀모양 부분이 비교적 일정한 높이를 가지기 때문에, CMP는 어레이 영역내의 에칭 정지층을 과도하게 부식하지는 않는다. 따라서, 본 발명에 따라 제공된 마스크층은 DT 에칭에 의해 형성된 토포그래피의 역효과를 감소시킨다.

이러한 점에서, RIE와 같은 에칭은 트렌치내의 폴리를 리세스(recess)시키도록 한다. 다음으로 칼라가 예를 들면, 유전체층을 증착시키고 패터닝시킴으로써 형성된다. 칼라 형성 이후, DRAM의 나머지 부분이 네스빗등의 자가-정렬 매립형 스트랩(BEST)을 가진 0.6μm^2 256Mb 트렌치 DRAM 셀, IEDM 93-627에 개시된 통상적인 기술에 의해 제조될 수 있고, 이는 이미 참조를 위해 인용되었다. 이는 예를 들면, 트렌치를 충진하는 단계, 매립형 스트랩을 형성하는 단계, STI를 형성하기 위해 절연 영역을 한정하는 단계, 게이트 스택을 포함한 여러 층을 증착하고 패터닝하여 워드라인인 게이트 도전체를 형성하는 단계, 레벨간 유전체층을 증착하는 단계, 접촉 개구부를 형성하는 단계 및 비트라인을 형성하는 단계를 포함한다.

이상에서 본 발명이 특정 실시예를 참조로 하여 설명되었지만, 당업자라면 본 발명의 범위에서 벗어나지 않는 변경과 변화가 가능하다는 것을 알 수 있을 것이다. 그러므로, 본 발명의 범위는 이상의 상세한 설명이 아닌 동등물의 전체 범위를 가진 첨부된 청구항에 의해 한정된다.

발명의 효과

본 발명에 따르면, 반도체 제조시 패드 부식을 감소시킬 수 있는 방법이 제공된다.

(57) 청구의 범위

청구항 1

기판을 제공하는 단계;

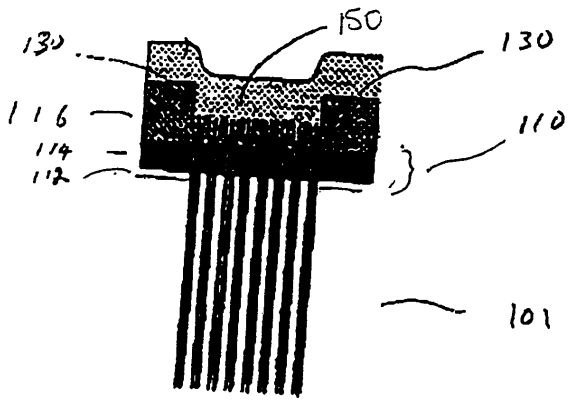
상기 기판상에 패드 스택을 형성하는 단계; 및

상기 패드 스택 상부에 하드 마스크를 형성하는 단계를 포함하는 집적 회로를 제조하는 방법에 있어서,

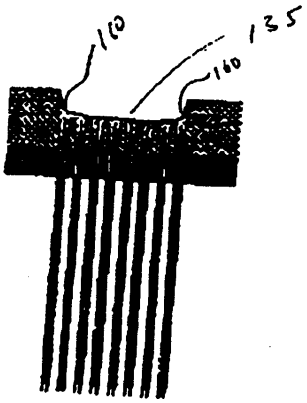
상기 하드 마스크는 제 1 및 제 2 하드 마스크층 사이에 에칭 정지층을 포함하는 것을 특징으로 하는 집적 회로 제조 방법.

도면

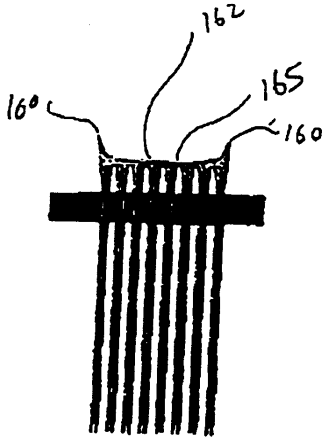
도면1a



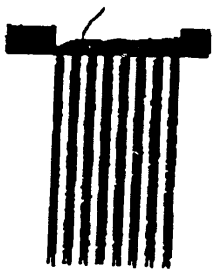
도면1b



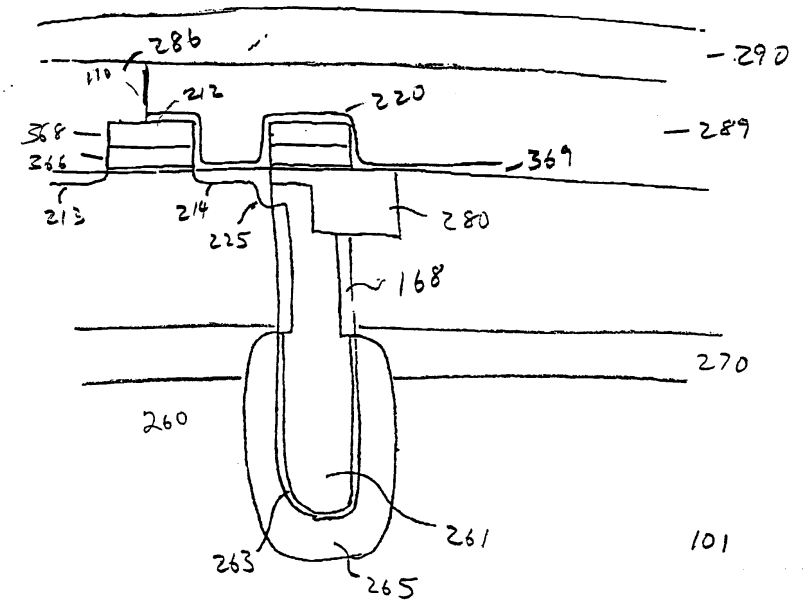
도면1c



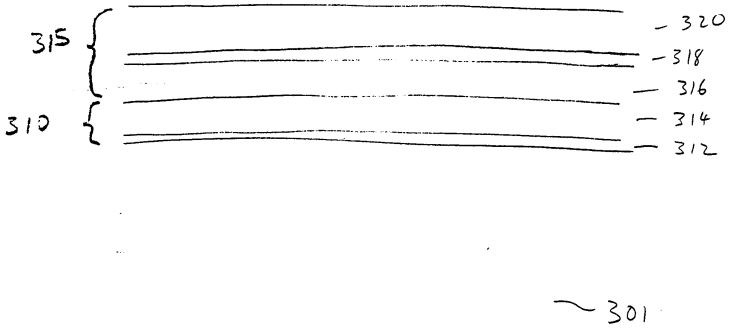
도면1d



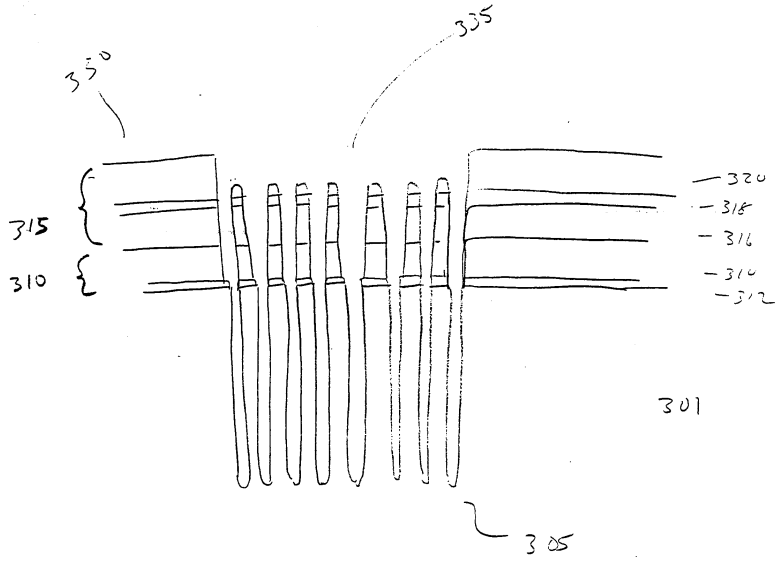
도면2



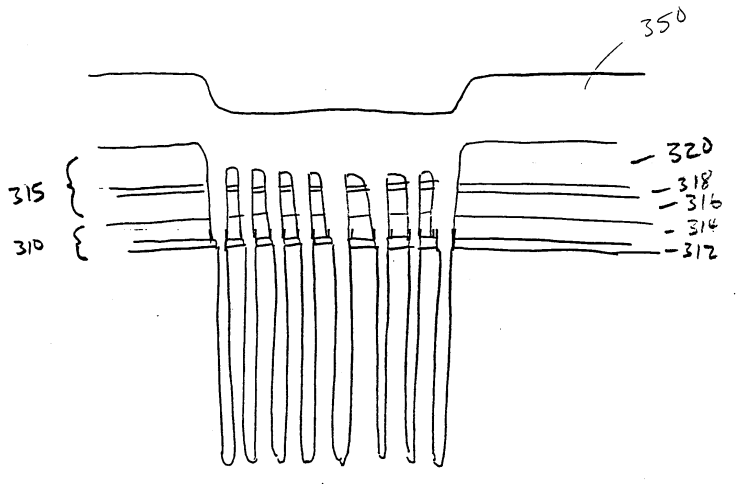
도면3a



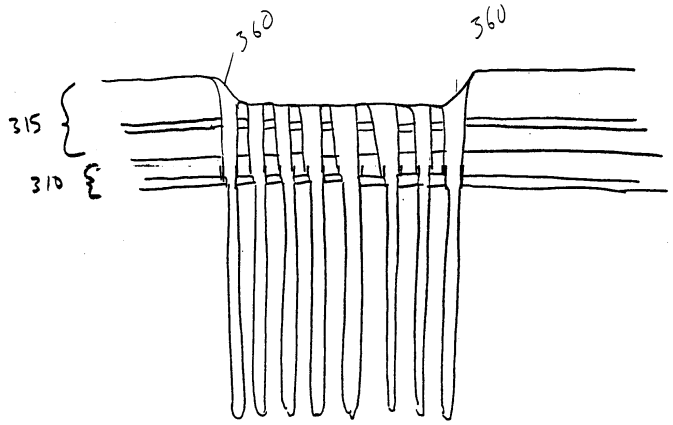
도면3b



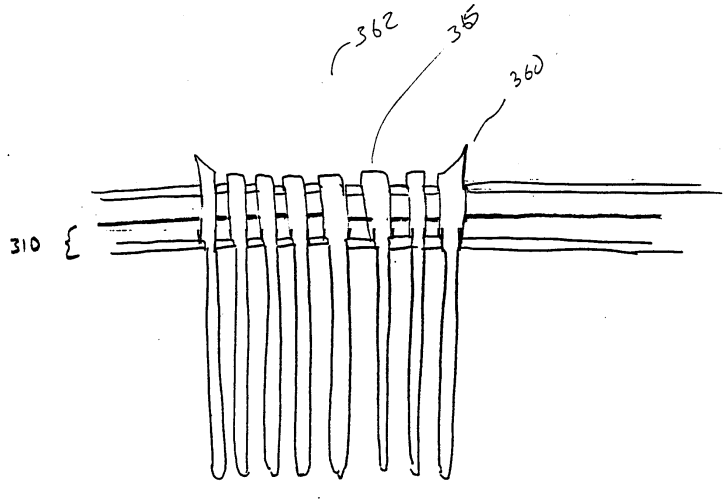
도면3c



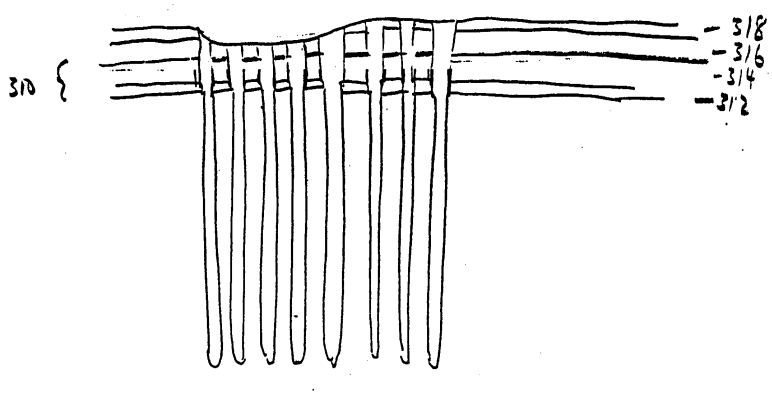
도면3d



도면3e



도면3f



도면3g

