



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2019년03월19일

(11) 등록번호 10-1934977

(24) 등록일자 2018년12월27일

(51) 국제특허분류(Int. Cl.)

H01L 29/786 (2006.01) G02F 1/136 (2006.01)

H01L 51/50 (2006.01)

(21) 출원번호 10-2011-0077021

(22) 출원일자 2011년08월02일

심사청구일자 2016년06월20일

(65) 공개번호 10-2013-0015170

(43) 공개일자 2013년02월13일

(56) 선행기술조사문헌

KR1020100024569 A*

(뒷면에 계속)

(73) 특허권자

삼성디스플레이 주식회사

경기도 용인시 기흥구 삼성로 1 (농서동)

(72) 발명자

김도현

경기도 성남시 분당구 양현로166번길 20, 한신아파트 201동 1703호 (이매동, 이매촌)

강윤호

경기도 용인시 수지구 동천로153번길 6, 래미안 이스트팰리스 1411동 401호 (동천동)

(뒷면에 계속)

(74) 대리인

팬코리아특허법인

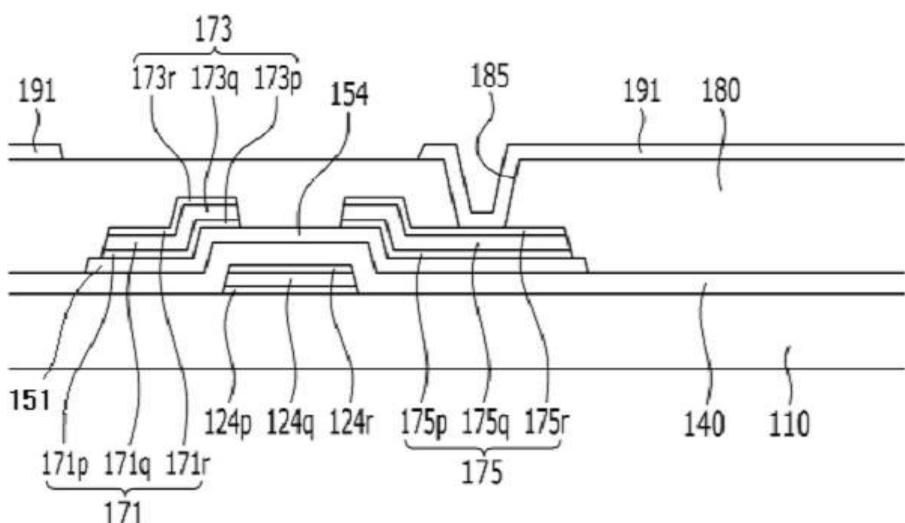
전체 청구항 수 : 총 20 항

심사관 : 고연화

(54) 발명의 명칭 박막 트랜지스터 표시판 및 그 제조 방법

(57) 요 약

박막 트랜지스터 표시판을 제공한다. 본 발명의 한 실시예에 따른 박막 트랜지스터 표시판은 기판 위에 위치하는 게이트 배선층, 상기 게이트 배선층 위에 위치하는 산화물 반도체층 그리고 상기 산화물 반도체층 위에 위치하고, 상기 게이트 배선층과 교차하는 데이터 배선층을 포함하고, 상기 데이터 배선층은 구리를 포함하는 주배선층, 상기 주배선층 위에 위치하고 구리를 합금을 포함하는 캐핑층을 포함한다.

대 표 도 - 도2

(72) 발명자

이동훈서울특별시 관악구 남부순환로 1430, 대우푸르지오
111동 1501호 (신림동)**박상호**경기도 수원시 영통구 영통로290번길 26, 벽적골8
단지아파트 837동 (영통동)**유세환**서울특별시 동작구 여의대방로24다길 40, 102동
1803호 (대방동, 보라매코오롱하늘채아파트)**김철규**서울특별시 서초구 잠원로8길 20, 신반포한신아파
트 330동 711호 (잠원동)**이용수**경기도 화성시 동탄공원로 21-40 930동 904호 (능
동, 푸른마을두산위브아파트)**조성행**충청북도 청주시 청원구 오창읍 오창중앙로 94
814동 1304호 (각리, 한라비발디아파트)**장종섭**경기도 화성시 동탄중앙로 171, 시범다은마을우남
퍼스트빌아파트 351동 1102호 (반송동)**김동조**경기도 용인시 기흥구 흥덕1로79번길 37, - 505동
2003호 (영덕동, 흥덕마을5단지 호반베르디움)**이정규**서울특별시 구로구 경인로 382, 124동 1702호 (개
봉동, 한마을아파트)

(56) 선행기술조사문현

KR1020100118838 A

KR1020110053739 A*

WO2011023369 A1*

JP2011091364 A*

JP2011049542 A

WO2011024770 A1

US20110127524 A1

US20100035379 A1

JP2011119467 A

KR1020070049278 A

*는 심사관에 의하여 인용된 문현

명세서

청구범위

청구항 1

기판 위에 위치하는 게이트 배선층,

상기 게이트 배선층 위에 위치하는 산화물 반도체층 그리고

상기 산화물 반도체층 위에 위치하고, 상기 게이트 배선층과 교차하는 데이터 배선층을 포함하고,

상기 데이터 배선층은 구리를 포함하는 주배선층, 상기 주배선층 위에 위치하고 구리 합금을 포함하는 캐핑층, 그리고 상기 주배선층 아래에 위치하며 구리 합금을 포함하는 배리어층을 포함하고,

주배선층의 두께는 상기 캐핑층의 두께보다 두꺼우며, 캐핑층과 상기 산화물 반도체층 사이에 상기 주배선층이 위치하고,

상기 배리어층에서 구리와 합금을 형성하는 물질은 25at% 이상의 함량을 갖는 박막 트랜지스터 표시판.

청구항 2

제1항에서,

상기 캐핑층은 바나듐(V), 티타늄(Ti), 지르코늄(Zr), 탄탈륨(Ta), 망간(Mn), 마그네슘(Mg), 크롬(Cr), 몰리브덴(Mo), 코발트(Co), 니오븀(Nb), 및 니켈(Ni) 중의 적어도 하나를 포함하는 구리 합금 또는 구리, 알루미늄, 마그네슘의 합금인 박막 트랜지스터 표시판.

청구항 3

제2항에서,

상기 캐핑층은 구리 망간 합금을 포함하는 박막 트랜지스터 표시판.

청구항 4

제3항에서,

상기 산화물 반도체층은 아연(Zn), 인듐(In), 주석(Sn), 갈륨(Ga), 및 하프늄(Hf) 중에서 적어도 하나를 포함하는 박막 트랜지스터 표시판.

청구항 5

삭제

청구항 6

제1항에서,

상기 배리어층은 바나듐(V), 지르코늄(Zr), 탄탈륨(Ta), 망간(Mn), 마그네슘(Mg), 크롬(Cr), 몰리브덴(Mo), 코발트(Co), 니오븀(Nb), 및 니켈(Ni) 중의 적어도 하나와 구리의 합금으로 형성된 물질을 포함하는 박막 트랜지스터 표시판.

청구항 7

삭제

청구항 8

제3항에서,

상기 데이터 배선층은 상기 게이트 배선층과 교차하고 소스 전극을 포함하는 데이터선 및 상기 소스 전극과 마주보는 드레인 전극을 포함하는 박막 트랜지스터 표시판.

청구항 9

제8항에서,

상기 데이터선 및 상기 드레인 전극을 덮고, 상기 드레인 전극의 일부를 노출시키는 접촉 구멍을 갖는 보호막 그리고

상기 접촉 구멍을 통해 상기 드레인 전극과 전기적으로 연결되어 있는 화소 전극을 더 포함하는 박막 트랜지스터 표시판.

청구항 10

제9항에서,

상기 보호막은 산화 규소를 포함하는 박막 트랜지스터 표시판.

청구항 11

기판 위에 게이트선을 형성하는 단계,

상기 게이트선을 덮는 게이트 절연막을 형성하는 단계,

상기 게이트 절연막 위에 산화물 반도체층, 제1 금속막 및 제2 금속막을 연속적으로 적층하는 단계,

상기 제2 금속막 위에 제1 영역과 상기 제1 영역보다 두께가 두꺼운 제2 영역을 갖는 제1 감광막 패턴을 형성하는 단계,

상기 제1 감광막 패턴을 마스크로 하여 상기 제2 금속막과 상기 제1 금속막을 함께 식각하는 단계,

상기 제1 감광막 패턴을 마스크로 하여 상기 산화물 반도체층을 식각하는 단계,

상기 제1 감광막 패턴을 에치백하여 제2 감광막 패턴을 형성하는 단계 그리고

상기 제2 감광막 패턴을 마스크로 하여 상기 제1 금속막 및 상기 제2 금속막을 동시에 습식 식각하여 배리어층 및 상기 배리어층 위에 위치하는 주배선층을 포함하는 데이터 배선층을 형성하는 단계를 포함하고,

상기 제1 금속막은 구리합금으로 형성하고,

상기 제1 금속막에서 구리와 합금을 형성하는 물질은 25at%이상의 함량을 가지는 박막 트랜지스터 표시판의 제조 방법.

청구항 12

제11항에서,

상기 제2 금속막은 구리로 형성하는 박막 트랜지스터 표시판의 제조 방법.

청구항 13

제12항에서,

상기 제1 금속막은 바나듐(V), 티타늄(Ti), 지르코늄(Zr), 탄탈륨(Ta), 망간(Mn), 마그네슘(Mg), 크롬(Cr), 몰리브덴(Mo), 코발트(Co), 니오븀(Nb), 및 니켈(Ni) 중에서 선택된 적어도 하나와 구리의 합금으로 형성하는 박막 트랜지스터 표시판의 제조 방법.

청구항 14

삭제

청구항 15

제11항에서,

상기 게이트 절연막 위에 상기 제2 금속막을 적층한 이후에 제3 금속막을 적층하는 단계를 더 포함하는 박막 트랜지스터 표시판의 제조 방법.

청구항 16

제15항에서,

상기 제3 금속막은 구리합금으로 형성하는 박막 트랜지스터 표시판의 제조 방법.

청구항 17

제16항에서,

상기 제3 금속막은 상기 제2 감광막 패턴을 마스크로 하여 상기 제1 금속막 및 상기 제2 금속막을 습식 식각할 때 함께 식각되어 상기 주배선층 위에 캐핑층을 형성하는 단계를 더 포함하는 박막 트랜지스터 표시판의 제조 방법.

청구항 18

배선부와 채널부를 포함하는 기판 위에 게이트선을 형성하는 단계,

상기 게이트선을 덮는 게이트 절연막을 형성하는 단계,

상기 게이트 절연막 위에 산화물 반도체층, 제1 금속막, 및 제2 금속막을 연속적으로 적층하는 단계,

상기 제2 금속막 위에 상기 채널부에 대응하는 위치에 오픈부를 갖는 제1 감광막 패턴을 형성하는 단계,

상기 제1 감광막 패턴을 마스크로 하여 상기 제1 금속막, 및 상기 제2 금속막을 함께 식각하여 배리어층 및 상기 배리어층 위에 위치하는 주배선층을 포함하는 데이터 배선층을 형성하는 단계,

상기 제1 감광막 패턴을 제거하는 단계,

상기 데이터 배선층을 덮는 제2 감광막 패턴을 형성하는 단계,

상기 제2 감광막 패턴을 마스크로 하여 상기 산화물 반도체층을 식각하는 단계를 포함하고,

상기 제1 금속막은 구리합금을 포함하고, 상기 제1 금속막 중에서 구리와 합금을 형성하는 물질은 25a%이상의

함량을 가지는 박막 트랜지스터 표시판의 제조 방법.

청구항 19

제18항에서,

상기 제2 금속막은 구리로 형성하는 박막 트랜지스터 표시판의 제조 방법.

청구항 20

제19항에서,

상기 제1 금속막은 바나듐(V), 티타늄(Ti), 지르코늄(Zr), 탄탈륨(Ta), 망간(Mn), 마그네슘(Mg), 크롬(Cr), 몰리브덴(Mo), 코발트(Co), 니오븀(Nb), 및 니켈(Ni) 중에서 선택된 적어도 하나와 구리의 합금으로 형성하는 박막 트랜지스터 표시판의 제조 방법.

청구항 21

삭제

청구항 22

제18항에서,

상기 게이트 절연막 위에 상기 제2 금속막을 적층한 이후에 제3 금속막을 적층하는 단계를 더 포함하는 박막 트랜지스터 표시판의 제조 방법.

청구항 23

제22항에서,

상기 제3 금속막은 구리합금으로 형성하는 박막 트랜지스터 표시판의 제조 방법.

청구항 24

제23항에서,

상기 제3 금속막은 상기 제1 감광막 패턴을 마스크로 하여 상기 제1 금속막 및 상기 제2 금속막을 식각할 때 함께 식각되어 상기 주배선층 위에 캐핑층을 형성하는 단계를 더 포함하는 박막 트랜지스터 표시판의 제조 방법.

발명의 설명

기술 분야

[0001] 본 발명은 박막 트랜지스터 표시판 및 그 제조 방법에 관한 것이다.

배경 기술

[0002] 일반적으로 액정 표시 장치나 유기 발광 표시 장치 등의 평판 표시 장치는 복수 쌍의 전기장 생성 전극과 그 사이에 들어 있는 전기광학(electro-optical) 활성층을 포함한다. 액정 표시 장치의 경우 전기 광학 활성층으로 액정층을 포함하고, 유기 발광 표시 장치의 경우 전기 광학 활성층으로 유기 발광층을 포함한다.

[0003] 한 쌍을 이루는 전기장 생성 전극 중 하나는 통상 스위칭 소자에 연결되어 전기 신호를 인가 받고, 전기 광학

활성층은 이 전기 신호를 광학 신호를 변환함으로써 영상이 표시된다.

[0004] 평판 표시 장치에서는 스위칭 소자로서 삼단자 소자인 박막 트랜지스터(thin film transistor, TFT)를 사용하며, 이 박막 트랜지스터를 제어하기 위한 주사 신호를 전달하는 게이트선(gate line)과 화소 전극에 인가될 신호를 전달하는 데이터선(data line) 등의 신호선이 평판 표시 장치에 구비된다.

[0005] 한편, 표시 장치의 면적이 커짐에 따라, 고속 구동을 실현하기 위해 산화물 반도체 기술이 연구되고 있고, 신호선의 저항을 감소시키기 방법이 연구되고 있다.

발명의 내용

해결하려는 과제

[0006] 신호선의 저항을 감소시키기 위해 구리와 티타늄의 이중막으로 신호선을 형성하는 방법이 연구되고 있다. 하지만, 티타늄과 산화물 반도체와의 계면에서 발생하는 이물성 결함으로 인해 박막 트랜지스터의 특성이 저하될 수 있다.

[0007] 따라서, 본 발명이 해결하고자 하는 과제는 산화물 반도체를 사용하는 박막 트랜지스터의 특성을 향상시킬 수 있는 박막 트랜지스터 표시판 및 그 제조 방법을 제공하는데 있다.

과제의 해결 수단

[0008] 본 발명의 한 실시예에 따른 박막 트랜지스터 표시판은 기판 위에 위치하는 게이트 배선층, 상기 게이트 배선층 위에 위치하는 산화물 반도체층 그리고 상기 산화물 반도체층 위에 위치하고, 상기 게이트 배선층과 교차하는 데이터 배선층을 포함하고, 상기 데이터 배선층은 구리를 포함하는 주배선층, 상기 주배선층 위에 위치하고 구리 합금을 포함하는 캐핑층을 포함한다.

[0009] 상기 캐핑층은 바나듐(V), 티타늄(Ti), 지르코늄(Zr), 탄탈륨(Ta), 망간(Mn), 마그네슘(Mg), 크롬(Cr), 몰리브덴(Mo), 코발트(Co), 니오븀(Nb), 및 니켈(Ni) 중의 적어도 하나를 포함하는 구리 합금 또는 구리, 알루미늄, 마그네슘의 합금일 수 있다.

[0010] 상기 캐핑층은 구리 망간 합금을 포함할 수 있다.

[0011] 상기 산화물 반도체층은 아연(Zn), 인듐(In), 주석(Sn), 갈륨(Ga), 및 하프늄(Hf) 중에서 적어도 하나를 포함할 수 있다.

[0012] 상기 데이터 배선층은 상기 주배선층 아래에 위치하는 배리어층을 더 포함할 수 있다.

[0013] 상기 배리어층은 바나듐(V), 지르코늄(Zr), 탄탈륨(Ta), 망간(Mn), 마그네슘(Mg), 크롬(Cr), 몰리브덴(Mo), 코발트(Co), 니오븀(Nb), 및 니켈(Ni) 중의 적어도 하나와 구리의 합금으로 형성된 물질을 포함할 수 있다.

[0014] 상기 배리어층 중에서 구리와 합금을 형성하는 물질은 10at% 이상의 함량을 가질 수 있다.

[0015] 상기 데이터 배선층은 상기 게이트선과 교차하고 소스 전극을 포함하는 데이터선 및 상기 소스 전극과 마주보는 드레인 전극을 포함할 수 있다.

[0016] 상기 데이터선 및 상기 드레인 전극을 덮고, 상기 드레인 전극의 일부를 노출시키는 접촉 구멍을 갖는 보호막 그리고 상기 접촉 구멍을 통해 상기 드레인 전극과 전기적으로 연결되어 있는 화소 전극을 더 포함할 수 있다.

[0017] 상기 보호막은 산화 규소를 포함할 수 있다.

[0018] 본 발명의 다른 실시예에 따른 박막 트랜지스터 표시판의 제조 방법은 기판 위에 게이트선을 형성하는 단계, 상기 게이트선을 덮는 게이트 절연막을 형성하는 단계, 상기 게이트 절연막 위에 산화물 반도체층, 제1 금속막 및 제2 금속막을 연속적으로 적층하는 단계, 상기 제2 금속막 위에 제1 영역과 상기 제1 영역보다 두께가 두꺼운 제2 영역을 갖는 제1 감광막 패턴을 형성하는 단계, 상기 제1 감광막 패턴을 마스크로 하여 상기 제2 금속막과 상기 제1 금속막을 함께 식각하는 단계, 상기 제1 감광막 패턴을 마스크로 하여 상기 산화물 반도체층을 식각하는 단계, 상기 제1 감광막 패턴을 에치백하여 제2 감광막 패턴을 형성하는 단계 그리고 상기 제2 감광막 패턴을 마

스크로 하여 상기 제1 금속막 및 상기 2 금속막을 동시에 습식 식각하여 배리어층 및 상기 배리어층 위에 위치하는 주배선층을 포함하는 데이터 배선층을 형성하는 단계를 포함한다.

[0019] 상기 제1 금속막은 구리합금으로 형성하고, 상기 제2 금속막은 구리로 형성할 수 있다.

[0020] 상기 제1 금속막은 바나듐(V), 티타늄(Ti), 지르코늄(Zr), 탄탈륨(Ta), 망간(Mn), 마그네슘(Mg), 크롬(Cr), 몰리브덴(Mo), 코발트(Co), 니오븀(Nb), 및 니켈(Ni) 중에서 선택된 적어도 하나와 구리의 합금으로 형성할 수 있다.

[0021] 상기 제1 금속막 중에서 구리와 합금을 형성하는 물질은 25at%이상의 함량을 갖도록 형성할 수 있다.

[0022] 상기 게이트 절연막 위에 상기 제2 금속막을 적층한 이후에 제3 금속막을 적층하는 단계를 더 포함할 수 있다.

[0023] 상기 제3 금속막은 구리합금으로 형성할 수 있다.

[0024] 상기 제3 금속막은 상기 제2 감광막 패턴을 마스크로 하여 상기 제1 금속막 및 상기 제2 금속막을 습식 식각할 때 함께 식각되어 상기 주배선층 위에 캐핑층을 형성하는 단계를 더 포함할 수 있다.

[0025] 본 발명의 또 다른 실시예에 따른 박막 트랜지스터 표시판의 제조 방법은 배선부와 채널부를 포함하는 기판 위에 게이트선을 형성하는 단계, 상기 게이트선을 덮는 게이트 절연막을 형성하는 단계, 상기 게이트 절연막 위에 산화물 반도체층, 제1 금속막, 및 제2 금속막을 연속적으로 적층하는 단계, 상기 제2 금속막 위에 상기 채널부에 대응하는 위치에 오픈부를 갖는 제1 감광막 패턴을 형성하는 단계, 상기 제1 감광막 패턴을 마스크로 하여 상기 제1 금속막, 및 상기 제2 금속막을 함께 식각하여 배리어층 및 상기 배리어층 위에 위치하는 주배선층을 포함하는 데이터 배선층을 형성하는 단계, 상기 제1 감광막 패턴을 제거하는 단계, 상기 데이터 배선층을 덮는 제2 감광막 패턴을 형성하는 단계, 상기 제2 감광막 패턴을 마스크로 하여 상기 산화물 반도체층을 식각하는 단계를 포함한다.

[0026] 상기 제1 금속막은 구리합금으로 형성하고, 상기 제2 금속막은 구리로 형성할 수 있다.

[0027] 상기 제1 금속막은 바나듐(V), 티타늄(Ti), 지르코늄(Zr), 탄탈륨(Ta), 망간(Mn), 마그네슘(Mg), 크롬(Cr), 몰리브덴(Mo), 코발트(Co), 니오븀(Nb), 및 니켈(Ni) 중에서 선택된 적어도 하나와 구리의 합금으로 형성할 수 있다.

[0028] 상기 제1 금속막 중에서 구리와 합금을 형성하는 물질은 25a%이상의 함량을 갖도록 형성할 수 있다.

[0029] 상기 게이트 절연막 위에 상기 제2 금속막을 적층한 이후에 제3 금속막을 적층하는 단계를 더 포함할 수 있다.

[0030] 상기 제3 금속막은 구리합금으로 형성할 수 있다.

[0031] 상기 제3 금속막은 상기 제1 감광막 패턴을 마스크로 하여 상기 제1 금속막 및 상기 제2 금속막을 식각할 때 함께 식각되어 상기 주배선층 위에 캐핑층을 형성하는 단계를 더 포함할 수 있다.

발명의 효과

[0032] 이와 같이 본 발명의 한 실시예에 따르면, 산화물 반도체와 신호선 사이에 안정적인 접촉을 하여 박막 트랜지스터의 특성을 향상시킬 수 있다.

[0033] 또한, 본 발명의 다른 실시예에 따르면, 박막 트랜지스터 표시판의 제조 과정에서 다층으로 형성된 신호선을 일괄 식각함으로써 공정을 단순화할 수 있다.

[0034] 또한, 본 발명의 또 다른 실시예에 따르면, 박막 트랜지스터 표시판 제조 과정에서 발생하는 스큐(skew)를 감소하여 채널 길이를 조절할 수 있다.

도면의 간단한 설명

[0035] 도 1은 본 발명의 한 실시예에 따른 박막 트랜지스터 표시판의 한 화소를 도시한 배치도이다.

도 2는 도 1의 II-II선을 따라 잘라 도시한 단면도이다.

도 3 내지 도 9는 본 발명의 다른 실시예에 따른 박막 트랜지스터 표시판의 제조 방법을 설명하기 위해 도 1의 II-II선을 따라 잘라 도시한 단면도들이다.

도 10 내지 도 13은 본 발명의 또 다른 실시예에 따른 박막 트랜지스터 표시판의 제조 방법을 설명하기 위해 도 1의 II-II선을 따라 잘라 도시한 단면도들이다.

발명을 실시하기 위한 구체적인 내용

- [0036] 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예들을 상세히 설명하기로 한다. 그러나, 본 발명은 여기서 설명되는 실시예에 한정되지 않고 다른 형태로 구체화될 수도 있다. 오히려, 여기서 소개되는 실시예들은 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되는 것이다.
- [0037] 도면들에 있어서, 층 및 영역들의 두께는 명확성을 기하기 위하여 과장된 것이다. 또한, 층이 다른 층 또는 기판 "상"에 있다고 언급되는 경우에 그것은 다른 층 또는 기판 상에 직접 형성될 수 있거나 또는 그들 사이에 제3의 층이 개재될 수도 있다. 명세서 전체에 걸쳐서 동일한 참조번호로 표시된 부분들은 동일한 구성요소들을 의미한다.
- [0038] 도 1은 본 발명의 한 실시예에 따른 박막 트랜지스터 표시판의 한 화소를 도시한 배치도이다. 도 2는 도 1의 II-II선을 따라 잘라 도시한 단면도이다.
- [0039] 도 1 및 도 2를 참조하면, 투명한 유리 또는 플라스틱 따위로 만들어진 절연 기판(110) 위에 복수의 게이트선(121)이 형성되어 있다.
- [0040] 게이트선(121)은 게이트 신호를 전달하며 주로 가로 방향으로 뻗어 있다. 각 게이트선(121)은 게이트선(121)으로부터 돌출한 복수의 게이트 전극(124)을 포함한다.
- [0041] 게이트선(121) 및 게이트 전극(124)은 제1층(121p, 124p), 제2층(121q, 124q), 및 제3층(121r, 124r)으로 이루어진 삼중막 구조를 가질 수 있다. 제1층(121p, 124p), 제2층(121q, 124q), 및 제3층(121r, 124r)은 각각 알루미늄(A1)과 알루미늄 합금 등 알루미늄 계열의 금속, 은(Ag)과 은 합금 등 은 계열의 금속, 구리(Cu)와 구리 합금 등 구리 계열의 금속, 몰리브덴(Mo)과 몰리브덴 합금 등 몰리브덴 계열의 금속, 크롬(Cr), 티타늄(Ti), 탄탈늄(Ta), 망간(Mn) 등으로 이루어질 수 있다.
- [0042] 또한, 제1층(121p, 124p), 제2층(121q, 124q), 및 제3층(121r, 124r)은 서로 물리적 성질이 다른 막들이 조합되어 형성될 수 있다. 본 실시예에서는 게이트선(121) 및 게이트 전극(124)이 삼중막으로 형성되는 것으로 설명하였으나, 여기에 한정되지 않고 단일막 또는 이중막 형태로 형성될 수 있다.
- [0043] 게이트선(121) 위에는 산화 규소 또는 질화 규소 따위의 절연 물질로 만들어진 게이트 절연막(140)이 위치한다.
- [0044] 게이트 절연막(140) 위에는 복수의 산화물 반도체(151)이 형성되어 있다. 산화물 반도체(151)은 주로 세로 방향으로 뻗으며, 게이트 전극(124)을 향하여 뻗어 나온 복수의 돌출부(projection; 154)를 포함한다.
- [0045] 산화물 반도체(151)는 아연(Zn), 인듐(In), 주석(Sn), 갈륨(Ga), 및 하프늄(Hf) 중에서 적어도 하나를 포함한다.
- [0046] 산화물 반도체(151) 및 게이트 절연막(140) 위에는 복수의 데이터선(171)과 복수의 드레인 전극(175)이 형성되어 있다.
- [0047] 데이터선(171)은 데이터 신호를 전달하며 주로 세로 방향으로 뻗어 게이트선(121)과 교차한다. 각 데이터선(171)은 게이트 전극(124)을 향하여 뻗어 U자 형상을 가지는 복수의 소스 전극(173)을 포함한다.
- [0048] 드레인 전극(175)은 데이터선(171)과 분리되어 있고 소스 전극(173)의 U자 형상의 가운데에서 상부를 향하여 연장되어 있다.
- [0049] 소스 전극(173)을 포함하는 데이터선(171) 및 드레인 전극(175)은 배리어층(171p, 173p, 175p), 주배선층(171p, 173q, 175r) 및 캐핑층(171r, 173r, 175r)의 삼중막 구조를 가진다. 배리어층(171p, 173p, 175p)은 구리 합금으로 이루어져 있고, 주배선층(171q, 173q, 175q)은 구리로 형성되어 있으며, 캐핑층(171r, 173r, 175r)은 구리 합금으로 이루어져 있다.
- [0050] 본 실시예와 달리, 캐핑층(171r, 173r, 175r)은 생략되어 데이터선(171) 및 드레인 전극(175)은 배리어층(171p,

173p, 175p)과 주배선층(171p, 173q, 175r)의 이중막으로 형성될 수 있다.

[0051] 또 다른 실시예에서는 배리어층(171p, 173p, 175p)이 생략되어 데이터선(171) 및 드레인 전극(175)은 주배선층(171p, 173q, 175r)과 캐핑층(171r, 173r, 175r)의 이중막으로 형성될 수 있다.

[0052] 배리어층(171p, 173p, 175p) 및 캐핑층(171r, 173r, 175r)은 바나듐(V), 지르코늄(Zr), 탄탈륨(Ta), 망간(Mn), 마그네슘(Mg), 크롬(Cr), 몰리브덴(Mo), 코발트(Co), 니오븀(Nb), 및 니켈(Ni) 중의 적어도 하나와 구리의 합금으로 형성될 수 있다. 캐핑층(171r, 173r, 175r)은 구리, 마그네슘, 알루미늄의 합금으로 형성될 수 있다.

[0053] 배리어층(171p, 173p, 175p)은 구리 합금으로 형성함으로써 기존에 배리어층으로 티타늄을 사용하여 발생되는 이물성 결함을 줄일 수 있다. 여기서, 이물성 결함이란 산소와 결합하려는 티타늄의 성질 때문에 산화물 반도체의 금속 성분 중 일부가 석출되어 산화물 반도체와 배리어층 사이의 계면에서 돌기가 형성되는 것을 말한다. 이로 인해 박막 트랜지스터의 특성이 나빠질 수 있다.

[0054] 배리어층(171p, 173p, 175p)을 형성하는 물질 가운데 구리와 합금을 형성하는 물질은 10at% 이상의 함량을 가질 수 있다. 예를 들어, 구리와 합금을 형성하는 망간(Mn)이 배리어층(171p, 173p, 175p)에 10at% 이상 포함될 경우에 산화물 반도체층의 전하 이동도가 향상되어 고해상도와 고속구동이 가능해진다.

[0055] 실험 결과, 망간(Mn)이 배리어층(171p, 173p, 175p)에 4at% 포함된 경우의 전하이동도가 $3.65(\text{cm}^2/\text{Vs})$ 였고, 배리어층(171p, 173p, 175p)에 망간(Mn)을 10at% 포함된 경우의 전하이동도가 $6.25(\text{cm}^2/\text{Vs})$ 로 나타났다. 이처럼, 구리에 포함된 망간의 함유량을 증가시킬수록 박막 트랜지스터의 특성이 개선됨을 확인할 수 있었다.

[0056] 산화물 반도체층(151)의 돌출부(154)에는 소스 전극(173)과 드레인 전극(175) 사이에 데이터선(171) 및 드레인 전극(175)으로 가리지 않고 노출된 부분이 있다. 산화물 반도체층(151)은 돌출부(154)의 노출된 부분을 제외하고 데이터선(171) 및 드레인 전극(175)과 실질적으로 동일한 평면 패턴을 가진다.

[0057] 하나의 게이트 전극(124), 하나의 소스 전극(173) 및 하나의 드레인 전극(175)은 산화물 반도체층(151)의 돌출부(154)와 함께 하나의 박막 트랜지스터(thin film transistor, TFT)를 이루며, 박막 트랜지스터의 채널은 소스 전극(173)과 드레인 전극(175) 사이의 돌출부(154)에 형성된다.

[0058] 데이터선(171), 드레인 전극(175) 및 노출된 반도체층의 돌출부(154) 부분 위에는 보호막(passivation layer)(180)이 형성되어 있다. 보호막(180)은 질화 규소나 산화 규소 따위의 무기 절연물, 유기 절연물, 저유전율 절연물 따위로 만들어진다.

[0059] 산화 규소로 형성된 보호막 중착시 구리로 형성된 주배선층(171q, 173q, 175q)이 보호막(180)과 직접 접촉하여 생성되는 구리 산화물(CuOx)로 인해 리프팅(lifting)이 발생하거나, 보호막(180)에 하기 설명하는 접촉 구멍(185)을 형성할 때 부식이 일어날 수 있다. 하지만, 본 실시예에 따르면, 보호막(180) 하부에 캐핑층(171r, 173r, 175r)이 위치함으로써 데이터선(171)과 드레인 전극(175)의 리프팅(lifting) 및 부식을 방지할 수 있다.

[0060] 보호막(180)에는 드레인 전극(175)의 일단을 드러내는 복수의 접촉 구멍(contact hole)(185)이 형성되어 있다.

[0061] 보호막(180) 위에는 복수의 화소 전극(pixel electrode)(191)이 형성되어 있다. 화소 전극(191)은 접촉 구멍(185)을 통하여 드레인 전극(175)과 물리적, 전기적으로 연결되어 있으며, 드레인 전극(175)으로부터 데이터 전압을 인가 받는다. 데이터 전압이 인가된 화소 전극(191)은 공통 전압을 인가 받는 공통 전극(도시하지 않으며, 대량 표시판에 형성되거나 박막 트랜지스터 표시판에 형성될 수 있음)과 함께 전기장을 생성함으로써 두 전극 사이의 액정층(도시하지 않음)의 액정 분자의 방향을 결정한다. 화소 전극(191)과 공통 전극은 축전기 [이하 “액정 축전기(liquid crystal capacitor)” 라 함]를 이루어 박막 트랜지스터가 턴 오프(turn-off)된 후에도 인가된 전압을 유지한다.

[0062] 화소 전극(191)은 유지 전극선(도시하지 않음)과 중첩하여 유지 축전기(storage capacitor)를 이를 수 있고, 이를 통해 액정 축전기의 전압 유지 능력을 강화할 수 있다.

[0063] 화소 전극(191)은 ITO 또는 IZO 따위의 투명 도전체로 만들어질 수 있다.

[0064] 도 3 내지 도 9는 본 발명의 다른 실시예에 따른 박막 트랜지스터 표시판의 제조 방법을 설명하기 위해 도 1의 II-II 선을 따라 잘라 도시한 단면도들이다.

[0065] 도 3을 참고하면, 투명한 유리 또는 플라스틱 따위로 만들어진 절연 기판(110) 위에 도 1, 2에서 설명한 게이트 배선용 금속막을 스퍼터링 방법 등을 이용하여 적층한 후에 이를 패터닝하여 게이트선(121) 및 게이트 전극

(124)을 형성한다.

[0066] 도 4를 참고하면, 게이트선(121) 및 게이트 전극(124) 위에 게이트 절연막(140), 산화물 반도체층(150), 제1 금속막(170p), 제2 금속막(170q), 및 제3 금속막(170r)을 적층한다.

[0067] 산화물 반도체층(170)은 아연(Zn), 인듐(In), 주석(Sn), 갈륨(Ga), 및 하프늄(Hf) 중에서 적어도 하나를 포함한 물질로 형성할 수 있다. 제1 금속막(170p)은 바나듐(V), 지르코늄(Zr), 탄탈륨(Ta), 망간(Mn), 마그네슘(Mg), 크롬(Cr), 몰리브덴(Mo), 코발트(Co), 니오븀(Nb), 및 니켈(Ni) 중의 적어도 하나와 구리의 합금으로 형성할 수 있다. 제2 금속막(170q)은 구리로 형성할 수 있고, 제3 금속막(170r)은 바나듐(V), 지르코늄(Zr), 탄탈륨(Ta), 망간(Mn), 마그네슘(Mg), 크롬(Cr), 몰리브덴(Mo), 코발트(Co), 니오븀(Nb), 및 니켈(Ni) 중의 적어도 하나와 구리의 합금 또는 구리, 알루미늄, 마그네슘의 합금으로 형성할 수 있다.

[0068] 제3 금속막(10r) 위에 감광막(photo resist)을 형성한 후 패터닝하여 제1 감광막 패턴(50)을 형성한다. 제1 감광막 패턴(50)은 두꺼운 제1 영역(50a)과 상대적으로 얇은 제2 영역(50b)을 가진다. 제1 감광막 패턴(50)의 두께 차이는 마스크를 이용하여 조사하는 빛의 양을 조절하거나 리플로우 방법을 이용하여 형성할 수 있다. 빛을 양을 조절하는 경우에는 마스크에 슬릿 패턴 또는 격자 패턴이나 반투명층이 형성되어 있을 수 있다. 두께가 얇은 제2 영역(50b)은 박막 트랜지스터의 채널 영역이 형성될 위치에 대응한다.

[0069] 도 5를 참고하면, 제1 감광막 패턴(50)을 마스크로 하여 제1 금속막(170p), 제2 금속막(170q), 제3 금속막(170r), 및 산화물 반도체층(150)을 동시에 식각한다. 여기서 사용하는 식각액은 제1 금속막(170p), 제2 금속막(170q), 제3 금속막(170r), 및 산화물 반도체층(150)을 함께 식각할 수 있는 식각액(etchant)을 사용할 수 있다.

[0070] 도 6을 참고하면, 에치백(etch back)을 하여 제1 감광막 패턴(50)의 제2 부분(50b)을 제거한다. 이 때, 제1 부분(50a)도 함께 식각되어 폭 및 높이가 줄어들어 제2 감광막 패턴(51)이 형성된다. 제2 감광막 패턴(51)은 도 5에서의 제1 감광막 패턴(50)이 형성되었던 영역(A, B, C)에 비하여 좁은 영역(A', B', C')에 형성되어 있다.

[0071] 도 7을 참고하면, 제2 감광막 패턴(51)을 마스크로 하여 제2 감광막 패턴(51)의 제2 영역(A')에 위치하는 제1 금속막(170p), 제2 금속막(170q), 및 제3 금속막(170r)을 식각한다. 여기서 사용하는 식각액은 도 5에서 사용하는 식각액과 다른 식각액을 사용하여야 한다. 왜냐하면, 제2 영역(A')의 산화물 반도체층(150)이 식각되지 않아야 하기 때문이다.

[0072] 이 때, 제1 금속막(170p), 제2 금속막(170q), 및 제3 금속막(170r)이 채널 영역(154)을 사이에 두고 분리되어 데이터선(171p, 171q, 171r), 소스 전극(173p, 173q, 173r) 및 드레인 전극(175p, 175q, 175r)이 형성된다. 또한, 산화물 반도체층(150)의 상부면이 노출되면서 채널 영역을 형성하는 산화물 반도체(154)가 형성된다.

[0073] 이처럼 두께가 다른 감광막 패턴을 이용하면, 산화물 반도체(154)는 채널 영역을 제외하고 데이터선(171), 소스 전극(173) 및 드레인 전극(175)과 실질적으로 동일한 평면 패턴을 갖는다.

[0074] 그 다음, 도 8을 참고하면 애싱(ashing)으로 제2 감광막 패턴(51)을 제거한다.

[0075] 그 다음, 도 9를 참고하면 유기 물질 또는 무기 물질로 보호막(180)을 형성하고, 감광막 패턴을 이용하여 드레인 전극(175)을 노출시키는 접촉 구멍(185)을 형성한다. 보호막(180) 형성 후에 산화물 반도체(154)의 특성을 개선시키기 위해 열처리를 할 수 있다.

[0076] 그 다음, 도 2에서 도시한 바와 같이, ITO 또는 IZO와 같은 투명 도전체를 적층하고 패터닝하여 노출된 드레인 전극(175)과 전기적으로 접촉하는 화소 전극(191)을 형성한다.

[0077] 도 10 내지 도 13은 본 발명의 또 다른 실시예에 따른 박막 트랜지스터 표시판의 제조 방법을 설명하기 위해 도 1의 II-II선을 따라 잘라 도시한 단면도들이다.

[0078] 도 10을 참고하면, 도 3 내지 도 9에서 설명한 실시예와 동일하게 게이트선(121) 및 게이트 전극(124)을 형성한 후에 게이트 절연막(140), 산화물 반도체층(150), 제1 금속막(170p), 제2 금속막(170q), 및 제3 금속막(170r)을 적층한다.

[0079] 그 다음, 제3 금속막(170r) 위에 감광막(photo resist)을 형성한 후 패터닝하여 제1 감광막 패턴(50a)을 형성한다. 도 3 내지 도 9에서 설명한 실시예의 제1 감광막 패턴(50)과 달리 채널 영역에 대응하는 부분에 위치하는 제3 금속막(170r)의 상부면을 드러내는 오픈부(opening)을 갖도록 제1 감광막 패턴(51a)을 형성한다.

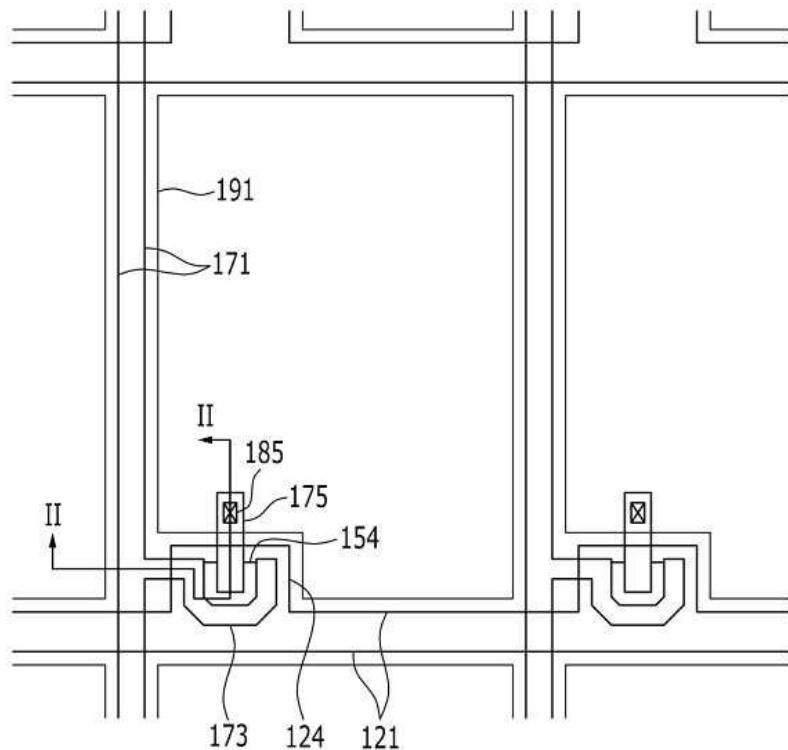
- [0080] 도 11을 참고하면, 제1 감광막 패턴(50a)을 마스크로 하여 제1 금속막(170p), 제2 금속막(170q), 및 제3 금속막(170r)을 식각한다. 여기서, 오픈부(opening)에 의해 노출된 부분의 제3 금속막(170r), 제2 금속막(170q), 및 제1 금속막(170p)도 차례로 식각되어 채널 영역이 형성되는 위치의 산화물 반도체층(150)이 드러난다.
- [0081] 이 때, 제1 금속막(170p), 제2 금속막(170q), 및 제3 금속막(170r)이 채널 영역(CH)을 사이에 두고 분리되어 데이터선(171p, 171q, 171r), 소스 전극(173p, 173q, 173r) 및 드레인 전극(175p, 175q, 175r)을 포함하는 데이터 배선층이 형성된다. 데이터선(171p, 171q, 171r), 소스 전극(173p, 173q, 173r) 및 드레인 전극(175p, 175q, 175r) 각각은 산화물 반도체층(150) 위에 위치하는 배리어층(171p, 173p, 175r), 배리어층(171p, 173p, 175p) 위에 위치하는 주배선층(171q, 173q, 175q), 및 주배선층(171q, 173q, 175q) 위에 위치하는 캐핑층(171r, 173r, 175r)을 갖는다.
- [0082] 도 12를 참고하면, 제1 감광막 패턴(50a)을 제거하고, 제2 감광막 패턴(50b)을 형성한다. 제2 감광막 패턴(50b)은 데이터선(171p, 171q, 171r), 소스 전극(173p, 173q, 173r), 드레인 전극(175p, 175q, 175r) 및 채널 영역에 대응하는 노출된 산화물 반도체층(150)을 덮도록 형성된다.
- [0083] 도 13을 참고하면, 제2 감광막 패턴(50b)을 마스크로 하여 산화물 반도체층(150)을 식각하여 채널 영역을 제외하고 데이터선(171p, 171q, 171r), 소스 전극(173p, 173q, 173r) 및 드레인 전극(175p, 175q, 175r)과 실질적으로 동일한 평면 패턴을 갖는 산화물 반도체(154)를 형성한다. 채널 영역에 대응하는 산화물 반도체층(150)은 제2 감광막 패턴(50b)에 의해 덮여 있기 때문에 보호된다.
- [0084] 그리고, 제2 감광막 패턴(50b)을 제거한다.
- [0085] 이 후의 공정은 도 9에서 설명한 실시예에와 마찬자자로 접촉 구멍을 갖는 보호막을 형성한 후, 보호막의 접촉 구멍을 통해 드레인 전극과 전기적으로 연결되도록 보호막 위에 화소 전극을 형성한다.
- [0086] 본 실시예에 따르면, 데이터 배선층과 산화물 반도체층의 식각을 분리 진행함으로써, 삼중막으로 형성된 데이터 배선층을 형성할 때 발생하는 스퀴(skew)로 인해 산화물 반도체층의 측벽이 데이터 배선층의 측벽과 일치하지 않고 돌출하는 것을 최소화할 수 있다.
- [0087] 이상에서 본 발명의 바람직한 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

부호의 설명

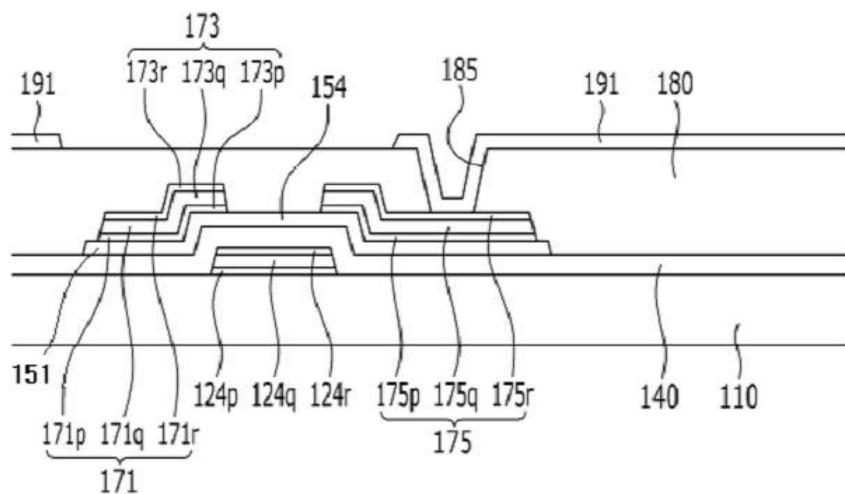
- | | | | |
|-----|---------|-----|--------|
| 121 | 게이트선 | 124 | 게이트 전극 |
| 154 | 산화물 반도체 | 171 | 데이터선 |
| 173 | 소스 전극 | 175 | 드레인 전극 |

도면

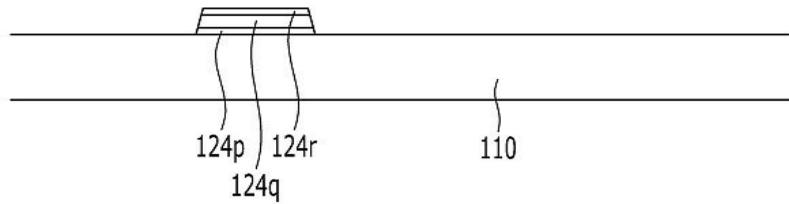
도면1



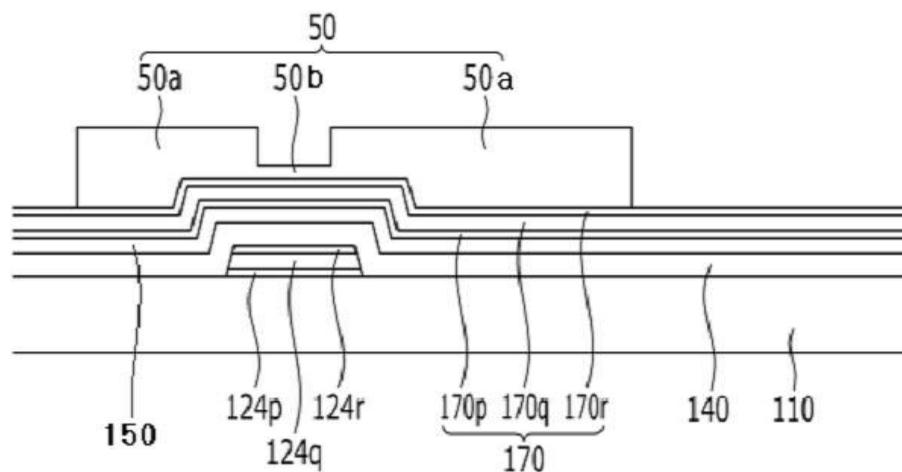
도면2



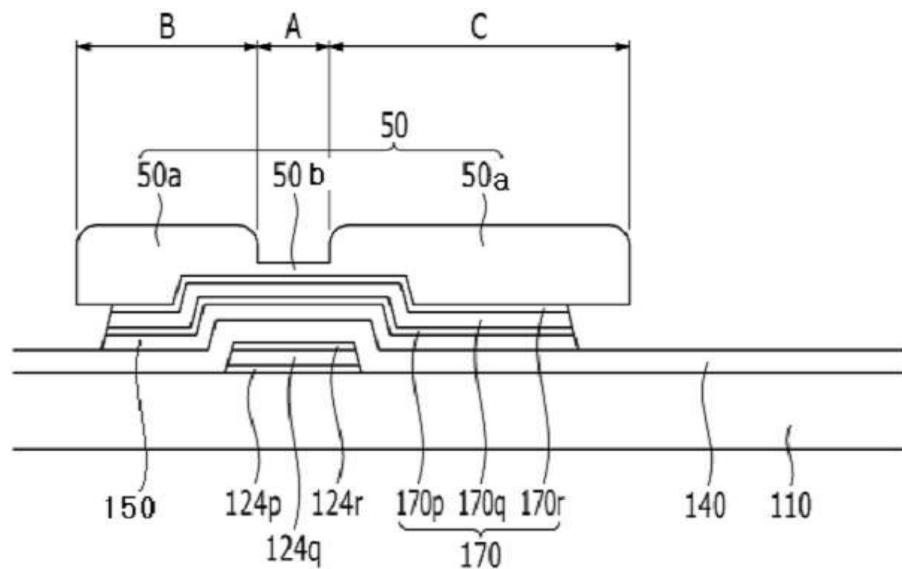
도면3



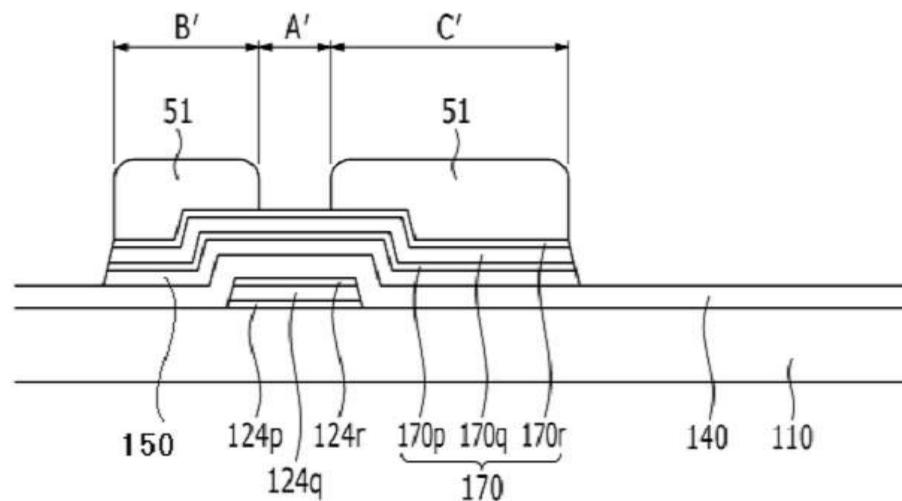
도면4



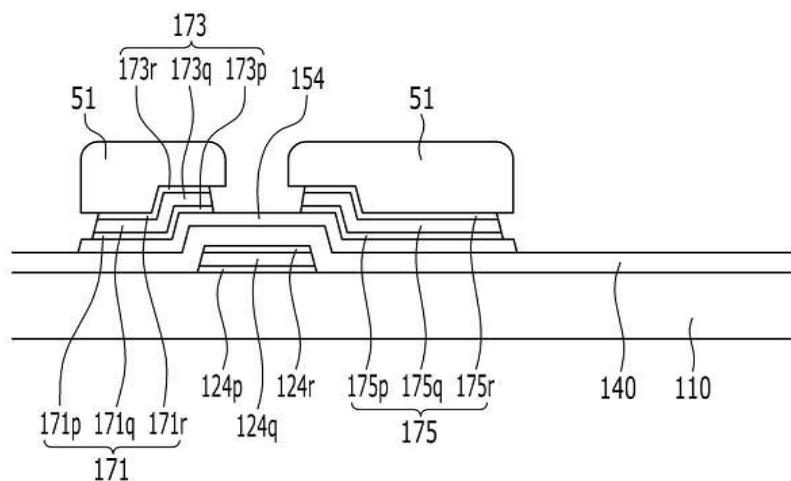
도면5



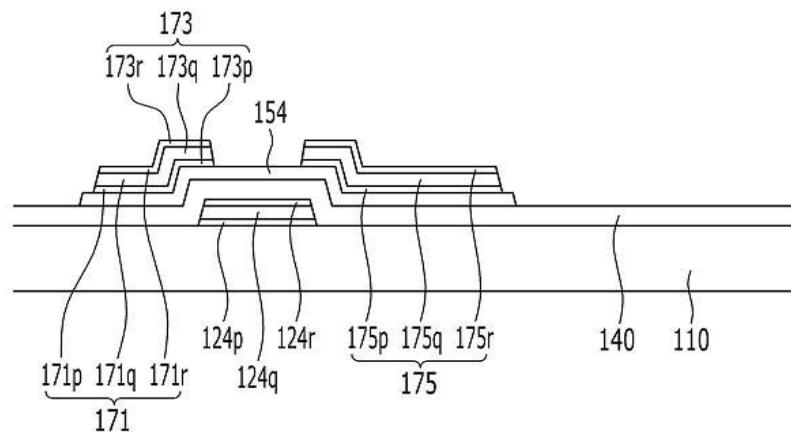
도면6



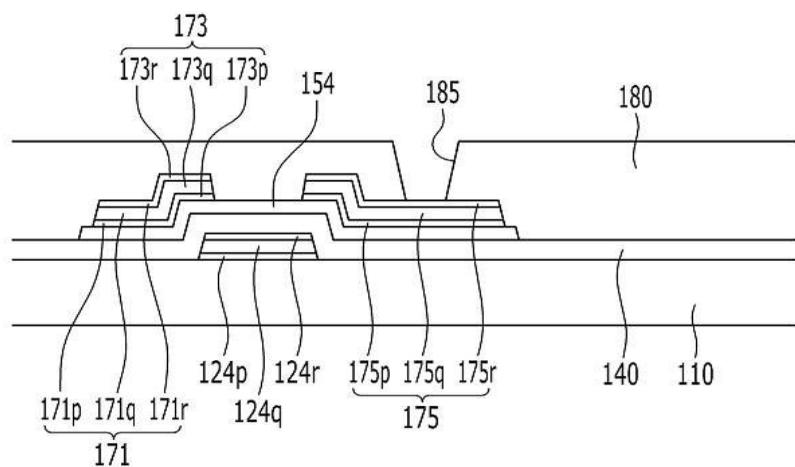
도면7



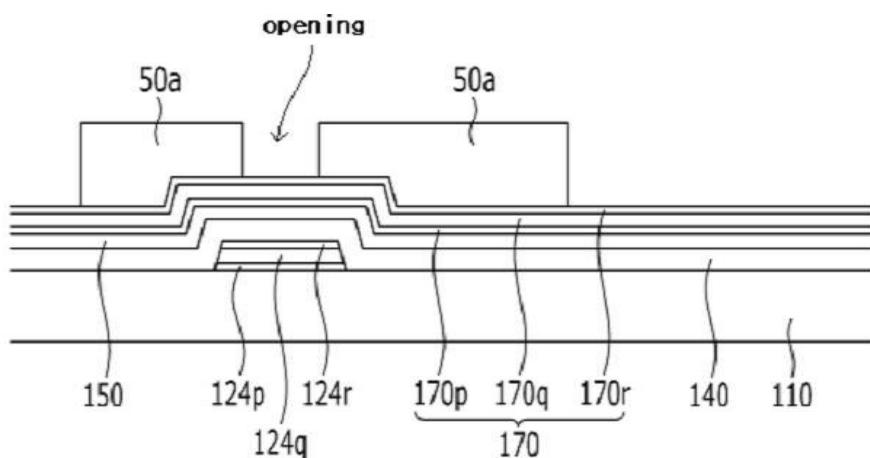
도면8



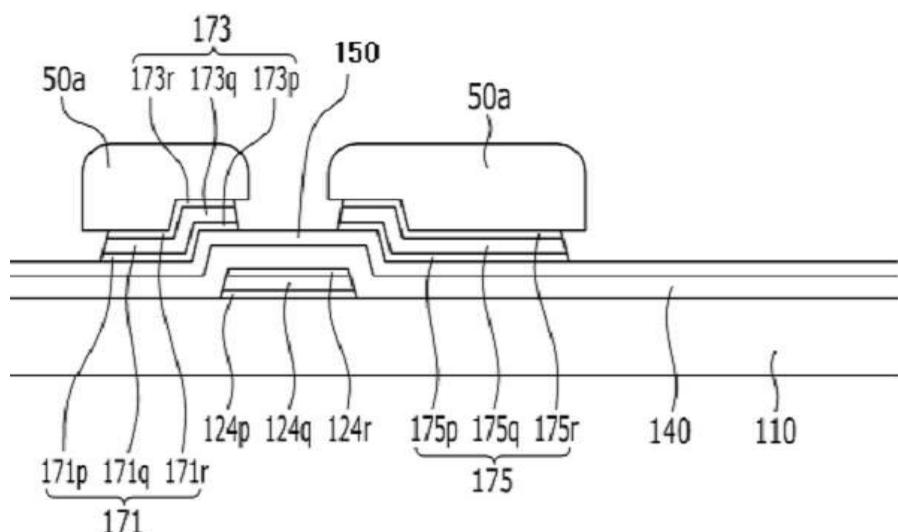
도면9



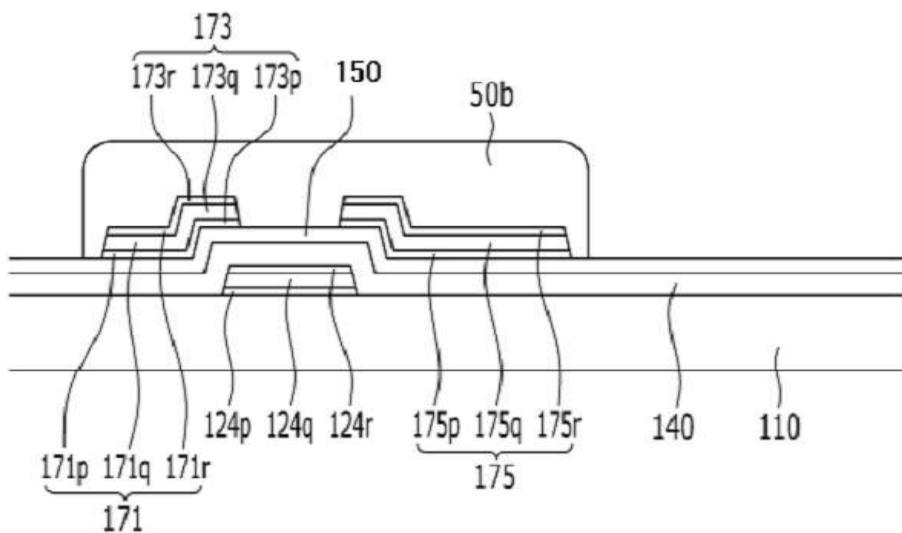
도면10



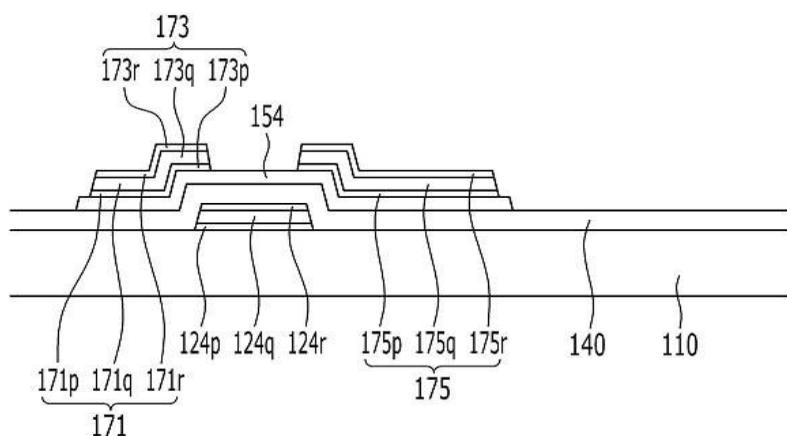
도면11



도면12



도면13



【심사관 직권보정사항】

【직권보정 1】

【보정항목】 청구범위

【보정세부항목】 제11항

【변경전】

상기 2 금속막을

【변경후】

상기 제2 금속막을

【직권보정 2】

【보정항목】 청구범위

【보정세부항목】 제1항

【변경전】

갖는 는 박막 트랜지스터 표시판.

【변경후】

갖는 박막 트랜지스터 표시판.