

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6035734号
(P6035734)

(45) 発行日 平成28年11月30日 (2016.11.30)

(24) 登録日 平成28年11月11日 (2016.11.11)

(51) Int.Cl.	F I			
HO 1 L 21/336 (2006.01)	HO 1 L 29/78	6 1 6 K		
HO 1 L 29/786 (2006.01)	HO 1 L 29/78	6 1 8 B		
HO 1 L 21/28 (2006.01)	HO 1 L 29/78	6 1 2 C		
HO 1 L 21/288 (2006.01)	HO 1 L 29/78	6 2 7 C		
HO 1 L 29/417 (2006.01)	HO 1 L 29/78	6 1 8 C		
請求項の数 15 (全 38 頁) 最終頁に続く				

(21) 出願番号	特願2011-279240 (P2011-279240)	(73) 特許権者	000002185
(22) 出願日	平成23年12月21日 (2011.12.21)		ソニー株式会社
(65) 公開番号	特開2013-30730 (P2013-30730A)		東京都港区港南1丁目7番1号
(43) 公開日	平成25年2月7日 (2013.2.7)	(74) 代理人	110001357
審査請求日	平成26年11月18日 (2014.11.18)		特許業務法人つばさ国際特許事務所
(31) 優先権主張番号	特願2011-136492 (P2011-136492)	(72) 発明者	小野 秀樹
(32) 優先日	平成23年6月20日 (2011.6.20)		東京都港区港南1丁目7番1号 ソニー株
(33) 優先権主張国	日本国 (JP)		式会社内
		(72) 発明者	秋山 龍人
			東京都港区港南1丁目7番1号 ソニー株
			式会社内
		審査官	小堺 行彦
最終頁に続く			

(54) 【発明の名称】 半導体素子、表示装置および電子機器

(57) 【特許請求の範囲】

【請求項 1】

有機半導体層と、
 前記有機半導体層上で前記有機半導体層と接するように配設された電極と、
 前記電極とは別体として形成され、かつ前記電極と電氣的に接続された配線層と、
 素子の形成領域ごとに個別に設けられ、前記電極の周囲の少なくとも一部分を囲むと共に前記電極の周囲のうちの前記配線層側に開口部を有するバンクと
 を備え、
 前記バンクの形成領域と前記配線層の形成領域とが、互いに重畳していないと共に、
 前記電極の端部が、前記バンク内から前記開口部を介して前記配線層側に突出している
 ことにより、前記電極と前記配線層とが電氣的に接続されている
 半導体素子。

【請求項 2】

前記バンクが、撥液性材料からなる
 請求項 1 に記載の半導体素子。

【請求項 3】

前記有機半導体層と、ゲート電極と、前記電極としての一対のソース・ドレイン電極と、
 前記配線層とを備え、薄膜トランジスタとして構成されている
 請求項 1 または請求項 2 に記載の半導体素子。

【請求項 4】

有機半導体層と、
ゲート電極と、
ゲート絶縁膜と、
前記有機半導体層と接するように配設され、一対のソース・ドレイン電極として機能する一対の電極と、
保護膜と、
前記電極とは別体として形成され、かつ前記電極と電氣的に接続された配線層とを備え、
基板上に、前記ゲート電極、前記ゲート絶縁膜、前記有機半導体層、前記ソース・ドレイン電極、前記保護膜および前記配線層がこの順に積層されている、薄膜トランジスタとして構成されており、
前記有機半導体層は、前記保護膜の形成領域の外部に、前記ソース・ドレイン電極との重畳領域としての凸部を有する半導体素子。

10

【請求項 5】

有機半導体層と、
ゲート電極と、
ゲート絶縁膜と、
前記有機半導体層と接するように配設され、一対のソース・ドレイン電極として機能する一対の電極と、
切り欠き領域としての凹部を有する保護膜と、
前記電極とは別体として形成され、かつ前記電極と電氣的に接続された配線層とを備え、
基板上に、前記ゲート電極、前記ゲート絶縁膜、前記有機半導体層、前記ソース・ドレイン電極、前記保護膜および前記配線層がこの順に積層されている、薄膜トランジスタとして構成されており、
前記切り欠き領域において、前記有機半導体層と前記ソース・ドレイン電極とが重畳されている半導体素子。

20

【請求項 6】

前記電極は、前記有機半導体層上でこの有機半導体層と接している
請求項 4 または請求項 5 に記載の半導体素子。

30

【請求項 7】

前記ゲート電極と前記配線層との重畳領域に、前記有機半導体層および前記保護膜のうちの少なくとも一方が配設されている
請求項 4 ないし請求項 6 のいずれか 1 項に記載の半導体素子。

【請求項 8】

前記一対のソース・ドレイン電極にそれぞれ接続された前記配線層同士を結ぶ領域では、前記ゲート電極の外形線よりも前記有機半導体層の外形線のほうが内側に配置されている
請求項 4 ないし請求項 7 のいずれか 1 項に記載の半導体素子。

40

【請求項 9】

前記一対のソース・ドレイン電極は、これらのソース・ドレイン電極が個別に含まれるように形成された、アライメントずれ吸収領域を有する
請求項 4 ないし請求項 8 のいずれか 1 項に記載の半導体素子。

【請求項 10】

半導体素子と表示層とを備え、
前記半導体素子は、
有機半導体層と、
前記有機半導体層上で前記有機半導体層と接するように配設された電極と、

50

前記電極とは別体として形成され、かつ前記電極と電氣的に接続された配線層と、素子の形成領域ごとに個別に設けられ、前記電極の周囲の少なくとも一部分を囲むと共に前記電極の周囲のうちの前記配線層側に開口部を有するバンクとを備え、

前記バンクの形成領域と前記配線層の形成領域とが、互いに重畳していないと共に、前記電極の端部が、前記バンク内から前記開口部を介して前記配線層側に突出していることにより、前記電極と前記配線層とが電氣的に接続されている表示装置。

【請求項 1 1】

半導体素子と表示層とを備え、
前記半導体素子は、
有機半導体層と、
ゲート電極と、
ゲート絶縁膜と、
前記有機半導体層と接するように配設され、一対のソース・ドレイン電極として機能する一対の電極と、
保護膜と、

前記電極とは別体として形成され、かつ前記電極と電氣的に接続された配線層とを備えると共に、
基板上に、前記ゲート電極、前記ゲート絶縁膜、前記有機半導体層、前記ソース・ドレイン電極、前記保護膜および前記配線層がこの順に積層されている、薄膜トランジスタとして構成されており、

前記有機半導体層は、前記保護膜の形成領域の外部に、前記ソース・ドレイン電極との重畳領域としての凸部を有する表示装置。

【請求項 1 2】

半導体素子と表示層とを備え、
前記半導体素子は、
有機半導体層と、
ゲート電極と、
ゲート絶縁膜と、
前記有機半導体層と接するように配設され、一対のソース・ドレイン電極として機能する一対の電極と、

切り欠き領域としての凹部を有する保護膜と、
前記電極とは別体として形成され、かつ前記電極と電氣的に接続された配線層とを備えると共に、
基板上に、前記ゲート電極、前記ゲート絶縁膜、前記有機半導体層、前記ソース・ドレイン電極、前記保護膜および前記配線層がこの順に積層されている、薄膜トランジスタとして構成されており、

前記切り欠き領域において、前記有機半導体層と前記ソース・ドレイン電極とが重畳されている表示装置。

【請求項 1 3】

半導体素子と表示層とを有する表示装置を備え、
前記半導体素子は、
有機半導体層と、
前記有機半導体層上で前記有機半導体層と接するように配設された電極と、
前記電極とは別体として形成され、かつ前記電極と電氣的に接続された配線層と、
素子の形成領域ごとに個別に設けられ、前記電極の周囲の少なくとも一部分を囲むと共に前記電極の周囲のうちの前記配線層側に開口部を有するバンクと

を備え、
前記バンクの形成領域と前記配線層の形成領域とが、互いに重畳していないと共に、
前記電極の端部が、前記バンク内から前記開口部を介して前記配線層側に突出している
ことにより、前記電極と前記配線層とが電氣的に接続されている
電子機器。

【請求項 14】

半導体素子と表示層とを有する表示装置を備え、
前記半導体素子は、
有機半導体層と、
ゲート電極と、
ゲート絶縁膜と、
前記有機半導体層と接するように配設され、一対のソース・ドレイン電極として機能する一対の電極と、

10

保護膜と、
前記電極とは別体として形成され、かつ前記電極と電氣的に接続された配線層と
を備えると共に、
基板上に、前記ゲート電極、前記ゲート絶縁膜、前記有機半導体層、前記ソース・ドレイン電極、前記保護膜および前記配線層がこの順に積層されている、薄膜トランジスタとして構成されており、

前記有機半導体層は、前記保護膜の形成領域の外部に、前記ソース・ドレイン電極との重畳領域としての凸部を有する
電子機器。

20

【請求項 15】

半導体素子と表示層とを有する表示装置を備え、
前記半導体素子は、
有機半導体層と、
ゲート電極と、
ゲート絶縁膜と、
前記有機半導体層と接するように配設され、一対のソース・ドレイン電極として機能する一対の電極と、

30

切り欠き領域としての凹部を有する保護膜と、
前記電極とは別体として形成され、かつ前記電極と電氣的に接続された配線層と
を備えると共に、
基板上に、前記ゲート電極、前記ゲート絶縁膜、前記有機半導体層、前記ソース・ドレイン電極、前記保護膜および前記配線層がこの順に積層されている、薄膜トランジスタとして構成されており、

前記切り欠き領域において、前記有機半導体層と前記ソース・ドレイン電極とが重畳されている

電子機器。

40

【発明の詳細な説明】

【技術分野】

【0001】

本開示は、有機半導体層を有する半導体素子、ならびにそのような半導体素子を備えた表示装置および電子機器に関する。

【背景技術】

【0002】

近年、有機 T F T (Thin Film Transistor; 薄膜トランジスタ) などの有機半導体を用いた半導体素子の開発が進められている (例えば、非特許文献 1 参照)。この有機半導体を用いた半導体素子は、フレキシブル有機 E L (Electro Luminescence) ディスプレイあ

50

るいはフレキシブル電子ペーパーなどの表示装置、またはフレキシブルプリント基板、有機薄膜太陽電池、タッチパネルなどの電子機器への応用が想定されている。

【先行技術文献】

【非特許文献】

【0003】

【非特許文献1】C.D.Dimitrakopoulos and P.R.L.Malenfant, Adv.Mater. 2002, 14, No 2, p. 99

【発明の概要】

【発明が解決しようとする課題】

【0004】

ところで、上記のような有機半導体を用いた半導体素子では、有機半導体層上に電極（例えば、ソース電極やドレイン電極）および配線層を形成する際に、例えば有機半導体層の端部（半導体島のエッジ部分）付近などにおいて、配線層の断線が生じてしまう場合があった。また、電極上に有機半導体層を形成する場合には、それらの間の接触抵抗や配線抵抗が増加してしまうおそれがある。このような配線層の断線や抵抗値の増大は製造不良の要因となることから、信頼性を向上させる手法の提案が望まれる。

【0005】

本開示はかかる問題点に鑑みてなされたもので、その目的は、信頼性を向上させることが可能な半導体素子、表示装置および電子機器を提供することである。

【課題を解決するための手段】

【0006】

本開示の第1の半導体素子は、有機半導体層と、この有機半導体層上で有機半導体層と接するように配設された電極と、この電極とは別体として形成され、かつ電極と電氣的に接続された配線層と、素子の形成領域ごとに個別に設けられ、電極の周囲の少なくとも一部分を囲むと共に電極の周囲のうちの配線層側に開口部を有するバンクとを備えたものである。バンクの形成領域と配線層の形成領域とは、互いに重畳していないと共に、電極の端部が、バンク内から開口部を介して配線層側に突出していることにより、電極と配線層とが電氣的に接続されている。

本開示の第2の半導体素子は、有機半導体層と、ゲート電極と、ゲート絶縁膜と、有機半導体層と接するように配設され、一対のソース・ドレイン電極として機能する一対の電極と、保護膜と、電極とは別体として形成され、かつ電極と電氣的に接続された配線層とを備えると共に、基板上に、ゲート電極、ゲート絶縁膜、有機半導体層、ソース・ドレイン電極、保護膜および配線層がこの順に積層されている、薄膜トランジスタとして構成されているものである。有機半導体層は、保護膜の形成領域の外部に、ソース・ドレイン電極との重畳領域としての凸部を有している。

本開示の第3の半導体素子は、有機半導体層と、ゲート電極と、ゲート絶縁膜と、有機半導体層と接するように配設され、一対のソース・ドレイン電極として機能する一対の電極と、切り欠き領域としての凹部を有する保護膜と、電極とは別体として形成され、かつ電極と電氣的に接続された配線層とを備えると共に、基板上に、ゲート電極、ゲート絶縁膜、有機半導体層、ソース・ドレイン電極、保護膜および配線層がこの順に積層されている、薄膜トランジスタとして構成されているものである。切り欠き領域では、有機半導体層とソース・ドレイン電極とが重畳されている。

【0007】

本開示の第1の表示装置は、上記本開示の第1の半導体素子と、表示層とを備えたものである。

本開示の第2の表示装置は、上記本開示の第2の半導体素子と、表示層とを備えたものである。

本開示の第3の表示装置は、上記本開示の第3の半導体素子と、表示層とを備えたものである。

【0008】

10

20

30

40

50

本開示の第1の電子機器は、上記本開示の第1の表示装置を備えたものである。

本開示の第2の電子機器は、上記本開示の第2の表示装置を備えたものである。

本開示の第3の電子機器は、上記本開示の第3の表示装置を備えたものである。

【0009】

本開示の半導体素子、表示装置および電子機器では、有機半導体層と接するように配設された電極と、この電極と電気的に接続された配線層とが、別体として形成されている。これにより、これらの電極と配線層とが一体的に形成されている場合と比べ、例えば、有機半導体層の端部（半導体島のエッジ部分）付近での配線層の断線が生じにくくなったり、有機半導体層と電極との間の接触抵抗を抑えつつ配線抵抗を低減することができる。

【0010】

参考例に係る半導体素子の製造方法は、基板上に、有機半導体層およびこの有機半導体層と接する電極を形成する工程と、この電極と電気的に接続された配線層を形成する工程とを含むようにしたものである。

【0011】

参考例に係る半導体素子の製造方法では、有機半導体層と接する電極が形成され、この電極と電気的に接続された配線層が形成される。これにより、これらの電極と配線層とが一体的に（同一工程で）形成される場合と比べ、例えば、有機半導体層の端部（半導体島のエッジ部分）付近での配線層の断線が生じにくくなったり、有機半導体層と電極との間の接触抵抗を抑えつつ配線抵抗を低減することができる。

【発明の効果】

【0012】

本開示の半導体素子、表示装置および電子機器によれば、有機半導体層上に接するように配設された電極と、この電極と電気的に接続された配線層とが別体として形成されているようにしたので、例えば有機半導体層の端部付近での配線層の断線を生じにくくしたり、接触抵抗を抑えつつ配線抵抗を低減することができる。よって、信頼性を向上させることが可能となる。

【0013】

参考例に係る半導体素子の製造方法によれば、有機半導体層上に接するように電極を形成した後に、この電極と電気的に接続された配線層を形成するようにしたので、例えば有機半導体層の端部付近での配線層の断線を生じにくくしたり、接触抵抗を抑えつつ配線抵抗を低減することができる。よって、信頼性を向上させることが可能となる。

【図面の簡単な説明】

【0014】

【図1】本開示の第1の実施の形態に係る半導体素子としての薄膜トランジスタの構成例を表す図である。

【図2】ソース・ドレイン電極におけるアライメントずれ吸収領域について説明するための模式図である。

【図3】有機半導体層、ソース・ドレイン電極および保護膜の配置および形状について説明するための模式図である。

【図4】図3に示した凸部および凹部の詳細について説明するための模式図である。

【図5】第1の実施の形態に係る薄膜トランジスタの他の構成例を表す断面図である。

【図6】第1の実施の形態に係る薄膜トランジスタの製造方法を工程順に表す平面図である。

【図7】比較例2、3に係る薄膜トランジスタにおける問題点について説明するための模式図である。

【図8】ゲート電極、ゲート絶縁膜、有機半導体層、ソース・ドレイン電極および保護膜の配置関係について説明するための模式図である。

【図9】ゲート電極と有機半導体層との配置関係について説明するための模式図である。

【図10】第2の実施の形態に係る薄膜トランジスタの構成例および製造方法を工程順に

10

20

30

40

50

表す平面図である。

【図 1 1】第 3 の実施の形態に係る薄膜トランジスタの構成例および製造方法を工程順に表す平面図である。

【図 1 2】第 4 の実施の形態に係る薄膜トランジスタの構成例および製造方法を工程順に表す平面図である。

【図 1 3】第 5 の実施の形態に係る薄膜トランジスタの構成例を表す図である。

【図 1 4】第 5 の実施の形態に係る薄膜トランジスタの製造方法を工程順に表す平面図である。

【図 1 5】図 1 4 に続く工程を表す平面図である。

【図 1 6】図 1 5 に続く工程を表す平面図である。

【図 1 7】バンクの形成位置とソース・ドレイン電極の形状との関係について説明するための平面図である。

【図 1 8】変形例 1 に係る薄膜トランジスタの製造方法を工程順に表す平面図である。

【図 1 9】図 1 8 に続く工程を表す平面図である。

【図 2 0】変形例 2 に係る薄膜トランジスタの製造方法を工程順に表す平面図である。

【図 2 1】図 2 0 に続く工程を表す平面図である。

【図 2 2】変形例 3 に係るバンクの構成およびこのバンクを用いたソース・ドレイン電極の形成方法について説明するための平面図である。

【図 2 3】バンクの形状と、ソース・ドレイン電極および配線層間のコンタクトとの関係について説明するための断面図である。

【図 2 4】第 6 の実施の形態に係る薄膜トランジスタの構成例を表す断面図である。

【図 2 5】第 6 の実施の形態に係る薄膜トランジスタの製造方法を工程順に表す平面図である。

【図 2 6】比較例 4, 5 に係る薄膜トランジスタの構成を表す断面図である。

【図 2 7】各実施の形態および各変形例の薄膜トランジスタの表示装置への適用例を表す図である。

【図 2 8】図 2 7 に示した表示装置の電子機器への適用例 1 の外観を表す斜視図である。

【図 2 9】適用例 2 の外観を表す斜視図である。

【図 3 0】(A) は適用例 3 の表側から見た外観を表す斜視図であり、(B) は裏側から見た外観を表す斜視図である。

【図 3 1】適用例 4 の外観を表す斜視図である。

【図 3 2】適用例 5 の外観を表す斜視図である。

【図 3 3】(A) は適用例 6 の開いた状態の正面図、(B) はその側面図、(C) は閉じた状態の正面図、(D) は左側面図、(E) は右側面図、(F) は上面図、(G) は下面図である。

【発明を実施するための形態】

【0015】

以下、本開示の実施の形態について、図面を参照して詳細に説明する。なお、説明は以下の順序で行う。

1. 第 1 の実施の形態 (ソース・ドレイン電極：印刷形成、配線層：真空成膜形成の例)
2. 第 2 の実施の形態 (ソース・ドレイン電極および配線層：印刷形成の例)
3. 第 3 の実施の形態 (ソース・ドレイン電極：真空成膜形成、配線層：印刷形成の例)
4. 第 4 の実施の形態 (ソース・ドレイン電極および配線層：真空成膜形成の例)
5. 第 5 の実施の形態 (バンクを用いてソース・ドレイン電極を形成する例)
6. 第 5 の実施の形態の変形例 (変形例 1 ~ 3)
7. 第 6 の実施の形態 (ボトムコンタクト型の例)
8. 適用例 (表示装置, 電子機器への適用例)
9. その他の変形例

【0016】

<第1の実施の形態>

[薄膜トランジスタ1の全体構成]

図1は、本開示の第1の実施の形態に係る半導体素子（薄膜トランジスタ1）の概略構成を模式的に表したものである。具体的には、図1（A）は平面構成（X-Y平面構成）を、図1（B）は、図1（A）におけるI I-I I線に沿った矢視断面構成（Y-Z断面構成）を、それぞれ示している。この薄膜トランジスタ1は、例えば表示装置のアクティブマトリクス回路などに用いられるトップコンタクト・スタガード型のものである。薄膜トランジスタ1は、例えば、基板11上に、ゲート電極12、ゲート絶縁膜13、有機半導体層14、一对のソース・ドレイン電極15A、15B（電極）、保護膜16および一对の配線層17A、17Bがこの順に積層された構造を有している。すなわち、この薄膜トランジスタ1は、有機半導体を用いた有機TFTである。

10

【0017】

基板11は、例えば、ガラス、石英、シリコン、ガリウム砒素等の無機材料、金属材料、あるいはプラスチック材料等からなる。金属材料としては、例えば、アルミニウム（Al）、ニッケル（Ni）またはステンレスなどが挙げられる。プラスチック材料としては、ポリイミド、ポリエチレンテレフタレート（PET）、ポリエチレンナフタレート（PEN）、ポリメチルメタクリレート（PMMA）、ポリカーボネート（PC）、ポリエーテルスルホン（PES）、ポリエチルエーテルケトン（PEEK）、芳香族ポリエステル（液晶ポリマー）等が挙げられる。この基板11は、ウェハなどの剛性の基板であってもよく、薄層ガラスやフィルム、紙（一般紙）などの可撓性基板（フレキシブル基板）であってもよい。なお、基板11の表面には、例えば、密着性を確保するためのバッファ層またはガス放出を防止するためのガスバリア層などの各種層が設けられていてもよい。

20

【0018】

ゲート電極12は、薄膜トランジスタ1のゲート電極として機能するものであり、ここではY軸方向に沿って延在するゲート配線12Lと電気的に接続されている。このゲート電極12は、基板11の上に設けられており、例えば、金属材料、無機導電性材料、有機導電性材料または炭素材料のいずれか1種類または2種類以上により構成されている。金属材料は、例えば、アルミニウム、銅（Cu）、モリブデン（Mo）、チタン（Ti）、クロム（Cr）、ニッケル、パラジウム（Pd）、金（Au）、銀（Ag）、白金（Pt）またはそれらを含む合金などである。無機導電性材料は、例えば、酸化インジウム（ In_2O_3 ）、酸化インジウムスズ（ITO）、酸化インジウム亜鉛（IZO）または酸化亜鉛（ZnO）などである。有機導電性材料は、例えば、ポリエチレンジオキシチオフェン（PEDOT）またはポリスチレンスルホン酸（PSS）などである。炭素材料は、例えば、グラファイトなどである。なお、ゲート電極12は、上記した各種材料の層が2層以上積層されたものでもよい。

30

【0019】

ゲート絶縁膜13は、ゲート電極12およびゲート配線12Lを覆っていると共に、例えば、無機絶縁性材料または有機絶縁性材料のいずれか1種類または2種類以上により構成されている。無機絶縁性材料は、例えば、酸化ケイ素（ SiO_x ）、窒化ケイ素（ SiN_x ）、酸化アルミニウム（ Al_2O_3 ）、酸化チタン（ TiO_2 ）、酸化ハフニウム（ HfO_x ）またはチタン酸バリウム（ BaTiO_3 ）などである。有機絶縁性材料は、例えば、ポリビニルフェノール（PVP）、ポリイミド、ポリメタクリル酸アクリレート、感光性ポリイミド、感光性ノボラック樹脂またはポリパラキシリレンなどである。なお、ゲート絶縁膜13は、上記した各種材料の層が2層以上積層されたものでもよい。

40

【0020】

有機半導体層14は、薄膜トランジスタ1の形成領域において島状に形成されており、例えば、PXX（peri-xanthenoxanthene）誘導体により構成されている。また、この有機半導体層14は、例えば、ペンタセン（ $\text{C}_{22}\text{H}_{14}$ ）、ポリチオフェンなどの他の有機半導体材料により構成されていてもよい。

【0021】

50

ソース・ドレイン電極 15 A, 15 B は、有機半導体層 14 上において、この有機半導体層 14 と接するように配設された電極であり、ここでは平面形状 (X-Y 平面形状) が楕型となっている。ただし、ソース・ドレイン電極 15 A, 15 B の形状は、これには限られない。これらのソース・ドレイン電極 15 A, 15 B は、導電性材料、特に、そのまま有機半導体層 14 とオーミック接触を与えうる金属、金属酸化物、導電性高分子または炭素等により構成されていることが好ましい。そのような金属としては、例えば、金 (Au), 銅 (Cu), 銀 (Ag), ニッケル (Ni) またはチタン (Ti) が挙げられる。また、例えば、厚み 20 nm のチタン (Ti) 層と、厚み 200 nm のアルミニウム (Al) 層と、厚み 20 nm のチタン (Ti) 層とをこの順に積層した積層構造となってもよい。上記した金属酸化物としては、例えば、 CuO_x , NiO_x , TiO_x , ITO (Indium Tin Oxide; 酸化インジウムスズ) または MoO_x , WO_x が挙げられる。また、上記した導電性高分子としては、例えば、水溶性 PEDOT-PSS が挙げられる。

10

【0022】

保護膜 16 は、ソース・ドレイン電極 15 A, 15 B および配線層 17 A, 17 B の少なくとも一部を覆うように配設されており、例えば $(\text{C}_6\text{F}_{10})_n$ などのフッ素樹脂により構成されている。この保護膜 16 は、有機半導体層 14 にダメージを与えない溶媒で溶解された樹脂であることが好ましい。なお、そのような樹脂としては、上記したフッ素樹脂の他、PVA (ポリビニルアルコール; 水溶性), パリレン樹脂等が挙げられる。

【0023】

配線層 17 A, 17 B はそれぞれ、ソース・ドレイン電極 15 A, 15 B とは別体として (別工程により) 形成されたものであると共に、これらのソース・ドレイン電極 15 A, 15 B と電氣的に接続されている。具体的には、配線層 17 A は、ソース・ドレイン電極 15 A と電氣的に接続され、配線層 17 B は、ソース・ドレイン電極 15 B と電氣的に接続されている。これらの配線層 17 A, 17 B は、例えば上記したソース・ドレイン電極 15 A, 15 B と同様の材料により構成されており、ここでは X 軸方向に沿って延在している。

20

【0024】

[有機半導体層 14、ソース・ドレイン電極 15 A, 15 B、保護膜 16 等の詳細構成]

ここで本実施の形態では、例えば図 2 (A) ~ (C) に示したように、ソース・ドレイン電極 15 A, 15 B の電極端 (ここでは Y 軸方向の電極端) にはそれぞれ、アライメントずれ吸収領域 150 が設けられている。このアライメントずれ吸収領域 150 は、X 軸方向および Y 軸方向の各々に沿った位置合わせマージン (アライメントずれマージン) Δx , Δy を考慮した領域 (ここでは矩形状の領域) であり、ソース・ドレイン電極 15 A, 15 B が個別に含まれるように配置されている。すなわち、例えば図 2 (D) に示した比較例 1 のように、一のアライメントずれ吸収領域 150 内に一对のソース・ドレイン電極 15 A, 15 B の双方が配置されるのではなく、一のアライメントずれ吸収領域 150 内には、一对のソース・ドレイン電極 15 A, 15 B のいずれか一方のみが配設されている。これにより詳細は後述するが、ソース・ドレイン電極 15 A, 15 B を印刷形成する際の位置合わせずれ (アライメントずれ) が吸収され、製造不良の発生が抑えられるようになっている。

30

40

【0025】

また、例えば図 1 (A)、図 3 (A) および図 4 (A) に示したように、有機半導体層 14 には、保護膜 16 の形成領域の外部に、ソース・ドレイン電極 15 A, 15 B との重畳領域としての凸部 140 が設けられている。具体的には、この凸部 140 は、Y 軸方向に沿って保護膜 16 の形成領域からはみ出すように形成されており、ソース・ドレイン電極 15 A, 15 B のうちの上記したアライメントずれ吸収領域 150 と重なるように配置されている (図 1 (B) および図 4 (A) 中の符号 P11 参照)。これにより詳細は後述するが、有機半導体層 14 の端部 (半導体島のエッジ部分) 付近での配線層 17 A, 17 B の断線 (段切れ) が生じにくくなる (望ましくは、そのような断線の発生が回避される)。

50

【0026】

あるいは、図3(B)および図4(B)に示したように、保護膜16において切り欠き領域としての凹部160が設けられているようにしてもよい。具体的には、この切り欠き領域(凹部160)はY軸方向に沿って形成されており、この切り欠き領域において有機半導体層14とソース・ドレイン電極15A、15Bとが重畳されている(図4(B)および図5(図3(B)におけるIII-III線に沿った矢視断面図)中の符号P12参照)。ただし、ソース・ドレイン電極15A、15Bのうちの上記したアライメントずれ吸収領域150は、この凹部160とは重ならないように配置されている。このような凹部160を設けた場合にも、詳細は後述するが、有機半導体層14の端部(半導体島のエッジ部分)付近での配線層17A、17Bの断線(段切れ)が生じにくくなる(望ましくは、そのような断線の発生が回避される)。

10

【0027】

[薄膜トランジスタ1の製造方法]

この薄膜トランジスタ1は、例えば次のようにして製造することができる。図6(A)～(E)は、本実施の形態の薄膜トランジスタ1の製造方法における主要な工程例を、工程順に平面図(X-Y平面図)で表わしたものである。

【0028】

まず、図6(A)に示したように、図示しない基板11上にゲート電極12およびゲート配線12Lを形成し、これらのゲート電極12およびゲート配線12Lの上に図示しないゲート絶縁膜13を形成する。

20

【0029】

具体的には、まず、上述した材料よりなる基板11を用意し、この基板11に、例えば真空成膜法、塗布法またはめっき法により、上述した金属材料よりなるゲート電極材料膜(図示せず)を形成する。真空成膜法は、例えば、真空蒸着法、フラッシュ蒸着法、スパッタリング法、物理的气相成長法(PVD)、化学的气相成長法(CVD)、パルスレーザ堆積法(PLD)またはアーク放電法などである。塗布法は、例えば、スピコート法、スリットコート法、バーコート法またはスプレーコート法などである。めっき法は、例えば、電解めっき法または無電解めっき法などである。

【0030】

次いで、このゲート電極材料膜の上に、レジストパターンなどのマスク(図示せず)を形成する。続いて、マスクを用いてゲート電極材料膜をエッチングしたのち、アッシング法またはエッチング法などを用いてマスクを除去する。これにより、図6(A)に示したように、基板11上にゲート電極12およびゲート配線12Lが形成される。ここで、レジストパターンを形成する場合には、例えば、フォトリソグラフィ法、レーザ描画法、電子線描画法またはX線描画法などを用いてフォトリソグラフィ膜をパターンニングする。ただし、レジスト転写法などを用いてレジストパターンを形成してもよい。ゲート電極材料膜のエッチング方法は、例えば、ドライエッチング法、またはエッチャント溶液を用いたウェットエッチング法であり、そのドライエッチング法は、例えば、イオンミリングまたは反応性イオンエッチング(RIE)などである。マスクを除去するためのエッチング方法も同様である。

30

40

【0031】

なお、ゲート電極12等の形成方法は、例えば、インクジェット法、スクリーン印刷法、グラビア印刷法またはグラビアオフセット印刷法などの印刷法でもよい。また、レーザアブレーション法、マスク蒸着法またはレーザ転写法などを用いて、マスクとしてレジストパターンの代わりに金属パターンを形成してもよい。もちろん、ゲート電極12等を形成するために、金属材料の代わりに上述した無機導電性材料、有機導電性材料または炭素材料などを用いることも可能である。

【0032】

続いて、これらのゲート電極12およびゲート配線12Lを覆うように、ゲート絶縁膜13を形成する。このゲート絶縁膜13の形成手順は、例えば、その形成材料により異な

50

る。無機絶縁性材料を用いる場合の形成手順は、例えば、塗布法がゾル・ゲル法などでもよいことを除き、ゲート電極 1 2 等を形成する場合と同様である。有機絶縁性材料を用いる場合の形成手順は、例えば、フォトリソグラフィ法などを用いて感光性材料をパターンニングしてもよいことを除き、ゲート電極 1 2 等を形成した場合と同様である。

【0033】

次いで、図 6 (B) に示したように、図示しないゲート絶縁膜 1 3 上に、例えば塗布法や蒸着法を用いて、有機半導体層 1 4 を形成する。ここでは一例として、有機半導体層 1 4 に上述した凸部 1 4 0 を設ける場合について説明する。

【0034】

具体的には、まず、例えば上述した有機半導体材料、例えば P X X 誘導体を有機溶剤などの溶媒に分散または溶解させた溶液（混合溶液）を調製し、この混合溶液をゲート絶縁膜 1 3 の上面に塗布し、加熱（焼成）する。これにより、ゲート絶縁膜 1 3 上に、上述した有機半導体材料、例えば P X X 誘導体よりなる有機半導体材料膜を形成する。溶媒としては、例えば、トルエン、キシレン、メシチレンまたはテトラリンなどを用いることが可能である。

【0035】

次いで、このようにして形成した有機半導体材料膜を基に、例えばレーザアブレーション法を用いて素子分離を行い、前述した島形状からなる有機半導体層 1 4 を形成する。ただし、素子分離の方法としてはレーザアブレーション法には限られず、金属保護膜層による方法や、感光性フッ素樹脂へのパターンニング法を用いてもよい。あるいは、有機半導体層 1 4 を印刷法によって直接パターン形成し、この素子分離工程を省略するようにしてもよい。ただし、有機半導体層 1 4 の表面に与えるダメージを極力低減させるためには、レーザアブレーション法を用いるのが望ましい。

【0036】

続いて、図 6 (C) に示したように、有機半導体層 1 4 上にこの有機半導体層 1 4 と接するように、前述した形状からなるソース・ドレイン電極 1 5 A, 1 5 B を形成する。具体的には、本実施の形態では、これらのソース・ドレイン電極 1 5 A, 1 5 B を、印刷法（印刷プロセス）を用いて形成する。詳細には、有機半導体層 1 4 上において、例えば反転オフセット印刷法を用いて水溶性 P E D O T - P S S を直接パターンニングし、その後、例えば 1 4 0 °C の温度で 1 時間程度加熱処理を行うことにより、ソース・ドレイン電極 1 5 A, 1 5 B を形成する。ただし、電極材料としては P E D O T - P S S には限られず、例えば A g ナノインクや C u ナノインク等をインク材料として用いることにより、A g や C u を電極材料としてもよい。あるいは、グラフェン、カーボンナノチューブ等のカーボン系材料（炭素材料）を、電極材料として用いてもよい。また、印刷法の種類としても、上記した反転オフセット印刷法には限られず、他の印刷法を用いてもよい。

【0037】

次に、図 6 (D) に示したように、有機半導体層 1 4 およびソース・ドレイン電極 1 5 A, 1 5 B の上に、上述した材料からなる保護膜 1 6 を形成する。具体的には、例えば (C₆F₁₀)_n などのフッ素樹脂を全面塗布した後、その膜上に一般的なフォトレジストを塗布し、フォトリソグラフィ技術を用いて所望のパターンを形成することにより、保護膜 1 6 を形成する。このフォトリソグラフィ技術を用いたパターン形成の際には、例えば酸素プラズマを用いて、フッ素樹脂膜をドライエッチング加工する。このドライエッチングでは、ソース・ドレイン電極 1 5 A, 1 5 B において前述したアライメントずれ吸収領域 1 5 0 が露出するまで行う。そして、エッチング加工後は、フォトレジストを除去する。なお、感光性フッ素樹脂を用いた、フォトリソグラフィ技術によるパターン形成も可能である。また、ここでは、フォトリソグラフィ技術を用いたパターン形成を例に挙げて説明したが、これには限られない。更に、例えば反転オフセット印刷法等の印刷法を用いて、保護膜 1 6 を直接的にパターン形成することも可能である。

【0038】

続いて、図 6 (E) に示したように、ソース・ドレイン電極 1 5 A, 1 5 B と電氣的に

10

20

30

40

50

接続された配線層 17 A, 17 B を形成する。具体的には、本実施の形態では、これらの配線層 17 A, 17 B を、真空成膜プロセスおよびフォトリソグラフィ技術を用いて形成する（真空成膜形成する）。このようにして、上記したソース・ドレイン電極 15 A, 15 B と配線層 17 A, 17 B とを、別体として（別工程により）形成する。

【0039】

詳細には、まず、厚み 20 nm の Ti 層、厚み 200 nm の Al 層および厚み 20 nm の Ti 層をこの順に積層した積層膜を、例えばスパッタ法を用いた全面成膜する。そのうち、一般的なフォトレジスト膜を塗布し、フォトリソグラフィ技術を用いて所望のパターンを形成する。続いて、例えば硝酸・フッ酸・リン酸の混酸を用いて、上記した積層膜をウェットエッチング加工し、その後フォトレジスト膜を溶解・除去することにより、配線層 17 A, 17 B を形成する。以上により、図 1 (A), (B) に示した薄膜トランジスタ 1 が完成する。

【0040】

なお、ここでは、配線層 17 A, 17 B の材料として、Ti / Al / Ti を例に挙げて説明したが、これには限られず、前述した種々の材料を用いることが可能である。ただし、材料が安価であること、配線抵抗が小さいこと、基板と配線との付着性が良好であること、およびウェットエッチング加工が容易であることなどから、Ti / Al, Ti を用いるのが好ましいと言える。また、ここでは、成膜方法としてスパッタ法を例に挙げて説明したが、これには限られず、例えば抵抗加熱真空蒸着、電子線加熱真空蒸着、CVD 法等の種々の成膜方法が適用可能であり、以下同様である。更に、ここでは、パターニング方法として、フォトリソグラフィ技術を用いた例を挙げているが、これには限られず、例えばレーザアブレーション法を用いてパターニングを行うようにしてもよく、以下同様である。加えて、ここではウェットエッチング加工を例に挙げて説明したが、これには限られず、塩素、あるいは塩素と四フッ化炭素との混合ガスを用いたリアクティブイオンエッチングによって、配線層 17 A, 17 B の加工を行うようにしてもよい。

【0041】

ここで、最終的に形成された薄膜トランジスタ 1 では、有機半導体層 14 の外縁部分（半導体島のエッジ部分）が、保護膜 16 または配線層 17 A, 17 B によって完全に被覆されている。これにより本実施の形態では、図 6 (E) 以降の工程において、有機溶剤に溶解された樹脂を塗布形成することが可能となる。仮に、この段階で有機半導体層 14 の外縁部分（半導体島のエッジ部分）の一部が露出されている場合には、その端面を覆う工程（例えば、フッ素樹脂の塗布およびそのパターニング工程）を設ける必要が生じ、工程数の増加や製造コストの増加につながる。したがって、このような事態を避けるため、図 6 (E) のように形成するのが望ましいと言える。

【0042】

[薄膜トランジスタ 1 の作用・効果]

この薄膜トランジスタ 1 では、ゲート配線 12 L を介してゲート電極 12 に所定の閾値電圧以上の電圧（ゲート電圧）が印加されると、有機半導体層 14 内にチャネルが形成される。これにより、ソース・ドレイン電極 15 A, 15 B 間に電流（ドレイン電流）が流れ、トランジスタ（有機 TFT）として機能する。

【0043】

(1. 従来の手法の問題点)

ところで、このような有機 TFT では、従来、有機半導体層上に金属層を直成膜してエッチング加工することにより、ソース・ドレイン電極を形成する手法が用いられている。ところがこの手法では、有機半導体と電極金属との組合せによっては、有機半導体の表面にダメージが生じ、特性劣化をもたらすおそれがある。

【0044】

これに対して、印刷プロセス（印刷法）を用いて、トップコンタクト型のソース・ドレイン電極を直接パターン形成する場合、理想的には、チャネル上の有機半導体層の表面に何も触れることなく、ソース・ドレイン電極を形成することができる。したがって、有機

10

20

30

40

50

半導体層へのダメージを抑えつつトップコンタクト構造を形成することができ、良好なトランジスタ特性が得られる。つまり、印刷法は、ボトムゲート・スタagger型の有機TFETを製造する際に、ソース・ドレイン電極の形成方法として好適な手法であると言える。また、このような印刷法による電極形成技術の中でも、反転オフセット印刷法による配線形成技術は、精細度において優れた成果を収めている。

【0045】

ここで、ボトムゲート・スタagger型の有機TFETを用いて、集積回路を製造する場合について考える。特に、ソース・ドレイン電極および配線層をそれぞれ、反転オフセット印刷法を用いて形成する場合について考える。この場合において、これらのソース・ドレイン電極と配線層とを、印刷法（反転オフセット印刷法）を用いて一括形成（同一工程にて形成）すると、特にボトムゲート・スタagger型の有機TFETを集積化する際には、以下の問題が生じてしまう。

10

【0046】

第1の問題点として、有機半導体層上に電極（ソース電極やドレイン電極）および配線層を形成する際に、例えば有機半導体層の端部（半導体島のエッジ部分）付近などにおいて、配線層の断線（段切れ）が生じるおそれがある。これは、被印刷面である島状の有機半導体層の表面は平坦面ではなく、段差は数十nm程度と小さいものの、エッジ近傍で配線が切れやすいことに起因している。このような有機半導体層の端部付近などでの配線層の断線（段切れ）は、ボトムコンタクト型の有機TFETを製造する際には生じず、トップコンタクト型の有機TFETに特有の問題である。このような配線層の断線は製造不良の要因となることから、製造不良を低減することが望まれる。

20

【0047】

また、第2の問題点として、パターンの位置合わせ精度が不十分であることが挙げられる。これは、以下の理由によるものである。すなわち、まず、印刷装置の機械精度、更にはブランケットの歪みにより、印刷されるパターンは、本来あるべき位置からずれてしまう場合がある。そのため、集積回路パターンは、この印刷位置精度を考慮した冗長なパターンとなる。すると、ステッパ等を使用したフォトリソグラフィ技術によるパターン形成法（高い位置精度：位置ズレが $\pm 1 \mu\text{m}$ 程度未満）を想定した集積回路パターンと比較して、トランジスタの集積化密度は小さくなってしまう。

【0048】

30

更に、第3の問題点として、材料面での問題がいくつか挙げられる。まず、現在のところ印刷配線用材料として一般的なものは、有機分子でその周辺が修飾されたAgナノ粒子である。ところが、Ag配線は高湿度中の通電により、エレクトロマイグレーションが引き起こされることが知られている。そのため、Ag配線を有する電気回路においてその信頼性を確保するためには、外部からの水分侵入を阻止するための強固なバリア層（例えばガラス）が必要になる。これは、有機TFETを用いてフレキシブル回路を作製するうえでの障壁となってしまう。

【0049】

なお、このようなAg配線の欠点を解消し得る、Cuナノインクも近年開発されている。しかしながら、Cuの酸化し易い性質に起因してインクの保存期間が短期であることや、還元雰囲気中において焼成する要請から、そのための特殊加熱設備を必要とする等、Cuインクには未だ実用上の欠点がある。

40

【0050】

また、金属ナノ粒子のインク以外では、PEDOT-PSS等の導電性高分子や、グラフェン、カーボンナノチューブ等のカーボン系材料も、配線材料となり得る。どちらの材料においてもイオン化ポテンシャル（あるいは仕事関数）が 5 eV 程度であり、有機半導体との電氣的障壁が比較的小さい材料である。また、カーボン系材料は、その仕様によっては金属ナノ粒子インクに比べて安価である。しかしながら、いずれもシート抵抗が高いため、長い配線に使用することは難しいと言える。

【0051】

50

以上説明した3つの問題点により、ボトムゲート・スタagger型の有機TFTでは、特にその集積回路を作製する際に、ソース・ドレイン電極と配線層とを印刷法（例えば反転オフセット印刷法）を用いて一括形成（同一工程にて形成）することは、加工面および材料面の両面からみて困難を伴う。

【0052】

（2．本実施の形態の作用）

そこで本実施の形態では、以下説明するようにして、上記した3つの問題点を解消している。具体的には、まず、本実施の形態の薄膜トランジスタ1では、有機半導体層14上に接するように配設されたソース・ドレイン電極15A、15Bと、これらのソース・ドレイン電極15A、15Bと電氣的に接続された配線層17A、17Bとが、別体として形成されている。換言すると、この薄膜トランジスタ1を製造する際に、有機半導体層14上に接するようにソース・ドレイン電極15A、15Bが形成された後に、これらのソース・ドレイン電極15A、15Bと電氣的に接続された配線層17A、17Bが形成される。これにより、これらのソース・ドレイン電極15A、15Bと配線層17A、17Bとが一体的に形成される（同一工程で形成される）場合と比べ、例えば有機半導体層14の端部（半導体島のエッジ部分）付近での配線層17A、17Bの断線が生じにくくなる。

【0053】

また、本実施の形態では、例えば図3（A）等にした凸部140、あるいは図3（B）等にした凹部160が、有機半導体層14または保護膜16に設けられている。これにより、例えば図4（A）、（B）に中の斜線で示した領域（符号P11、P12参照）において、ソース・ドレイン電極15A、15Bと配線層17A、17Bとが、確実に電氣的に接続される（接触される）ことになる。その結果、例えば図1（B）および図5に示したように、配線層17A、17Bにおける断線（段切れ）の発生が回避され、より確実な電氣的接続が確保される。

【0054】

すなわち、例えば図3（C）および図7（A）に示した比較例2の薄膜トランジスタ（薄膜トランジスタ201）では、有機半導体層14および保護膜16のいずれにおいても、凸部140や凹部160が設けられていない。このことから、例えば図7（A）中の符号P201で示したように、ゲート電極12とソース・ドレイン電極15A、15B（または配線層17A、17B）との層間にゲート絶縁膜13だけが設けられている領域が存在することになる。このような領域は、ゲート電極12とソース・ドレイン電極15A、15Bとの間のリーク箇所となる可能性が高く、大規模な集積回路を作製した場合には、回路としての性能を示さなくなるおそれが生じてしまう。

【0055】

このことから、本実施の形態の薄膜トランジスタ1では、例えば図8（A）、（B）に示したように、ゲート電極12とソース・ドレイン電極15A、15B（配線層17A、17B）との重畳領域に、有機半導体層14および保護膜16のうちの少なくとも一方が配設されているようにするのが望ましいと言える。換言すると、例えば図8（C）に示した比較例2の薄膜トランジスタ201のように、ゲート電極12とソース・ドレイン電極15A、15B（配線層17A、17B）との重畳領域に、有機半導体層14および保護膜16のいずれもが配設されていないのは望ましくないということである。

【0056】

また、例えば図7（B）に示した比較例3の薄膜トランジスタ（薄膜トランジスタ301）では、配線層17A、17B同士を結ぶ領域において、ゲート電極12の外形線よりも有機半導体層14の外形線のほうが外側に配置されている。このことから、例えば図7（B）中の符号P301で示したように、ゲート電極12に印加されるゲート電圧によって変調されない半導体領域が、ソース・ドレイン電極15A、15B間（配線層17A、17B間）に存在することになる。このような半導体領域は、ゲート電極12とソース・ドレイン電極15A、15Bとの間のリーク箇所となる可能性が高いため、前述した理由

から望ましくない領域であると言える。

【0057】

このことから、本実施の形態の薄膜トランジスタ1では、例えば図9に示したように、配線層17A、17B同士を結ぶ領域において、ゲート電極12の外形線よりも有機半導体層14の外形線のほうが内側に配置されているのが望ましいと言える。また、それとともに、以下の理由により、配線層17A、17B同士を結ぶ方向（Y軸方向）では、逆に、ゲート電極12の外形線よりも有機半導体層14の外形線のほうが外側に配置されているのが望ましいと言える。すなわち、有機半導体層14の半導体島における外形線付近（ソース・ドレイン電極15A、15B）の領域でのZ方向（厚み方向）の積層状況を考えて、以下のことが言える。まず、ゲート電極12の外形線よりも有機半導体層14の外形線のほうが外側に配置されている場合、上記した領域での積層構造は、ゲート電極12／ゲート絶縁膜13／有機半導体層14／配線層17A、17Bの順に積層されたものとなる。一方、ゲート電極12の外形線よりも有機半導体層14の外形線のほうが内側に配置されている場合、上記した領域での積層構造は、ゲート電極12／ゲート絶縁膜13／配線層17A、17Bの順に積層されたものとなる。つまり、後者（内側に配置された場合）と比べて前者（外側に配置された場合）のほうが、有機半導体層14の分だけ、積層数が1層多いことになる。このようにして1層分積層数が多いことにより、後者と比べて前者のほうが、ゲート配線・ソース配線間またはゲート配線・ドレイン配線間における層間リークの発生確率が低減すると言える。

10

【0058】

以上のように本実施の形態では、有機半導体層14上に接するように配設されたソース・ドレイン電極15A、15Bと、これらのソース・ドレイン電極15A、15Bと電氣的に接続された配線層17A、17Bとが、別体として形成されている。換言すると、この薄膜トランジスタ1を製造する際に、有機半導体層14上に接するようにソース・ドレイン電極15A、15Bを形成した後に、これらのソース・ドレイン電極15A、15Bと電氣的に接続された配線層17A、17Bを形成する。これにより、これらのソース・ドレイン電極15A、15Bと配線層17A、17Bとが一体的に形成される（同一工程で形成される）場合と比べ、例えば有機半導体層14の端部（半導体島のエッジ部分）付近での配線層17A、17Bの断線を生じにくくすることができ、信頼性を向上させる（製造不良を低減する）ことが可能となる。これにより、例えばボトムゲート・スタaggerド型の有機TFETを含む大規模な集積回路を、高い再現性をもって製造することが可能となる。

20

30

【0059】

また、ソース・ドレイン電極15A、15Bを、印刷法を用いて直接的にパターニング形成するため、良好な特性を示すボトムゲート・スタaggerド型の有機TFETを得ることができる。これは、ソース・ドレイン電極15A、15B間（チャンネル直上の有機半導体層14の表面）にダメージを与えることなく、トップコンタクトを形成することができるからである。

【0060】

更に、ソース・ドレイン電極15A、15Bとして使用可能な材料の選択肢を広げることが可能となる。例えば、導電性高分子やカーボン系材料といった、有機半導体との電氣的接続が良好でかつ安価な材料を選択できるようになる。これは、仮に高いシート抵抗の材料だとしても、配線層17A、17Bを一般的な金属（シート抵抗が比較的低い金属）により構成すれば、配線抵抗が増大してしまうという問題が生じないためである。

40

【0061】

加えて、ソース・ドレイン電極15A、15Bの電極端にそれぞれ、アライメントずれ吸収領域150を設けるようにしたので、ソース・ドレイン電極15A、15Bを印刷形成する際の位置合わせずれ（アライメントずれ）を吸収することができ（許容されるようになり）、信頼性を更に向上させる（製造不良を更に低減する）ことが可能となる。

【0062】

50

また、薄膜トランジスタ 1 において、有機半導体層 1 4 の外縁部分（半導体島のエッジ部分）が、保護膜 1 6 または配線層 1 7 A, 1 7 B によって完全に被覆されているようにしたので、以下の利点も得られる。すなわち、まず、真空成膜の手法において、選択の自由度を向上させることができる。例えば、スパッタ法や C V D 法等、飛着粒子が高エネルギーとなる金属成膜方法も選択することができるようになる。これは、有機半導体層 1 4 の表面へのダメージを懸念する必要が無いからである。また、配線層 1 7 A, 1 7 B の加工の際に、ある程度の強酸や強塩基を使用することが可能になり、タクト性の向上や低コスト化を図ることが可能となる。

【0063】

以下、本開示の他の実施の形態（第 2 ～ 第 6 の実施の形態）について説明する。なお、上記第 1 の実施の形態における構成要素と同一のものには同一の符号を付し、適宜説明を省略する。

【0064】

< 第 2 の実施の形態 >

[薄膜トランジスタ 1 A の構成および製造方法]

図 1 0 (A) ～ (F) は、第 2 の実施の形態に係る半導体素子（薄膜トランジスタ 1 A ）の構成例および製造方法における主要な工程例を、工程順に平面図（ X - Y 平面図）で表したものである。

【0065】

本実施の形態の薄膜トランジスタ 1 A は、後述するコンタクト部 1 8 が設けられていることを除いては、基本的には薄膜トランジスタ 1 と同様の構成となっている。ただし、この薄膜トランジスタ 1 A では、以下詳述するように、ソース・ドレイン電極 1 5 A, 1 5 B および配線層 1 7 A, 1 7 B の双方が、印刷プロセス（印刷法）により形成されている。

【0066】

また、この薄膜トランジスタ 1 A では、薄膜トランジスタ 1 とは異なり、基板 1 1 上に、ゲート電極 1 2、ゲート絶縁膜 1 3、有機半導体層 1 4、一对のソース・ドレイン電極 1 5 A, 1 5 B、一对の配線層 1 7 A, 1 7 B および保護膜 1 6 がこの順に積層されている。これは、保護膜 1 6 を形成した後に印刷法によって配線層 1 7 A, 1 7 B を形成する手法は、表面の凹凸が大きすぎて印刷するのが困難になってしまうからである。

【0067】

本実施の形態では、まず、図 1 0 (A) ～ (C) に示したように、第 1 の実施の形態と同様にして、基板 1 1 上にゲート電極 1 2 およびゲート配線 1 2 L を形成し、これらのゲート電極 1 2 およびゲート配線 1 2 L の上に図示しないゲート絶縁膜 1 3 を形成する。そして、第 1 の実施の形態と同様にして、このゲート絶縁膜 1 3 上に島状の有機半導体層 1 4 を形成する。ただし、第 1 の実施の形態とは異なり、この有機半導体層 1 4 を形成する際に、前述したリーク電流の発生を回避するため、ゲート配線 1 2 L と配線層 1 7 A, 1 7 B との交差部分にも、島状の有機半導体層 1 4 を形成しておくようにする。

【0068】

次いで、例えば図 1 0 (D) に示したように、例えば反転オフセット印刷法等の印刷法を用いて、配線層 1 7 A, 1 7 B を形成する。具体的には、例えば A g を直接パターンニングした後、例えば 1 4 0 ℃ の温度条件で 1 時間程度の加熱処理を行う。なお、配線層 1 7 A, 1 7 B の材料および印刷法の種類については、これには限られない。

【0069】

続いて、例えば図 1 0 (E) に示したように、第 1 の実施の形態と同様にして、保護膜 1 6 を形成する。ただし、次の図 1 0 (F) に示した工程を考慮すると、この保護膜 1 6 の形状としては、前述した凹部 1 6 0 を有する形状であることが望ましい。以下の図 1 0 (F) の工程において、インクジェット法を用いてソース・ドレイン電極 1 5 A, 1 5 B と配線層 1 7 A, 1 7 B とのコンタクト部分にインクを滴下する際に、この凹部 1 6 0 によって、微小液滴の横方向（ X 軸方向）への広がりや抑制されるからである。

【0070】

そののち、本実施の形態では、例えば図10（F）に示したように、ソース・ドレイン電極15A、15Bと配線層17A、17Bとのコンタクト部18を、例えばインクジェット法を用いて形成する。具体的には、インクジェット法を用いて、ソース・ドレイン電極15A、15Bと配線層17A、17Bとのコンタクト部分にAgナノインクを滴下し、そのインク滴下後に、例えば140℃の温度条件で1時間程度の加熱処理を行うことにより、コンタクト部18を形成する。これにより、ソース・ドレイン電極15A、15Bと配線層17A、17Bとの良好な電氣的接続が確保されるようになる。以上により、本実施の形態の薄膜トランジスタ1Aが完成する。

【0071】

[薄膜トランジスタ1Aの作用・効果]

この薄膜トランジスタ1Aにおいても、薄膜トランジスタ1と同様に、有機半導体層14上に接するように配設されたソース・ドレイン電極15A、15Bと、これらのソース・ドレイン電極15A、15Bと電氣的に接続された配線層17A、17Bとが、別体として形成されている。換言すると、この薄膜トランジスタ1Aを製造する際に、有機半導体層14上に接するようにソース・ドレイン電極15A、15Bを形成した後に、これらのソース・ドレイン電極15A、15Bと電氣的に接続された配線層17A、17Bを形成する。したがって、本実施の形態においても、第1の実施の形態と同様の作用により同様の効果を得ることが可能である。

【0072】

なお、本実施の形態では、配線層17A、17Bを形成するためのインク材料として、Agインクを使用する場合には、配線層17A、17Bに水分が浸入することを防ぐため、強力なシールをする必要がある（例えばガラス封止）。そのような場合、フレキシブル回路の実現は不可能となる。一方、インク材料としてAg以外の高抵抗材料を用いた場合には、配線長の短い回路であれば適用することが可能であると考えられる。

【0073】

また、本実施の形態において、ソース・ドレイン電極15A、15Bと配線層17A、17Bとを別工程で形成することの利点は、第1の実施の形態で述べたように、有機半導体層14の端部付近での配線層17A、17Bの断線を生じにくくするという点である。また、ソース・ドレイン電極15A、15Bおよび配線層17A、17Bを印刷プロセスのみで形成することにより、フォトリソグラフィ技術およびエッチング加工を用いて形成する場合と比べ、工程数を削減することができる。例えば、ソース・ドレイン電極15A、15BはPEDOT-PPS等の導電性高分子により構成し、配線層17A、17BはAgにより構成するといったように、別種のインクを使用することも可能である。好適な電極材料が必ずしも好適な配線材料になるとは限らないため、別々の工程で形成することにはそれなりに意義が生じる場面があると考えられる。

【0074】

<第3の実施の形態>

[薄膜トランジスタ1Bの構成および製造方法]

図11（A）～（E）は、第3の実施の形態に係る半導体素子（薄膜トランジスタ1B）の構成例および製造方法における主要な工程例を、工程順に平面図（X-Y平面図）で表したものである。

【0075】

本実施の形態の薄膜トランジスタ1Bは、基本的には薄膜トランジスタ1と同様の構成となっている。ただし、この薄膜トランジスタ1Bでは、以下詳述するように、ソース・ドレイン電極15A、15Bは真空成膜プロセスおよびフォトリソグラフィ技術を用いて形成される（真空成膜形成）一方、配線部17A、17Bは印刷プロセス（印刷法）により形成されている。このようにして、配線層17A、17Bのパターン形成は全て印刷法により行っているため、フォトリソグラフィ技術を用いる場合と比べて工程数を削減することができる。

【0076】

また、この薄膜トランジスタ1 Bにおいても、第2の実施の形態と同様の理由により、基板1 1上に、ゲート電極1 2、ゲート絶縁膜1 3、有機半導体層1 4、一对のソース・ドレイン電極1 5 A、1 5 B、一对の配線層1 7 A、1 7 Bおよび保護膜1 6がこの順に積層されている。

【0077】

本実施の形態では、まず、図1 1 (A)、(B)に示したように、第2の実施の形態と同様にして、基板1 1上にゲート電極1 2およびゲート配線1 2 Lを形成し、これらのゲート電極1 2およびゲート配線1 2 Lの上に図示しないゲート絶縁膜1 3を形成する。そして、第2の実施の形態と同様にして、このゲート絶縁膜1 3上に島状の有機半導体層1 4を形成する。

10

【0078】

次いで、例えば図1 1 (C)に示したように、真空成膜プロセスおよびフォトリソグラフィ技術を用いて、ソース・ドレイン電極1 5 A、1 5 Bを形成する。具体的には、まず、ソース電極・ドレイン電極1 5 A、1 5 Bとなる金属膜として、Agを抵抗加熱蒸着し、その後、フォトレジスト材料を反転オフセット印刷法によって印刷することにより、ソース・ドレイン電極1 5 A、1 5 Bのパターンを形成する。続いて、例えばヨウ化カリウム水溶液によってエッチングした後、フォトレジストを除去する。

【0079】

続いて、例えば図1 1 (D)、(E)に示したように、第2の実施の形態と同様にして、配線層1 7 A、1 7 Bおよび保護膜1 6を形成する。以上により、本実施の形態の薄膜トランジスタ1 Bが完成する。

20

【0080】

[薄膜トランジスタ1 Bの作用・効果]

この薄膜トランジスタ1 Bにおいても、薄膜トランジスタ1と同様に、有機半導体層1 4上に接するように配設されたソース・ドレイン電極1 5 A、1 5 Bと、これらのソース・ドレイン電極1 5 A、1 5 Bと電氣的に接続された配線層1 7 A、1 7 Bとが、別体として形成されている。換言すると、この薄膜トランジスタ1 Bを製造する際に、有機半導体層1 4上に接するようにソース・ドレイン電極1 5 A、1 5 Bを形成した後に、これらのソース・ドレイン電極1 5 A、1 5 Bと電氣的に接続された配線層1 7 A、1 7 Bを形成する。したがって、本実施の形態においても、第1の実施の形態と同様の作用により同様の効果を得ることが可能である。

30

【0081】

また、本実施の形態では、ソース・ドレイン電極1 5 A、1 5 Bと配線層1 7 A、1 7 Bとを別工程で形成することの利点は、第1の実施の形態で述べたことに加え、以下のことが言える。すなわち、例えばソース・ドレイン電極1 5 A、1 5 Bの材料としてAuを使用した場合、Auをソース・ドレイン電極1 5 A、1 5 Bに限定的に使用することによって、高価なAuの使用量を削減することができる。

【0082】

<第4の実施の形態>

40

[薄膜トランジスタ1 Cの構成および製造方法]

図1 2 (A)～(E)は、第4の実施の形態に係る半導体素子(薄膜トランジスタ1 C)の構成例および製造方法における主要な工程例を、工程順に平面図(X-Y平面図)で表したものである。

【0083】

本実施の形態の薄膜トランジスタ1 Cは、基本的には薄膜トランジスタ1と同様の構成となっている。ただし、この薄膜トランジスタ1 Cでは、以下詳述するように、ソース・ドレイン電極1 5 A、1 5 Bおよび配線層1 7 A、1 7 Bの双方が、真空成膜プロセスおよびフォトリソグラフィ技術を用いて形成されている(真空成膜形成)。

【0084】

50

すなわち、まず、図12(A)～(C)に示したように、第3の実施の形態と同様にして、基板11上にゲート電極12およびゲート配線12Lを形成し、これらのゲート電極12およびゲート配線12Lの上に図示しないゲート絶縁膜13を形成する。そして、第3の実施の形態と同様にして、このゲート絶縁膜13上に島状の有機半導体層14を形成した後、ソース・ドレイン電極15A、15Bを形成する。

【0085】

次いで、例えば図12(D)に示したように、第1の実施の形態と同様にして配線層17A、17Bを形成し、そののち、例えば図12(E)に示したように、第3の実施の形態と同様にして保護膜16を形成する。以上により、本実施の形態の薄膜トランジスタ1Cが完成する。

10

【0086】

[薄膜トランジスタ1Cの作用・効果]

この薄膜トランジスタ1Cにおいても、薄膜トランジスタ1と同様に、有機半導体層14上に接するように配設されたソース・ドレイン電極15A、15Bと、これらのソース・ドレイン電極15A、15Bと電氣的に接続された配線層17A、17Bとが、別体として形成されている。換言すると、この薄膜トランジスタ1Cを製造する際に、有機半導体層14上に接するようにソース・ドレイン電極15A、15Bを形成した後に、これらのソース・ドレイン電極15A、15Bと電氣的に接続された配線層17A、17Bを形成する。したがって、本実施の形態においても、第1の実施の形態と同様の作用により同様の効果を得ることが可能である。

20

【0087】

<第5の実施の形態>

[薄膜トランジスタ1Dの全体構成]

図13は、第5の実施の形態に係る半導体素子（薄膜トランジスタ1D）の概略構成を模式的に表したものである。具体的には、図13(A)は平面構成（X-Y平面構成）を、図13(B)は、図13(A)におけるIV-IV線に沿った矢視断面構成（Z-X断面構成）を、それぞれ示している。この薄膜トランジスタ1Dもまた、これまで説明した薄膜トランジスタ1、1A～1Cと同様に、トップコンタクト・スタagger型の有機TFTである。

【0088】

30

薄膜トランジスタ1Dでは、例えば、基板11上に、ゲート電極12、ゲート絶縁膜13、有機半導体層14、一对のソース・ドレイン電極15A、15Bおよびバンク（エッチングストップ層）19、ならびに一对の配線層17A、17Bが、この順に積層されている。

【0089】

バンク19は、ソース・ドレイン電極15A、15Bの各周囲の少なくとも一部分を囲むようにして設けられており、ここでは、個々の薄膜トランジスタ1Dごと（素子の形成領域ごと）に個別に設けられている。すなわち、各バンク19は、各薄膜トランジスタ1Dの形成領域付近にのみ配設されている。換言すると、バンク19は、基板11上において非連続に（薄膜トランジスタ1Dの形成領域ごとに分離して）設けられている。

40

【0090】

また、このバンク19は、ここでは、一对のソース・ドレイン電極15A、15B同士を分離する形状となっており、これらソース・ドレイン電極15A、15Bの周囲のうちの配線17A、17B側に開口部190を有している。つまり、ここではバンク19は、図13(A)に示したように、「工」の字状となっている。換言すると、ここでは、バンク19の形成領域と配線層17A、17Bの形成領域とが、互いに重畳していない（オーバーラップしていない）。そして、ソース・ドレイン電極15A、15Bの各端部（一方の端部）が、バンク19内から開口部190を介して配線部17A、17B側へ突出している（はみ出している）ことにより、ソース・ドレイン電極15A、15Bと配線層17A、17Bとが電氣的に接続されている。なお、このようなソース・ドレイン電

50

極 15 A, 15 B における突出部（はみ出し部）は、後述するソース・ドレイン電極 15 A, 15 B の形成の際に自然にもしくは意図的に形成されるようになっている。

【0091】

このような形状のバンク 19 を用いることにより、後述するように、ソース・ドレイン電極 15 A, 15 B がそれぞれ自己整合的に形成されるようになっている（セルフ・アライメント形成）。また、このバンク 19 は、有機半導体層 14 におけるチャンネル部分に対するエッチングストップ層としても機能するようになっている。なお、このようなバンク 19 は、例えばフッ素（F）系の樹脂材料（ $(C_6F_{10})_n$ 等）などの撥液性材料により構成されているのが望ましい。

【0092】

〔薄膜トランジスタ 1 D の製造方法〕

この薄膜トランジスタ 1 D は、例えば次のようにして製造することができる。図 14（A）～（D）、図 15（A）～（C）、図 16（A）～（C）はそれぞれ、本実施の形態の薄膜トランジスタ 1 D の製造方法における主要な工程例を、工程順に平面図（X-Y 平面図）で表わしたものである。なお、ここでは、薄膜トランジスタ 1 D とともに容量素子が形成される場合を例に説明する。

【0093】

まず、図 14（A）に示したように、基板 11 上にゲート電極 12 およびゲート配線 12 L を形成したのち、図 14（B）に示したように、これらのゲート電極 12 およびゲート配線 12 L の上にゲート絶縁膜 13 を形成する。続いて、図 14（C）、（D）に示したように、第 1～4 の実施の形態と同様にして、ゲート絶縁膜 13 上に島状の有機半導体層 14 を形成する。

【0094】

次いで、図 15（A）に示したように、ゲート絶縁膜 13 および島状の有機半導体層 14 の上に、前述したようにエッチングストップ層としても機能するバンク 19 を、例えば反転オフセット印刷を用いて形成する。具体的には、例えばフッ素系樹脂等の撥液性材料を用いた反転オフセット印刷を行ったのち、例えば 120℃ の温度で 5 分間の加熱乾燥を行うことにより、バンク 19 を形成する。なお、この例では、容量素子（例えば補助容量素子）の形成領域の周囲にも、バンク 19 を形成するようにしている。このようにして、以下説明するように容量素子の電極（上部電極）をも印刷法を用いて形成するようにした場合、後述する配線層 17 A, 17 B の印刷法（ここではグラビア印刷）による形成が容易になる。これは、グラビア印刷では、単純なパターンの印刷は容易であるものの、例えば直交する直線同士や四角形と直線とが混在したパターンなどの印刷が難しいためである。

【0095】

次に、図 15（B）中の符号 P4 で示したように、印刷プロセス（ここではインクジェット法）を用いて、バンク 19 内に、ソース・ドレイン電極 15 A, 15 B（および容量素子の電極）の構成材料からなるインクを滴下して充填する。これにより、例えば図 15（C）に示したように、バンク 19 内に滴下されたインクが濡れ広がることにより、ソース・ドレイン電極 15 A, 15 B 等がバンク 19 を用いて自己整合的に形成される。またこのとき、ここでは、ソース・ドレイン電極 15 A の端部（一方の端部）が、バンク 19 内から開口部 190 を介して、配線部 17 A の形成予定領域側へ突出する（はみ出す）。このような突出部（はみ出し部）が、ソース・ドレイン電極 15 A と配線部 17 A との電氣的接続部分（コンタクト部）として機能するようになる。なお、このとき、ソース・ドレイン電極 15 A, 15 B とエッチングストップ層としても機能するバンク 19 によって、島状の有機半導体層 14 の全体が完全に覆われているようにするのが望ましい。以降の配線層 17 A, 17 B の形成の際に、チャンネル部分が保護されるようにするためである。

【0096】

続いて、図 16（A）に示したように、例えばスパッタ法等を用いて配線層 170 を全面に成膜する。そののち、図 16（B）に示したように、レジスト膜 8 を配線層 17 A,

10

20

30

40

50

17Bの形状にパターン印刷する。続いて、例えば硝酸・フッ酸・リン酸の混酸を用いて、配線層170をウェットエッチング加工し、その後レジスト膜8を溶解・除去することにより、図16(C)に示したように配線層17A、17Bが形成される。以上により、図13(A)、(B)に示した薄膜トランジスタ1D等が完成する。

【0097】

[薄膜トランジスタ1Dの作用・効果]

この薄膜トランジスタ1Dにおいても、薄膜トランジスタ1と同様に、有機半導体層14上に接するように配設されたソース・ドレイン電極15A、15Bと、これらのソース・ドレイン電極15A、15Bと電氣的に接続された配線層17A、17Bとが、別体として形成されている。換言すると、この薄膜トランジスタ1Dを製造する際に、有機半導体層14上に接するようにソース・ドレイン電極15A、15Bを形成した後に、これらのソース・ドレイン電極15A、15Bと電氣的に接続された配線層17A、17Bを形成する。したがって、本実施の形態においても、第1の実施の形態と同様の作用により同様の効果を得ることが可能である。

【0098】

また、本実施の形態では、バンク19を利用したインクジェット印刷によって、ソース・ドレイン電極15A、15Bが自己整合的に形成されるため、インクを滴下する際の位置を制御しつつ、インクジェット印刷の採用による材料のコスト削減効果が得られる。つまり、製造コストを削減しつつも、微細なパターンからなる素子の製造が可能となる。また、インクを滴下する方法であることから、基板11上に凹凸があったとしても、配線層17A、17B等の断線のおそれが低減する。加えて、ここでは、バンク19がエッチングストップ層としても機能することから、そのようなバンク19を専用に設けるわけではない(バンク19の形成工程が事実上省略される)ため、更なる製造コストの削減が図られる。また、例えば、ソース・ドレイン電極15A、15Bだけでなく、配線層17A、17B等についても印刷形成した場合には、ソース・ドレイン電極15A、15Bおよび配線層17A、17B等をフォトリソグラフィ技術を用いることなく形成することができ、より一層の製造コスト削減効果が得られる。

【0099】

更に本実施の形態では、バンク19が、個々の薄膜トランジスタ1Dごと(素子の形成領域ごと)に個別に設けられている。すなわち、各バンク19は、各薄膜トランジスタ1Dの形成領域付近にのみ配設されている。換言すると、バンク19は、基板11上において非連続に(薄膜トランジスタ1Dの形成領域ごとに分離して)設けられている。そして、バンク19が前述した撥液性材料からなる場合には、以下の効果も得られる。すなわち、撥液性のバンク19が薄膜トランジスタ1Dの近傍のみに存在するため、ソース・ドレイン電極15A、15Bおよび配線層17A、17B以降の層構造を形成する際に特別な親水処理が不要となるため、工程削減の効果が得られる。また、基板11全体に撥液性のバンク19となる薄膜が存在する場合と比べ、基板11上の電気回路全体の構造的な信頼性が向上する。これは、撥液性のバンク19が基板11表面に広く存在すると、その上に塗布膜(層間絶縁膜等)を形成することが困難となるためである。また、仮に塗布膜を形成できたとしても、その層間絶縁膜等と撥液性のバンク19における膜との付着力は一般的に弱いため、その界面で膜が剥れ易くなり、構造的に脆弱となってしまうからである。

【0100】

加えて、位置合わせ精度が特に要求される、エッチングストップ層とソース・ドレイン電極15A、15Bとのアライメントが自己整合的になされるため、印刷機械におけるアライメント精度不足の問題が緩和される。なお、エッチングストップ層としても機能するバンク19とソース・ドレイン電極15A、15Bとの間のアライメントが正しく行われた場合には、例えば図17(A)に示したように、ソース・ドレイン電極15A、15B同士での短絡(ショート)のおそれが回避される。これに対して、例えば図17(B)に示したように、バンク19とソース・ドレイン電極15A、15Bとの間のアライメントがずれた場合には、ソース・ドレイン電極15A、15Bをインクジェット印刷により形

成した際に、ソース・ドレイン電極 15 A, 15 B 同士での短絡のおそれが生じる。

【0101】

＜第 5 の実施の形態の変形例＞

以下、上記第 5 の実施の形態の変形例（変形例 1 ～ 3）について説明する。これらの変形例 1 ～ 3 のうちの変形例 1, 2 では、ソース・ドレイン電極 15 A, 15 B や配線 17 A, 17 B 等の形成方法が、第 5 の実施の形態とは異なっている。つまり、薄膜トランジスタ 1 D の構成自体は、基本的には第 5 の実施の形態で説明した薄膜トランジスタ 1 D と同様となっている。なお、第 5 の実施の形態における構成要素と同一のものには同一の符号を付し、適宜説明を省略する。

【0102】

10

〔変形例 1〕

図 18 (A) ～ (C), 図 19 (A) ～ (C) はそれぞれ、変形例 1 に係る薄膜トランジスタ 1 D の製造方法における主要な工程例を、工程順に平面図 (X-Y 平面図) で表したものである。本変形例では、反転オフセット印刷によるレジストパターン形成を用いて配線層 17 A, 17 B を形成した後に、インクジェット印刷を用いてソース・ドレイン電極 15 A, 15 B を形成するようにしている。インクジェット印刷を用いたソース・ドレイン電極 15 A, 15 B の形成を、配線層 17 A, 17 B の形成後に行っているのは、反転オフセット印刷法では凹凸面上への印刷が難しいためである。

【0103】

本変形例では、まず図 18 (A) に示したように、第 5 の実施の形態と同様にして、基板 11 上にゲート電極 12 およびゲート配線 12 L を形成したのち、これらのゲート電極 12 およびゲート配線 12 L の上に、ゲート絶縁膜 13、島状の有機半導体層 14 およびバンク 19 を形成する。

20

【0104】

次いで、図 18 (B) に示したように、例えばスパッタ法等を用いて配線層 170 を全面に成膜する。そののち、図 18 (C) に示したように、レジスト膜 8 を配線層 17 A, 17 B の形状にパターン印刷する。続いて、例えば硝酸・フッ酸・燐酸の混酸を用いて、配線層 170 をウェットエッチング加工し、その後レジスト膜 8 を溶解・除去することにより、図 19 (A) に示したように配線層 17 A, 17 B が形成される。

【0105】

30

次に、図 19 (B) 中の符号 P4 で示したように、印刷プロセス（ここではインクジェット法）を用いて、バンク 19 内に、ソース・ドレイン電極 15 A, 15 B の構成材料からなるインクを滴下して充填する。これにより、例えば図 19 (C) に示したように、バンク 19 内に滴下されたインクが濡れ広がることにより、ソース・ドレイン電極 15 A, 15 B がバンク 19 を用いて自己整合的に形成される。またこのとき、ここでは、ソース・ドレイン電極 15 A, 15 B の各端部（一方の端部）が、バンク 19 内から開口部 190 を介して、配線部 17 A, 17 B 側へ突出する（はみ出す）。このような突出部（はみ出し部）が、ソース・ドレイン電極 15 A, 15 B と配線部 17 A, 17 B との電氣的接続部分（コンタクト部）として機能する。

【0106】

40

このような製造方法を用いた本変形例においても、上記第 5 の実施の形態と同様の作用により同様の効果を得ることが可能である。

【0107】

〔変形例 2〕

図 20 (A) ～ (C), 図 21 (A) ～ (B) はそれぞれ、変形例 2 に係る薄膜トランジスタ 1 D の製造方法における主要な工程例を、工程順に平面図 (X-Y 平面図) で表したものである。本変形例では、インクジェット印刷を用いてソース・ドレイン電極 15 A, 15 B を形成した後、レーザアブレーション法を用いて配線層 17 A, 17 B を形成するようにしている。

【0108】

50

本変形例では、まず図20(A)に示したように、第5の実施の形態と同様にして、基板11上にゲート電極12およびゲート配線12Lを形成したのち、これらのゲート電極12およびゲート配線12Lの上に、ゲート絶縁膜13、島状の有機半導体層14およびバンク19を形成する。

【0109】

次いで、図20(B)中の符号P4で示したように、印刷プロセス（ここではインクジェット法）を用いて、バンク19内に、ソース・ドレイン電極15A、15Bの構成材料からなるインクを滴下して充填する。これにより、例えば図20(C)に示したように、バンク19内に滴下されたインクが濡れ広がることにより、ソース・ドレイン電極15A、15Bがバンク19を用いて自己整合的に形成される。またこのとき、ここでは、ソース・ドレイン電極15A、15Bの各端部（一方の端部）が、バンク19内から開口部190を介して、配線部17A、17Bの形成予定領域へ突出する（はみ出す）。このような突出部（はみ出し部）が、ソース・ドレイン電極15A、15Bと配線部17A、17Bとの電氣的接続部分（コンタクト部）として機能するようになる。

10

【0110】

続いて、図21(A)に示したように、例えばスパッタ法等を用いて配線層170を全面に成膜する。そののち、レーザアブレーション法を用いて配線層170をパターン加工することにより、図21(B)に示したように配線層17A、17Bが形成される。

【0111】

このような製造方法を用いた本変形例においても、上記第5の実施の形態と同様の作用により同様の効果を得ることが可能である。

20

【0112】

[変形例3]

図22(A)～(C)は、変形例3に係る薄膜トランジスタにおけるバンク19Aの構成例、およびこのバンク19Aを用いた薄膜トランジスタの製造方法における主要な工程例を、工程順に平面図(X-Y平面図)で表したものである。

【0113】

本変形例においても第5の実施の形態と同様に、エッチングストップ層としても機能するバンク19Aを利用したインクジェット印刷によって、ソース・ドレイン電極15A、15Bが自己整合的に形成されるようになっている。ただし、本変形例のバンク19Aでは、これまで説明したバンク19とは異なり、開口部190が設けられていない。すなわち、このバンク19Aは、ソース・ドレイン電極15A、15Bの各周囲の全ての部分を囲むようにして設けられている。なお、バンク19Aもバンク19と同様に、個々の薄膜トランジスタごと（素子の形成領域ごと）に個別に設けられている。

30

【0114】

このような形状からなるバンク19Aを用いた本変形例においても、上記第5の実施の形態と同様の作用により同様の効果を得ることが可能である。

【0115】

ただし、このような形状のバンク19Aを用いた場合、例えば図23(A)に示したように、バンク19Aの形成領域と配線層17A、17Bの形成領域とが、バンク19Aの端部において互いに重畳する（オーバーラップする）こととなる。そして、ソース・ドレイン電極15A、15Bの各端部（一方の端部）が、バンク19内（上記した重畳領域）において配線層17A、17Bと電氣的に接続されるようになる（図中の矢印P51参照）。ところがこの場合、例えば図中の符号P6で示したように、配線層17A、17Bのエッジ部分において、バンク19およびその内部のソース・ドレイン電極15A、15Bに段差が形成されることとなる。このような段差部分では、ソース・ドレイン電極15A、15Bの断線が生じ易くなるため、信頼性の観点からは段差が生じるのは望ましくないとと言える。

40

【0116】

これに対して第5の実施の形態のバンク19では、例えば図23(B)に示したように

50

、このバンク 19 の形成領域と配線層 17 A, 17 B の形成領域とが、互いに重畳していない（オーバーラップしていない）。そして、ソース・ドレイン電極 15 A, 15 B の各端部（一方の端部）が、バンク 19 内から開口部 190 を介して配線部 17 A, 17 B 側へ突出している（はみ出している）ことにより、ソース・ドレイン電極 15 A, 15 B と配線層 17 A, 17 B とが電氣的に接続されている（図中の符号 P 52 参照）。このように、バンク 19 を用いた場合にはソース・ドレイン電極 15 A, 15 B に段差が形成されないことから、図 23（A）のようにバンク 19 A を用いた場合と比べ、信頼性を向上させることが可能になると言える。

【0117】

＜第 6 の実施の形態＞

〔薄膜トランジスタ 1 E の全体構成〕

図 24 は、第 6 の実施の形態に係る半導体素子（薄膜トランジスタ 1 E）の概略構成（Z-X 断面構成）を模式的に表したものである。この薄膜トランジスタ 1 E は、これまで説明した薄膜トランジスタ 1, 1 A ～ 1 D とは異なり、ボトムコンタクト・スタagger 型の有機 TFT である。

【0118】

すなわち、薄膜トランジスタ 1 E では、基板 11 上に、ゲート電極 12、ゲート絶縁膜 13、一对のソース・ドレイン電極 15 A, 15 B、ならびに、有機半導体層 14 および一对の配線層 17 A, 17 B が、この順に積層されている。

【0119】

ここで、この薄膜トランジスタ 1 E においても薄膜トランジスタ 1, 1 A ～ 1 D と同様に、有機半導体層 14 と接するソース・ドレイン電極 15 A, 15 B と、これらのソース・ドレイン電極 15 A, 15 B と電氣的に接続された配線層 17 A, 17 B とが、別体として形成されている。ただし、薄膜トランジスタ 1, 1 A ～ 1 D では、ソース・ドレイン電極 15 A, 15 B は有機半導体層 14 上でこの有機半導体層 14 と接しているのに対し、薄膜トランジスタ 1 E では、ソース・ドレイン電極 15 A, 15 B は有機半導体層 14 の下層でこの有機半導体層 14 と接している。

【0120】

また、この薄膜トランジスタ 1 E では、ソース・ドレイン電極 15 A, 15 B はそれぞれ、所定形状のバンク（バンク 19 またはバンク 19 A）内にソース・ドレイン電極 15 A, 15 B の構成材料（インク）が滴下されて充填されることにより形成されたものとなっている。そして、薄膜トランジスタ 1 E では、有機半導体層 14 は、上記したバンクの除去後にソース・ドレイン電極 15 A, 15 B 上に形成されたものとなっている。すなわち、薄膜トランジスタ 1 E では薄膜トランジスタ 1 D とは異なり、最終的にバンクが除去されて残存しないようになっている。ただし、このようにバンクを用いてソース・ドレイン電極 15 A, 15 B を形成する場合には限られず、バンクを用いずにソース・ドレイン電極 15 A, 15 B を形成するようにしてもよい。

【0121】

〔薄膜トランジスタ 1 E の製造方法〕

この薄膜トランジスタ 1 E は、例えば次のようにして製造することができる。図 25（A）～（D）は、本実施の形態の薄膜トランジスタ 1 E の製造方法における主要な工程例を、工程順に平面図（X-Y 平面図）で表わしたものである。

【0122】

まず、図 25（A）に示したように、基板 11 上にゲート電極 12 およびゲート配線 12 L を形成し、これらのゲート電極 12 およびゲート配線 12 L の上にゲート絶縁膜 13 を形成する。そして、このゲート絶縁膜 13 上に、例えば上記したバンクを用いた印刷プロセス（インクジェット印刷）により、ソース・ドレイン電極 15 A, 15 B を形成する。なお、このようにバンクを用いてソース・ドレイン電極 15 A, 15 B を形成した場合には、その後にバンクを除去するようにする。

【0123】

続いて、図25(B)に示したように、ゲート絶縁膜13およびソース・ドレイン電極15A、15Bの上に、例えばフレキソ印刷等の印刷法を用いて、島状の有機半導体層14を形成する。次に、図25(C)に示したように、この有機半導体層14の全面を覆うようにして、例えば反転オフセット印刷等の印刷法を用いて、フッ素系樹脂等からなるエッチングストップ層19Bを形成する。

【0124】

そののち、例えばスパッタ法等を用いて配線層170を全面に成膜し、例えばレジスト膜8を配線層17A、17Bの形状にパターン印刷する。続いて、例えば硝酸・フッ酸・リン酸の混酸を用いて、配線層170をウェットエッチング加工し、その後レジスト膜8を溶解・除去することにより、図25(D)に示したように配線層17A、17Bが形成される。以上により、本実施の形態の薄膜トランジスタ1Eが完成する。

10

【0125】

[薄膜トランジスタ1Eの作用・効果]

この薄膜トランジスタ1Eにおいても、薄膜トランジスタ1、1A～1Dと同様に、有機半導体層14と接するように配設されたソース・ドレイン電極15A、15Bと、これらのソース・ドレイン電極15A、15Bと電氣的に接続された配線層17A、17Bとが、別体として形成されている。換言すると、この薄膜トランジスタ1Eを製造する際に、有機半導体層14と接するソース・ドレイン電極15A、15Bと、これらのソース・ドレイン電極15A、15Bと電氣的に接続された配線層17A、17Bとが、別工程により形成される。

20

【0126】

これにより本実施の形態では、これらのソース・ドレイン電極15A、15Bと配線層17A、17Bとが一体的（同一工程）に形成されている場合と比べ、例えば以下説明するように、有機半導体層14とソース・ドレイン電極15A、15Bとの間の接触抵抗を抑えつつ、配線層17A、17Bにおける配線抵抗を低減することができる。よって、本実施の形態においても第1～第5の実施の形態等と同様に、信頼性を向上させる（製造不良を低減する）ことが可能となる。

【0127】

具体的には、例えば図26(A)に示した比較例4に係る薄膜トランジスタ401では、配線層17A、17Bとしても機能しているソース・ドレイン電極15A、15Bの膜厚が大きくなっていることから、これらの配線抵抗が低く抑えられている。しかしながら、図中の符号P71に示したソース・ドレイン電極15A、15Bの段差部分において、有機半導体層14における半導体の結晶が乱れるなどして、接触抵抗が増大して信頼性が低下する（製造不良が増大する）おそれがある。

30

【0128】

一方、例えば図26(B)に示した比較例5に係る薄膜トランジスタ501では、図中の符号P72で示したように、配線層17A、17Bとしても機能しているソース・ドレイン電極15A、15Bの膜厚が小さくなっている。このため、上記比較例4と比べ、ソース・ドレイン電極15A、15Bの段差部分における接触抵抗が低く抑えられ、その点では信頼性が向上する（製造不良が低減する）。しかしながら、配線層17A、17Bとしても機能しているソース・ドレイン電極15A、15Bの膜厚が小さいということは、上記比較例4と比べて配線抵抗が増大してしまい、この点では信頼性に問題が生じるおそれがある。

40

【0129】

これらの比較例4、5に対し、本実施の形態では、配線層17A、17Bの膜厚を大きくしつつ、これらとは別体であるソース・ドレイン電極15A、15Bの膜厚を小さくすることができるため、上記したように、接触抵抗を抑えつつ配線抵抗を低減することができるのである。

【0130】

<適用例>

50

続いて、上記各実施の形態および各変形例で説明した半導体素子（薄膜トランジスタ 1, 1 A ~ 1 E）の適用例（表示装置および電子機器への適用例）について説明する。

【0131】

[表示装置]

図 27 は、上記各実施の形態等の半導体素子（薄膜トランジスタ 1, 1 A ~ 1 E）を備えた表示装置（表示装置 2）の概略構成を模式的に表したものである。具体的には、図 27（B）は平面構成（X-Y 平面構成）を、図 27（A）は、図 27（B）における V I - V I 線に沿った矢視断面構成（Z-X 断面構成）を、それぞれ示している。

【0132】

この表示装置 2 は、基板 11、T F T 層 22、表示層 23 および透明基板 24 をこの順に積層したものである。具体的には、基板 11 における表示領域 20 A 上には、T F T 層 22、表示層 23 および透明基板 24 が積層される一方、基板 11 における額縁領域（非表示領域）20 B 上には、これらの T F T 層 22、表示層 23 および透明基板 24 は積層されていない。

【0133】

T F T 層 22 は、薄膜（金属膜等の導電膜や、絶縁膜など）を含む複数のデバイスを含む層である。このデバイスとしては、画素を選択するためのスイッチング素子としての T F T の他、容量素子（保持容量素子など）、配線（走査線、信号線など）および電極（画素電極など）等が挙げられる。ここで、上記した T F T が、チャンネル層として有機半導体層 14 を用いた、上記各実施の形態等の薄膜トランジスタ（有機 T F T）により構成されて

【0134】

表示層 23 は、例えば画素電極と共通電極との間に、電気泳動粒子や液晶層、有機 E L（Electro Luminescence）層あるいは無機 E L 層などを含んで構成されている。すなわち、表示層 23 は、電気泳動素子や液晶素子、有機 E L 素子あるいは無機 E L 素子等を用いて構成されている。なお、画素電極は T F T 層 22 に画素ごとに設けられ、共通電極は透明基板 24 の一面に亘り設けられている。

【0135】

透明基板 24 は、例えば、基板 11 と同様の材料を用いて構成されている。なお、この透明基板 24 上に、更に表示層 23 への水分の浸入を防止する防湿膜および外光の表示面への映り込みを防止するための光学機能膜を設けるようにしてもよい。

【0136】

[電子機器]

次に、図 28 ~ 図 33 を参照して、上記表示装置 2 の適用例について説明する。この表示装置 2 は、テレビジョン装置、デジタルカメラ、ノート型パーソナルコンピュータ、携帯電話等の携帯端末装置あるいはビデオカメラなどのあらゆる分野の電子機器に適用することが可能である。言い換えると、表示装置 2 は、外部から入力された映像信号あるいは内部で生成した映像信号を、画像あるいは映像として表示するあらゆる分野の電子機器に適用することが可能である。

【0137】

（適用例 1）

図 28（A）および図 28（B）はそれぞれ、表示装置 2 が適用される電子ブックの外観を表したものである。この電子ブックは、例えば、表示部 210 および非表示部 220 を有しており、この表示部 210 が表示装置 2 により構成されている。

【0138】

（適用例 2）

図 29 は、表示装置 2 が適用されるテレビジョン装置の外観を表したものである。このテレビジョン装置は、例えば、フロントパネル 310 およびフィルターガラス 320 を含む映像表示画面部 300 を有しており、この映像表示画面部 300 が表示装置 2 により構成されている。

【0139】

(適用例3)

図30は、表示装置2が適用されるデジタルカメラの外観を表したものである。このデジタルカメラは、例えば、フラッシュ用の発光部410、表示部420、メニュースイッチ430およびシャッターボタン440を有しており、この表示部420が表示装置2により構成されている。

【0140】

(適用例4)

図31は、表示装置2が適用されるノート型パーソナルコンピュータの外観を表したものである。このノート型パーソナルコンピュータは、例えば、本体510、文字等の入力操作のためのキーボード520および画像を表示する表示部530を有しており、この表示部530が表示装置2により構成されている。

10

【0141】

(適用例5)

図32は、表示装置2が適用されるビデオカメラの外観を表したものである。このビデオカメラは、例えば、本体部610、この本体部610の前方側面に設けられた被写体撮影用のレンズ620、撮影時のスタート/ストップスイッチ630および表示部640を有している。そして、この表示部640が表示装置2により構成されている。

【0142】

(適用例6)

20

図33は、表示装置2が適用される携帯電話機の外観を表したものである。この携帯電話機は、例えば、上側筐体710と下側筐体720とを連結部（ヒンジ部）730で連結したものであり、ディスプレイ740、サブディスプレイ750、ピクチャーライト760およびカメラ770を有している。そして、これらのうちのディスプレイ740またはサブディスプレイ750が、表示装置2により構成されている。

【0143】

<その他の変形例>

以上、いくつかの実施の形態、変形例および適用例を挙げて本開示の技術を説明したが、本技術はこれらの実施の形態等に限定されず、種々の変形が可能である。

【0144】

30

例えば、上記実施の形態等において説明した各層の材料および厚み、または成膜方法および成膜条件等は限定されるものではなく、他の材料および厚みとしてもよく、または他の成膜方法および成膜条件としてもよい。また、上記実施の形態等では、表示装置の構成を具体的に挙げて説明したが、全ての層を備える必要はなく、また、他の層を更に備えていてもよい。

【0145】

また、上記実施の形態等では、上記実施の形態等では、本開示の半導体素子の一例として、有機半導体層、ゲート電極、一对のソース・ドレイン電極および配線層を備えた薄膜トランジスタ（有機TFT）を挙げて説明したが、これには限られない。すなわち、例えば、有機半導体層、一对の電極（アノード電極およびカソード電極）ならびに配線層を備えたダイオード（整流素子）等の他の半導体素子に対しても、本技術を適用することが可能である。

40

【0146】

更に、本開示の半導体素子は、上記実施の形態等で説明した表示装置には限られず、例えば、受光素子（センサ）や太陽電池等の他のデバイス、およびそれらのデバイスを備えた電子機器などにも適用することが可能である。

【0147】

なお、本技術は以下のような構成を取ることも可能である。

(1)

有機半導体層と、

50

前記有機半導体層と接するように配設された電極と、
前記電極とは別体として形成され、かつ前記電極と電氣的に接続された配線層と
を備えた半導体素子。

(2)

前記電極は、前記有機半導体層上でこの有機半導体層と接している
上記(1)に記載の半導体素子。

(3)

前記電極の周囲の少なくとも一部分を囲むバンクが設けられている
上記(2)に記載の半導体素子。

(4)

前記バンクが、素子の形成領域ごとに個別に設けられている
上記(3)に記載の半導体素子。

10

(5)

前記バンクの形成領域と前記配線層の形成領域とが、互いに重畳していない
上記(4)に記載の半導体素子。

(6)

前記バンクは、前記電極の周囲のうちの前記配線層側に開口部を有し、
前記電極の端部が、前記バンク内から前記開口部を介して前記配線層側に突出している
ことにより、前記電極と前記配線層とが電氣的に接続されている
上記(5)に記載の半導体素子。

20

(7)

前記バンクが、撥液性材料からなる
上記(3)ないし(6)のいずれかに記載の半導体素子。

(8)

前記有機半導体層と、ゲート電極と、前記電極としての一对のソース・ドレイン電極と
、前記配線層とを備え、薄膜トランジスタとして構成されている
上記(1)ないし(7)のいずれかに記載の半導体素子。

(9)

ゲート絶縁膜および保護膜を備え、
基板上に、前記ゲート電極、前記ゲート絶縁膜、前記有機半導体層、前記ソース・ドレ
イン電極、前記保護膜および前記配線層の順に積層されている
上記(8)に記載の半導体素子。

30

(10)

前記有機半導体層は、前記保護膜の形成領域の外部に、前記ソース・ドレイン電極との
重畳領域としての凸部を有する
上記(9)に記載の半導体素子。

(11)

前記保護膜は、切り欠き領域としての凹部を有し、
前記切り欠き領域において、前記有機半導体層と前記ソース・ドレイン電極とが重畳さ
れている
上記(9)に記載の半導体素子。

40

(12)

前記ゲート電極と前記配線層との重畳領域に、前記有機半導体層および前記保護膜のう
ちの少なくとも一方が配設されている
上記(9)ないし(11)のいずれかに記載の半導体素子。

(13)

前記一对のソース・ドレイン電極にそれぞれ接続された前記配線層同士を結ぶ領域では
、前記ゲート電極の外形線よりも前記有機半導体層の外形線のほうが内側に配置されてい
る

上記(9)ないし(12)のいずれかに記載の半導体素子。

50

(14)

前記一対のソース・ドレイン電極は、これらのソース・ドレイン電極が個別に含まれるように形成された、アライメントずれ吸収領域を有する

上記(8)ないし(13)のいずれかに記載の半導体素子。

(15)

前記電極は、前記有機半導体層の下層でこの有機半導体層と接している

上記(1)に記載の半導体素子。

(16)

前記電極は、所定形状のバンク内にこの電極の構成材料が充填されることにより形成されたものであり、

前記有機半導体層は、前記バンクの除去後に前記電極上に形成されたものである

上記(15)に記載の半導体素子。

(17)

半導体素子と表示層とを備え、

前記半導体素子は、

有機半導体層と、

前記有機半導体層と接するように配設された電極と、

前記電極とは別体として形成され、かつ前記電極と電氣的に接続された配線層とを有する表示装置。

(18)

半導体素子と表示層とを有する表示装置を備え、

前記半導体素子は、

有機半導体層と、

前記有機半導体層と接するように配設された電極と、

前記電極とは別体として形成され、かつ前記電極と電氣的に接続された配線層とを有する電子機器。

(19)

基板上に、有機半導体層およびこの有機半導体層と接する電極を形成する工程と、

前記電極と電氣的に接続された配線層を形成する工程と

を含む半導体素子の製造方法。

(20)

前記電極を、印刷プロセスを用いて形成し、

前記配線層を、真空成膜プロセスを用いて形成する

上記(19)に記載の半導体素子の製造方法。

(21)

前記有機半導体層および前記電極を形成する工程では、

前記有機半導体層上に所定形状のバンクを形成した後に、前記印刷プロセスを用いて前記バンク内に前記電極の構成材料を充填することにより、前記有機半導体層上に前記電極を形成する

上記(20)に記載の半導体素子の製造方法。

(22)

前記有機半導体層および前記電極を形成する工程は、

前記基板上に所定形状のバンクを形成した後に、前記印刷プロセスを用いて前記バンク内に前記電極の構成材料を充填することにより、前記電極を形成する工程と、

前記バンクを除去した後に、前記電極上に前記有機半導体層を形成する工程と

を含む上記(20)に記載の半導体素子の製造方法。

【符号の説明】

【0148】

1, 1A～1E…薄膜トランジスタ、11…基板、12…ゲート電極、12L…ゲート配線、13…ゲート絶縁膜、14…有機半導体層、140…凸部、15A, 15B…ソー

10

20

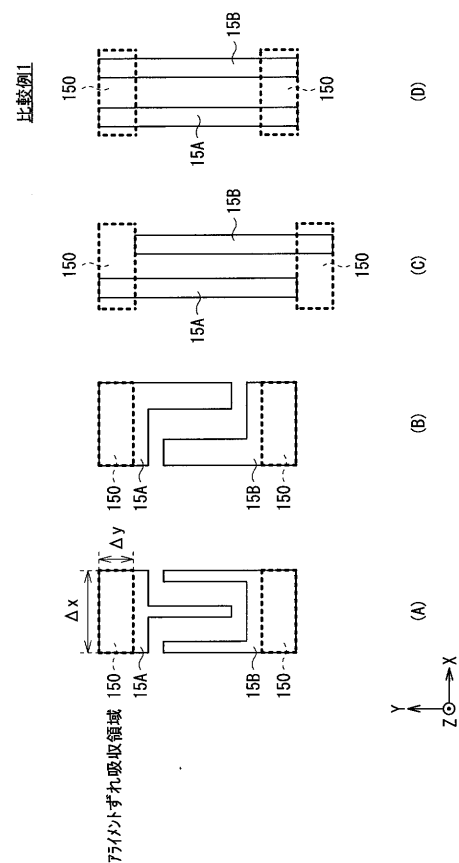
30

40

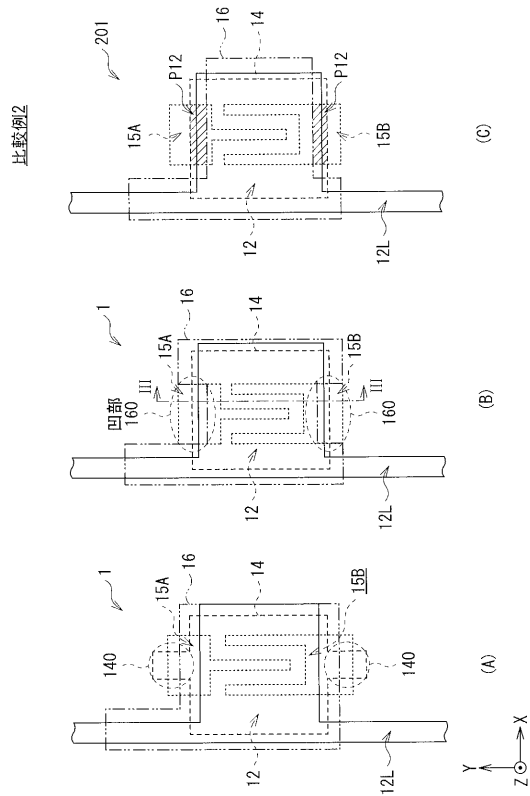
50

ス・ドレイン電極、１５０…アライメントずれ吸収領域、１６…保護膜、１６０…凹部、１７Ａ、１７Ｂ、１７０…配線層、１８…コンタクト部、１９、１９Ａ…バンク（エッチングストップ層）、１９Ｂ…エッチングストップ層、１９０…開口部、２…表示装置、２０Ａ…表示領域、２０Ｂ…額縁領域、２２…ＴＦＴ層、２３…表示層、２４…透明基板、８…レジスト層。

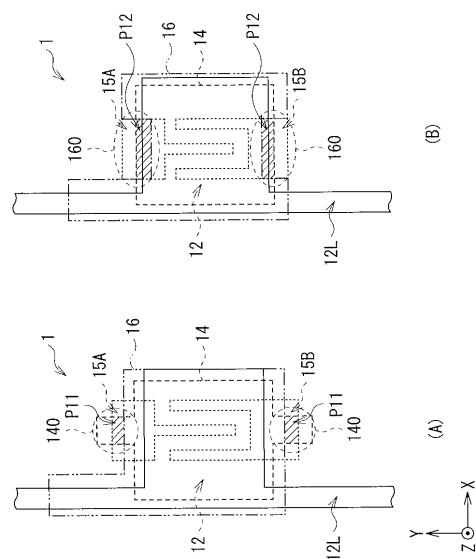
【図 2】



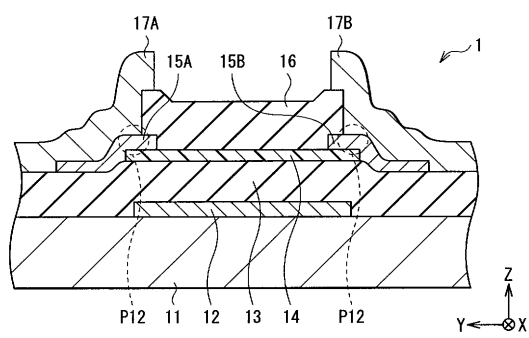
【図 3】



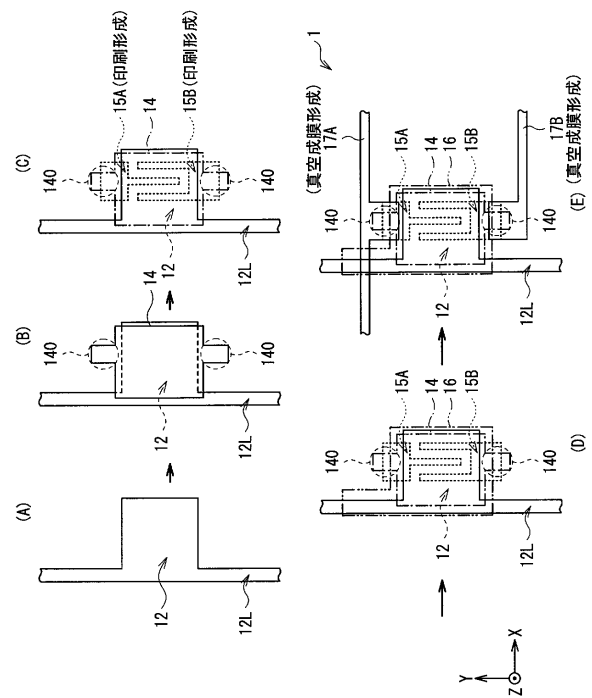
【図 4】



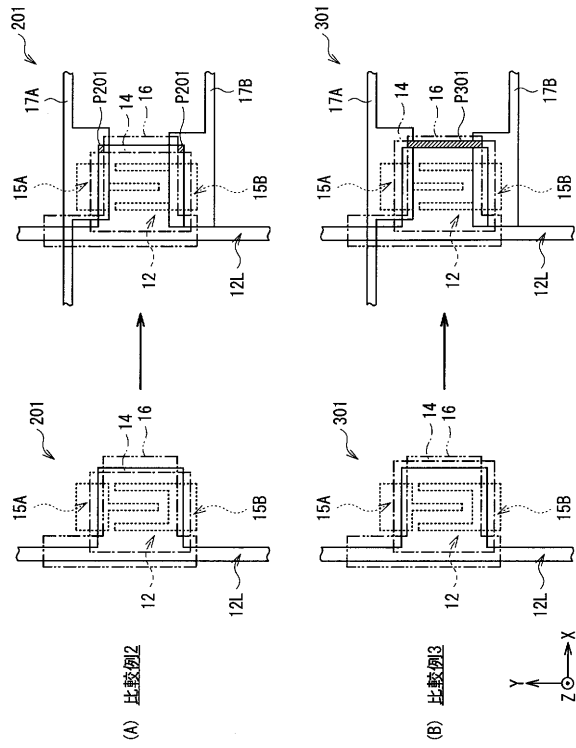
【図 5】



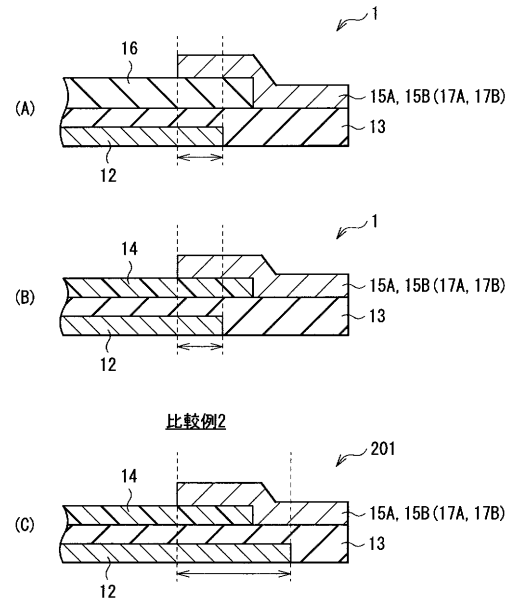
【图 6】



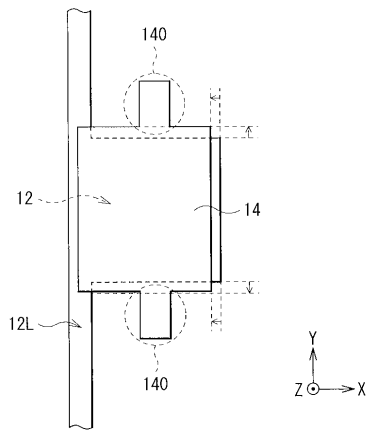
【図 7】



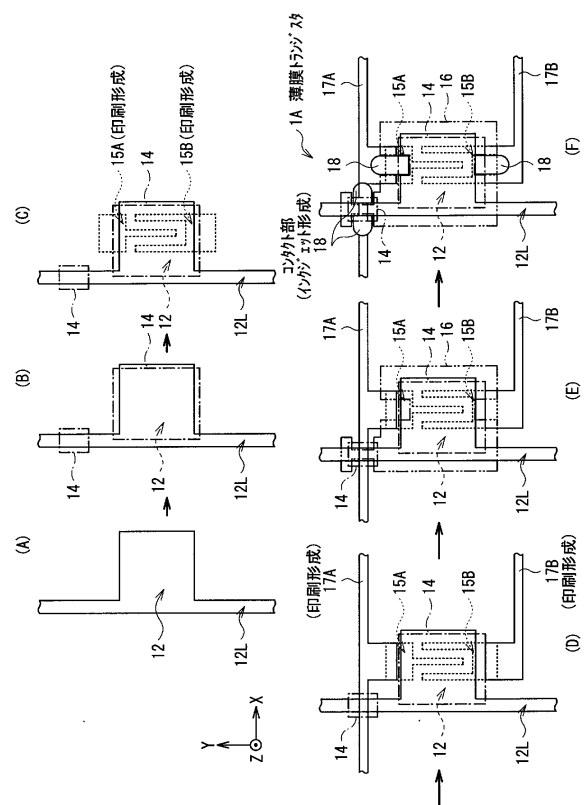
【図 8】



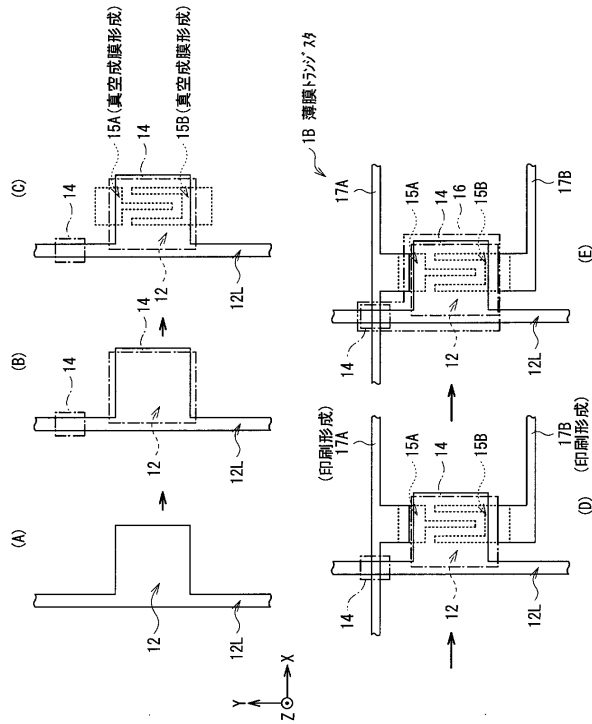
【図 9】



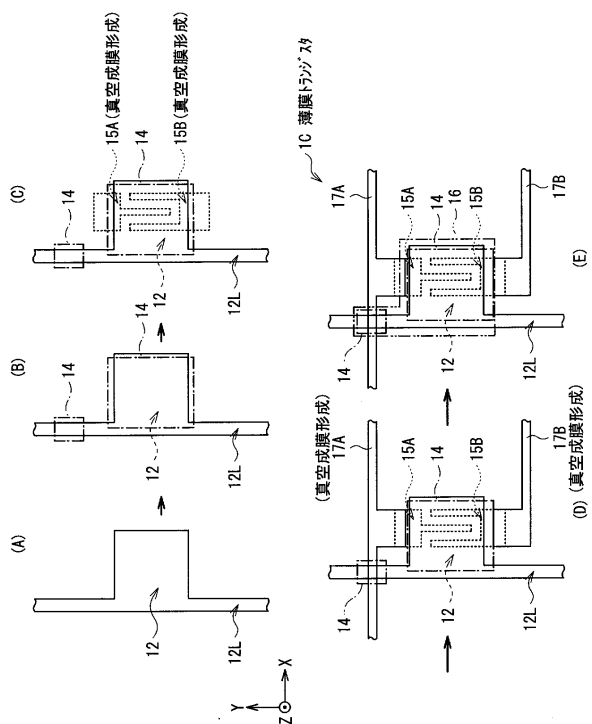
【図 10】



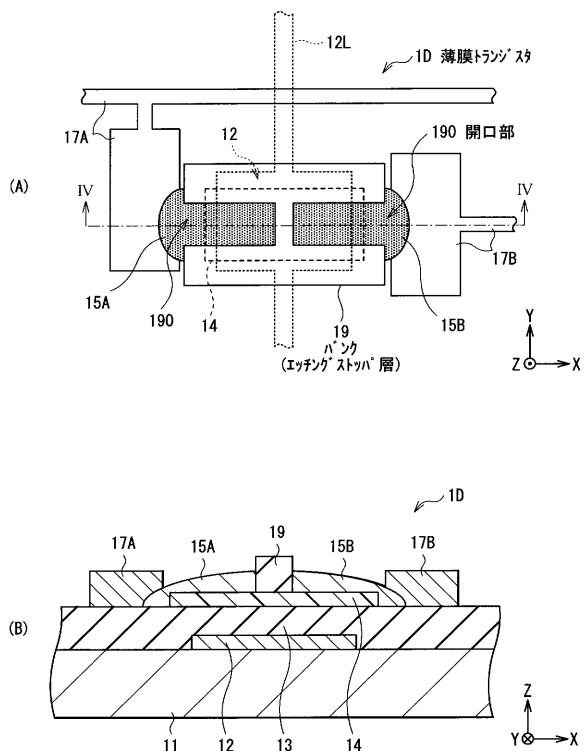
【図 1 1】



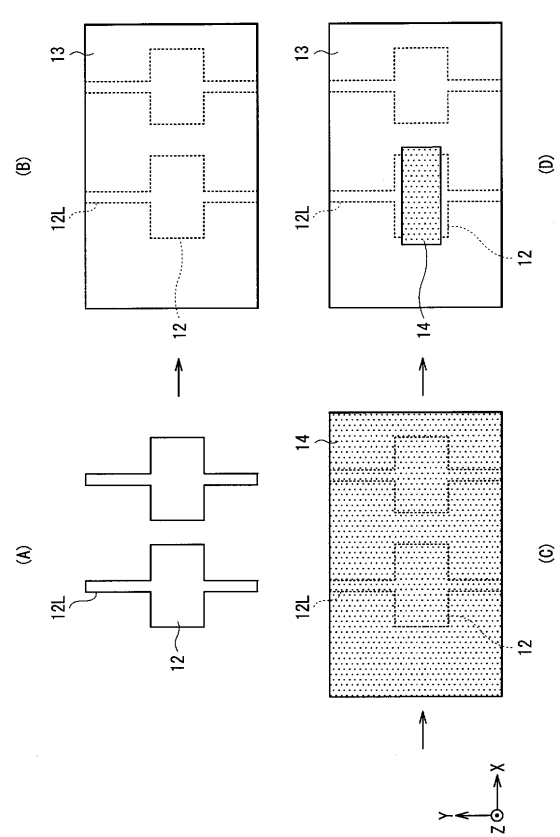
【図 1 2】



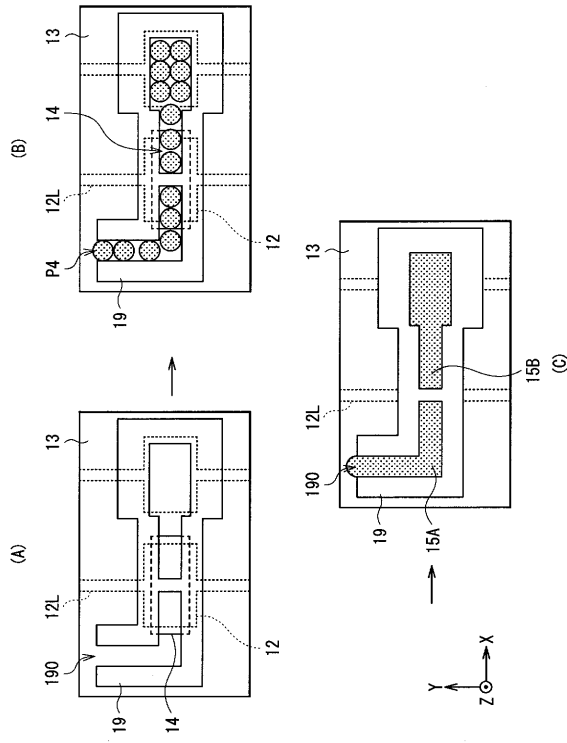
【図 1 3】



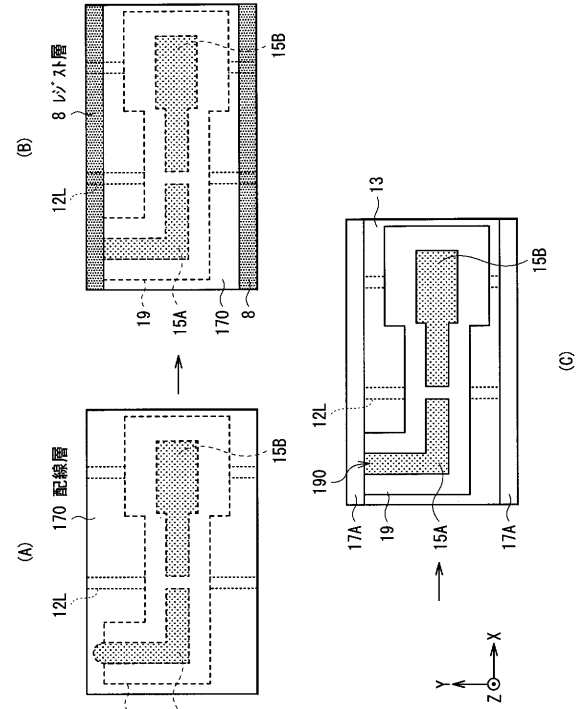
【図 1 4】



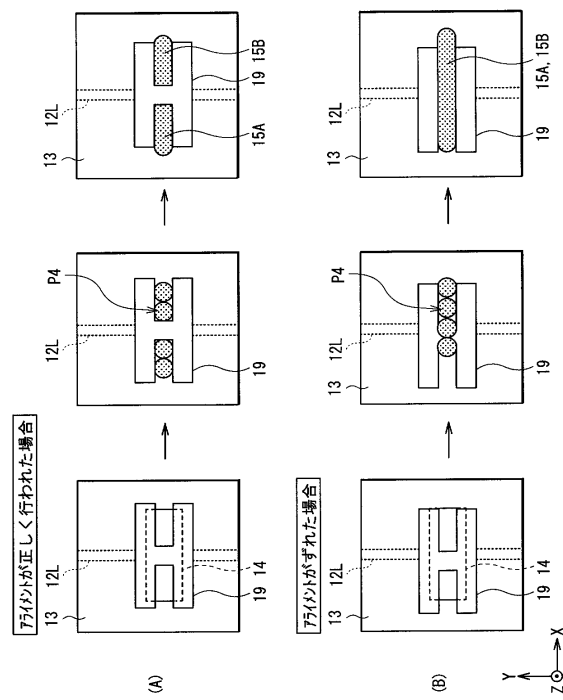
【図 15】



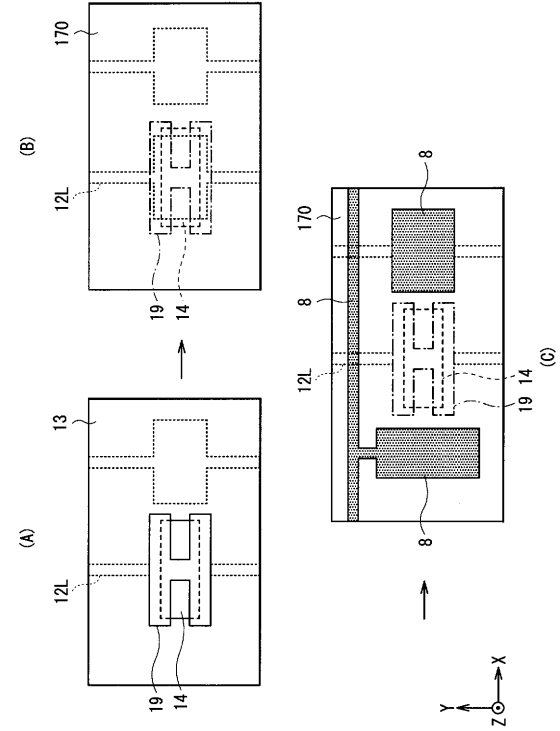
【図 16】



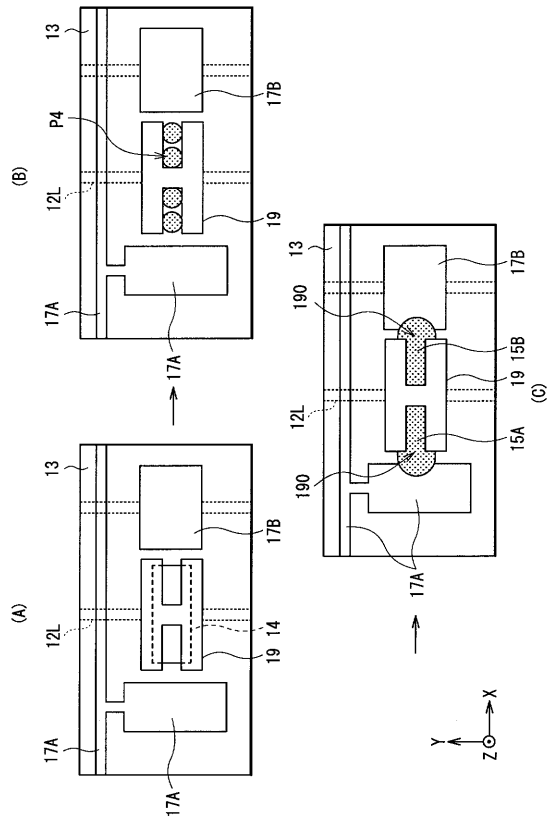
【図 17】



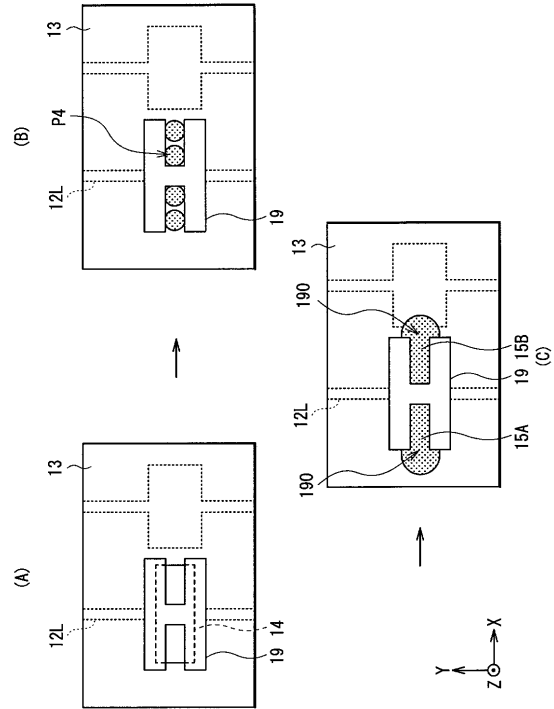
【図 18】



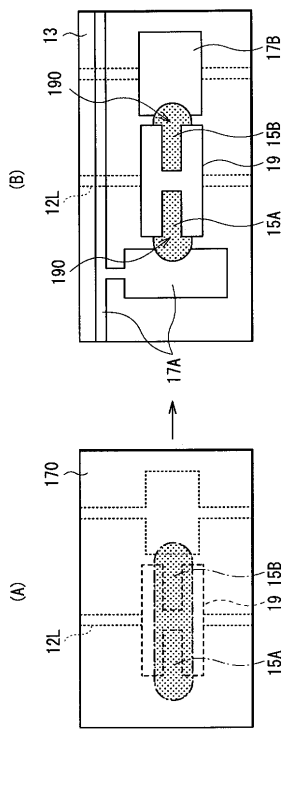
【図 19】



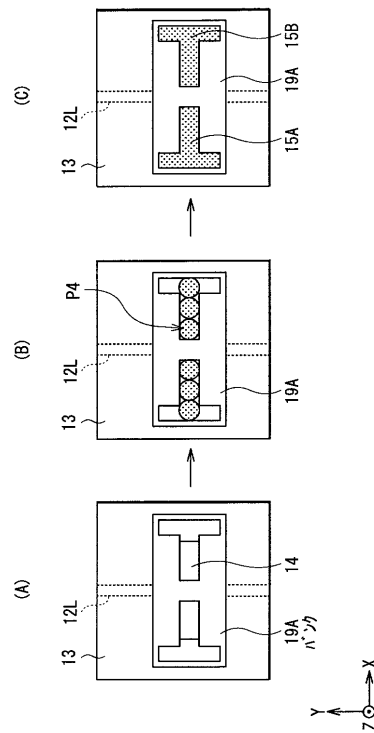
【図 20】



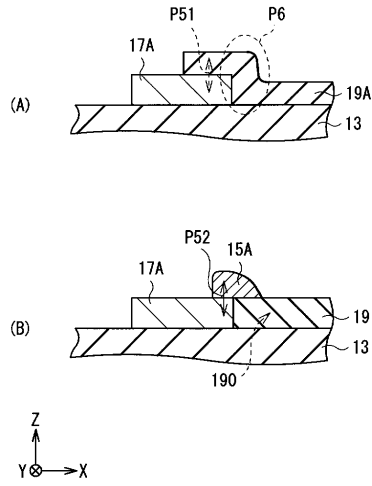
【図 21】



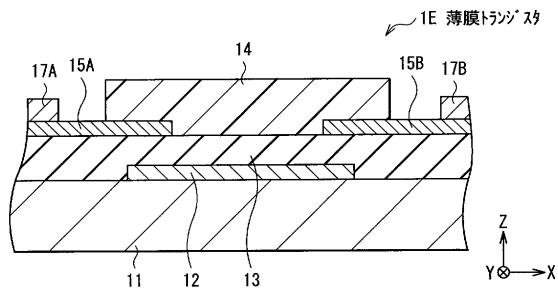
【図 22】



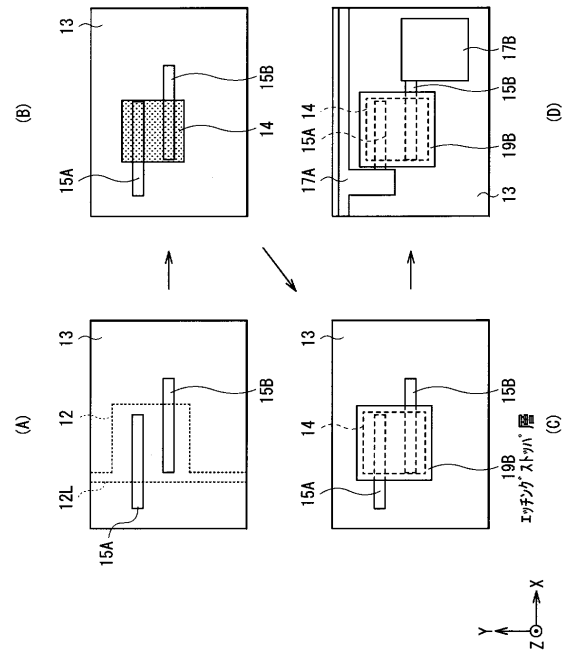
【図 2 3】



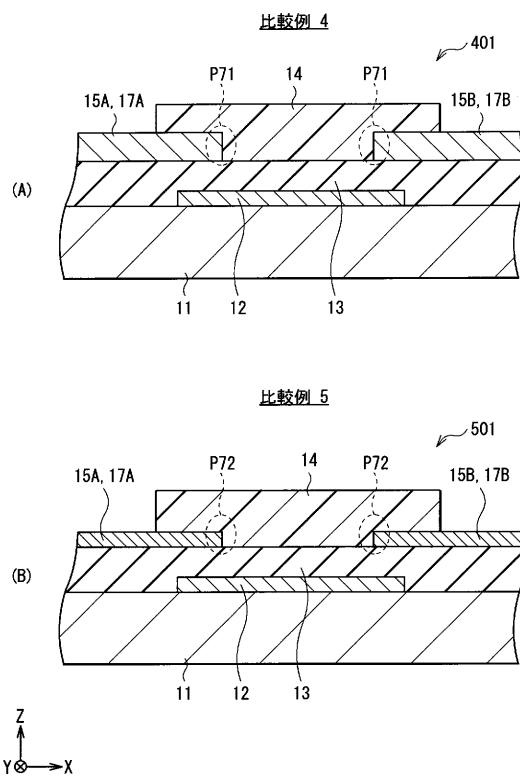
【図 2 4】



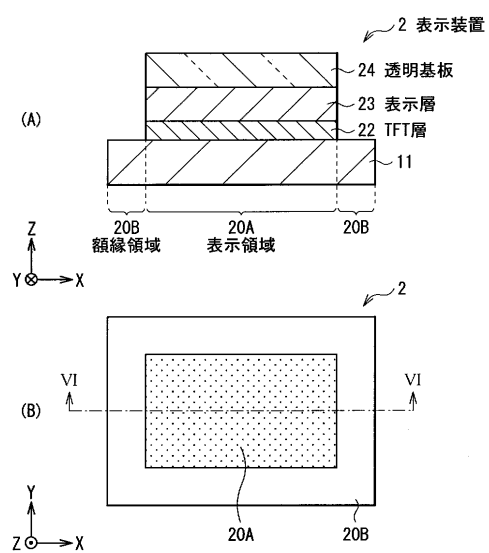
【図 2 5】



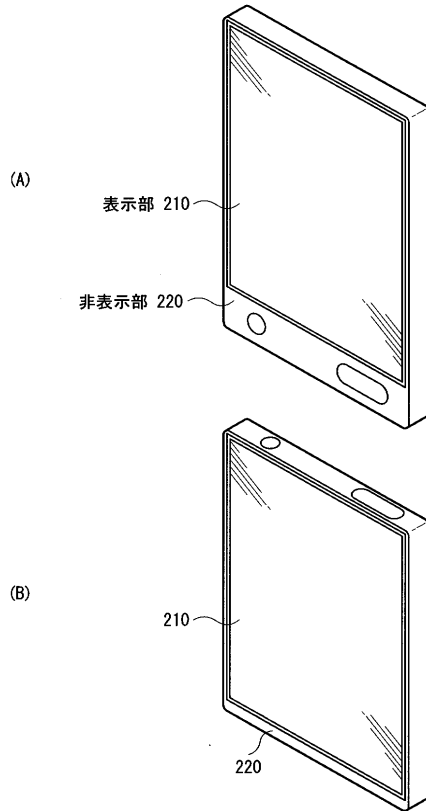
【図 2 6】



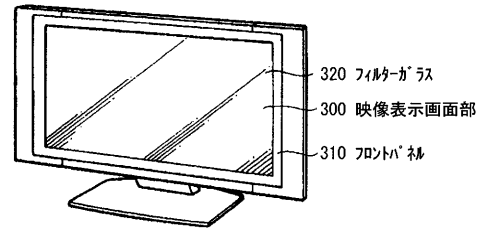
【図 2 7】



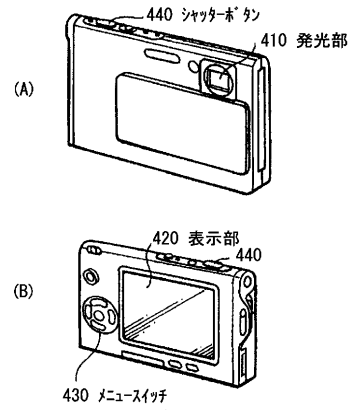
【図 28】



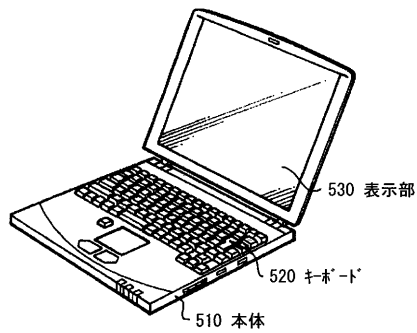
【図 29】



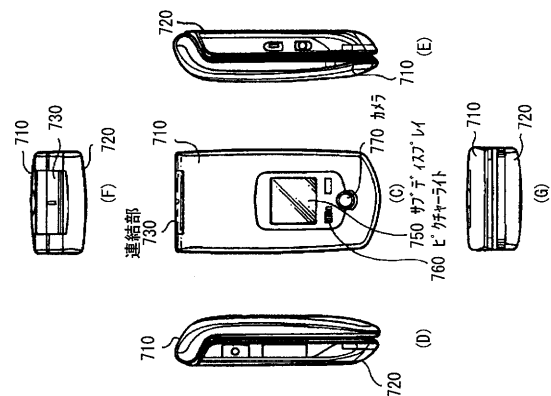
【図 30】



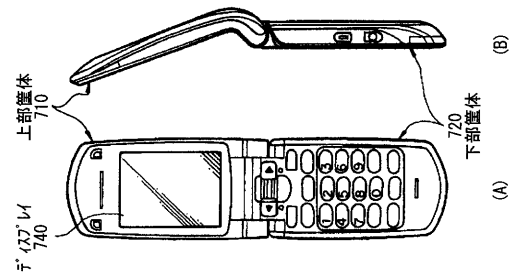
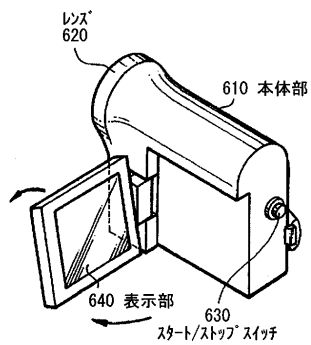
【図 3 1】



【图 3 3】



【図 3 2】



フロントページの続き

(51)Int.Cl.			F I		
G 0 9 F	9/30	(2006.01)	H 0 1 L	21/28	A
			H 0 1 L	21/288	Z
			H 0 1 L	29/50	M
			G 0 9 F	9/30	3 3 8
			H 0 1 L	21/28	3 0 1 B

(56)参考文献 特開2008-004957 (JP, A)
特開2006-251120 (JP, A)
特開2008-258480 (JP, A)
特開2007-311795 (JP, A)
特開2005-142474 (JP, A)
特開2007-073851 (JP, A)
特開2003-315829 (JP, A)
特開2010-135378 (JP, A)
特開2010-251574 (JP, A)
特開2011-086921 (JP, A)

(58)調査した分野(Int.Cl., DB名)
H 0 1 L 2 1 / 3 3 6
G 0 9 F 9 / 3 0
H 0 1 L 2 1 / 2 8
H 0 1 L 2 1 / 2 8 8
H 0 1 L 2 9 / 4 1 7
H 0 1 L 2 9 / 7 8 6