



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0024846
(43) 공개일자 2009년03월10일

(51) Int. Cl.

H01L 27/02 (2006.01) H01L 27/00 (2006.01)

(21) 출원번호 10-2007-0089723

(22) 출원일자 2007년09월05일

심사청구일자 2007년09월05일

(71) 출원인

고려대학교 산학협력단

서울 성북구 안암동5가1 고려대학교 내

(72) 발명자

김영근

서울 강남구 압구정2동 한양아파트 72-1109

지혜민

경기 수원시 영통구 영통동 청명마을 벽산아파트
334동 402호

이원상

경기 용인시 수지구 상현동 금호베스트빌 1차 15
5동 802호

(74) 대리인

김한

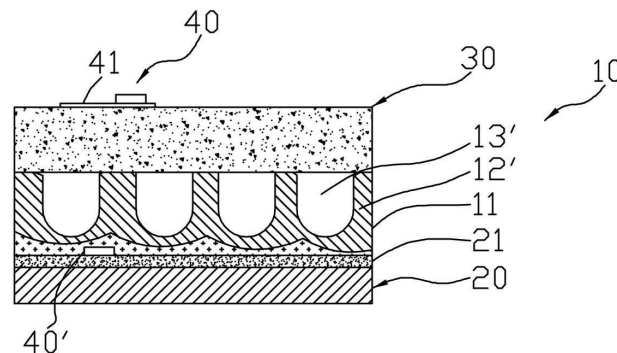
전체 청구항 수 : 총 16 항

(54) 집적 수동 디바이스 및 그 제조 방법

(57) 요약

본 발명은 집적 수동 디바이스 및 그 제조 방법에 관한 것으로서, Si 기판과 상기 Si 기판 상에 형성된 양극 산화 알루미늄(anodic aluminum oxide, AAO)층 및 상기 양극 산화 알루미늄층 상단에 형성된 산화 실리콘(SiO_2)층의 적층 구조상에 적어도 하나의 박막 수동 디바이스를 포함하는 것을 특징으로 하는 집적 수동 디바이스를 구현함으로써, 해당 동작 주파수 대역 상에서 삽입손실을 최소화할 수 있다.

대표도 - 도3b



특허청구의 범위

청구항 1

집적 수동 디바이스 제조 방법에 있어서,

- (a) 기판을 제공하는 단계;
- (b) 상기 기판 상에 복수의 나노 크기의 기공을 갖는 양극 산화 알루미늄(Anodic Aluminum Oxide, AAO)층을 형성하는 단계;
- (c) 산화 실리콘(SiO_2) 도금을 상기 양극 산화 알루미늄층 상단에서 수행하여 산화 실리콘층을 형성하는 단계; 및
- (d) 상기 산화 실리콘층의 적층 구조상에 적어도 하나의 박막 수동 디바이스를 형성하는 단계 포함함을 특징으로 하는 집적 수동 디바이스 제조 방법.

청구항 2

제 1항에 있어서,

상기 (b) 단계는 상기 기공 표면에 양극 산화 피막을 형성하는 단계를 포함함을 특징으로 하는 집적 수동 디바이스 제조 방법.

청구항 3

제 1항에 있어서, 상기 산화 실리콘층은 상기 양극 산화 알루미늄층 위에 PE-CVD(plasma enhanced-chemical vapor deposition) 방법을 사용하여 증착함을 특징으로 하는 집적 수동 디바이스 제조 방법.

청구항 4

제 1항에 있어서,

상기 기공의 직경이 20 nm임을 특징으로 하는 집적 수동 디바이스 제조 방법.

청구항 5

제 1항에 있어서,

상기 양극 산화 알루미늄층 및 산화 실리콘층의 두께 비(ratio)가 1:3임을 특징으로 하는 집적 수동 디바이스 제조 방법.

청구항 6

제 5항에 있어서,

상기 양극 산화 알루미늄층 및 산화 실리콘층의 두께가 각각 $1\mu\text{m}$, $3\mu\text{m}$ 임을 특징으로 하는 집적 수동 디바이스 제조 방법.

청구항 7

제 1항에 있어서,

상기 박막 수동 디바이스는 하나 이상의 인덕터 또는 수동 저항기 또는 캐패시터 디바이스들을 포함하는 것을 특징으로 하는 집적 수동 디바이스 제조 방법.

청구항 8

제1항에 있어서,

상기 기판은 Si 기판임을 특징으로 하는 집적 수동 디바이스 제조 방법.

청구항 9

집적 수동 디바이스에 있어서,

기판;

상기 기판 상에 복수의 나노 크기의 기공을 갖는 양극 산화 알루미늄층;

산화 실리콘 도금을 수행하여 상기 양극 산화 알루미늄층 상단에 형성된 산화 실리콘층; 및

상기 기판, 양극 산화 알루미늄층 및 산화 실리콘층의 적층 구조상에 적어도 하나의 박막 수동 디바이스를 포함하는 것을 특징으로 하는 집적 수동 디바이스.

청구항 10

제 9항에 있어서,

상기 기공 표면은 양극 산화 피막으로 형성됨을 특징으로 하는 집적 수동 디바이스.

청구항 11

제 9항에 있어서,

상기 산화 실리콘층은 상기 양극 산화 알루미늄층 위에 PE-CVD 방법을 사용하여 증착함을 특징으로 하는 집적 수동 디바이스.

청구항 12

제 9항에 있어서,

상기 기공의 직경이 20nm임을 특징으로 하는 집적 수동 디바이스.

청구항 13

제 9항에 있어서,

상기 양극 산화 알루미늄층 및 산화 실리콘층의 두께 비가 1:3임을 특징으로 하는 집적 수동 디바이스.

청구항 14

제 13항에 있어서,

상기 양극 산화 알루미늄층 및 산화 실리콘층의 두께가 각각 1 μ m, 3 μ m임을 특징으로 하는 집적 수동 디바이스.

청구항 15

제 9항에 있어서,

상기 박막 수동 디바이스는 하나 이상의 인덕터 또는 수동 저항기 또는 캐패시터 디바이스들을 포함하는 것을 특징으로 하는 집적 수동 디바이스.

청구항 16

제 9항에 있어서,

상기 기판은 Si 기판임을 특징으로 하는 집적 수동 디바이스.

명세서

발명의 상세한 설명

기술 분야

<1> 본 발명은 집적 수동 디바이스('소자' 라고도 한다) 및 그 제조 방법에 관한 것으로서, 상기 집적 수동 디바이스의 소자 구현에 있어서 동작 주파수 대역(passband) 상의 내부 손실, 특히 삽입 손실(insertion loss)을 줄이기 위한 집적 수동 디바이스 및 그 제조 방법에 관한 것이다.

배경 기술

- <2> 집적 수동 디바이스(integrated passive device, 이하 IPD)는 무선 통신 부품, 광전 집적 회로 시스템에 들어가는 저항, 인덕터, 캐패시터 등과 같은 수동 회로 부품을 소형의 반도체 기판 하나에 모두 집적, 소형 실장이 가능한 집적 소자이다. IPD 기술은 고주파용 전자 부품을 이용하는 시스템에서 기술적 제약으로 집적화가 어려웠던 개별 수동 소자들을 집적화함으로써 회로 규모의 대형화를 억제하고, 고주파 특성을 높일 수 있다.
- <3> IPD는 기존의 모든 수동 부품이 사용되는 응용 분야에 적용가능 하며, 이미 휴대용 단말기의 전력 증폭단에 기술이 접목되어 시장에 제품이 유통되고 있으며, 개인 휴대 단말기의 프론트엔드(front-end) 단의 저역 통과 필터, 무선 랜 분야의 대역 통과 필터, 발룬, 다이플렉서의 통합 모듈 개발에 관한 수요가 늘어나고 있다.
- <4> 상기 IPD를 제작함에 있어서, 임베디드 적층기판(embedded PCB) 기술과 세라믹 소재를 이용한 LTCC(low temperature cofired ceramic, 저온소성세라믹) 기술이 대표적으로 많이 쓰여 왔으며, 현재도 반도체 공정 기반의 기술과 경쟁하고 있다.
- <5> 상기 임베디드 PCB 기술은 기판 표면 위에 실장하여 전자회로를 구성하는 3가지 기본요소인 커패시터, 저항, 인덕터 등의 수동소자를 PCB의 내층에 삽입시켜 PCB 내부 자체에서 그 역할을 수행할 수 있도록 한 기술로서, 기판 표면 상의 수동소자가 차지하던 면적을 줄일 수 있어 같은 크기의 PCB 기판에 보다 많은 양의 능동소자를 실장할 수 있다.
- <6> 또한, 수동소자 실장의 불필요에 의해 접촉 패드와 스루홀이나 비아홀 등이 필요 없어 PCB 크기의 축소로 인한 제품의 효율성 증대와 원가절감을 기대할 수 있고, 능동소자와 수동소자 간의 접속 길이의 단축에 의한 인덕터 성분 감소로 전기적 성능 향상을 가져올 수 있으며, 납땜 접합 개소의 감소로 PCB 기판에 대한 실장 신뢰성을 향상시킬 수 있는 등 우수한 특성을 나타내고 있다.
- <7> 또한, 상기 LTCC 기술이란 테이프 캐스팅(tape casting)의 방법으로 제조된 후막(수십~수백 μm 의 두께) 형태의 세라믹 유전체와 여러 가지 회로요소를 구현하기 위한 전도성 금속 페이스트를 이용하여 여러 층의 적층형 소자를 제조하는 기법으로서, 이런 적층형 소자 내부에 각종 수동소자를 모두 포함시킬 수 있고 나아가 능동소자도 함께 실장 할 수 있다.
- <8> 더욱이, 상기 LTCC 기술에서는 금(Au) 혹은 은(Ag)과 같은 전도성이 우수하고 산화분위기에서도 소성이 가능한 전도성 금속을 사용할 수 있다는 장점으로 인해 저항기, 커패시터, 인덕터 등의 다양한 수동소자를 구현하는 것이 용이하다.
- <9> 상기 임베디드 PCB 기술 및 LTCC 기술 등을 이용한 상기 IPD 소자 구현에 있어서, 동작 주파수 대역 상의 내부 손실인 신호 전송 손실 특성은 매우 중요하며, 특히, 고주파에서의 삽입 손실 정도에 따라 소자의 우수성이 판명난다. 이러한 동작 주파수 대역에서의 삽입 손실을 줄이기 위해서 절연체를 이용한 반도체 공정 기반의 집적 기술이 응용되고 있는 실정이다.

발명의 내용

해결 하고자하는 과제

- <10> 기존의 임베디드 PCB 기술과 세라믹 소재를 이용한 LTCC(low temperature cofired ceramic, 저온소성세라믹) 기술은 수동소자를 제작하는 방법으로 많이 쓰이고 있으며, 현재도 반도체 공정 기반의 기술과 경쟁하고 있다.
- <11> 하지만 세라믹 소재를 이용하는 LTCC 기술은 제작 시의 고온처리로 인해 발생하는 수축문제로 인한 저수율, 대형화, 고가, 미세 패턴 형성의 불가능 등의 문제점을 가지고 있으며, 임베디드 PCB 기술은 단말기 시스템에 필요한 수동 소자의 구현 불가능, 파워 증폭(power amplifier) 나노 소자의 집적화시에 열 방출 등의 문제점을 가지고 있다.
- <12> 더욱이, 상기 기술을 사용함에 있어, 기존의 IPD 소자에서 절연체로 사용하는 산화 실리콘은 수년 동안 집적 회로 기술에서 널리 사용되어 왔고, 특성들 및 박막 증착 기술들의 면에서 상기 산화 실리콘의 기술은 잘 알려져 있고 개발되었다.
- <13> 상기 폴리 실리콘은 비교적 높은 저항률을 갖게 만들어질 수 있고, 다양한 부품 및 디바이스들이, 절연층으로 작용하는 산화 실리콘 층상에 만들어 질 수 있는 장점을 가진다.

<14> 그러나 상기 산화 실리콘을 상기 IPD 소자에서 절연체로 사용할 경우, 여전히 삽입 손실의 문제점이 발생함으로써 이를 개선하기 위한 해결 방안이 필요하다.

과제 해결수단

<15> 본 발명은 집적 수동 디바이스(IPD) 및 그 제조 방법에 관한 것으로서, Si 기판과 상기 Si 기판 상에 형성된 양극 산화 알루미늄(anodic aluminum oxide, AAO) 층 및 상기 양극 산화 알루미늄층 상단에 형성된 산화 실리콘(SiO_2)층의 적층 구조상에 적어도 하나의 박막 수동 디바이스를 포함하는 것을 특징으로 하는 집적 수동 디바이스를 구현함으로써 상기 과제를 해결할 수 있다.

효과

<16> 본 발명에 따른 집적 수동 디바이스를 이용하면, 해당 동작 주파수 대역 상에서의 삽입손실을 최소화할 수 있다.

발명의 실시를 위한 구체적인 내용

<17> 고주파 대역에서의 삽입 손실은 IPD가 고주파용 전자 부품에 응용될 수 있는 가능성을 평가할 수 있는 중요한 요소로서, 삽입 손실이 적을수록 손해를 보는 전력이 적다는 것을 의미한다.

<18> 본 발명은 이러한 삽입 손실을 최소화하기 위하여 수십 나노미터의 기공을 갖는 다공성(nanoporous) 양극 산화 알루미늄(anodic aluminum oxide, 이하 AAO라 함) 주형과 산화 실리콘(silicon dioxide, 이하 SiO_2 라 함)층으로 구성된 복합 적층 구조의 새로운 절연체를 활용하여 해당 동작 주파수 대역에서 소자의 삽입 손실을 최소화할 수 있는 특성을 기대할 수 있다.

<19> 상기 양극 산화 알루미늄 주형은 알루미늄을 양극 산화시켜 산화된 알루미늄 표면에 규칙적으로 배열된 나노미터 크기(10 ~ 100 nm)의 기공이 형성되는 알루미늄 기판을 말한다. 상기 AAO 주형은 나노튜브(nanotube)나 나노 와이어(nanowire) 등의 나노 구조를 만드는 틀로서 사용되며, 상기 AAO 주형 자체가 나노 마스크로 활용될 수도 있다.

<20> 도 1a 부터 도 1e는 본 발명의 집적 수동 디바이스의 제작 과정 중 종래 기술에 따른 양극 산화 알루미늄(anodic aluminum oxide, AAO) 주형의 제작과정을 설명하기 위한 도면이며, 이를 참조하여 설명하면 다음과 같다.

<21> 순도 99.9999999%의 실리콘 웨이퍼(기판)(20)의 표면에 나노 두께의 티타늄(21)과 마이크로 두께의 알루미늄(11) 박막을 전자빔 증착(e-beam evaporation)하고 표면을 세척한다(도 1a 참조).

<22> 다음, 상기 알루미늄(11)의 증착된 실리콘 웨이퍼(기판)(20)을 전해액을 사용하여 1차 양극산화를 수행하여 나노 기공(13)을 갖는 AAO 막(12)을 형성시킨다(도 1b 참조).

<23> 이를 크롬산과 인산이 혼합된 용액에서 에칭하여 초기 산화막(12)을 제거하고 에칭부(14)를 형성시킨다(도 1c 참조).

<24> 다음, 옥살산(oxalic acid)과 같은 전해액을 사용하여 전해질의 종류와 농도를 고정한 후, 온도, 양극 산화 전압 등의 변수를 조절하여 AAO 막(12')의 나노 기공(13')의 특성을 제어하면서 2차 양극 산화를 수행한다(도 1d 참조). 이때 양극 산화 시간으로 AAO의 두께, 즉 나노 기공(13')의 길이를 결정한다.

<25> 마지막으로, 이를 확장 용액(widening solution)이라고 알려져 있는 일부 산성 용액을 이용하여 부분적인 용해를 일으켜 산화막(12')에 형성된 나노 기공(13')의 직경을 넓힘으로써 기공(13')의 길이와 산화막(12')의 성질이 동일한 상태에서 직경이 다양한 AAO 주형(10)을 제작한다(도 1e 참조).

<26> 이때, 상기 AAO 막(12')은 전기적으로 절연체의 역할뿐만 아니라 수많은 소자들로 구성되는 집적회로의 제조공정에서 소자와 소자간의 격리를 요할 때 필요하며, 상기 SiO_2 상에 원하는 불순물을 도핑하는 공정에서 도핑이 되지 않아야 하는 영역으로의 확산을 방지하는 역할을 할 수 있다.

<27> 상기 방식으로 제작한 기공 구조를 갖는 AAO 주형(10)의 주사 현미경 사진($\times 500$)을 도 2에 나타내었다.

<28> 한편, 이러한 AAO 주형(10)은 형성되는 기공(13')의 크기를 조절하면서 기공(13') 내에 금속, 세라믹, 고분자와 같은 물질을 적용 목적에 따라 채워 넣어 나노 와이어를 제조하는데 사용될 수 있다. 이렇게 만들어진 나노

와이어를 이용한 나노 소자는 초고집적 하드디스크, 고집적 메모리 소자, 각종 전자 소자 및 바이오 칩 소자로도 응용될 수 있다.

- <29> 상기 도 1e를 참조하여, 이하 본 발명의 다른 특징 및 이점은 첨부한 도면과 관련하여 이루어지는 아래의 설명으로부터 명백해지며, 본 발명의 요지를 흐릴 수 있다고 판단되는 경우 그 자세한 설명은 피한다.
- <30> 도 3a는 본 발명의 실시 예에 따른 Si 기판상에 형성된 AAO/SiO₂ 절연체 적층 구조의 단면을 나타낸 도면이다.
- <31> 상기 Si 기판(20)은 집적 회로를 만드는 토대가 되는 얇은 규소판이며, 순도 99.9999999%의 단결정 규소를 얇게 잘라 표면을 매끈하게 다듬은 것이다. 또한 그 표면은 결함이나 오염이 없어야 함은 물론, 회로의 정밀도에 영향을 미치기 때문에 고도의 평탄도가 요구된다.
- <32> 상기 AAO 층(10)은 상기 Si 기판(10)을 도포한 후 전술한 양극 산화 공정에 의한 알루미늄 박막층을 형성하되, 소정의 깊이와 직경을 갖는 다수의 나노 기공(13')을 포함하고 있다.
- <33> 더욱이 상기 나노 기공(13')의 직경을 약 20 nm으로 형성하였다.
- <34> 또한, 상기 나노 기공을 갖는 AAO 층 상단에 절연층을 형성하여 증착하는 방법으로 일반적인 PE-CVD(plasma enhanced chemical vapor deposition) 기술을 사용한다.
- <35> 그러나 상기 패턴 간의 간격이 좁을 경우, 상기 PE-CVD 기술은 한계를 갖기 때문에 상기 절연 물질을 갭필(gap fill) 특성이 양호한 산화 물질(여기서는, 산화 SiO₂)을 사용함이 바람직하겠다.
- <36> 또한 이에 국한되지 않고 SOG(spin on glass) 계열의 물질을 코팅하여 상기 산화 SiO₂ 층(30)과 유사한 성질을 갖도록 하여도 무방하겠다.
- <37> 따라서, 증착시 상기 SiO₂는 상기 AAO 층(10)의 상단에 SiO₂ 층(30)을 형성하게 된다.
- <38> 또한, 상기 증착 방법으로 PVD(physical vapor deposition), CVD(chemical vapor deposition) 등을 사용할 수도 있다.
- <39> 도 3b는 본 발명의 실시 예에 따른 Si 기판과 AAO/SiO₂ 절연체 적층 구조 상에 소정 박막의 소자가 구성된 형상을 나타낸 도면이다.
- <40> 도 3b를 참조하면, Si 기판(20), AAO 층(10), 산화 SiO₂ 층(30)이 순차적으로 적층되어 있으며, 상기 적층 구조 상에 소정의 박막(21, 41)으로 형성된 디바이스(40, 40')를 형성할 수 있다.
- <41> 상기 Si 기판(20)은 전술하였듯이 집적 회로를 만드는 토대가 되는 얇은 규소판이며, 순도 99.9999999%의 단결정 규소를 얇게 잘라 표면을 매끈하게 다듬은 것이다. 또한 그 표면은 결함이나 오염이 없어야 함은 물론, 회로의 정밀도에 영향을 미치기 때문에 고도의 평탄도가 요구된다.
- <42> 상기 AAO 층(10)은 전술하였듯이 통상적으로 알루미늄 기판(11)을 전해(electro-polishing), 양극산화 및 에칭 과정을 수행하여 상기 알루미늄 기판(11) 상에 복수의 나노 크기의 기공(13')을 갖는 양극 산화 피막(12')이 형성되어 있다.
- <43> 또한, 상기 산화 SiO₂ 층(30)은 상기 PE-CVD 기술을 이용하여 상기 AAO 층(10)의 상단에 층을 형성하면서 증착된다.
- <44> 상기 증착시, 상기 AAO 층(10)의 나노 기공(13')은 산화 SiO가 채워지지 않으며, 상기 나노 기공 상부에서 상기 산화 SiO₂ 층(30)이 형성되도록 한다.
- <45> 상기 디바이스(40, 40')는 레지스터, 캐패시터, 인덕터 등이 되겠으며, 상기 소정의 박막(21, 41)은 도전성의 Ti 및 Au 등을 사용하여 상기 삽입손실 측정 소자(40)가 원하는 전기적 연결을 구성하는 소정의 패턴으로 형성되어 있다.
- <46> 또한 상기 AAO 층(10)의 나노 기공(13')으로 형성한 나노 튜브 등을 이용하여 상기 박막(21, 41)에 형성된 삽입손실 측정 소자(40)간의 전기적 연결을 구성할 수 있다.
- <47> 도 3b를 참조하여, 본 발명에 따른 집적 수동 디바이스의 제조 방법을 제시하면, (a) Si 기판(20)을 제공하는 단계, (b) 상기 Si 기판(20) 상부 면에 알루미늄 박막 양극산화 및 에칭 과정을 수행하여 상기 알루미늄 박막

상에 복수의 나노 크기의 기공(13')을 갖는 양극 산화 피막(12')이 형성된 AAO 층(10)을 형성하는 단계, (c) 상기 AAO 층(10) 상단에 SiO₂ 층(30)을 형성하는 단계, (d) 상기 Si 기판(20), AAO 층(10) 및 SiO₂ 층(30)의 적층 구조상에 적어도 하나의 박막 수동 디바이스(40, 40')를 형성하는 단계로 제조된다.

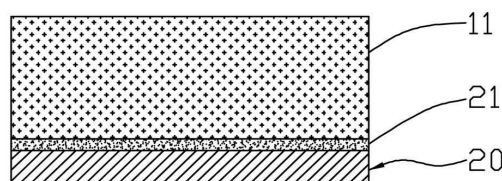
- <48> 상기 (b) 단계의 에칭 과정 시 사용되는 용액은 인산 용액, 황산 용액, 크롬산 용액, 수산 용액 및 이들의 혼합 용액으로 이루어진 군으로부터 선택된다.
- <49> 상기 산화 SiO₂ 층(30)은 상기 AAO 층(10) 위에 일반적인 PE-CVD(plasma enhanced chemical vapor deposition) 기술로 증착된다.
- <50> 상기 박막 수동 디바이스(40, 40')는 하나 이상의 인덕터 및/또는 수동 저항기 및/또는 캐패시터 디바이스들을 포함한다.
- <51> 도 4a는 본 발명의 실시 예에 따른 Si 기판과 3 μ m SiO₂ 절연체 및 1 μ m AAO / 3 μ m SiO₂ 절연체 적층 구조에 상에 형성된 소자에서의 삽입 손실을 측정하기 위해 형성한 스루(thru) 패턴이다. 패턴은 20 nm 두께의 Ti 층 상에 형성된 200 nm 두께의 Au 층으로 이루어져있다.
- <52> 도 4b는 본 발명의 실시 예에 따른 Si 기판과 3 μ m SiO₂ 절연체 및 1 μ m AAO / 3 μ m SiO₂ 절연체 적층 구조에 상에 형성된 소자의 삽입 손실을 비교한 그래프이다.
- <53> 도 4b를 참조하면, 4 GHz 주파수 대역에서 Si / 1 μ m AAO / 3 μ m SiO₂ 적층 기판 상에 형성된 소자의 삽입 손실은 -0.628 dB/L로, 3 μ m SiO₂ 절연체 상에 형성된 소자의 삽입손실인 -0.863 dB/L 보다 낮은 것을 확인할 수 있다.
- <54> 따라서 본 발명의 Si/AAO/SiO₂ 구조는 기존의 Si/SiO₂ 구조보다 낮은 삽입 손실을 보여주므로, 특히 고주파 IPD 소자 제작에 매우 유용할 것이다.

도면의 간단한 설명

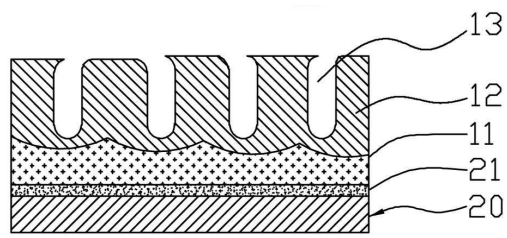
- <55> 도 1a 부터 도 1e는 본 발명의 집적 수동 디바이스의 제작과정 중 종래 기술에 따른 양극 산화 알루미늄(anodic aluminum oxide, AAO) 주형의 제작과정을 설명하기 위한 도면;
- <56> 도 2는 종래 기술에 따른 AAO의 기공 구조를 나타낸 주사전자현미경(SEM) 사진($\times 500$);
- <57> 도 3a는 본 발명의 실시 예에 따른 Si 기판상에 형성된 AAO/SiO₂ 절연체 적층 구조의 단면을 나타낸 도면;
- <58> 도 3b는 본 발명의 실시 예에 따른 Si 기판과 AAO/SiO₂ 절연체 적층 구조 상에 소정 박막의 소자가 구성된 형상을 나타낸 도면;
- <59> 도 4a는 본 발명의 실시 예에 따른 Si 기판과 3 μ m SiO₂ 절연체 및 1 μ m AAO / 3 μ m SiO₂ 절연체 적층 구조에 상에 형성된 소자의 삽입 손실을 비교 측정하기 위하여 Ti 20 nm/Au 200 nm 두께로 형성한 스루(thru) 패턴을 나타낸 도면; 및
- <60> 도 4b는 도 4a의 스루(thru) 패턴에서 측정한, Si 기판과 3 μ m SiO₂ 절연체 및 1 μ m AAO / 3 μ m SiO₂ 절연체 적층 구조에 상에 형성된 소자의 삽입 손실을 비교한 그래프.

도면

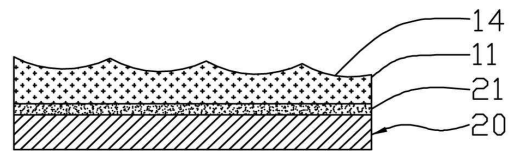
도면1a



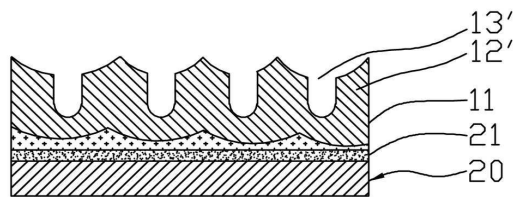
도면1b



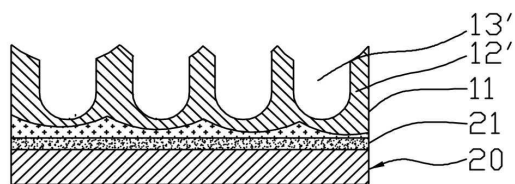
도면1c



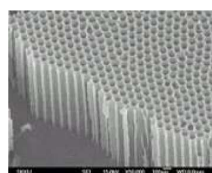
도면1d



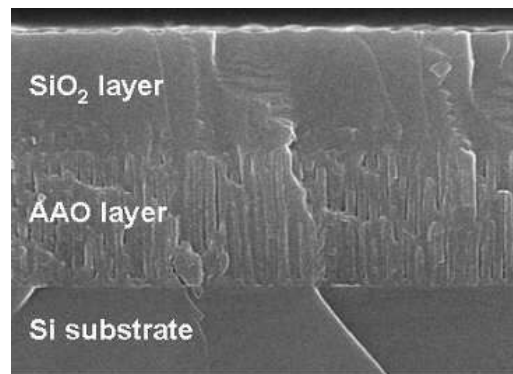
도면1e



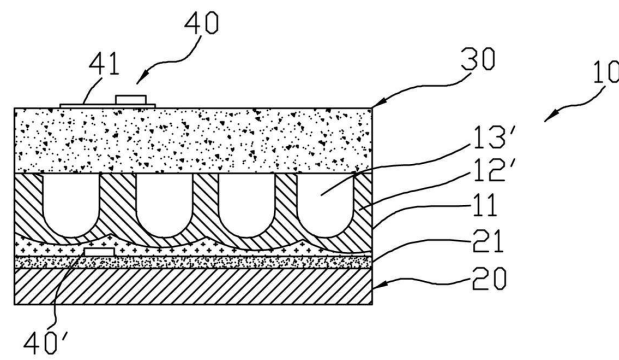
도면2



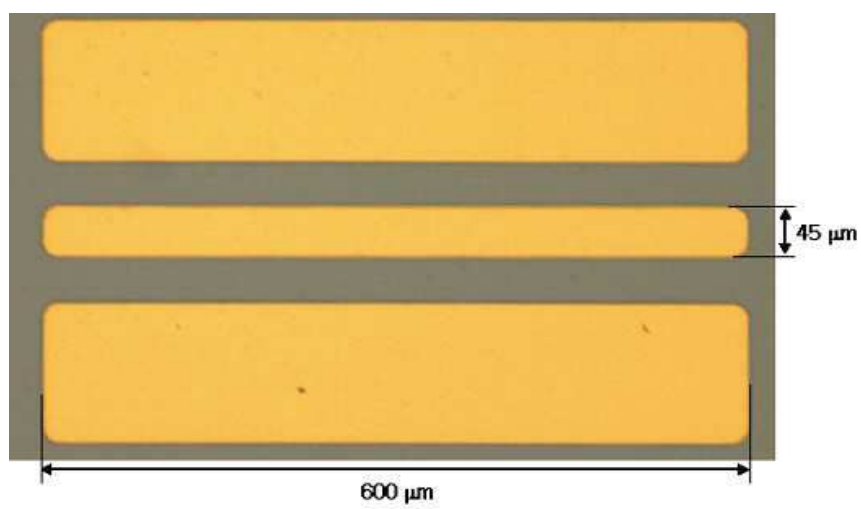
도면3a



도면3b



도면4a



도면4b

