

12

DEMANDE DE BREVET D'INVENTION

A1

22 Date de dépôt : 12.01.00.

30 Priorité :

43 Date de mise à la disposition du public de la
demande : 13.07.01 Bulletin 01/28.

56 Liste des documents cités dans le rapport de
recherche préliminaire : *Se reporter à la fin du
présent fascicule*

60 Références à d'autres documents nationaux
apparentés :

71 Demandeur(s) : SCHLUMBERGER SYSTEMES
Société anonyme — FR.

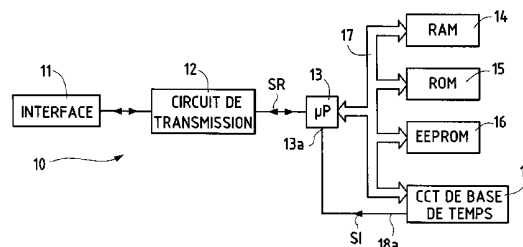
72 Inventeur(s) : MAYANCE FREDERIC.

73 Titulaire(s) :

74 Mandataire(s) : CABINET BEAU DE LOMENIE.

54 PUCE ELECTRONIQUE POUR OBJET PORTATIF.

57 La puce électronique (10) comprend une interface (11) lui permettant de communiquer avec un terminal, et un circuit de traitement (13) capable d'effectuer un traitement lorsque la puce est en communication avec le terminal. Un circuit de base de temps (18) est relié au circuit de traitement (13), pour produire un premier signal (SI) à au moins un instant donné si, à cet instant, le traitement n'est pas encore terminé. Un signal de relance (SR) est transmis vers l'interface en réponse au premier signal, dans le but d'indiquer au terminal que la puce est en fonctionnement.



La présente invention concerne, de manière générale, une puce électronique pour un objet portatif, tel qu'une carte à puce.

5 Les cartes à puce connaissent actuellement un large succès. Elles sont utilisées dans des domaines aussi divers que la banque, la santé, la téléphonie, etc. La puce électronique qu'elles comportent incorpore une ou plusieurs mémoires, permettant de stocker des données propres à l'utilisateur de la carte, telles que le numéro d'un compte bancaire, le
10 numéro de sécurité sociale de l'utilisateur, le nombre d'unités téléphoniques restantes, etc.

Certaines cartes à puces, en particulier celles utilisées dans le domaine bancaire, comprennent un circuit de traitement, du type microprocesseur, comportant un code source capable d'effectuer des
15 opérations relativement complexes. Ces opérations consistent par exemple à mettre en oeuvre des algorithmes de chiffrement pour protéger des informations secrètes contenues dans la carte, ou à organiser des fichiers de données. Généralement, de telles opérations sont effectuées suite à l'envoi d'une commande par un terminal de lecture et/ou d'écriture de la carte.

20 La figure 1 illustre une carte à puce 1, comportant une puce électronique 1a, destinée à coopérer avec un terminal ou dispositif de lecture et/ou d'écriture 2. Le terminal 2 est capable de communiquer avec la puce électronique 1a, pour notamment lire ou écrire des données dans celle-ci, lorsque la carte 1 est introduite dans une fente 2a du terminal prévue à
25 cet effet. Le terminal 2 alimente en outre la puce 1a en énergie électrique.

Ainsi, une fois la liaison établie entre la puce 1a et le terminal 2, ce dernier peut envoyer une commande à la puce, telle qu'une commande de lecture, pour lui faire exécuter un traitement particulier. Cependant, après l'envoi de la commande, le terminal 2 s'attend à ce que la puce 1a lui
30 réponde dans un intervalle de temps donné. Si, à l'expiration de cet intervalle de temps, le terminal 2 n'a reçu aucune réponse de la puce 1a, il considère généralement que celle-ci ne fonctionne plus ou qu'elle a été retirée du terminal. La norme ISO 7816-3, relative au protocole de transmission pour les cartes à puces, définit un "temps d'attente de travail",

correspondant au temps maximum alloué à la carte à puce pour répondre au terminal. Avant l'expiration de ce temps d'attente de travail, la carte a la possibilité, si elle est encore en train d'exécuter un traitement, d'émettre un octet de relance, afin d'indiquer au terminal qu'elle est toujours
5 fonctionnelle. Une fois l'octet de relance reçu par le terminal, la carte dispose d'un nouvel intervalle de temps avant de répondre, et peut émettre d'autres caractères de relance si nécessaire.

Dans les cartes à puce conventionnelles, l'opération d'envoi des octets de relance est programmée dans le microprocesseur. Pour ce faire,
10 des commandes sont insérées à des endroits spécifiques dans le code source à exécuter par le microprocesseur. Lorsque, au cours d'un traitement donné, le microprocesseur détecte l'une des ces commandes, il interrompt ledit traitement pour envoyer un octet de relance à destination du terminal.

Cette technique présente un inconvénient majeur, en ce qu'il est
15 nécessaire de prévoir à l'avance, c'est-à-dire lors de l'écriture du code source, le temps requis pour chaque opération que doit effectuer le microprocesseur. Si, par exemple, les commandes spécifiques sont trop espacées les unes des autres dans le code source, le temps de réponse maximum autorisé par la norme ISO 7816-3 peut être dépassé lors d'un
20 traitement dont la durée d'exécution se révèle plus longue que prévue. Dans un tel cas, le risque est grand que le terminal, considérant que la carte à puce ne fonctionne pas, coupe l'alimentation électrique de cette dernière, ce qui peut entraîner des pertes de données ou de fichiers dans la carte. Si, au contraire, les commandes spécifiques sont trop proches les unes des autres
25 dans le code source, le microprocesseur est obligé d'interrompre le traitement un nombre important de fois, ce qui réduit la rapidité d'exécution de la carte.

Or, en général, il est extrêmement difficile d'estimer le temps nécessaire à l'exécution du code source par le microprocesseur de la carte,
30 ce temps dépendant le plus souvent de conditions initiales variables.

On comprend, dans ce contexte, qu'il existe un besoin pour une puce électronique capable de répondre de manière fiable à un terminal dans un intervalle de temps qui lui est alloué, et ce sans affecter dans une trop grande mesure la rapidité du ou des traitements mis en oeuvre par la puce.

La présente invention vise, en particulier, à fournir une puce électronique adaptée pour combler ce besoin.

A cette fin, il est prévu une puce électronique comprenant une interface lui permettant de communiquer avec un terminal, et un circuit de traitement capable d'effectuer un traitement après mise en communication de la puce et du terminal, caractérisée en ce qu'elle comprend en outre un circuit de base de temps, relié au circuit de traitement, pour produire un premier signal à au moins un instant donné si, à cet instant, ledit traitement n'est pas encore terminé, et un moyen pour transmettre vers l'interface, en réponse au premier signal, un second signal, destiné à indiquer au terminal que la puce est en fonctionnement.

Ainsi, selon la présente invention, le ou les instants auxquels un signal de relance doit être envoyé au terminal sont déterminés par un circuit de base de temps distinct du circuit de traitement. De cette manière, ces instants sont indépendants de la durée du traitement mis en oeuvre par le circuit de traitement, de sorte que le terminal recevra à temps des signaux de relance quelle que soit la complexité de ce traitement.

En pratique, le circuit de traitement est adapté pour activer le circuit de base de temps sensiblement au début du traitement. Par "sensiblement au début", on entend que le circuit de traitement est activé peu de temps avant ou après que le circuit de traitement commence à exécuter le traitement. De façon comparable, le circuit de traitement est adapté pour désactiver le circuit de base de temps sensiblement à la fin du traitement.

Typiquement, entre le moment où il est activé par le circuit de traitement et le moment où il est désactivé, le circuit de base de temps produit le premier signal de manière périodique. La période de temps entre deux émissions successives, par le circuit de base de temps, du premier signal est inférieure à un temps de réponse prédéterminé, alloué à la puce électronique pour répondre au terminal.

Selon un premier mode de réalisation de la présente invention, le moyen pour transmettre le second signal vers l'interface comprend le circuit de traitement, relié au circuit de base de temps de telle manière à pouvoir recevoir le premier signal. Le circuit de traitement interrompt le traitement

en réponse à la réception du premier signal, envoie le second signal vers l'interface, et reprend ensuite le traitement.

Selon un second mode de réalisation de la présente invention, le moyen pour transmettre le second signal vers l'interface est distinct du circuit de traitement, et comprend par exemple un circuit de codage pour
5 convertir le premier signal, reçu du circuit de base de temps, en un signal reconnaissable par le terminal, constituant le second signal. En variante, le circuit de base de temps et le circuit de codage forment un même circuit de sorte que le second signal est identique au premier signal.

10 De préférence, le second signal se présente sous la forme d'un groupe fini d'éléments binaires, tel qu'un octet.

Le circuit de traitement est typiquement un microprocesseur. Le circuit de base de temps est ainsi relié à un bus de la puce, auquel sont également connectés le microprocesseur et des mémoires associées à ce
15 dernier. Selon l'invention, le circuit de base de temps est également relié au microprocesseur par une ligne directe, apte à transmettre le premier signal du circuit de base de temps au microprocesseur, et connectée, au niveau du microprocesseur, à une entrée d'interruption.

La présente invention concerne également une carte à puce
20 comprenant la puce électronique telle que définie ci-dessus.

Selon un autre aspect de l'invention, il est prévu un procédé pour transmettre un signal de relance à un terminal à partir d'une puce électronique, ladite puce électronique comprenant un moyen lui permettant de communiquer avec le terminal et un circuit de traitement, le procédé
25 étant caractérisé en ce qu'il comprend les étapes suivantes : mettre en communication la puce électronique et le terminal, produire un premier signal à partir d'un circuit de base de temps relié au circuit de traitement, à au moins un instant donné au cours d'un traitement effectué par le circuit de traitement, et transmettre vers le terminal, en réponse au premier signal, un
30 second signal, destiné à indiquer au terminal que la puce est en fonctionnement.

D'autres caractéristiques et avantages de la présente invention apparaîtront à la lecture de la description détaillée suivante de plusieurs modes de réalisation, faite en référence aux dessins annexés dans lesquels :

- la figure 1, déjà commentée, montre une carte à puce et un terminal
5 de lecture de cartes à puce ;
- la figure 2 est un bloc-diagramme montrant les circuits électroniques essentiels d'une puce électronique pour carte à puce, selon un premier mode de réalisation de l'invention ;
- la figure 3 est un organigramme d'un procédé mis en oeuvre selon
10 le premier mode de réalisation de l'invention ;
- la figure 4 est un bloc-diagramme montrant les circuits électroniques essentiels d'une puce électronique pour carte à puce, selon un second mode de réalisation de l'invention ; et
- la figure 5 est un organigramme d'un procédé mis en oeuvre selon
15 le second mode de réalisation de l'invention.

En référence à la figure 2, une puce électronique 10 pour carte à puce selon un premier mode de réalisation de l'invention comprend notamment une interface 11, un circuit de transmission 12, un microprocesseur 13 et des mémoires 14, 15, 16. Les mémoires 14, 15, 16 consistent
20 respectivement en une mémoire vive de type RAM (Random Access Memory), une mémoire morte ROM (Read Only Memory) et une mémoire non volatile programmable effaçable de type EEPROM (Electrically Erasable Programmable Read Only Memory).

L'interface 11 est typiquement constituée par des contacts électriques
25 destinés à coopérer avec des contacts électriques correspondants (non représentés) d'un terminal lecteur de cartes à puce. En variante toutefois, elle peut comprendre des moyens d'émission/réception radiofréquence pour l'échange de données avec des moyens d'émission/réception correspondants prévus dans le terminal. L'interface 11 permet la mise en communication du
30 terminal avec la puce électronique 10, lorsqu'une carte à puce incorporant ladite puce 10 est introduite dans le terminal de la manière illustrée à la figure 1, ou passée dans le champ électromagnétique du terminal.

Le circuit de transmission 12 assure la gestion du protocole de communication entre le terminal et la puce 10. Ce circuit est connu de l'homme du métier, et ne sera donc pas décrit en détail.

Le microprocesseur 13 a pour fonction d'exécuter un programme de
5 traitement et de gestion de la puce, appelé "système opératoire" ou "système d'exploitation", se présentant sous la forme d'un code source stocké dans la mémoire morte 15. Le système opératoire est capable de mettre en oeuvre, outre les algorithmes de base de gestion de la puce, des opérations ou traitements complexes. Ces opérations ou traitements complexes sont
10 typiquement effectués sur commande du terminal. Toutefois, il peut être envisagé que la puce agisse de manière active après sa mise en communication avec le terminal, pour effectuer de sa propre initiative une opération complexe.

Par "opération complexe", on entend une opération spécifique dont
15 l'exécution est susceptible de durer plus longtemps que le temps de réponse alloué à la puce après l'envoi de la commande par le terminal ou, lorsque la puce est active, après l'établissement de la communication entre la puce et le terminal. A titre d'exemple, un algorithme de chiffrement pour protéger des données secrètes contenues dans la mémoire non volatile effaçable 16 peut
20 constituer une telle opération complexe. De même, une routine d'organisation de fichiers pour, par exemple, mettre à jour une arborescence de fichiers également stockés dans la mémoire non volatile effaçable 16 peut requérir un temps de travail plus long que le temps de réponse alloué à la puce. Le système opératoire est typiquement composé d'un programme
25 principal et de sous-programmes. Chaque opération complexe est mise en oeuvre par un sous-programme correspondant.

La mémoire vive 14 sert principalement à mémoriser temporairement des données lors de l'exécution par le microprocesseur 13 du système opératoire. Les mémoires 14, 15 et 16 échangent des informations avec le
30 microprocesseur par l'intermédiaire d'un bus de données 17.

Conformément à la présente invention, la puce électronique 10 comporte en outre un circuit de base de temps 18 (en anglais : timer), relié au bus 17 et, par l'intermédiaire d'une liaison directe 18a, directement au microprocesseur 13. Le circuit de base de temps 18 est un circuit de type

connu, par exemple le circuit "ST 19" commercialisé par la société ST Microelectronics.

Un circuit de base de temps est, de manière générale, capable de déclencher des événements à des instants précis. Selon la présente invention, le circuit 18 est utilisé pour produire périodiquement un signal dit d'"interruption" SI, qui est transmis au microprocesseur 13 par la liaison directe 18a. Le signal d'interruption SI consiste typiquement en un groupe fini d'éléments binaires (ou bits), tel qu'un octet. La période de temps entre deux signaux SI successifs est sensiblement inférieure au temps de réponse qui est alloué à la puce électronique. Par exemple, si le temps de réponse alloué à la puce électronique est de 1 seconde, ladite période entre deux signaux SI successifs peut être de 900 ms.

Le circuit de base de temps 18 est activé par le microprocesseur 13 avant le début, ou au début, de chaque opération complexe à effectuer, et désactivé par ce même microprocesseur après que ladite opération complexe est terminée. Pendant l'exécution de l'opération complexe par le microprocesseur 13, le circuit 18 transmet périodiquement le signal d'interruption SI à une entrée d'interruption 13a du microprocesseur. En réponse à la réception du signal SI, le microprocesseur 13 interrompt immédiatement le déroulement de l'opération complexe en cours, et exécute un programme spécifique d'interruption, également appelé routine d'interruption, commandant l'envoi par le microprocesseur d'un signal de relance SR. Conformément à la norme ISO 7816-3, le signal SR se présente sous la forme d'un octet appelé "octet NUL" ayant la valeur hexadécimale "60". Le signal SR est dirigé vers l'interface 11 à travers le circuit de transmission 12, pour être transmis au terminal de lecture de la puce électronique et reconnu par celui-ci. Le terminal réinitialise ensuite le temps de réponse alloué à la carte et attend de nouveau la réponse. Dans le même temps, le microprocesseur 13 reprend l'opération complexe. Si, à l'expiration de la période de temps entre deux signaux d'interruption SI successifs, l'opération complexe n'est pas terminée, un nouveau signal d'interruption SI est émis afin que le microprocesseur envoie un nouveau signal de relance SR à destination du terminal, et ainsi de suite jusqu'à la fin de l'opération complexe.

La figure 3 montre plus en détail le procédé mis en oeuvre selon le premier mode de réalisation de la présente l'invention, et utilisant la puce électronique 10 illustrée à la figure 2.

Les étapes E1 à E3 du procédé montré à la figure 3 sont réalisées
5 préalablement à l'implantation du système opératoire dans la puce 10, c'est-à-dire lors du développement même de ce système opératoire.

Les étapes suivantes E4 à E12 sont mises en oeuvre par le microprocesseur 13 de la puce 10 après que le système opératoire a été définitivement installé dans la puce.

10 A l'étape E1, des valeurs d'initialisation du circuit de base de temps 18 sont introduites dans le code source du système opératoire. En particulier, la fréquence temporelle du circuit 18 est définie de telle sorte que la période de temps entre deux signaux d'interruption SI successifs soit sensiblement inférieure au temps de réponse alloué à la puce électronique.

15 A l'étape E2, des commandes d'activation et des commandes de désactivation du circuit 18 sont insérées dans le code source du système opératoire de la puce. Les commandes d'activation sont introduites dans des parties du code source correspondant chacune au début d'un traitement ou d'une opération complexe à effectuer par le microprocesseur. Les
20 commande de désactivation sont introduites dans des parties du code source correspondant chacune à la fin d'un traitement ou opération complexe.

A l'étape E3, la routine d'interruption précitée est écrite en tant que sous-programme du système opératoire. Comme expliqué précédemment, la routine d'interruption, lorsqu'elle est activée par le programme principal du
25 système opératoire, commande l'envoi du signal de relance SR vers l'interface 11.

A l'étape E4, après insertion de la carte à puce dans le terminal ou introduction de la carte à puce dans le champ électromagnétique du terminal, le microprocesseur 13, de même que les autres circuits de la puce,
30 est alimenté électriquement ou électromagnétiquement par le terminal. Le microprocesseur exécute alors le programme principal du système opératoire stocké dans la mémoire morte 15.

A l'étape E5, avant de commencer, par exemple sur commande du terminal, l'exécution d'un sous-programme du système opératoire,

correspondant à une opération complexe, le microprocesseur détecte une commande d'activation, et active en conséquence le circuit de base de temps 18 via le bus 17, en mettant à "1" un drapeau d'activation dans le circuit 18. Le circuit de base de temps 18 ainsi activé est apte à délivrer
5 périodiquement le signal d'interruption SI, selon la fréquence temporelle définie dans les valeurs d'initialisation introduites à l'étape E2.

A l'étape E6, le microprocesseur commence l'exécution de l'opération complexe.

A l'étape E7, le microprocesseur scrute son entrée d'interruption 13a.
10 Si aucun signal d'interruption SI n'est parvenu à l'entrée 13a, et si l'opération complexe n'est pas encore terminée (étape E8), celle-ci est poursuivie à l'étape E6. Si, à l'étape E8, l'opération complexe est terminée, le microprocesseur désactive le circuit de base de temps 18 par mise à "0" du drapeau d'activation (étape E9), et revient au programme principal du
15 système opératoire (étape E4).

Si, en revanche, l'entrée 13a a reçu un signal d'interruption SI, le microprocesseur 13 interrompt l'opération complexe (étape E10). Puis il exécute la routine d'interruption décrite plus haut, pour commander l'envoi par le microprocesseur du signal, ou octet, de relance SR destiné au terminal
20 de lecture de la carte à puce.

Si, à l'étape E11, l'opération complexe n'est pas terminée, l'algorithme revient à l'étape E6. Si l'opération complexe est terminée à l'étape E11, le microprocesseur 13, détectant une commande de désactivation dans le code source, désactive le circuit de base de temps 18
25 en mettant à "0" son drapeau d'activation (étape E12), puis revient au programme principal du système opératoire (étape E4).

Ainsi, selon l'invention, les instants auxquels le signal de relance SR est envoyé vers le terminal sont déterminés par le circuit de base de temps 18, c'est-à-dire un circuit distinct du microprocesseur 13. Lorsqu'il est actif,
30 le circuit 18 émet périodiquement le signal de relance SR, indépendamment de l'opération complexe que le microprocesseur 13 est en train d'exécuter. Le microprocesseur 13 n'interrompt l'opération complexe que suite à un événement extérieur, à savoir l'émission du signal d'interruption SI, déclenché par le circuit 18. De cette manière, il est possible de définir très

précisément les instants auxquels le signal de relance SR doit être envoyé au terminal, de sorte que le risque de voir le terminal couper l'alimentation de la puce en raison d'un dépassement du temps de réponse autorisé est supprimé.

5 La figure 4 représente une puce électronique 20 selon un second mode de réalisation de la présente invention. La puce électronique 20 comprend notamment une interface 21, un circuit de transmission 22, un microprocesseur 23, et des mémoires 24, 25, 26. Les éléments 21 à 26 sont identiques aux éléments 11 à 16 illustrés à la figure 2, et sont agencés entre
10 eux de la même manière.

La puce électronique 20 diffère de la puce 10 selon le premier mode de réalisation de l'invention essentiellement en ce que le circuit de base de temps 28, identique au circuit 18 de la figure 2, est relié au microprocesseur 23 uniquement par l'intermédiaire du bus 27, au même titre que les
15 mémoires 24, 25, 26. Ainsi, la liaison directe 18a qui existait entre le circuit de base de temps 18 et le microprocesseur 13 est supprimée. Le circuit 28 est en revanche relié à un circuit de codage 29, lui-même connecté au circuit de transmission 22.

Le microprocesseur 23 active et désactive le circuit de base de temps
20 28 respectivement au début et à la fin d'une opération complexe. Pendant le temps où le circuit 28 est actif, celui-ci délivre périodiquement un signal SI', par exemple identique au signal SI de la figure 2. Le signal SI' est reçu par le circuit de codage 29, pour être converti en un signal SR' dont le format est reconnaissable par le terminal de lecture de la carte à puce. Le signal SR'
25 constitue le signal de relance destiné à indiquer au terminal que la carte à puce est en fonctionnement, et se présente sous la même forme que le signal SR de la figure 2.

Dans l'exemple montré à la figure 4, les circuits 28 et 29 sont distincts l'un de l'autre. En variante toutefois, ils peuvent être combinés en
30 un circuit unique produisant le signal de relance SR'.

La puce 20 selon le second mode de réalisation présente l'avantage, par rapport au premier mode de réalisation, de permettre l'envoi d'un signal de relance sans interrompre l'exécution de l'opération complexe par le

microprocesseur 23. Dans ce second mode de réalisation en effet, l'envoi du signal de relance est effectué parallèlement à l'opération complexe.

La figure 5 montre plus en détail le procédé mis en oeuvre selon le second mode de réalisation de la présente invention, et utilisant la puce électronique 20 illustrée à la figure 4.

Les étapes F1 et F2 du procédé montré à la figure 5 sont réalisées préalablement à l'implantation du système opératoire dans la puce 20, c'est-à-dire lors du développement même de ce système opératoire.

Les étapes suivantes F3 à F7 sont mises en oeuvre par le microprocesseur 23 de la puce 20 après que le système opératoire a été définitivement installé dans la puce.

Les étapes préliminaires F1 et F2 consistent respectivement à introduire dans le système opératoire de la puce des valeurs d'initialisation du circuit de base de temps 28 et des commandes d'activation et de désactivation de ce circuit, de façon comparable aux étapes E1 et E2 du premier mode de réalisation.

A l'étape suivante F3, lorsque la puce électronique 20 est connectée au terminal par insertion dans celui-ci de la carte à puce correspondante ou par introduction de la carte à puce dans le champ électromagnétique du terminal, le microprocesseur 23 exécute le programme principal du système opératoire.

A une étape F4, avant de commencer l'exécution d'un sous-programme du système opératoire, correspondant à une opération complexe, le microprocesseur détecte une commande d'activation, et active en conséquence le circuit de base de temps 28 via le bus 27, en mettant à "1" un drapeau d'activation dans le circuit 28.

A une étape F5, le microprocesseur commence l'exécution de l'opération complexe.

Lorsque l'opération complexe est terminée (étapes F6, F7), le microprocesseur désactive le circuit de base de temps 28, puis revient au programme principal du système opératoire (étape F3).

Pendant tout le temps où le circuit de base de temps 28 est actif, c'est-à-dire entre les étapes F4 et F7, celui-ci émet périodiquement le signal SI' vers le circuit de codage 29. En réponse à la réception du signal SI', le

circuit de codage 29 transmet le signal de relance SR' vers l'interface 21 à travers le circuit de transmission 22.

La présente invention a été décrite ci-dessus à titre d'exemple uniquement dans le contexte d'une carte à puce. Toutefois, il apparaîtra
5 clairement à l'homme du métier que la puce électronique selon l'invention peut être associée à d'autres objets portatifs, tels qu'une carte enfichable de format "plug-in" ou une bague.

REVENDICATIONS

1. Puce électronique (10 ; 20) comprenant une interface (11 ; 21) lui permettant de communiquer avec un terminal, et un circuit de traitement
5 (13 ; 23) capable d'effectuer un traitement après mise en communication de la puce et du terminal, caractérisée en ce qu'elle comprend en outre :
 - un circuit de base de temps (18 ; 28), relié au circuit de traitement (13 ; 23), pour produire un premier signal (SI ; SI') à au moins un instant donné si, à cet instant, ledit traitement n'est pas encore terminé, et
 - 10 un moyen (13 ; 29) pour transmettre vers l'interface, en réponse au premier signal, un second signal (SR ; SR'), destiné à indiquer au terminal que la puce est en fonctionnement.
2. Puce électronique selon la revendication 1, caractérisée en ce que le
15 circuit de traitement (13 ; 23) est adapté pour activer le circuit de base de temps (18 ; 28) sensiblement au début dudit traitement.
3. Puce électronique selon la revendication 1 ou 2, caractérisée en ce que le circuit de traitement (13 ; 23) est adapté pour désactiver le circuit de
20 base de temps (18 ; 28) sensiblement à la fin dudit traitement.
4. Puce électronique selon l'une quelconque des revendications 1 à 3, caractérisée en ce que le circuit de base de temps (18 ; 28) est adapté pour produire le premier signal de manière périodique.
25
5. Puce électronique selon la revendication 4, caractérisée en ce que la période de temps entre deux émissions successives, par le circuit de base de temps (18 ; 28), du premier signal (SI ; SI') est inférieure à un temps de réponse prédéterminé, alloué à la puce électronique pour répondre au
30 terminal.
6. Puce électronique selon l'une quelconque des revendications 1 à 5, caractérisée en ce que ledit moyen pour transmettre le second signal vers

l'interface comprend le circuit de traitement (13), relié au circuit de base de temps (18) de telle manière à pouvoir recevoir le premier signal (SI).

7. Puce électronique selon la revendication 6, caractérisée en ce que le
5 circuit de traitement (13) est adapté pour interrompre le traitement en réponse à la réception du premier signal (SI), pour envoyer le second signal (SR) vers l'interface (11), et pour ensuite reprendre le traitement.

8. Puce électronique selon l'une quelconque des revendications 1 à 5,
10 caractérisée en ce que ledit moyen (29) pour transmettre le second signal (SR') vers l'interface (21) est distinct du circuit de traitement (23).

9. Puce électronique selon la revendication 8, caractérisée en ce que
15 ledit moyen pour transmettre le second signal vers l'interface comprend un circuit de codage (29) pour convertir le premier signal (SI'), reçu du circuit de base de temps (28), en un signal (SR') reconnaissable par le terminal, constituant le second signal.

10. Puce électronique selon l'une quelconque des revendications 1 à 8,
20 caractérisée en ce que le second signal (SR') est identique au premier signal (SI').

11. Puce électronique selon l'une quelconque des revendications 1 à 10,
25 caractérisée en ce que le circuit de traitement est un microprocesseur (13 ; 23).

12. Puce électronique selon la revendication 11, caractérisée en ce que le
circuit de base de temps (18) est relié à un bus (17) de la puce, auquel sont également connectés le microprocesseur (13) et des mémoires (14, 15, 16)
30 associées au microprocesseur, et en ce que le circuit de base de temps (18) est également relié au microprocesseur (13) par une ligne directe (18a), apte à transmettre le premier signal (SI) du circuit de base de temps au microprocesseur, et connectée, au niveau du microprocesseur, à une entrée d'interruption (13a).

13. Puce électronique selon la revendication 11 ou 12, caractérisée en ce que le microprocesseur (13) est programmé pour exécuter une routine d'interruption, en réponse à la réception du premier signal (SI), pour
5 interrompre le traitement.

14. Puce électronique selon l'une quelconque des revendications 1 à 13, caractérisée en ce que le circuit de traitement est adapté pour effectuer le traitement en réponse à une commande envoyée par le terminal.

10

15. Carte à puce comprenant une puce électronique telle que définie dans l'une quelconque des revendications 1 à 14.

16. Procédé pour transmettre un signal de relance à un terminal à partir
15 d'une puce électronique, ladite puce électronique (10 ; 20) comprenant un moyen (11 ; 21) lui permettant de communiquer avec le terminal et un circuit de traitement (13 ; 23), le procédé étant caractérisé en ce qu'il comprend les étapes suivantes :

mettre en communication la puce électronique et le terminal,
20 produire un premier signal (SI ; SI') à partir d'un circuit de base de temps (18 ; 28) relié au circuit de traitement (13 ; 23), à au moins un instant donné au cours d'un traitement effectué par le circuit de traitement, et
transmettre vers le terminal, en réponse au premier signal (SI ; SI'),
un second signal (SR ; SR'), destiné à indiquer au terminal que la puce est
25 en fonctionnement.

17. Procédé selon la revendication 16, caractérisé en ce que le circuit de traitement (13 ; 23) active le circuit de base de temps (18 ; 28) sensiblement au début dudit traitement.

30

18. Procédé selon la revendication 16 ou 17, caractérisé en ce que le circuit de traitement (13 ; 23) désactive le circuit de base de temps (18 ; 28) sensiblement à la fin dudit traitement.

19. Procédé selon l'une quelconque des revendications 16 à 18, caractérisé en ce que le premier signal (SI ; SI') est produit périodiquement par le circuit de base de temps (18 ; 28) pendant ledit traitement.

5 20. Procédé selon la revendication 19, caractérisé en ce que la période de temps entre deux émissions successives, par le circuit de base de temps (18 ; 28), du premier signal (SI ; SI') est inférieure à un temps de réponse prédéterminé, alloué à la puce électronique pour répondre au terminal.

10

21. Procédé selon l'une quelconque des revendications 16 à 20, caractérisé en ce que le second signal (SR) est transmis vers le terminal par le circuit de traitement (13), relié au circuit de base de temps (18) de telle manière à pouvoir recevoir le premier signal (SI).

15

22. Procédé selon la revendication 21, caractérisé en ce que le circuit de traitement (13) interrompt le traitement en réponse à la réception du premier signal (SI), envoie le second signal (SR) vers le terminal, et reprend ensuite le traitement.

20

23. Procédé selon l'une quelconque des revendications 16 à 20, caractérisé en ce que le second signal (SR') est transmis vers le terminal par un moyen (29) distinct du circuit de traitement (23).

25 24. Procédé selon la revendication 23, caractérisé en ce que le second signal (SR') est obtenu par conversion, au moyen d'un circuit de codage (29) distinct du circuit de traitement (23), du premier signal (SI') en un signal (SR') reconnaissable par le terminal.

30 25. Procédé selon l'une quelconque des revendications 16 à 23, caractérisé en ce que le second signal (SR') est identique au premier signal (SI').

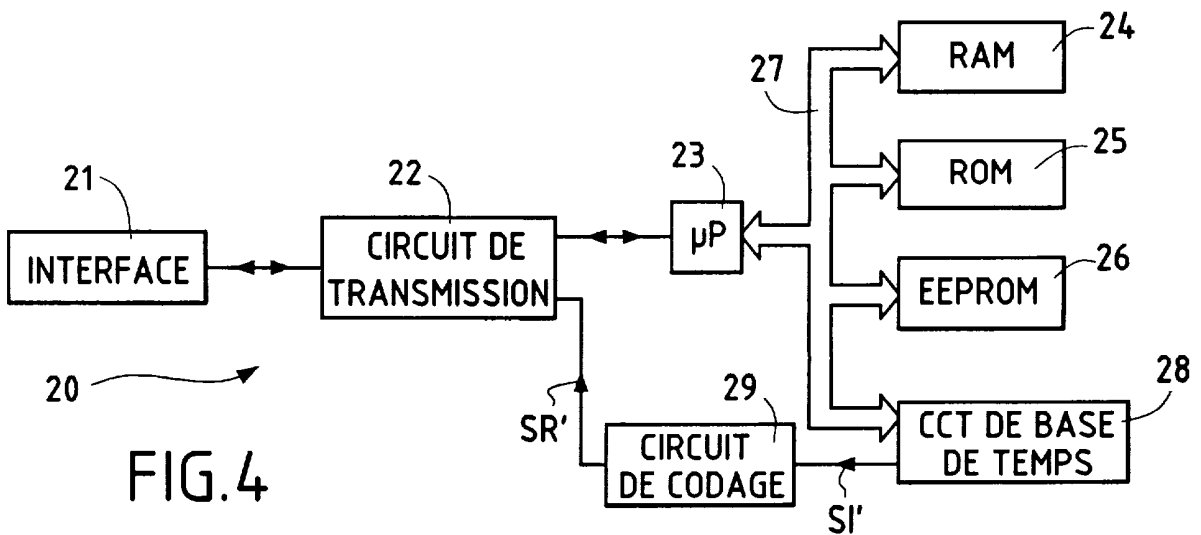
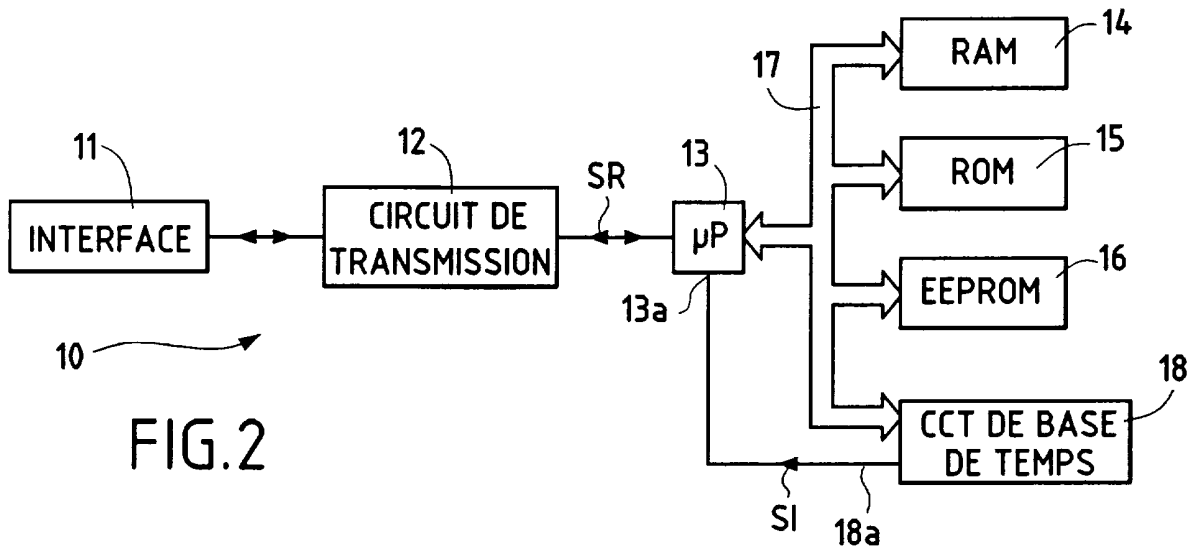
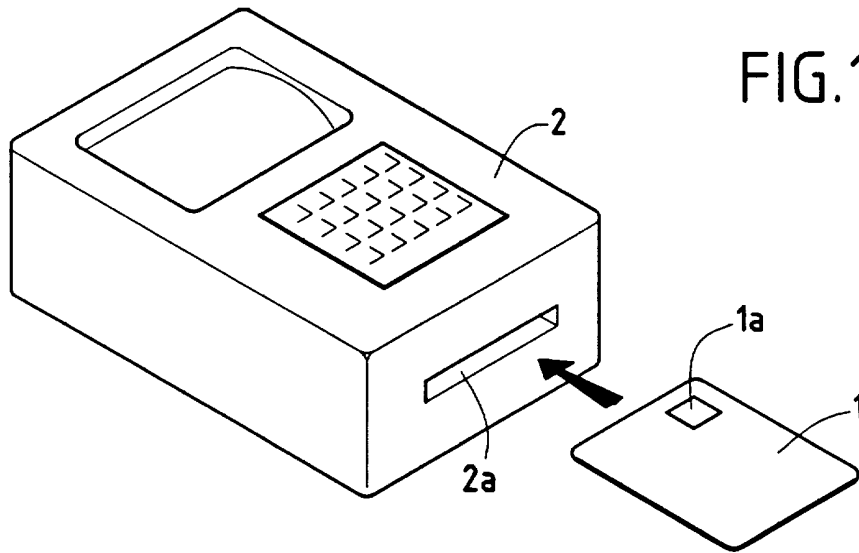
26. Procédé selon l'une quelconque des revendications 16 à 25, caractérisé en ce que le circuit de traitement est un microprocesseur (13 ; 23).

5 27. Procédé selon la revendication 26 lorsqu'elle dépend au moins de la revendication 22, caractérisé en ce que le microprocesseur (13) exécute une routine d'interruption, en réponse à la réception du premier signal (SI), pour interrompre le traitement.

10 28. Procédé selon l'une quelconque des revendications 16 à 27, caractérisé en ce que le traitement est effectué par le circuit de traitement en réponse à une commande envoyée par le terminal.

1/3

FIG.1



2/3

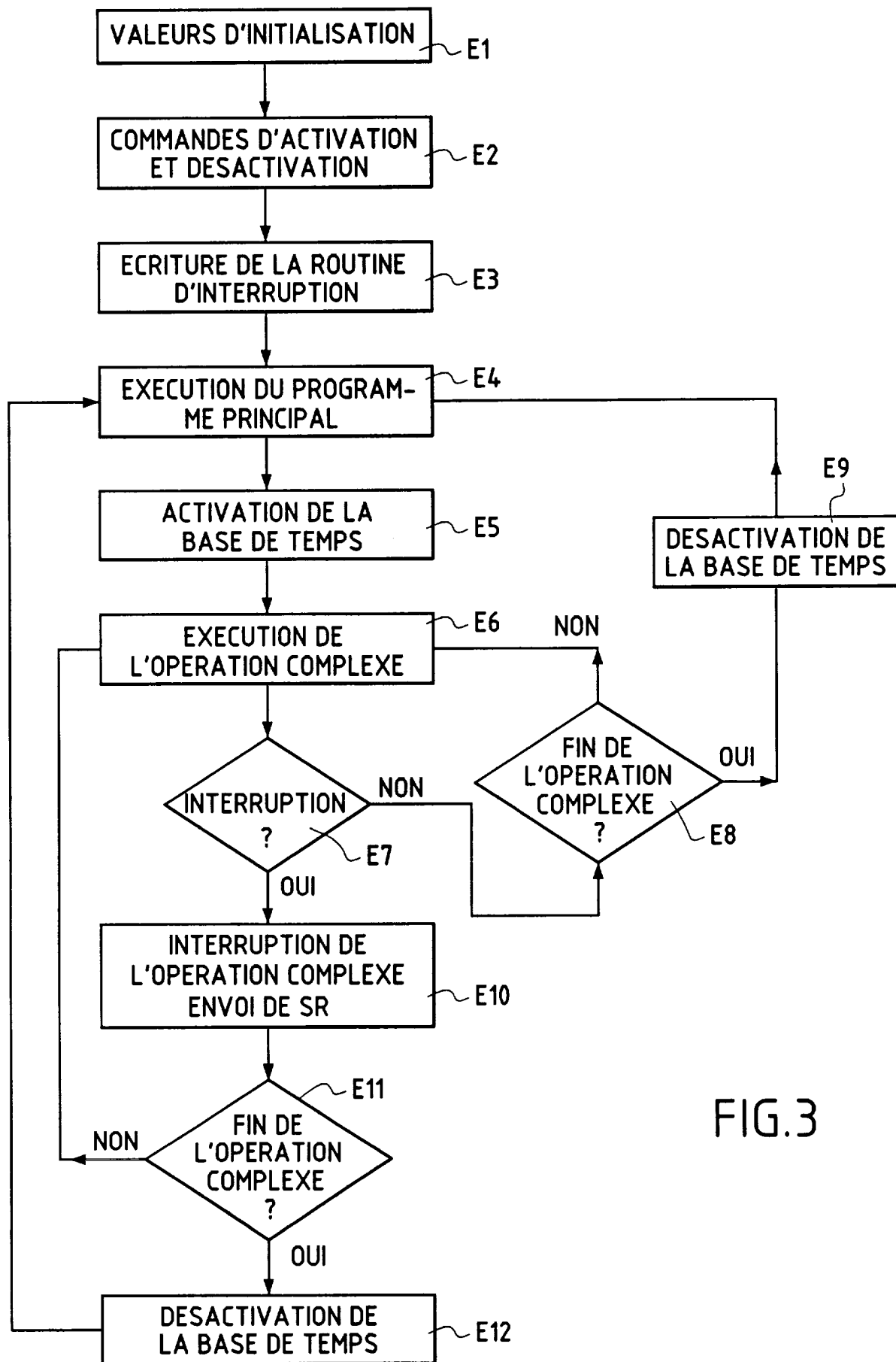


FIG.3

3/3

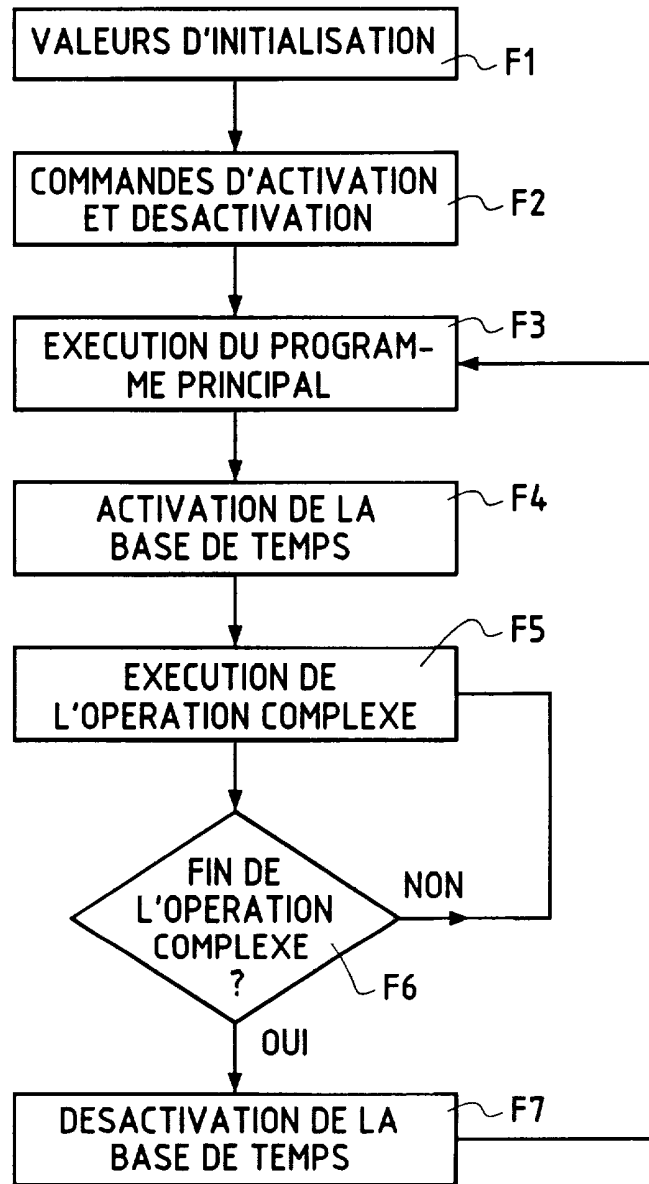


FIG.5

DOCUMENTS CONSIDÉRÉS COMME PERTINENTS		Revendication(s) concernée(s)	Classement attribué à l'invention par l'INPI
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes		
A	RANKL W ET AL: "Handbuch der Chipkarten" , DE, MUNCHEN, CARL HANSER VERLAG XP002146368 ISBN: 3-446-18893-2 * page 174 - page 177 * * figure 6.28 *	1	G06K19/073 G06F1/14 G06F13/00
A	US 5 577 195 A (GOCHI HIDENOBU) 19 novembre 1996 (1996-11-19) * colonne 6, ligne 27 - ligne 32 * * colonne 6, ligne 41 *	1	
A	FR 2 705 811 A (GEMPLUS CARD INT) 2 décembre 1994 (1994-12-02) * page 5, ligne 23 - page 6, ligne 32 *	1	
A	US 4 803 351 A (SHIGENAGA YOSHIMI) 7 février 1989 (1989-02-07) * colonne 6, ligne 1 - ligne 8 *	1	
			DOMAINES TECHNIQUES RECHERCHÉS (Int.CL.7)
			G06K
Date d'achèvement de la recherche		Examineur	
1 septembre 2000		Goossens, A	
CATÉGORIE DES DOCUMENTS CITÉS			
X : particulièrement pertinent à lui seul Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie A : arrière-plan technologique O : divulgation non-écrite P : document intercalaire T : théorie ou principe à la base de l'invention E : document de brevet bénéficiant d'une date antérieure à la date de dépôt et qui n'a été publié qu'à cette date de dépôt ou qu'à une date postérieure. D : cité dans la demande L : cité pour d'autres raisons & : membre de la même famille, document correspondant			