

POLSKA
RZECZPOSPOLITA
LUDOWA



URZĄD
PATENTOWY
PRL

OPIS PATENTOWY 94834

Patent dodatkowy
do patentu _____

Zgłoszono: 23.07.75 (P. 182232)

Pierwszeństwo: _____

Zgłoszenie ogłoszono: 31.07.76

Opis patentowy opublikowano: 15.01.1979

MKP

H02h 7/20

G05f 1/58

Int. Cl².

H02H 7/20

G05F 1/58

CZYTELNIA

Urzędu Patentowego
Polskiej Rzeczypospolitej Ludowej

Twórcy wynalazku: Janusz Kawa, Stanisław Nowak, Jerzy Turczak

Uprawniony z patentu: Przemysłowy Instytut Elektroniki „Unitra-Cemi”,
Warszawa (Polska)

Układ zabezpieczający przed przeciążeniem zasilacz stabilizowany

Przedmiotem wynalazku jest układ zabezpieczający przed przeciążeniem zasilacz stabilizowany tranzystorowy, szeregowy – napięcia stałego.

Znane są układy zaszerzegowych zasilaczy stabilizowanych, w których do bazy tranzystora szeregowego dołączony jest emiter tranzystora sterującego, baza tranzystora sterującego połączona jest z wyjściem układu wzmacniacza sygnału błędu, zaś kolektor tranzystora sterującego połączony jest z rezystorem ograniczającym prąd bazy tranzystora szeregowego. W zasilaczu takim, po przekroczeniu dopuszczalnego obciążenia, następuje ograniczenie prądu wyjściowego co zabezpiecza przed uszkodzeniem z powodu przeciążenia zarówno odbiornik jak i sam zasilacz.

Wadą opisanego układu jest to, że próg zadziałania zabezpieczenia zależy od napięcia wejściowego a ponadto moc tracona na tranzystorze szeregowym przy działaniu ograniczenia prądu może kilkakrotnie przekroczyć maksymalną moc traconą na tym tranzystorze, przy pracy układu jako stabilizatora napięcia.

Celem wynalazku jest wyeliminowanie opisanych niedogodności.

Cel ten został osiągnięty przez skonstruowanie układu zabezpieczającego przed przeciążeniem zasilacz stabilizowany tranzystorowy, szeregowy napięcia stałego posiadający tranzystor sterujący, którego emiter połączony jest z bazą tranzystora szeregowego a kolektor z rezystorem ograniczającym prąd bazy, oraz wzmacniacz sygnału błędu znamienny tym, że kolektor tranzystora sterującego połączony jest poprzez diodę z jednym z wejść wzmacniacza sygnału błędu.

Przedmiot wynalazku jest pokazany w przykładzie wykonania na rysunku, który przedstawia uproszczony schemat układu zasilacza.

Układ zasilacza składa się z tranzystora szeregowego T_1 , którego baza połączona jest z emiterem tranzystora sterującego T_2 . Baza T_2 połączona jest z wyjściem wzmacniacza sygnału błędu W, natomiast kolektor T_2 połączony jest z rezystorem R_1 ograniczającym prąd bazy T_1 , oraz poprzez diodę D_2 z wejściem nieodwracającym wzmacniacza W. Wejście to dołączone jest również do diody Zenera D_1 i rezystora R_4 tworzących dzielnik przyłączony do wyjścia zasilacza. Wejście odwracające wzmacniacza błędu W dołączone jest do dzielnika zbudowanego z rezystorów R_2 i R_3 i przyłączonego do wyjścia zasilacza.

Napięcie wyjściowe U_{wy} jest różnicą między napięciem wejściowym U_{we} i spadkiem napięcia ΔU na tranzystorze szeregowym T_1 . W czasie pracy zasilacza jako stabilizatora napięcia, dioda D_2 nie przewodzi. Przy wzroście obciążenia rośnie prąd bazy T_1 i spadek napięcia na rezystorze R_1 aż do zrównania się z napięciem na wejściu nieodwracającym wzmacniacza W . Przy dalszym wzroście spadku napięcia na rezystorze R_1 dioda D_2 zaczyna przewodzić co powoduje zmniejszenie prądu bazy tranzystora T_2 i w rezultacie ograniczenie prądu wyjściowego. Przy dalszym wzroście obciążenia, napięcie na wyjściu dzielnika R_2 i R_3 zaczyna spadać, co powoduje obniżenie progu ograniczenia prądu.

Zastrzeżenie patentowe

Układ zabezpieczający przed przeciążeniem zasilacz stabilizowany zawierający tranzystor sterujący, którego emiter połączony jest z bazą tranzystora szeregowego, a kolektor z rezystorem ograniczającym prąd bazy, oraz wzmacniacz sygnału błęd, z n a m i e n n y t y m, że kolektor tranzystora sterującego (T_2) połączony jest poprzez diodę (D_2) z jednym z wejść wzmacniacza sygnału błęd (W).

