



(21)申請案號：105106318

(22)申請日：中華民國 101 (2012) 年 10 月 12 日

(51)Int. Cl.：

H01L41/053 (2006.01)

H03B5/30 (2006.01)

(30)優先權：2011/10/19

美國

13/276,948

(71)申請人：路梅戴尼科技公司 (美國) LUMEDYNE TECHNOLOGIES INCORPORATED (US)
美國

(72)發明人：華特斯 理查 WATERS, RICHARD L. (US)；史文森 保羅 SWANSON, PAUL D. (US)

(74)代理人：林志剛

申請實體審查：有 申請專利範圍項數：20 項 圖式數：17 共 43 頁

(54)名稱

具有使用時域轉換器所降低的加速度靈敏度及相位雜訊之共振器

RESONATOR WITH REDUCED ACCELERATION SENSITIVITY AND PHASE NOISE USING TIME DOMAIN SWITCH

(57)摘要

用於具有使用時域轉換器所降低的加速度靈敏度及相位雜訊之共振器的設備及方法。在一實施例中，該共振器包含：框架；第一振子，組態成相對於該框架振盪；第一驅動器，組態成以該第一振子的共振頻率驅動該第一振子；安裝至該第一振子之第一相對位置轉換器的第一半部；第二振子，具有與該第一振子實質相同的共振頻率，其中將該第一及第二振子設計成以實質相同的方式回應至該框架的外部擾動；安裝至該第二振子之該第一相對位置轉換器的第二半部；且其中當該第一振子振盪時，在該第一及第二振子之間有相對動作，使得當該第一及第二轉換器半部彼此通過時，該第一相對位置轉換器在每個振盪中通過閉狀態。

Apparatus and methods for a resonator with reduced acceleration sensitivity and phase noise using a time domain switch. In one embodiment, the resonator comprises: a frame; a first oscillator configured to oscillate with respect to the frame; a first driver configured to drive the first oscillator at the first oscillator's resonant frequency; a first half of a first relative position switch mounted to the first oscillator; a second oscillator having substantially the same resonant frequency as the first oscillator, wherein the first and second oscillators are designed to respond in substantially the same manner to external perturbations to the frame; a second half of the first relative position switch mounted to the second oscillator; and wherein as the first oscillator oscillates there is relative motion between the first and second oscillators such that the first relative position switch passes through a closed state in each oscillation when the first and second switch halves pass by each other.

指定代表圖：

- 符號簡單說明：
- 10 . . . 共振器
 - 12 . . . 框架
 - 14 . . . 第一振子
 - 16 . . . 第二振子
 - 18 . . . 第一相對位置轉換器半部
 - 20 . . . 第二相對位置轉換器半部
 - 22 . . . 驅動器
 - 24 . . . 窄間隙

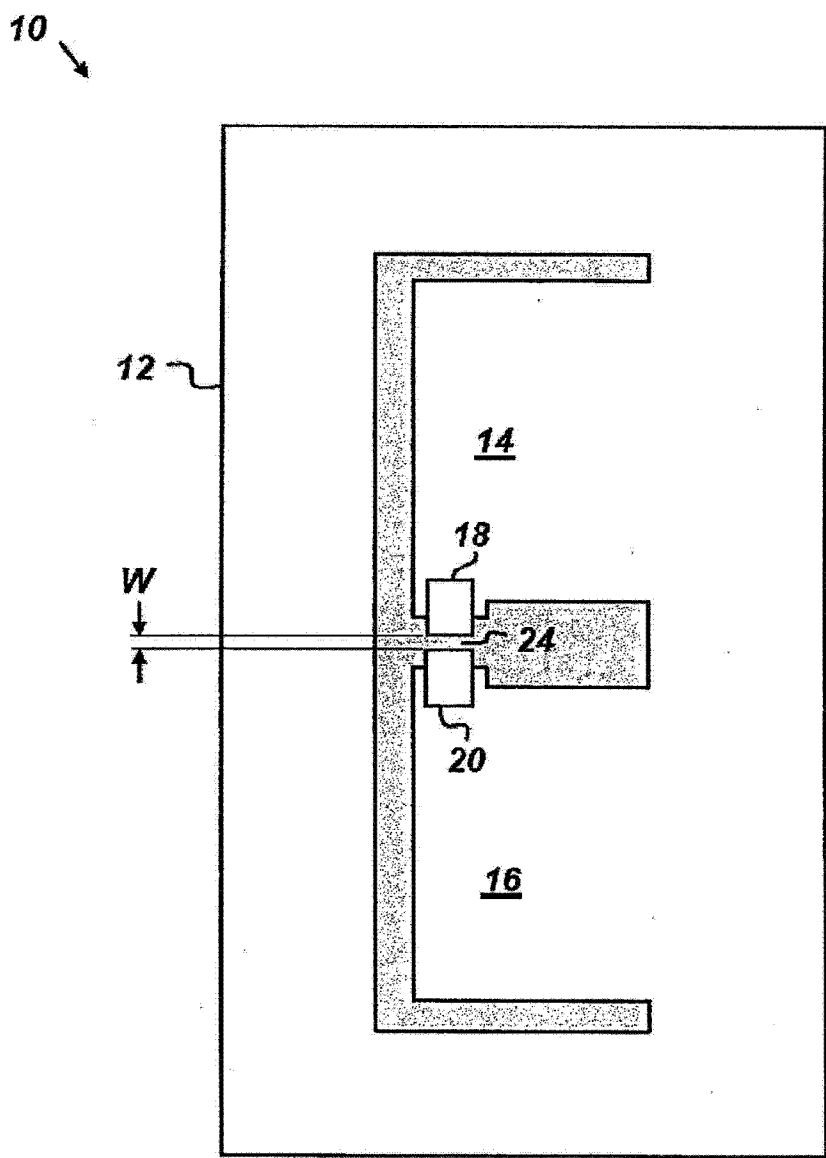


圖 1

發明摘要

※申請案號：105106318（由101137740分割）

※申請日：101年10月12日

※IPC分類：*H01L 41/053* (2006.01)
H03B 5/30 (2006.01)

【發明名稱】(中文/英文)

具有使用時域轉換器所降低的加速度靈敏度及相位雜訊之共振器

Resonator with reduced acceleration sensitivity and phase noise using
time domain switch

【中文】

用於具有使用時域轉換器所降低的加速度靈敏度及相位雜訊之共振器的設備及方法。在一實施例中，該共振器包含：框架；第一振子，組態成相關於該框架振盪；第一驅動器，組態成以該第一振子的共振頻率驅動該第一振子；安裝至該第一振子之第一相對位置轉換器的第一半部；第二振子，具有與該第一振子實質相同的共振頻率，其中將該第一及第二振子設計成以實質相同的方式回應至該框架的外部擾動；安裝至該第二振子之該第一相對位置轉換器的第二半部；且其中當該第一振子振盪時，在該第一及第二振子之間有相對動作，使得當該第一及第二轉換器半部彼此通過時，該第一相對位置轉換器在每個振盪中通過閉狀態。

【 英 文 】

Apparatus and methods for a resonator with reduced acceleration sensitivity and phase noise using a time domain switch. In one embodiment, the resonator comprises: a frame; a first oscillator configured to oscillate with respect to the frame; a first driver configured to drive the first oscillator at the first oscillator's resonant frequency; a first half of a first relative position switch mounted to the first oscillator; a second oscillator having substantially the same resonant frequency as the first oscillator, wherein the first and second oscillators are designed to respond in substantially the same manner to external perturbations to the frame; a second half of the first relative position switch mounted to the second oscillator; and wherein as the first oscillator oscillates there is relative motion between the first and second oscillators such that the first relative position switch passes through a closed state in each oscillation when the first and second switch halves pass by each other.

【代表圖】

【本案指定代表圖】：第(1)圖。

【本代表圖之符號簡單說明】：

10：共振器

12：框架

14：第一振子

16：第二振子

18：第一相對位置轉換器半部

20：第二相對位置轉換器半部

22：驅動器

24：窄間隙

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

具有使用時域轉換器所降低的加速度靈敏度及相位雜訊之共振器

Resonator with reduced acceleration sensitivity and phase noise using time domain switch

【技術領域】

本發明係關於一種共振器，以及一種用於提供時域轉換器之共振器之方法。

【先前技術】

既存共振器使用各種物理機制以產生用於計時應用的可用共振。範例包括，例如，結構模式共振及塊體聲波共振。然而，由於對外動振動(例如，擾動、加速度等)的靈敏度並包含時間相依相位雜訊，既存技術全部在計時準確性上受損。例如，作為分散組件或嵌入在半導體基材上製造之既存電子電路內的組件之任一者，此等缺點降低用於計數應用之共振器的準確性及效用。由於感測共振的電容法，因此相位雜訊或輸出共振器頻率的抖動可導致正弦曲線輸出。例如，由於由傳感技術引入的雜訊，此正弦曲線輸出在本質上可係雜訊。當經由鎖相迴路(PLL)或延遲鎖定迴路(DLL)控制迴路將雜訊正弦曲線輸出反饋入共振器

時，結果係不穩定的反饋電路。此外，因為訊號係電容地或基於壓電效應量測的，彼等可對外部振動或可能導致共振模式之時間相依變形－該訊號的形狀、頻率、或相位－的任何事物靈敏。目前的共振器缺乏有效機構以獨立地量測或取消此環境雜訊作用。

【發明內容】

本文描述強固、低成本、及高解析度雙振子共振器的數個實施例，及實作及使用其的方法。揭示包含框架、第一及第二振子、第一及第二相對位置轉換器半部、及驅動器之共振器的一實施例。將第一振子組態成相對於該框架振盪並將第一驅動器組態成以第一振子的共振頻率驅動第一振子。該第一及第二振子具有實質相同的共振頻率，並設計成以實質相同的方式回應框架的外部擾動。將該相對位置轉換器的第一及第二半部分別安裝置於第一及第二振子。當第一振子振盪時，在第一及第二振子之間有相對運動，使得當第一及第二轉換器半部彼此通過時，相對位置轉換器在每個振盪中通過閉狀態。

本文也揭示提供具有時域轉換器之共振器的方法。該方法藉由設置框架並將第一振子組態成相對於該框架振盪而開始。其次，以該第一振子的共振頻率驅動該第一振子。在其他步驟中，將相對位置轉換器的第一半部安裝置於第一振子，並設置具有與該第一振子實質相同之該共振頻率的第二振子。將該第一及第二振子設計成以實質相同

方式回應框架的外部擾動。當第一振子振盪時，在第一及第二振子之間有相對運動。將該相對位置轉換器的第二半部安裝至該第二振子，使得當該第一及第二轉換器半部在每個振盪中彼此通過時，該相對位置轉換器通過閉狀態。然後將振盪週期判定為該相對位置轉換器的連續閉狀態之間的差。

參考下文所提供之該等隨附圖式及範例實施例的詳細描述，本揭示發明的其他特性及優點將立即為熟悉本發明的人士所認可。

【圖式簡單說明】

相似元件在數個圖式各處使用相似元件符號提及。圖式中的元件未依比率描畫，且為了清楚強調部分尺寸。使用於本文中的術語「頂」、「底」、「側」、「上」、「下」、「左」、及「右」等僅意謂著一組件對另一組件的相對位置或幾何，且不意謂著參考絕對框架或任何必需定向。例如，當將組件安裝置於另一裝置時(例如，至PCB的底側)，該組件的「頂」部可能實際上在「底」部之下。

圖 1 係共振器之實施例的頂視圖。

圖 2A 係顯示振子之偏轉的共振器之實施例的側視圖。

圖 2B 係顯示對準振子的共振器之實施例的側視圖。

圖 2C 係顯示振子之偏轉的共振器之實施例的側視

圖。

圖 3A-3D 係電子穿隧尖端之各種實施例的頂視圖。

圖 4A-4C 係具有堆疊相對位置轉換器半部的共振器之實施例的側視圖。

圖 5 係具有堆疊相對位置轉換器半部的振子之振幅隨時間通過而改變的圖。

圖 6A 係顯示在該等振子之一者的振盪期間，二振子之各種相對位置的圖示。

圖 6B 係描畫於圖 6A 中的共振器之振幅隨時間通過而改變的圖。

圖 7 係雙振子共振器的一實施例之振幅隨時間通過而改變的圖。

圖 8 係雙振子共振器的另一實施例之振幅隨時間通過而改變的圖。

圖 9 係雙振子共振器的另一實施例之振幅隨時間通過而改變的圖。

圖 10 係雙振子共振器的另一實施例之振幅隨時間通過而改變的圖。

圖 11 係雙振子共振器之另一實施例的頂視圖。

圖 12A 係雙振子共振器之另一實施例的頂視圖。

圖 12B-12D 係描畫於圖 12A 中的雙振子共振器之實施例的側視圖。

圖 13 係雙振子共振器之另一實施例的頂視圖。

圖 14A 及 14B 係雙振子共振器之不同實施例的操作

方塊圖。

圖 15A-15B 係來自雙振子共振器的不同實施例之二振子的振幅隨時間通過而改變的圖。

圖 16A-16B 係來自雙振子共振器的不同實施例之二振子的振幅隨時間通過而改變的圖。

圖 17 係來自雙振子共振器的實施例之二振子的振幅隨時間通過而改變的圖。

【實施方式】

圖 1 描繪具有已降低的相位雜訊及對外部擾動及/或其他現象之最小靈敏度的共振器 10 之實施例的頂視圖。共振器 10 包含框架 12、個別的第一及第二振子 14 及 16、個別的第一及第二相對位置轉換器半部 18 及 20、及驅動器 22(顯示於圖 2A-2C 中)。將驅動器 22 組態成以第一振子的共振頻率驅動第一振子 14。將共振器 10 組態成使得當第一振子 14 相對於框架 12 振盪時，在第一及第二振子 14 及 16 之間有相對運動。以任何組態將第一及第二相對位置轉換器半部 18 及 20 分別安裝置於第一及第二振子 14 及 16，使得在第一振子 14 的各振盪期間，當第一及第二相對位置轉換器半部 18 及 20 彼此通過時，相對位置轉換器通過閉狀態。將具有實質相同之共振頻率的第一及第二振子 14 及 16 設計成以實質相同的方式回應框架 12 的外部擾動。

圖 2A-2C 係顯示當第一振子 14 相對於框架 12 振盪

時，其之各種可能位置的共振器 10 之一實施例的側/橫剖面視圖。圖 2B 描畫在閉狀態中的第一及第二相對位置轉換器半部 18 及 20。圖 2A 及 2C 描繪在開狀態中的第一及第二相對位置轉換器半部 18 及 20。圖 2A-2C 也顯示驅動器 22 的實施例，其中驅動器 22 係位於第一振子 14 上方的電極。

框架 12 可能具有任何期望尺寸及/或形狀，並可能具有能支撐第一及第二振子 14 及 16 的任何結構。例如，在一實施例中，共振器 10 及其組件可能全部以單石製造為微機電系統(MEMS)。框架可能自其架構的合適材料包括，但未受限於矽、砷化鎵(GaAs)、及其他半導體材料、及石英、PZT、及其他壓電材料。

待理解可能以容許第一及第二振子 14 及 16 相對於框架 12 振盪的任何方式將彼等耦合至框架 12，使得在第一及第二振子 14 及 16 之間有相對運動，而在圖 1 及 2A-2C 中將彼等描畫為懸臂彈簧元件。使用於本文中的術語「振子」通常且無限制地指組態成相對於參考位置週期的或非週期的移位之配件。第一及第二振子 14 及 16 的合適例子包括，但未受限於雙端固定樑共振器、音叉共振器、非對稱共振器、對稱錨定共振器、散裝磁碟共振器、以及橫向模式共振器。可能驅動第一及第二振子 14 及 16 的一或二者。在一替代實施例中，其中將第一及第二振子 14 及 16 二者驅動成以彼等的共振頻率振盪，二共振器可能彼此以 180 度的異相鎖定。在另一實施例中，僅有第一振子 14

受驅動器 22 驅動而以其共振頻率振盪，且除了來自第一振子 14 之經由框架 12 傳達至第二振子 16 的外部擾動及振動外，第二振子 16 保持實質不變。

在圖 1 及 2A-2C 所示之共振器 10 的實施例中，第一及第二相對位置轉換器半部 18 及 20 係在第一及第二振子 14 及 16 之邊緣上製造的薄平面掃描式穿隧顯微鏡 (STM) 尖端。然而，待理解相對位置轉換器半部 18 及 20 可能係在第一及第二相對位置轉換器半部 18 及 20 通過彼此時，能在各振盪期間產生可偵測脈衝或參考改變的任何二元件。相對位置轉換器的目的係將第一及第二振子 14 及 16 的位置局部化，使得可實施準確的與加速度無關的相位量測，因此增加鎖相閉迴路的穩定度並減少共振器 10 的整體相位雜訊及抖動。在相對位置轉換器係電子穿隧轉換器之共振器 10 的實施例中，產生有限寬度脈衝。可經由跨阻抗放大器將目前脈衝自身放大成軌形，且脈衝的上昇及下降邊緣用於將位置區域化並提供與共振器之時間相依位置相關的資訊，如於下文相關於圖 6A 及 6B 及表 1 更完整地描述的。相對位置轉換器也可能係電容轉換器，當第一及第二相對位置轉換器半部 18 及 20 彼此改變重疊區域時，其會藉由產生時間相依電荷而運作。此電荷可用與先前描述之穿隧電流相似的方式整合及放大成軌形。可使用其他轉換器，諸如，在光學及偵測器之間的光學快門或設置在第一及第二振子 14 及 16 之間的磁轉換器。相對位置轉換器也可能藉由感測第一及第二相對位置轉換器半部

18 及 20 之間的電子場致發射或熱發射而運作。作為替代實施例，光學光源可能用於提供光助穿隧，以強化相對位置轉換器中的穿隧電流或熱電流。為節省電力，光源可與共振頻率同步地脈動，使得光僅在第一及第二相對位置轉換器振子 18 及 20 對準或接近對準的時間週期期間發射。

現在繼續共振器 10 的實施例，其中如圖 1 及 2A-2B 所示，第一及第二相對位置轉換器半部 18 及 20 係薄平面 STM 尖端，當相對位置轉換器在閉狀態中時，第一及第二相對位置轉換器半部 18 及 20 藉由代表高位能區域的窄間隙 24 分隔。當第一相對位置轉換器半部 18 通過第二相對位置轉換器半部 20 的接地導電面時，其上的任何差分電壓應會產生電流脈衝。如圖 2B 所示，僅當第一及第二振子 14 及 16 在相對位置轉換器的閉狀態期間通過另一者時，電流會「穿隧」過間隙 24。間隙 24 的 W 可能係，但未受限於，少於十埃。此組態(亦即，尖端至尖端及/或邊緣至邊緣)與其他典型的 STM 組態不同，其中電流在原子的充電平面表面及點尖端之間「穿隧」。

驅動器 22 可能係能驅動第一振子 14 以相對於框架 12 振盪的任何裝置。例如，驅動器 22 可能係提供組態成在第一振子 14 內感應振盪動作之驅動訊號的驅動電路，其相對於第二半部 20 依次移置第一轉換器半部 18。驅動器 22 的另一合適範例包括，但未受限於，定位在第一振子 14 之上及之下的電極，如圖 2A-2A 所示。第一振子 14 也可能為經由反饋電路產生的恆定電訊號驅動，以維持共

振盪。驅動器 22 的另一範例包括用於將短持續期間電壓施加至位於第一振子 14 之上或之下之其中一者的電極。在一方式中，來自驅動器 22 的驅動訊號包括(例如，週期性地)開啓及關閉的時間間控(或「pinged」)訊號。換言之，振子 14 的振盪係藉由使用階式靜電力以啓始諧和振盪而導致。靜電力在持續期間上比振子 14 的共振頻率短，因此提供保持振子 14 共振的「推動」加強。此力依需要週期性地重覆，以確保振子的振幅停留在於該點施用其他靜電脈衝或「ping」的最小值之上。在另一方式中，第一振子 14 以連續方式驅動，諸如，經由時間變化波函數。驅動器 22 也可包含設置在共振器 10 之懸臂彈簧實例上的壓電傳感器。

將共振器 10 組態成提供數位(時間為基)輸出，而非類比訊號輸出。此種組態確保共振器 10 的準確性僅依賴觸發事件的一致性、振盪的本質(無論是諧合或非諧和的)、及相鄰觸發事件的時間量測準確性。因為觸發事件基於在製造期間建立的實體尺寸，建議設計有利地不需要連續校正；亦即，係「自校正的」。

可將依賴質量在特徵頻率的時間變化移位的共振器模型化為質量彈簧系統。因此，此種系統受外部加速度及力，彼等可擾亂共振之相位及週期性的準確度—因此影響閉迴路控制電路。此情況導致所有 MEMS 為基之共振器的加速度相依性。共振器 10 解決此等缺點。在古典機械學中，諧和振子係當從其平衡位置移位時，遭受如以下方

程式所示之與移位 x 成比例之恢復力 F 的系統：

$$F = -kx \qquad \qquad \qquad \text{(方程式 1)}$$

若該恢復力係作用在振子系統上的唯一力，該系統稱為簡諧振子，且其受簡諧運動，特徵為與平衡點有關之具有固定振幅及固定頻率 f_0 (其與振幅無關)的正弦振盪：

$$f_0 = \frac{1}{T_0} = \frac{1}{2\pi} \sqrt{\frac{k}{m}} \qquad \qquad \qquad \text{(方程式 2)}$$

其中：

- k 係彈性常數；
- m 係振子質量；
- f_0 係振子共振頻率；且
- T_0 係振盪的對應週期。

圖 3A-3D 顯示作為電子穿隧尖端之第一及第二相對位置轉換器半部 18 及 20 的各種範例實施例。當第一轉換器半部 18 與第二轉換器半部 20 對準時，可能藉由感測電路產生指示閉轉換狀態的觸發訊號。在一例示實作中，將二電子穿隧電極(各者分別固定在第一及第二振子 14 及 16 各者上)使用為二轉換器半部，且該訊號包括當電極在閉轉換位置對準時，由緊臨的電極尖端所導致的穿隧放電脈衝。圖 3A 描畫矩形尖端。圖 3B 描畫圓形尖端。圖 3C 描畫三角形尖端。圖 3D 描畫等腰梯形尖端。然而，待理解

在共振器 10 的實施例中，其中第一及第二相對位置轉換器半部 18 及 20 係電子穿隧尖端，穿隧尖端的形狀可能係產生幾何場強化或增加穿隧面積的任何形狀。

圖 4A-4C 顯示堆疊在另一者頂端上的多個相對位置轉換器的側視圖示，其中第一及第二振子 14 及 16 在各種觸發位置上。圖 4A-4C 顯示分別堆疊在第一及第二相對位置轉換器半部 18 及 20 之頂部上的第三及第四相對位置轉換器半部 26 及 28。堆疊轉換器半部係藉由介電材料 30 分隔。可能使用標準單石印刷板製造技術製造共振器 10 的此實施例。針對振子 14 的每個振盪週期，每當相對位置轉換器半部 18、20、26、及 28 通過三個觸發位置之任一者時，跨越二或多個相對位置轉換器半部或電極之間的間隙 24 感應穿隧放電電流脈衝。此實施例中的三個觸發位置包括零力點位置 34、正移位(+d0)位置 36、及負移位(-d0)位置 38(分別顯示於圖 4A、4B、及 4C 中)。當第一及第二振子 14 及 16 在正移位位置 36、零力點位置 34、或負移位位置 38 對準時，分別感應穿隧放電電流脈衝 40、42、及 44。穿隧放電電流脈衝 40、42、及 44 可能藉由低雜訊電流放大器感測並可能放大，如於下文相關於圖 5 更詳細地描述的。

圖 5 顯示可能如何將穿隧放電電流脈衝 40、42、及 44 放大成軌形。由於方程式 3 提供之量子穿隧效應的指數行為，穿隧放電脈衝的寬度可係非常短的持續期間：

$$I = KUe^{-\beta d}$$

(方程式 3)

其中：

I 係輸出電流；

U 係施加的穿隧偏向電壓；

d 係穿隧間隙寬度；

K 係描述來源及目的二者之可用狀態密度的常數；且

β 係描述電子工作函數或將電子釋放至真空電位所需之能量的常數。

此非常短脈衝協助精確地找出在第一振子 14 通過零力點參考位置 34 時的確切瞬間，描繪於圖 4A 中。由於，例如，施用穿隧電壓(電壓雜訊)及/或穿隧距離中的變化，脈衝可能在振幅上不同，可能使用低雜訊電流放大器以將放電電流脈衝 40、42、44 放大成軌形(係感測電路的最大電路位準值)，以產生呈現實質矩形形狀的放大脈衝 46、48、50。雖然損失了振幅資訊，放大的方形脈衝有利地非常適合與數位電路及/或其他更精密裝置，諸如，數位訊號處理器，介接。

圖 6A-6B 描繪針對顯示於圖 4A-4C 之共振器 10 的實施例產生之穿隧脈衝的例示序列。此序列包含第一振子 14 之振盪的一完整週期。在圖 6A 及 6B 中具有白色背景的位置指示器圓形 1、3、5、7、9、11、及 13 指示針對電流流建立導電路徑的尖端位置(亦即，觸發位置 34、36、及 38)，彼等可能等同於邏輯「1」的實例。具有陰影

背景的位置指示器圓形 2、4、6、8、10、及 12 對應於沒有導通電流的位置，彼等可能等同於邏輯「0」的實例。當振子 14 在零力位置 34(例如，位置 1、7、及 13)時，二相對位置轉換器對準，因此在相對位置轉換器半部 18 及 20 之間及在轉換器 26 及 28 之間導致電流脈衝 42。當振子 14 在正移位位置 36(以指定符 3 及 5 標示)時，電流脈衝 40 在第一相對位置轉換器半部 18 及第四相對位置轉換器半部 28 之間產生。相似地，當振子 14 在負移位位置 38(以指定符 9 及 11 標示)時，電流脈衝 44 在第三相對位置轉換器半部 26 及第二相對位置轉換器半部 20 之間產生。當振子 14 在以指定符 2、4、6、8、10、及 12 標示的位置上時，沒有電流藉由相對位置轉換器產生。

圖 7-8 係第一及第二振子 14 及 16 之振幅隨時間通過而改變的圖，其中第一振子 14 受共振驅動而第二振子 16 未受驅動。軌跡 52 代表第一振子 14 的振盪。軌跡 54 代表第二振子 16 的振盪。圖 7 顯示第一及第二振子 14 及 16 如何相似地反應於外部擾動。圖 8 顯示第一及第二振子 14 及 16 的交叉點始終導致實質相同的量測時間週期 T 。

圖 9 係第一及第二振子 14 及 16 之振幅隨時間通過而改變的圖。此圖顯示當相對於框架 12 量測第一振子 14 的週期 T 時，在量測週期中發生誤差。給定的真正週期 T_{true} 係二振子的交叉處。

在共振器 10 的一實施例中，將驅動頻率 f_{drv} 組態成

與導致第一振子 14 的正弦運動之第一振子 14 的自然共振頻率 f_0 匹配，如圖 7-9 所示。共振驅動系統典型地需要振盪檢測質量系統的高品質因子(Q)。然而，將理解針對此實施例，在字面上，可能使用維持振子共振的任何驅動訊號。在另一實施例中(未圖示)，第一振子 14 受「偏共振」驅動，其特別提供振盪週期的精確控制，且因此提供感測器準確度的控制。偏共振驅動系統典型地需要較低 Q 的振子。只要第一及第二振子 14 及 16 的非諧實施例係以相同頻率驅動且彼此異相，彼等也可能為此發明所使用。

圖 10 係顯示具有或不具有外部施加加速度之第一及第二振子 14 及 16 的振盪之圖。當框架 12 受外部施加加速度時，藉由實軌跡 56 表示第一振子 14 之振幅隨時間通過的改變。藉由點虛線 58 表示無外部加速度施加於框架 12 的第一振子 14 之振幅隨時間通過的改變。當框架 12 受外部施加加速度時，藉由正弦斷續線 60 表示第二振子 16 之振幅隨時間通過的改變。藉由點斷續線 62 表示沒有外部加速度施加於框架 12 的第二振子 16 之振幅隨時間通過的改變。週期 T_{1a} 代表當受到外部加速度時，在第一及第二振子 14 及 16 的振盪交叉點之間的距離。週期 T_1 代表當沒有施加外部加速度時，在第一及第二振子 14 及 16 的振盪交叉點之間的距離。如可從圖 10 看出， T_{1a} 實質等於 T_1 。因此，將外部力施加至共振器 10 並不實質影響交叉之間的時序。第一振子 14 及第二振子 16 的振盪頻率可能因此藉由記錄二連續觸發事件之間的時間判定。典型

MEMS 共振器電容地或使用壓電傳感器驅動及感測，其意謂著實作鎖相迴路(PLL)的能力依賴準確地量測精確相位的能力，亦即，從電容訊號產生之正弦電荷或從壓電傳感器產生之正弦電壓的幅度。共振器 10 在與加速度實質無關的時間中的已知瞬間具有良好界定於第一及第二振子 14 及 16 之間的觸發，如圖 10 所示，因此相較於先前的共振器，容許 PLL 更準確地並以更堅固的方式封閉。

圖 11 顯示共振器 10 之另一實施例的頂視圖。在此實施例中，將第一及第二振子 14 及 16 安裝置於框架 12 的相同側，且第一及第二相對位置轉換器半部 18 及 20 係具有藉由間隙 24 彼此分隔之平行邊緣的平面導體。也將第一及第二絕對位置轉換器半部 64 及 66 顯示在此實施例中。將絕對位置轉換器的第一半部 64 安裝置於框架 12 並將第二半部 66 安裝至第一振子 14。以此方式，可獨立地量測框架 12 的加速度。

圖 12A-12D 顯示共振器 10 的另一實施例。圖 12A 係顯示安裝置於框架 12 的相對側之第一及第二振子 14 及 16 的頂視圖。圖 12B-12D 係顯示於圖 12A 中的共振器 10 之實施例的側視圖，彼等顯示第一及第二振子 14 及 16 之間的相對運動的誇大圖示。在此實施例中，藉由驅動器 22 以彼此 180 度的異相驅動二振子 14 及 16。

圖 13 描寫共振器 10 之另一實施例的頂視圖。在此實施例中，有三個相對位置轉換器安裝置於第一及第二振子 14 及 16。第一相對位置轉換器包含第一及第二轉換器半

部 18 及 20。第二相對位置轉換器包含第三及第四轉換器半部 26 及 28。第三相對位置轉換器包含第五及第六相對位置轉換器半部 68 及 70。在此實施例中，有二個絕對位置轉換器。第一絕對位置轉換器包含第一及第二轉換器半部 64 及 66。將第一絕對位置轉換器半部 64 安裝置於框架 12，並將第二絕對位置轉換器半部 66 安裝置於第一振子 14 的邊緣。第二絕對位置轉換器包含第三及第四轉換器半部 72 及 74。將第三絕對位置轉換器半部 72 安裝置於第二振子 16 的邊緣。將第四絕對位置轉換器半部 74 安裝置於框架。

圖 14A-14B 係共振器 10 之二不同實施例的操作方塊圖。圖 14A 描繪共振器 10 的操作，其中僅第一振子 14 受驅動。在此實施例中，驅動器 22 驅動第一振子 14 並將電壓偏壓 75 產生為類比輸出。可能將類比輸出 75 饋入產生輸出 78 的頻率偵測器 76 中。輸出 78 為低通濾波器 80 接收，其依次產生經過濾訊號 82，然後其為驅動器 22 接收。當第一振子 14 振盪時，相對位置轉換器 80 在相對位置轉換器 80 的每個閉狀態期間產生電流脈衝 82。電流脈衝 82 係可能反饋回頻率偵測器 76 的數位輸出。圖 14B 描繪共振器 10 之實施例的操作，其中第二振子 16 也為驅動器 22 所驅動。如圖 14B 所示，驅動輸出 75 在到達第二振子 16 之前由移相器 84 相移位。

圖 15A、15B、16A、16B、及 17 顯示共振器 10 之實施例的振幅隨時間通過而改變的數個圖，其中第一及第二

振子 14 及 16 均由驅動器 22 驅動。當二振子受驅動時，在彼等之間不必有 180 度相差，而僅有相差。圖 15A 顯示具有 π 徑度相差之第一及第二振子 14 及 16 的振盪。圖 15B 顯示具有 $\pi/1.2$ 徑度相差之第一及第二振子 14 及 16 的振盪。圖 16A 顯示具有 $\pi/1.4$ 徑度相差之第一及第二振子 14 及 16 的振盪。圖 16B 顯示具有 $\pi/2$ 徑度相差之第一及第二振子 14 及 16 的振盪。圖 17 顯示具有 $\pi/4$ 徑度相差之第一及第二振子 14 及 16 的振盪。

從共振器 10 的以上描述，明顯地可能使用各種技術實作共振器 10 的觀念而不脫離其範圍。例如，在一實施例中，可能將共振器 10 實作為沒有移動零件的印刷電路。另外，可能將共振器 10 的各種特性實作為在處理裝置(例如，通用處理器、特定應用積體電路(ASIC)、場效可規劃閘極陣列(FPGA)等)上執行的軟體常式或指令。在所有實施樣態中將上述實施例視為係說明且非限制性的。也應理解共振器 10 並未受限於本文描述的特定實施例，而能係無需脫離申請專利範圍的許多實施例。

【符號說明】

10：共振器

12：框架

14：第一振子

16：第二振子

18：第一相對位置轉換器半部

- 20：第二相對位置轉換器半部
- 22：驅動器
- 24：窄間隙
- 26：第三相對位置轉換器半部
- 28：第四相對位置轉換器半部
- 30：介電材料
- 34：零力點位置
- 36：正移位(+d0)位置
- 38：負移位(-d)位置
- 40、42、44：穿隧放電電流脈衝
- 46、48、50：放大脈衝
- 52、54：軌跡
- 56：實軌跡
- 58：點虛線
- 60：斷續線
- 62：點斷續線
- 64：第一絕對位置轉換器半部
- 66：第二絕對位置轉換器半部
- 68：第五相對位置轉換器半部
- 70：第六相對位置轉換器半部
- 72：第三絕對位置轉換器半部
- 74：第四絕對位置轉換器半部
- 75：電壓偏壓
- 76：頻率偵測器

78：輸出

80：低通濾波器

82：經過濾訊號

84：移相器

+d0：正移位

-d0：負移位

T：量測時間週期

T1、T1a：週期

Ttrue：真正週期

W：寬度

申請專利範圍

1.一種雙振子共振器，包含：

第一振子；

第二振子，組態成以與該第一振子的恆定相差而振盪；

電極，組態成以回應於該第一振子及該第二振子的振盪，產生數位訊號，及其中在該數位訊號中的二進位改變對應於藉由該第一振子及該第二振子所產生的電容中的極值；及

其中在電容中的複數個極值之間所測量的時間週期在該共振器的加速度之下為不變的。

2.如申請專利範圍第 1 項的雙振子共振器，其中在電容中的該複數個極值發生在複數個時間，其中該第一振子的振幅在該複數個時間中達到與該第二振子的振幅之固定關係。

3.如申請專利範圍第 2 項的雙振子共振器，更包含與該電極訊號通訊的第一相對位置轉換器之感測電路，及其中：

該第一相對位置轉換器的第一半部耦合至該第一振子及該第一相對位置轉換器的第二半部耦合至該第二振子；及

在每個振盪中，該第一相對位置轉換器的該第一半部通過在電容中的該極值所關聯的位置。

4.如申請專利範圍第 3 項的雙振子共振器，其中該第

一振子及該第二振子為雙端固定樑共振器。

5.如申請專利範圍第 3 項的雙振子共振器，其中該第一振子及該第二振子為非對稱共振器。

6.如申請專利範圍第 3 項的雙振子共振器，其中該第一振子及該第二振子為散裝磁碟共振器。

7.如申請專利範圍第 3 項的雙振子共振器，其中該第一振子及該第二振子為橫向模式共振器。

8.如申請專利範圍第 3 項的雙振子共振器，更包含組態成以該第一振子的共振頻率驅動該第一振子的驅動器，及該第二振子實質上為不變的。

9.如申請專利範圍第 3 項的雙振子共振器，其中該驅動器更包含組態成產生電訊號以將該第一振子維持以該第一振子的該共振頻率振盪及將該第二振子維持以該第二振子的共振頻率振盪之反饋電路。

10.如申請專利範圍第 9 項的雙振子共振器，更包含：

框架；

第二相對位置轉換器，包含第一半部和第二半部，以及其中該第二相對位置轉換器的該第一半部耦合至該第一振子及該第二相對位置轉換器的該第二半部耦合至該框架；及

回應於該第一振子的振盪，該第二相對位置轉換器產生第二數位訊號。

11.如申請專利範圍第 10 項的雙振子共振器，更包含

基於該第二數位訊號判定該框架的加速度。

12.如申請專利範圍第 11 項的雙振子共振器，更包含基於該加速度補償該振盪週期之偏差。

13.一種用於提供具有相對位置轉換器之雙振子共振器的方法，該方法包含：

振盪第一振子；

以與該第一振子的恆定相差而振盪第二振子；

回應於該第一振子及該第二振子的振盪，以電極產生數位訊號，其中在該數位訊號中的二進位改變對應於藉由該第一振子及該第二振子所產生的電容中的極值；及

測量在電容中的複數個極值之間的時間週期，及其中該時間週期在該共振器的加速度之下為不變的。

14.如申請專利範圍第 13 項的方法，更包含在該第一振子的振幅達到與該第二振子的振幅之固定關係的複數個時間產生在電容中的極值。

15.如申請專利範圍第 14 項的方法，更包含：

將相對位置轉換器的第一半部耦合至該第一振子；

將該相對位置轉換器的第二半部耦合至該第二振子；

及

將該相對位置轉換器的該第一半部通過在每個振盪中的電容中的該極值所關聯的位置。

16.如申請專利範圍第 15 項的方法，更包含以該第一振子的共振頻率驅動該第一振子，及維持該第二振子為實質上不變的。

17.如申請專利範圍第 15 項的方法，其中更包含以組態成產生電訊號之反饋電路而將該第一振子維持以該第一振子的該共振頻率振盪及將該第二振子維持以該第二振子的共振頻率振盪。

18.如申請專利範圍第 13 項的方法，更包含：

將第二相對位置轉換器的第一半部耦合至框架；

將該第二相對位置轉換器的第二半部耦合至該第一振子；及

回應於該第一振子的振盪，產生第二數位訊號。

19.如申請專利範圍第 18 項的方法，更包含基於該第二數位訊號判定該框架的加速度。

20.如申請專利範圍第 19 項的方法，更包含基於該加速度補償該振盪週期之偏差。

圖式

10 ↘

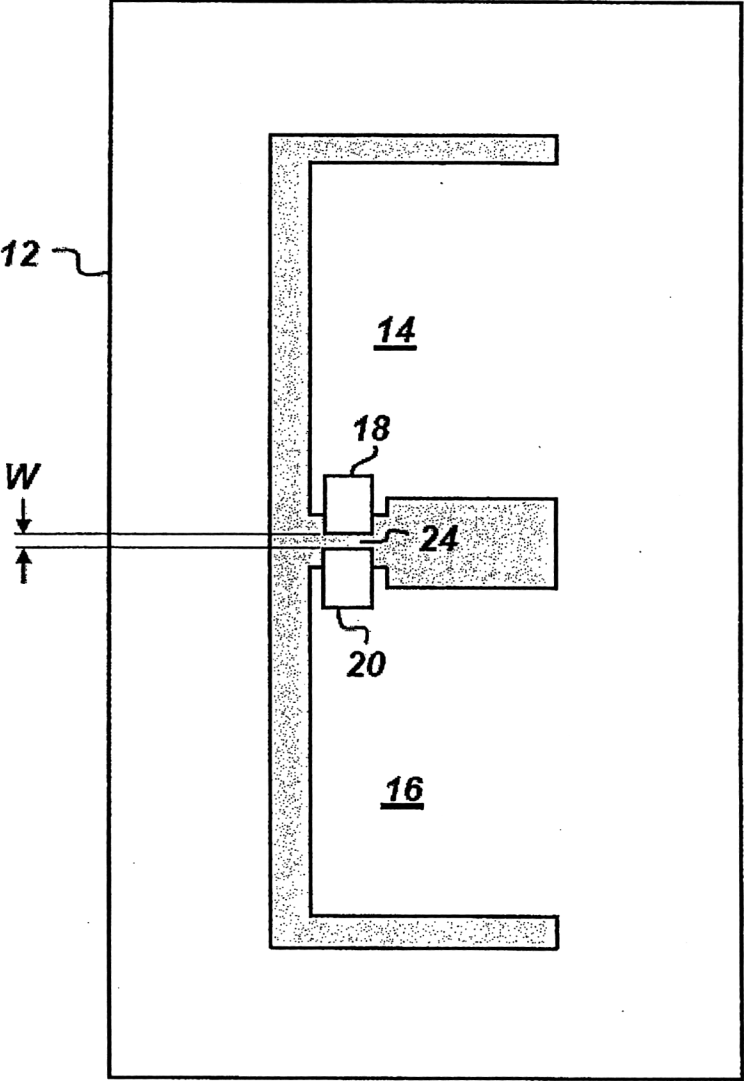


圖 1

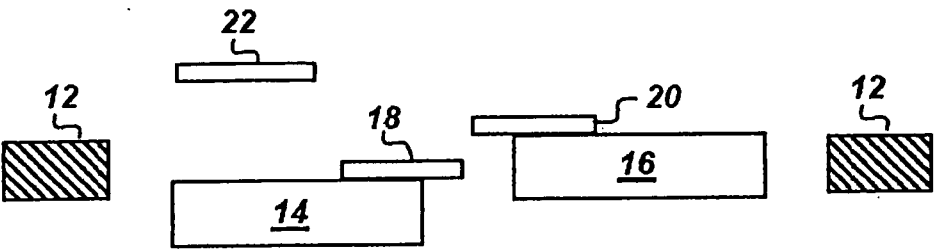


圖 2A

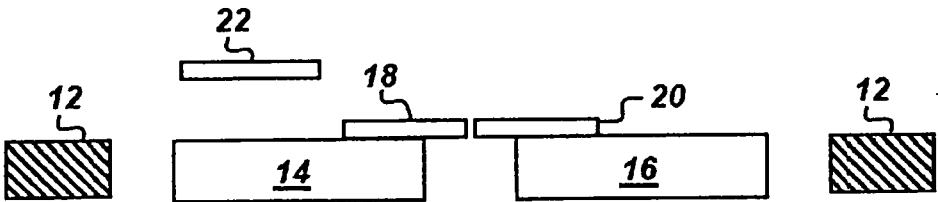


圖 2B

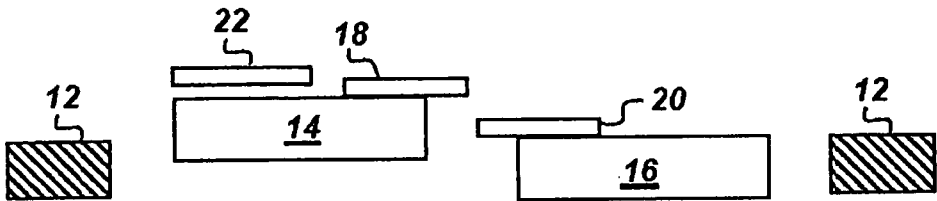


圖 2C

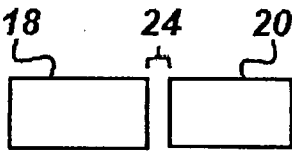


圖 3A

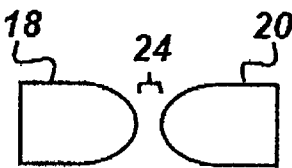


圖 3B

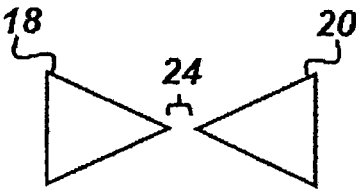


圖 3C

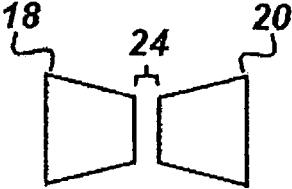
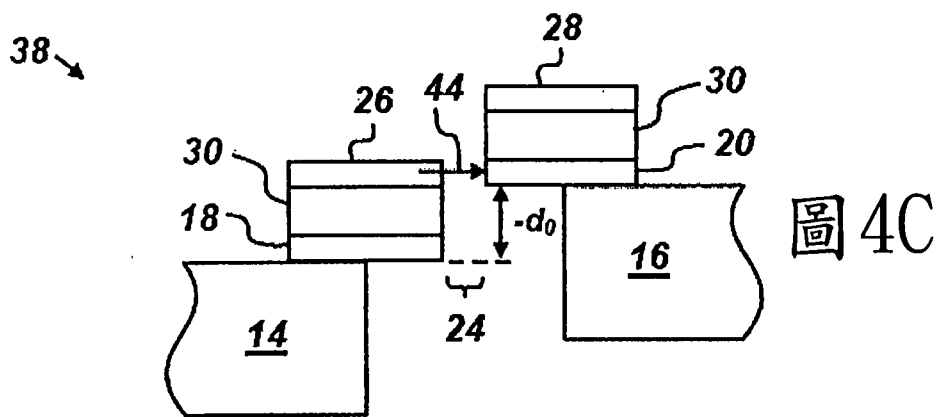
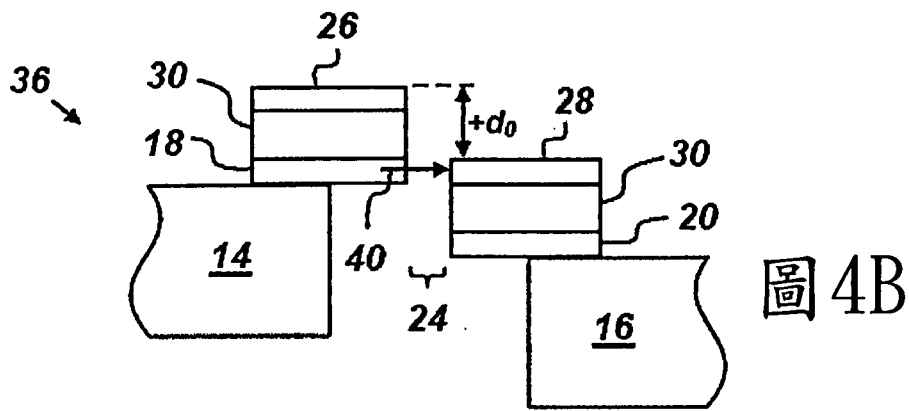
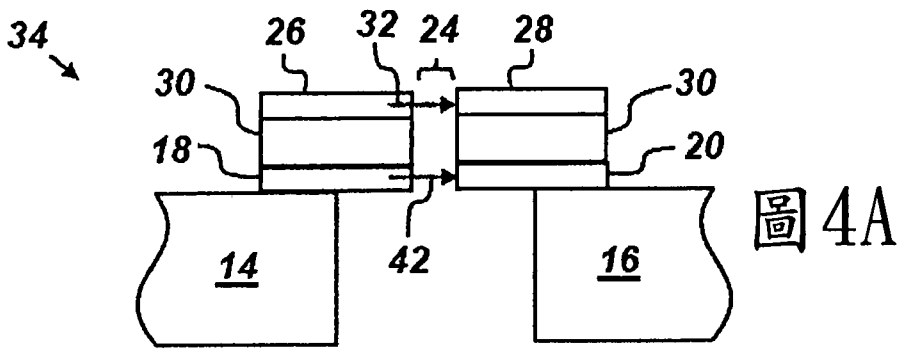
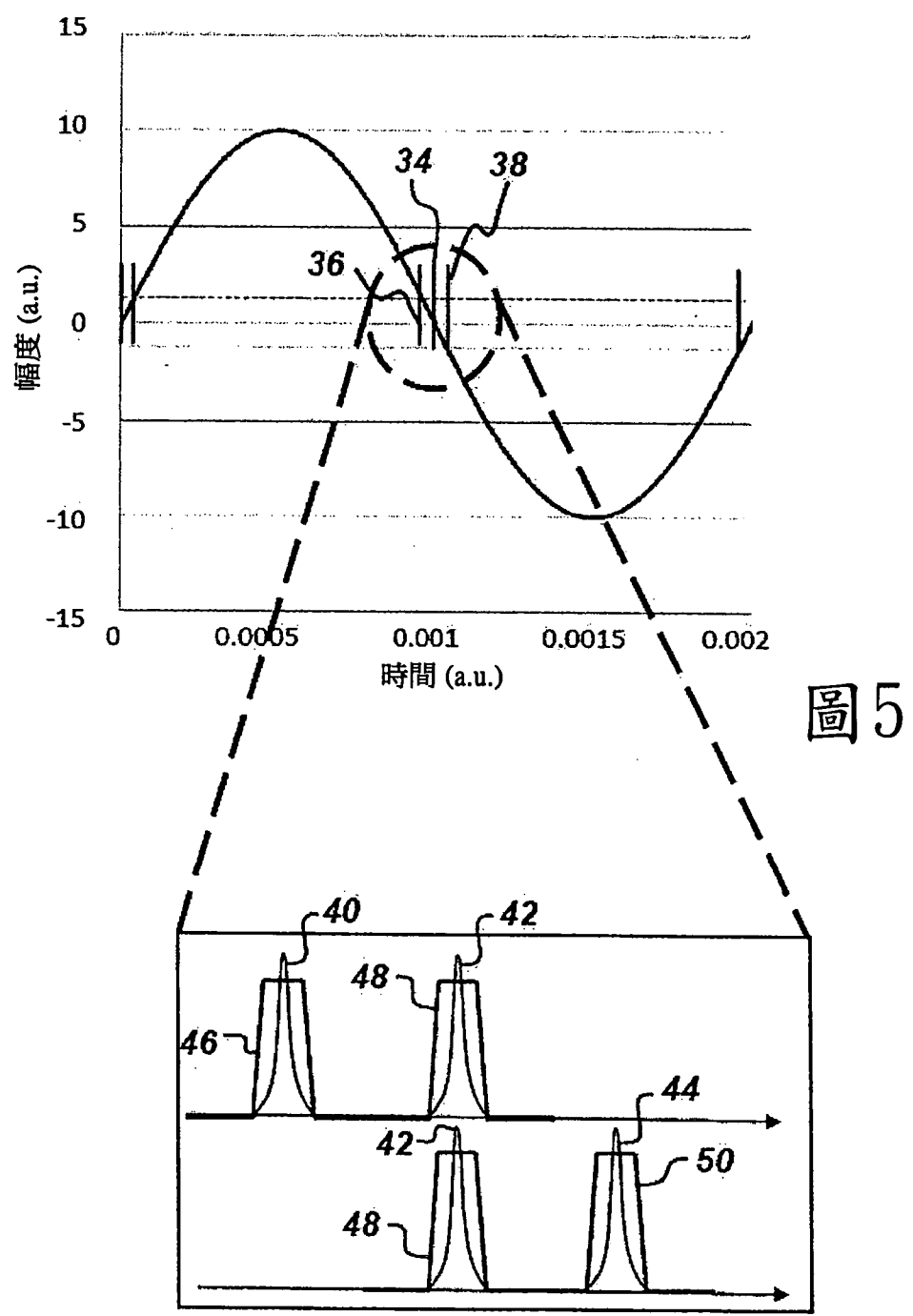


圖 3D





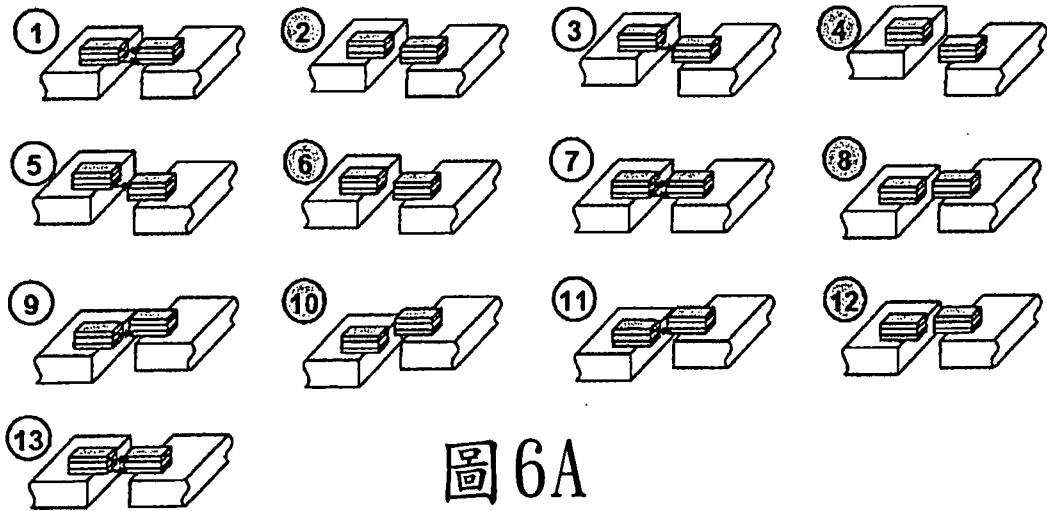


圖 6A

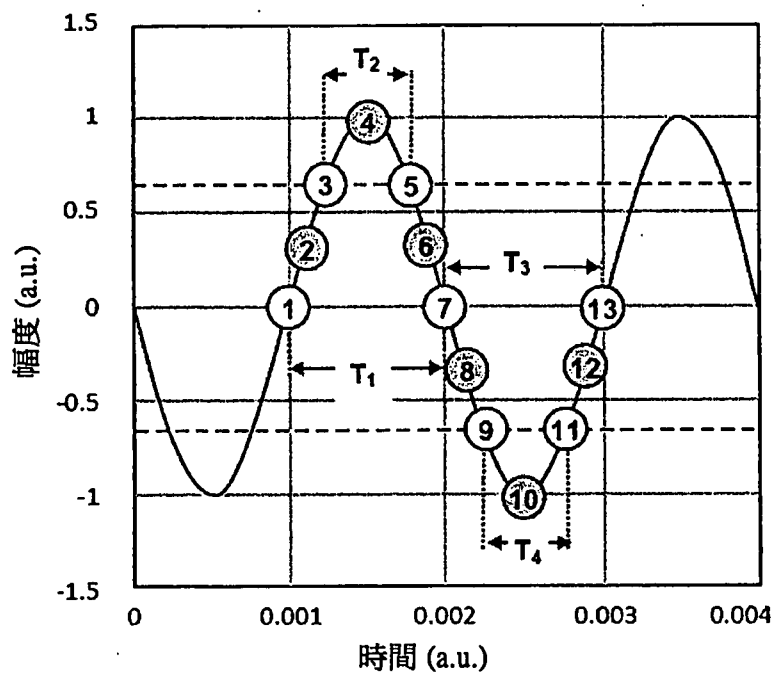


圖 6B

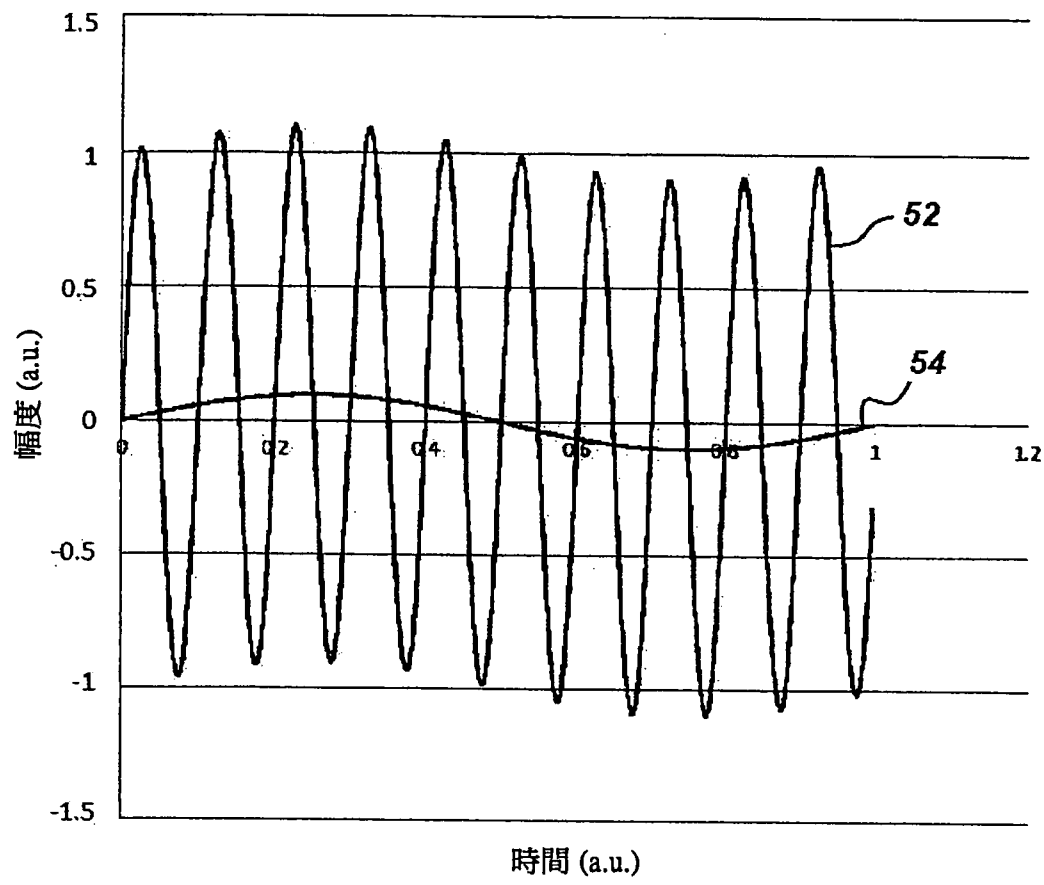


圖 7

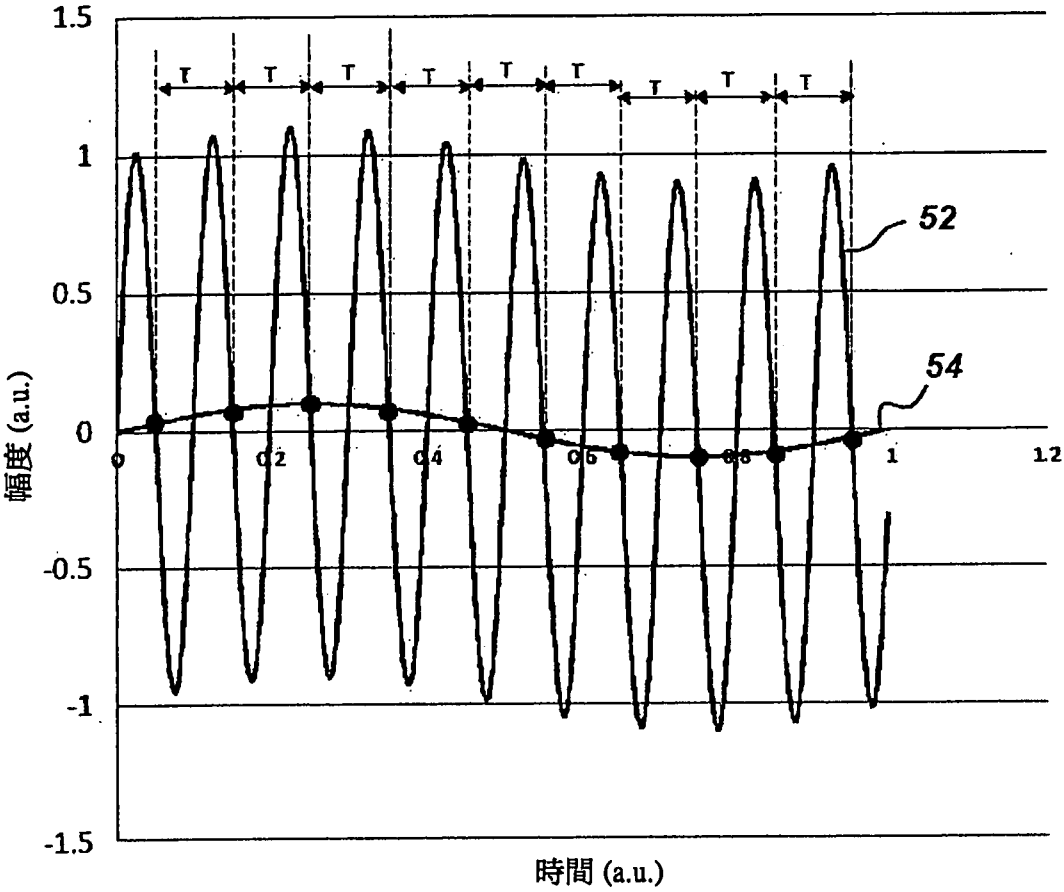


圖 8

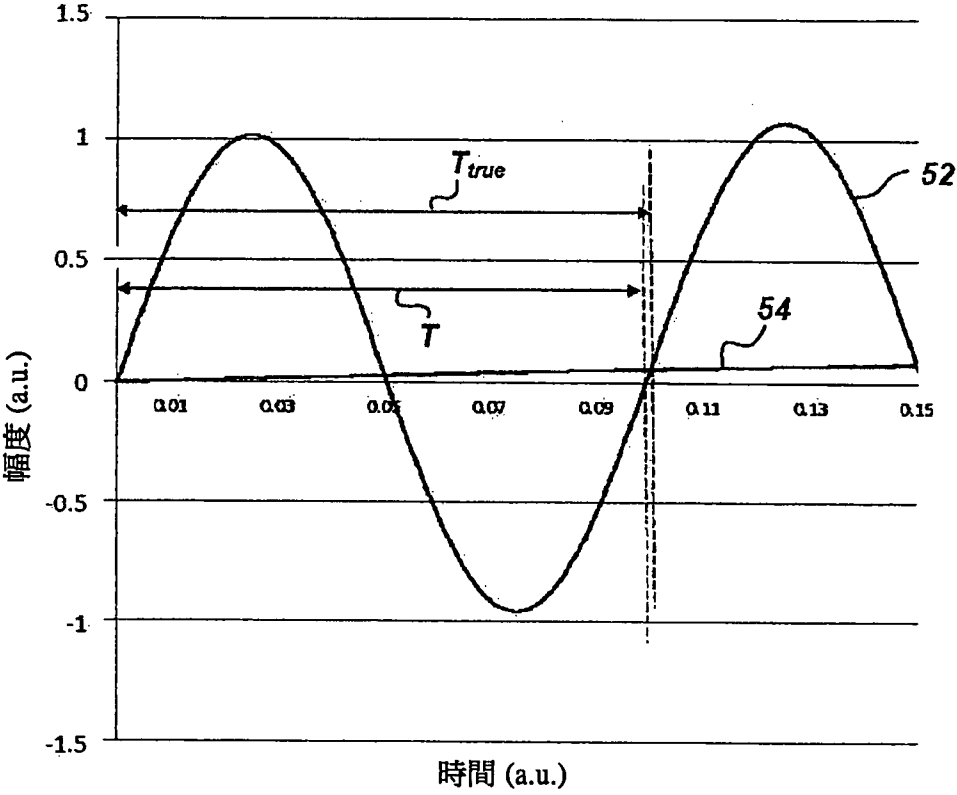


圖 9

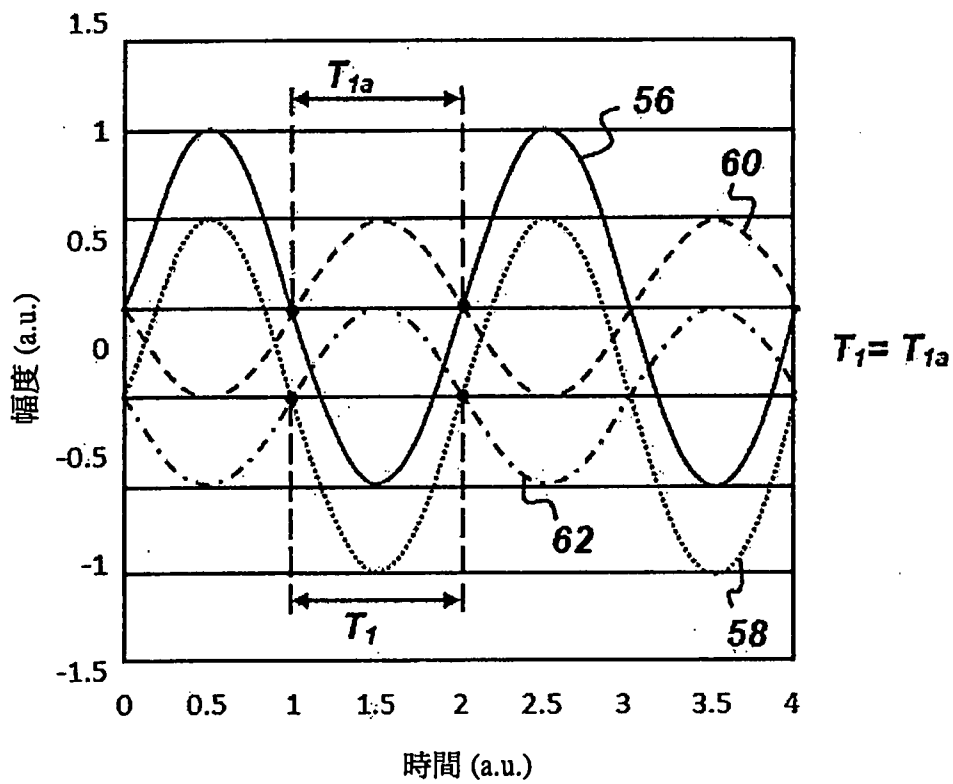


圖 10

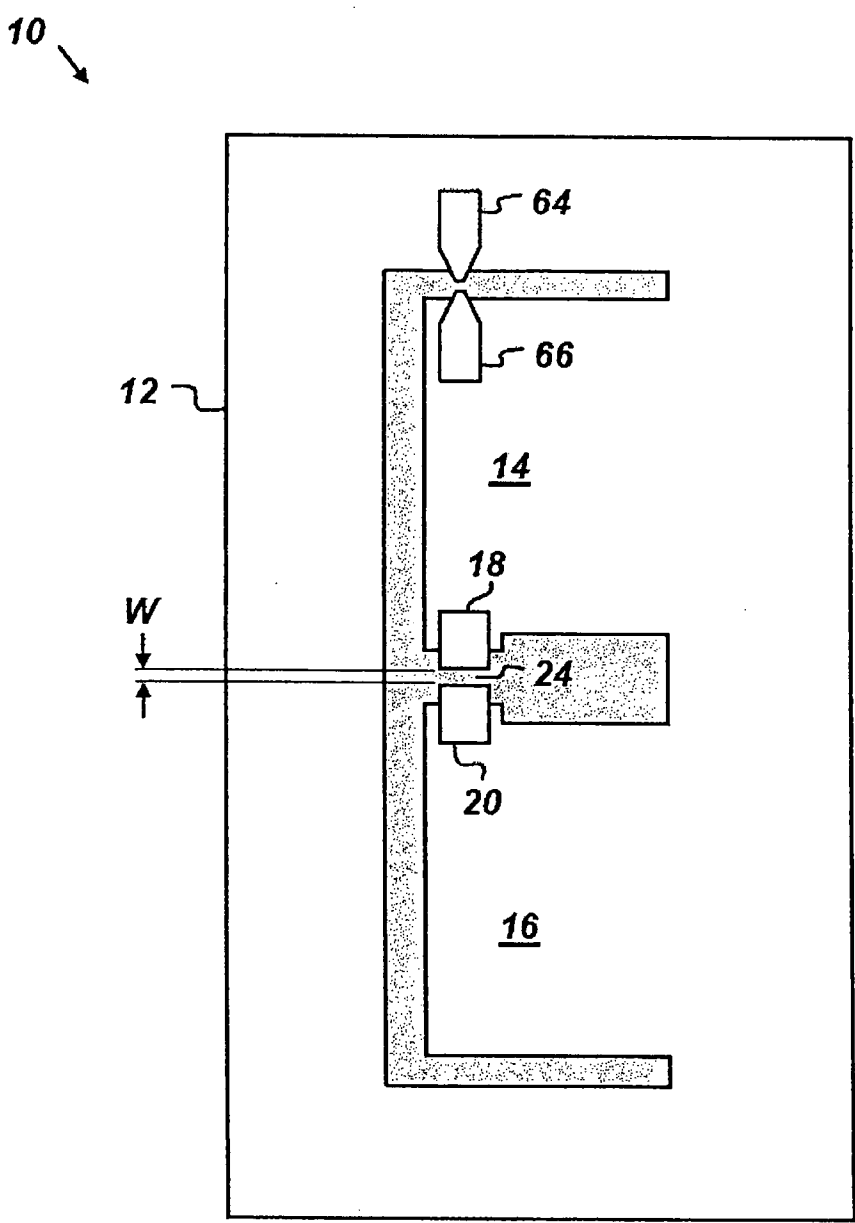


圖 11

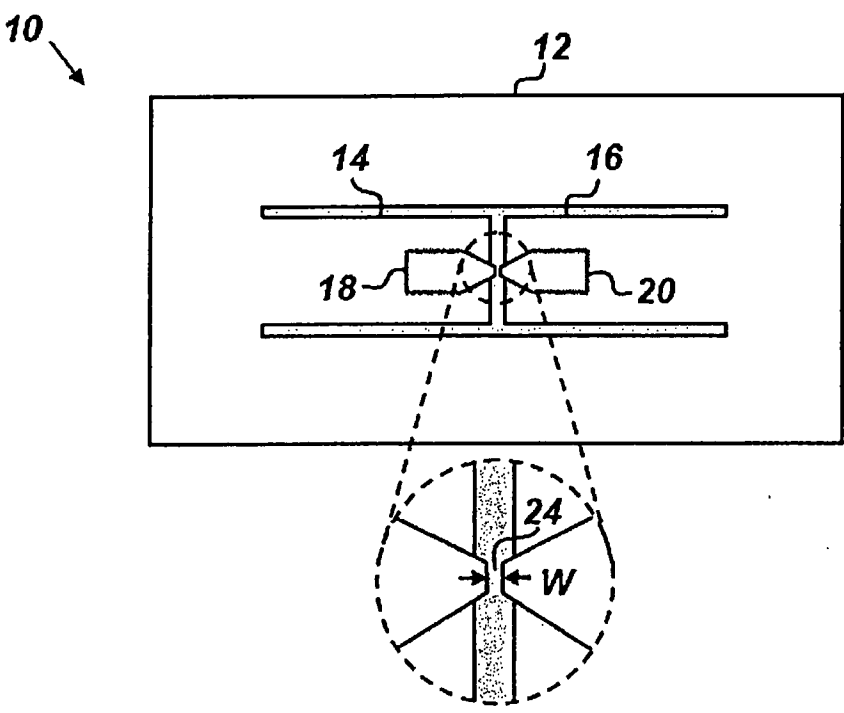


圖 12A

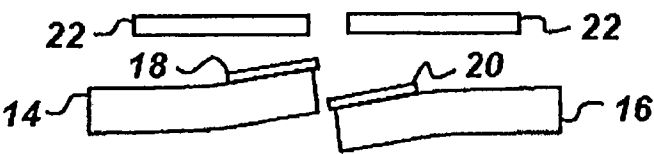


圖 12B

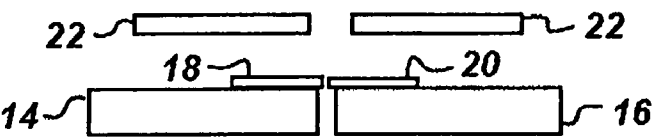


圖 12C

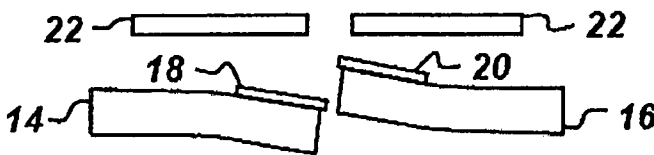


圖 12D

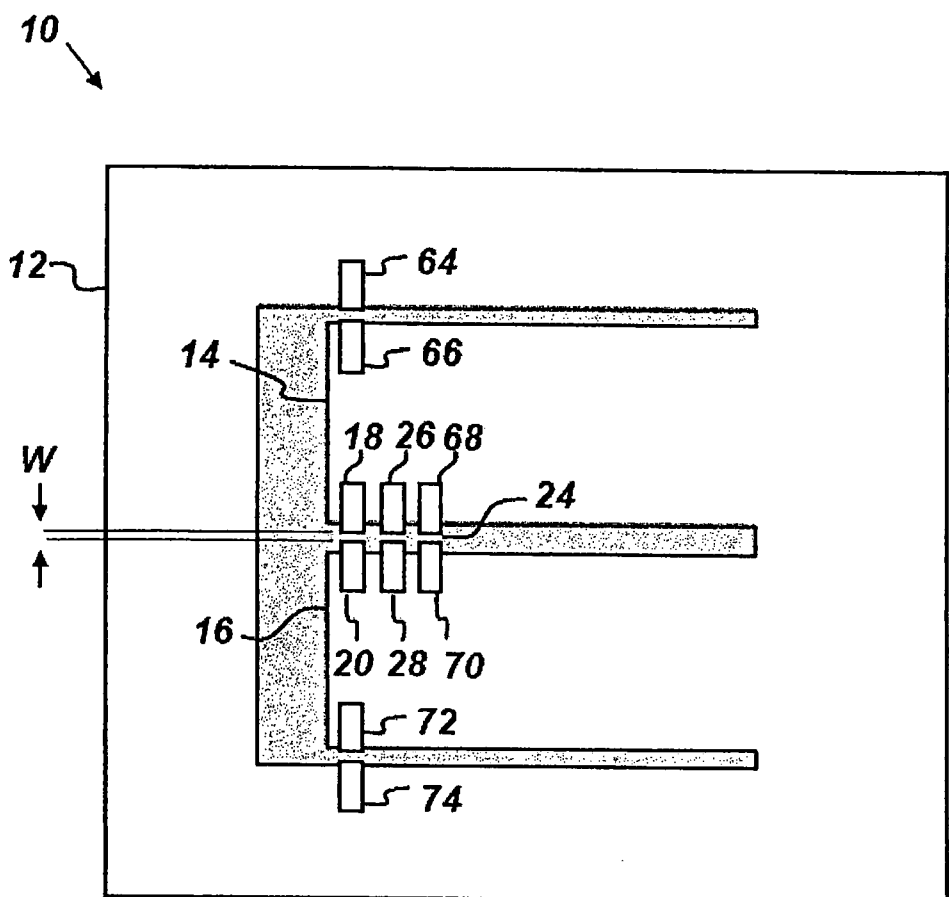


圖 13

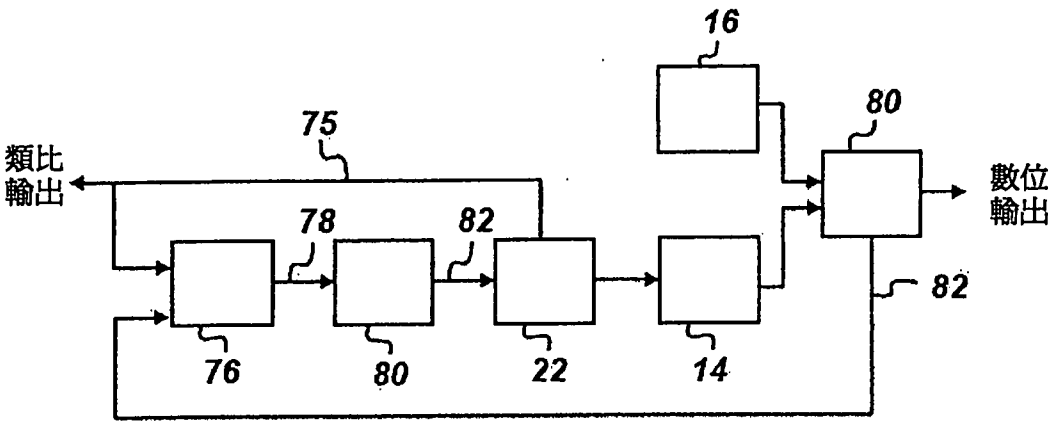


圖 14A

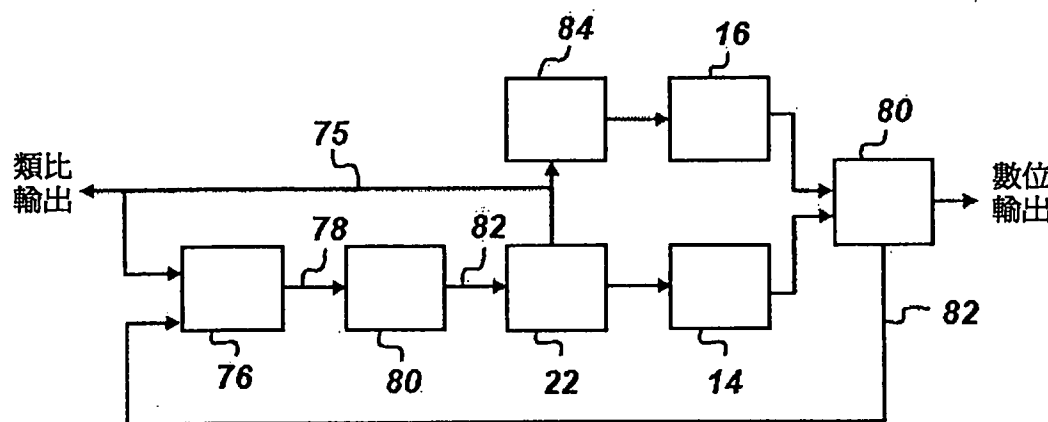


圖 14B

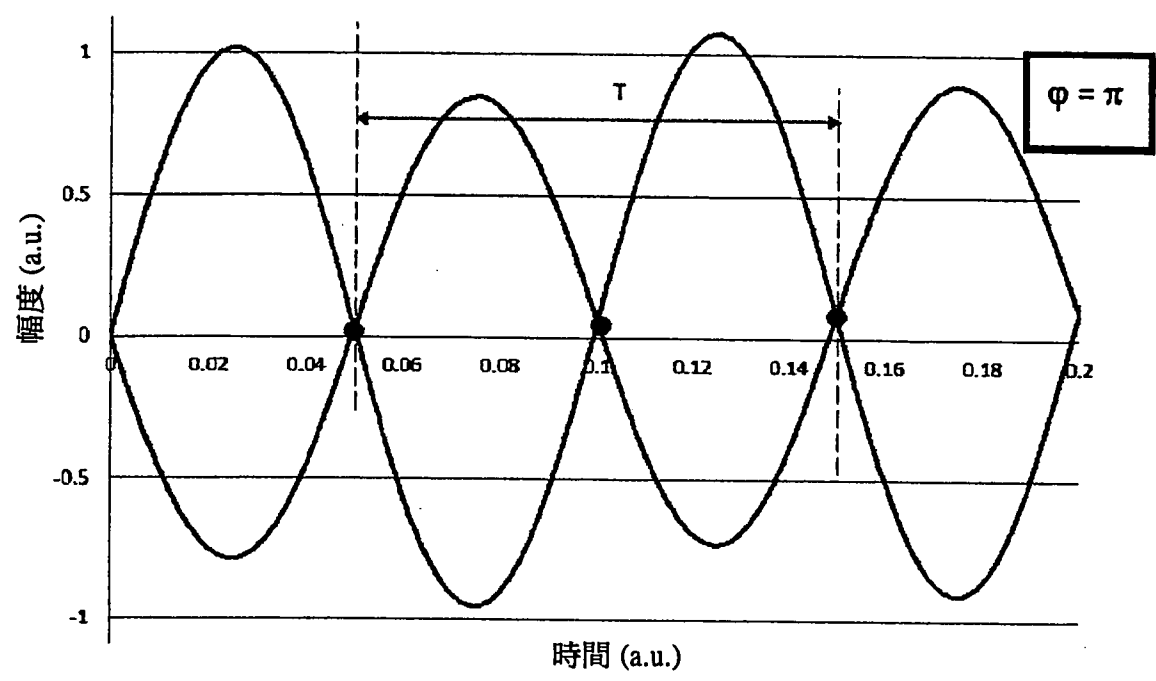


圖 15A

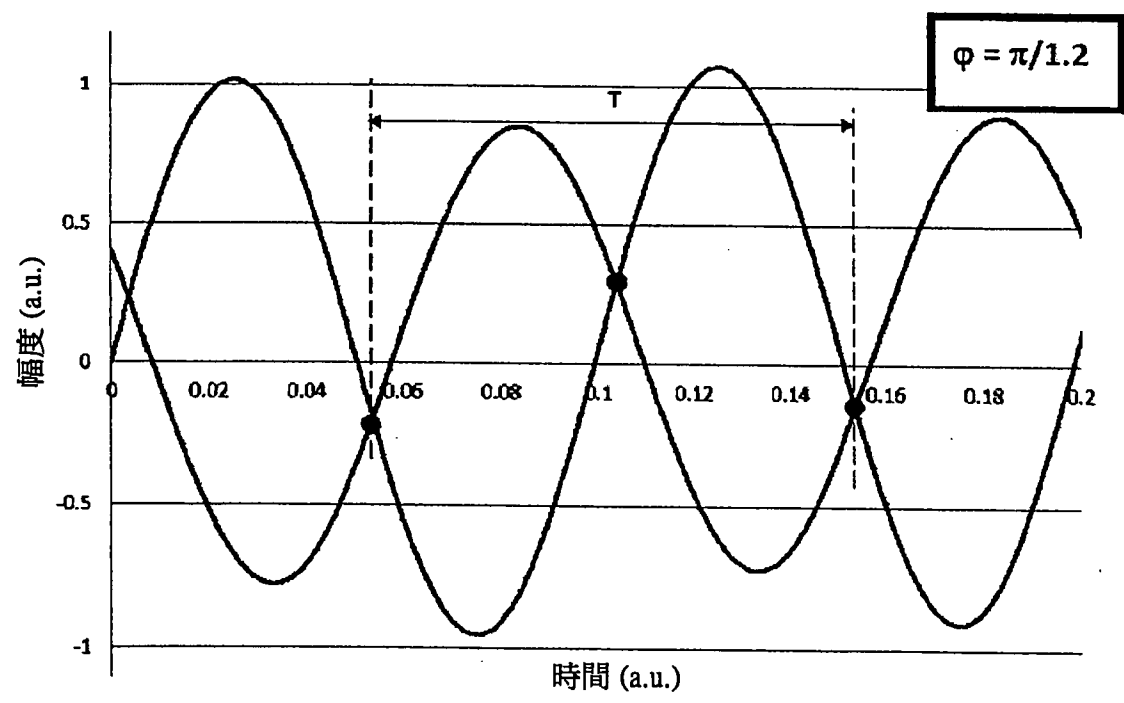


圖 15B

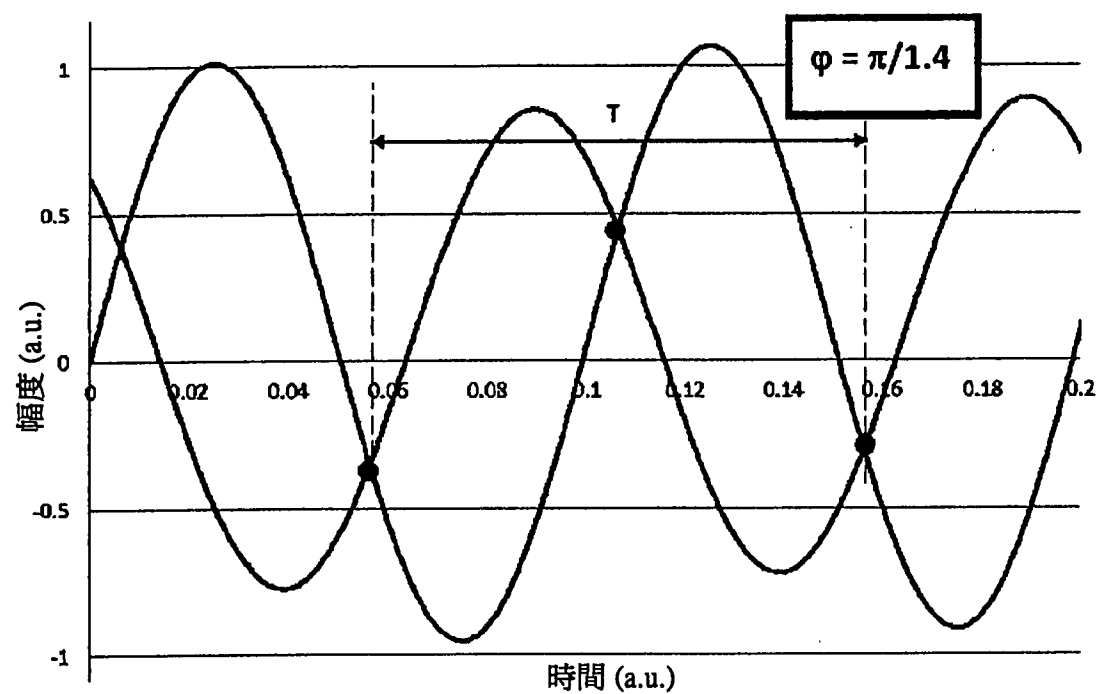


圖 16A

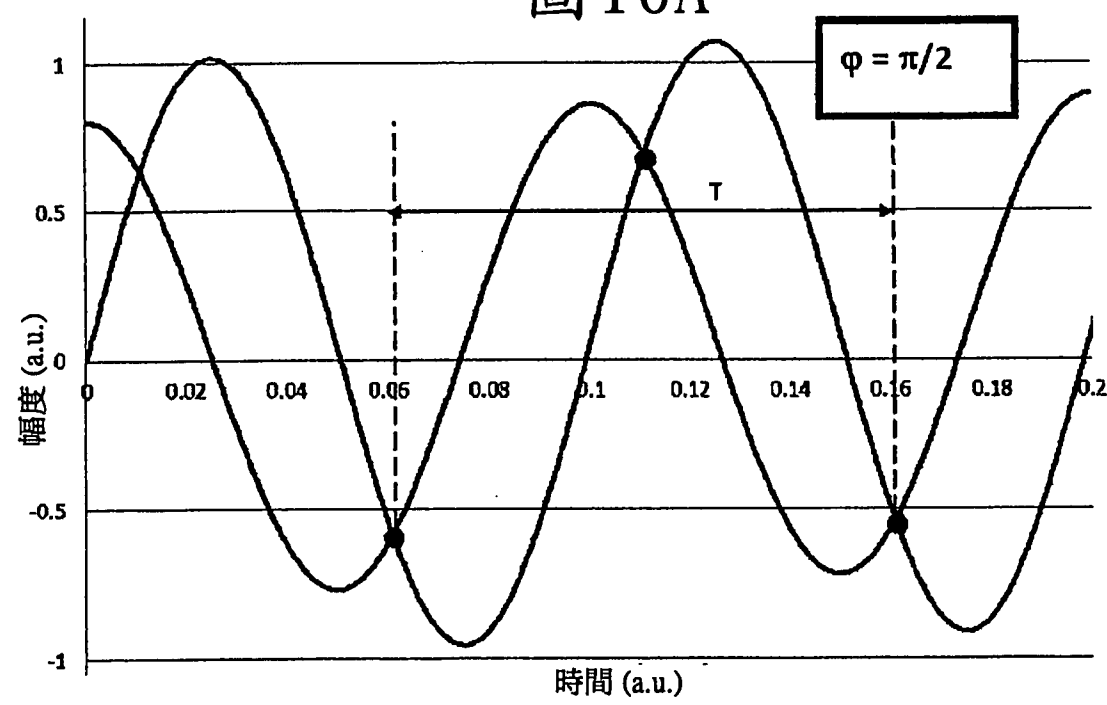


圖 16B

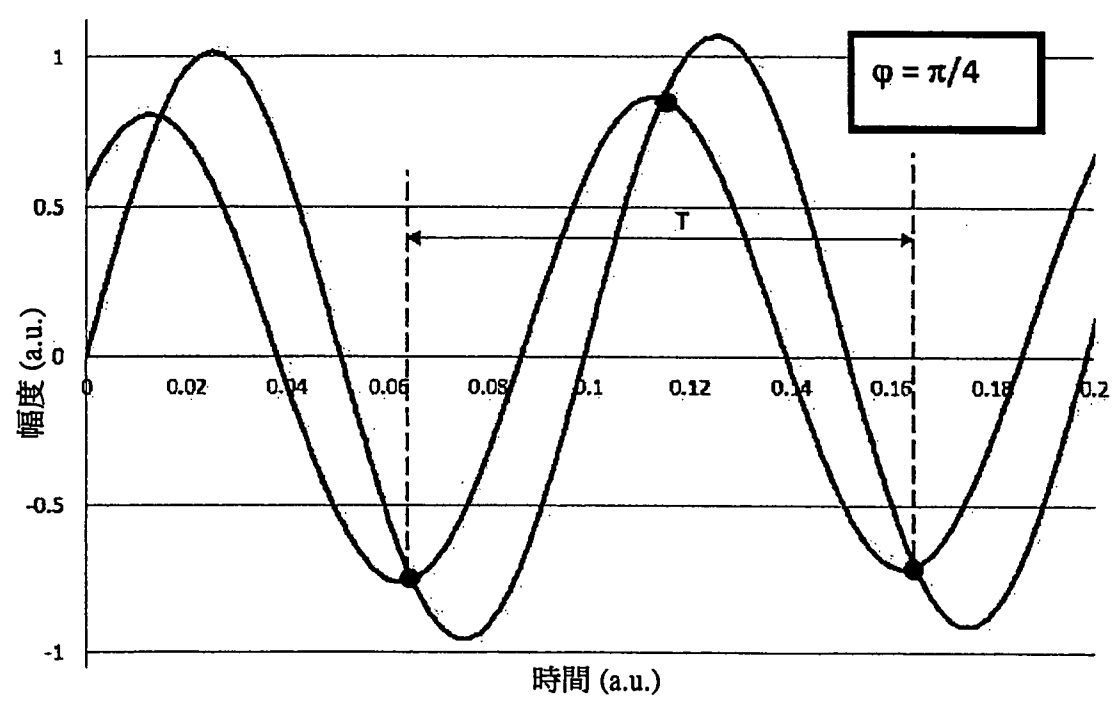


圖17