(19)日本国特許庁(JP)　(12)公表特許公報(A)　(11)特許出願公表番号
特表2009-503444
(P2009-503444A)
(43)公表日　平成21年1月29日(2009.1.29)

(51)Int.Cl.		F I		テーマコード（参考）
G01R 31/28	(2006.01)	G01R 31/28	G	2G132
H01L 21/822	(2006.01)	H01L 27/04	T	5F038
H01L 27/04	(2006.01)			

審査請求 有　予備審査請求 未請求　（全 18 頁）

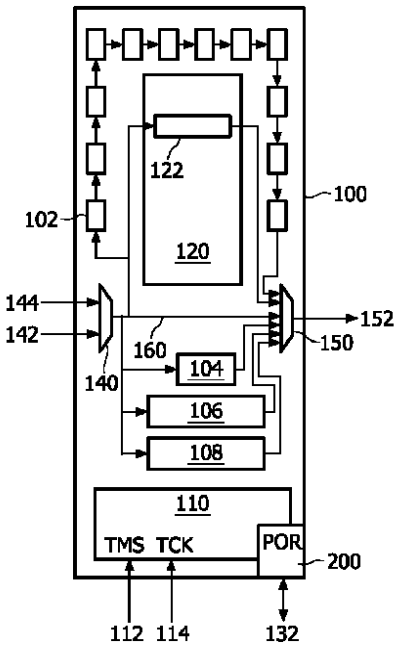
(21)出願番号　特願2008-522157 (P2008-522157)
(86)(22)出願日　平成18年7月20日 (2006.7.20)
(85)翻訳文提出日　平成20年2月19日 (2008.2.19)
(86)国際出願番号　PCT/IB2006/052490
(87)国際公開番号　WO2007/010493
(87)国際公開日　平成19年1月25日 (2007.1.25)
(31)優先権主張番号　05106761.9
(32)優先日　平成17年7月22日 (2005.7.22)
(33)優先権主張国　欧州特許庁 (EP)

(71)出願人　507219491
エヌエックスピー　ビー　ヴィ
オランダ国　５６５６エイジー　アインドーフェン　ハイ　テク　キャンパス　６０
(74)代理人　100147485
弁理士　杉村　憲司
(74)代理人　100072051
弁理士　杉村　興作
(74)代理人　100114292
弁理士　来間　清志
(74)代理人　100107227
弁理士　藤谷　史朗
(74)代理人　100134005
弁理士　澤田　達也

最終頁に続く

(54)【発明の名称】テスト可能な集積回路、システム・イン・パッケージ及びテスト命令セット

(57)【要約】
集積回路ダイ片は、第１のテストデータ入力ライン（１４２）、第２のテストデータ入力ライン（１４４）及びテストデータ出力ライン（１５２）を含む複数の相互接続ラインと、この集積回路ダイ片をテストするテスト装置（１００）とを具えている。前記テスト装置（１００）は、前記第１のテストデータ入力ライン（１４２）及び前記第２のテストデータ入力ライン（１４４）に結合されたマルチプレクサ（１４０）と、前記テストデータ出力ライン（１５２）に結合された他のマルチプレクサ（１５０）と、命令レジスタ（１０８）を含む複数のシフトレジスタ（１０２、１０４、１０６、１０８）であって、これらのシフトレジスタの各々は前記マルチプレクサ（１４０）と前記他のマルチプレクサ（１５０）との間に結合されている当該複数のシフトレジスタと、前記マルチプレクサ（１４０）と前記他のマルチプレクサ（１５０）とを前記命令レジスタ（１０８）に応答させて制御するコントローラ（１１０）とを具えている。このようなテスト装置では、システム・イン・パッケージ（ＳｉＰ）のテストデータ入力ピンとＩＣダイ片の前記



【特許請求の範囲】
【請求項１】
集積回路ダイ片であって、この集積回路ダイ片が、
第１のテストデータの入力ライン、第２のテストデータの入力ライン及びテストデータの出力ラインを含む複数の相互接続ラインと、
当該集積回路ダイ片をテストするテスト装置と
を具え、このテスト装置が、
前記第１のテストデータの入力ライン及び前記第２のテストデータの入力ラインに結合されたマルチプレクサと、
前記テストデータの出力ラインに結合された他のマルチプレクサと、
命令レジスタを含む複数のシフトレジスタであって、これらのシフトレジスタの各々は前記マルチプレクサと前記他のマルチプレクサとの間に結合されている当該複数のシフトレジスタと、
前記マルチプレクサと前記他のマルチプレクサとを前記命令レジスタに応答させて制御するコントローラと
を具えるようにした集積回路ダイ片。
【請求項２】
請求項１に記載の集積回路ダイ片において、前記テスト装置が更に、前記マルチプレクサと前記他のマルチプレクサとの間に、前記シフトレジスタを側路する信号経路を有している集積回路ダイ片。
【請求項３】
請求項１又は２に記載の集積回路ダイ片において、前記テスト装置がテストリセット信号に応答するようになっており、集積回路ダイ片は更に、この集積回路ダイ片の電源に結合されてこの電源の電圧増大の検出に応答してテストリセット信号を発生する検出器を具えている集積回路ダイ片。
【請求項４】
請求項３に記載の集積回路ダイ片において、前記検出器は更に、テストリセット信号の発生を抑止する抑止信号に応答するようになっている集積回路ダイ片。
【請求項５】
請求項３又は４に記載の集積回路ダイ片において、前記複数の相互接続ラインが、前記検出器に結合されたテストリセット信号の出力ラインを含んでいる集積回路ダイ片。
【請求項６】
請求項４又は５に記載の集積回路ダイ片において、前記複数の相互接続ラインが他のリセット信号の入力ラインを含んでおり、集積回路ダイ片は更に、前記他のリセット信号及び前記テストリセット信号に応答して出力信号を発生する論理ゲートを有し、前記テスト装置がこの出力信号に応答するようになっている集積回路ダイ片。
【請求項７】
請求項６に記載の集積回路ダイ片において、前記複数の相互接続ラインが、前記テストリセット信号の出力ライン及び前記他のテストリセット信号の入力ラインを有する双方向相互接続ラインを含んでいる集積回路ダイ片。
【請求項８】
請求項１～７のいずれか一項に記載の集積回路ダイ片において、前記テスト装置が、前記マルチプレクサと、前記他のマルチプレクサと、前記シフトレジスタと、前記信号経路とを具えるＩＥＥＥ1149.1標準規格適合のテストアクセスポートを有しており、前記コントローラが、このテストアクセスポートを制御するテストアクセスポートコントローラであり、前記複数の相互接続ラインが更に、前記テストアクセスポートコントローラに結合されたテストクロック入力ライン及びテストモード選択入力ラインを含んでいる集積回路ダイ片。
【請求項９】
請求項１～８のいずれか一項に記載の集積回路ダイ片において、前記複数のシフトレジ

スタが、複数のレジスタセルを有する識別レジスタを含んでおり、これら複数のシフトレジスタセルのうちの部分集合が、この部分集合を予め規定したビットパターンでプログラミングする手段に結合されている集積回路ダイ片。

【請求項１０】

システムテストデータ入力ライン及びシステムテストデータ出力ラインを含む複数のシステム相互接続ラインと、第１の集積回路ダイ片を含む複数の集積回路ダイ片とを具えるシステム・イン・パッケージであって、前記第１の集積回路ダイ片が、

システムテストデータ入力ラインに結合されたテストデータ入力ライン及びテストデータ出力ラインを含む複数の相互接続ラインと、

前記第１の集積回路ダイ片をテストするテスト装置であって、前記テストデータ出力ラインに結合されたマルチプレクサと、命令レジスタを含む複数のシフトレジスタであって、これらのシフトレジスタの各々は前記テストデータ入力ライン及び前記マルチプレクサ間に結合されている当該複数のシフトレジスタと、前記マルチプレクサを前記命令レジスタに応答させて制御するコントローラとを有する当該テスト装置と

を有しており、

前記複数の集積回路ダイ片が更に、請求項１に記載の他の集積回路ダイ片を有し、前記第１の集積回路ダイ片のテストデータ出力ラインがこの他の集積回路ダイ片の前記第１のテストデータの入力ラインに結合されており、この他の集積回路ダイ片の前記第２のテストデータの入力ラインが前記システムテストデータ入力ラインに結合され、この他の集積回路ダイ片の前記テストデータの出力ラインがシステムテストデータ出力ラインに結合されているシステム・イン・パッケージ。

【請求項１１】

請求項１０に記載のシステム・イン・パッケージにおいて、前記他の集積回路ダイ片の前記テスト装置が更に、前記マルチプレクサと前記他のマルチプレクサとの間の前記シフトレジスタを側路する信号経路を有しているシステム・イン・パッケージ。

【請求項１２】

請求項１０又は１１に記載のシステム・イン・パッケージにおいて、前記複数の集積回路ダイ片のうちの少なくとも１つの集積回路ダイ片がテストリセット信号に応答するようになっており、この少なくとも１つの集積回路ダイ片が、この少なくとも１つの集積回路ダイ片のテスト装置及び電源間に結合されてこの電源の電圧増大に応答してテストリセット信号を発生する検出器を有しているシステム・イン・パッケージ。

【請求項１３】

請求項１２に記載のシステム・イン・パッケージにおいて、前記少なくとも１つの集積回路ダイ片が更に、前記検出器に結合されたテストリセット信号の出力ラインを有し、前記複数の集積回路ダイ片が更に、前記テストリセット信号に応答するテスト装置を有する更なる集積回路ダイ片を具えており、この更なる集積回路ダイ片が、前記少なくとも１つの集積回路ダイ片のテストリセット信号の出力ラインに結合されているテストリセット信号の入力ラインを有しているシステム・イン・パッケージ。

【請求項１４】

請求項１３に記載のシステム・イン・パッケージにおいて、前記少なくとも１つの集積回路ダイ片が更に、

外部テストリセット信号を受ける他のテストリセット信号の入力ラインと、

前記テストリセット信号の出力ラインに結合された第１の入力端と、前記他のテストリセット信号の入力ラインに結合された第２の入力端とを有する論理ゲートと

を具え、前記少なくとも１つの集積回路ダイ片のテスト装置が前記論理ゲートの出力に応答するようになっているシステム・イン・パッケージ。

【請求項１５】

請求項１４に記載のシステム・イン・パッケージにおいて、前記少なくとも１つの集積回路ダイ片の前記複数の相互接続ラインが、前記テストリセット信号の出力ライン及び前記他のテストリセット信号の入力ラインを含む双方向相互接続ラインを有するシステム・

イン・パッケージ。
【請求項１６】
請求項１０に記載のシステム・イン・パッケージをテストする命令セットを有するデータ記憶媒体であって、前記命令セットが、前記他の集積回路ダイ片の第１のテストデータの入力及び第２のテストデータの入力間を識別する１つ以上の命令を含んでいるデータ記憶媒体。
【請求項１７】
テストリセット信号に応答する集積回路ダイ片であって、この集積回路ダイ片が、この集積回路ダイ片の電源に結合されてこの電源の電圧増大の検出に応答してテストリセット信号を発生する検出器を具えており、この集積回路ダイ片は更に、この検出器に結合されてテストリセット信号を外部装置に供給するテストリセット信号の出力ラインを有している集積回路ダイ片。
【請求項１８】
請求項１７に記載の集積回路ダイ片において、この集積回路ダイ片が、テストリセット信号に応答するテスト装置を有し、このテスト装置に前記検出器が結合されている集積回路ダイ片。
【請求項１９】
請求項１７又は１８に記載の第１の集積回路ダイ片と、前記テストリセット信号に応答する他の集積回路ダイ片とを有するシステム・イン・パッケージであって、前記他の集積回路ダイ片が前記第１の集積回路ダイ片のテストリセット信号の出力ラインに結合されたテストリセット信号の入力ラインを有しているシステム・イン・パッケージ。
【請求項２０】
請求項１９に記載のシステム・イン・パッケージにおいて、前記他の集積回路ダイ片が、前記テストリセット信号に応答する他のテスト装置を有し、この他のテスト装置はテストリセット信号の入力ラインに結合されているシステム・イン・パッケージ。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、テスト装置を有する集積回路ダイ片に関するものである。
【０００２】
本発明は更に、このような集積回路ダイ片を収容したシステム・イン・パッケージにも関するものである。
【０００３】
本発明は更に、テスト装置を動作させる命令セットにも関するものである。
【背景技術】
【０００４】
集積回路（ＩＣ）のテストは、ＩＣ製造処理と不可分となっている。更に、ＩＣの複雑性が増すことにより、その処理のテスト部分が、費用の面で一層主要な要素を占めるようになる。このことが、世界的に受け入れられる、すなわち、標準化したＩＣ用のテスト方法が浮上してきた理由の１つである。その理由は、これらの方法により、特にテスト費用を低減させる標準のテスト装置を容易にＩＣに加えうる為である。
【０００５】
このような標準のテスト方法のよく知られた例は、ＩＥＥＥ1149.1標準規格であり、これはバウンダリスキャンテスト（ＢＳＴ）又はジョイントテストアクセスグループ（ＪＴＡＧ）としても知られている。ＢＳＴによれば、ＩＣは、テストアクセスポート（ＴＡＰ）コントローラによる制御の下でＴＡＰにより拡張される。ＴＡＰは、外部テスト又はバウンダリスキャンレジスタのような複数のシフトレジスタと、バイパスレジスタと、テストデータ入力端（ＴＤＩ）及びテストデータ出力端（ＴＤＯ）間に結合された命令レジスタとを有し、ＴＡＰコントローラは、ＴＤＩを介して命令レジスタにローディングされた命令に応答して適切なレジスタを選択する作用をする。随意ではあるが、ＴＡＰコントロ

ーラは、更に、テストリセット（ＴＲＳＴ）信号に応答して、ＩＣのテストの開始時にテスト装置が、良好に規定された状態を確実にとるようにする。

【０００６】

ＢＳＴの標準規格を満足させるためには、ＩＣ上のテスト装置に対し多くの設計上の規則を遵守する必要がある。例えば、ＪＴＡＧ装置は１つのＴＡＰのみを有することができ、１つのセル、すなわち、ラッチ回路又はフリップフロップ回路のような１つのデータ記憶素子の長さより成るバイパスレジスタを有する必要がある。更に、随意（設けるのが自由）の識別レジスタがＴＡＰに存在する場合には、この識別レジスタは３２セルの固定長を有するようにする必要がある。

【０００７】

これらの設計上の規則が、１つ以上のＩＣが存在する、システム・イン・パッケージ（ＳｉＰ）のような装置を複雑にする。ＳｉＰには、多数の異なるＩＣダイ片が存在し、これらのダイ片は代表的に、集合体を１つのパッケージ内に入れる前に、受動基板上に装着される。各ＩＣダイ片はそれぞれ異なる源（ソース）から形成される可能性がある為、各ダイ片は独自の独立したテスト装置を有しうる。これらのテスト装置は、個別基準ではＪＴＡＧ制約に適合しうるが、総体的にはテスト装置の集合体は前述したＪＴＡＧ規則に違反するおそれがある。その理由は、ＳｉＰが単一のＪＴＡＧ装置として見られているためである。例えば、種々のテスト装置を通るテスト経路が、１つのセルよりも長い集合体のバイパスレジスタ長を有する多数のＴＡＰに至るものであり、これらは１つのＪＴＡＧ装置に対するＪＴＡＧ順守事項に違反する。

【０００８】

米国特許第６８０４７２５号明細書には、１つのＴＡＰを介してアクセスしうる複合的なＩＣ装置が開示されている。この目的のために、システムレベルのＴＡＰを設け、このＴＡＰを介して全てのＩＣレベルのＴＡＰをアクセスしうるようにし、システムレベルのＴＡＰのみを複合的なＩＣ装置の外部テスト信号ピンに接続することにより、階層構造をこの複合的なＩＣ装置に加える。この複合的なＩＣ装置は、ＪＴＡＧに適合しているが、ＳｉＰに対しては理想的なものではない。その理由は、第１に、追加のＴＡＰが必要であり、この追加のＴＡＰがＳｉＰの面積オーバーヘッドに加わる為である。更に、システムレベルのＴＡＰとＩＣレベルのＴＡＰとの間の相互接続構造が比較的複雑で、このことがこれらのＴＡＰ間の相互接続障害を生ぜしめるおそれを高める。

【特許文献１】米国特許第６８０４７２５号明細書

【発明の開示】

【発明が解決しようとする課題】

【０００９】

本発明の目的は、追加のＴＡＰを必要とすることなしにＪＴＡＧに適合するようにＳｉＰに用いうるテスト装置を有するＩＣダイ片を提供することにある。

【００１０】

本発明は更に、追加のＴＡＰを必要とすることなしにＪＴＡＧに適合するようにテストしうるＳｉＰを提供することをも目的とする。

【００１１】

本発明は更に、このようなＳｉＰのテストを容易にする命令セットを提供することをも目的とする。

【課題を解決するための手段】

【００１２】

本発明の第１の観点によれば、請求項１に記載の集積回路（ＩＣ）ダイ片を提供する。この本発明によるＩＣダイ片は、１つ以上の他のＩＣと組み合わせた場合に、例えば、この他のＩＣのテスト装置を側路するのを容易にする第２のデータ入力端を選択しうるという利点が得られる。この場合、本発明によるＩＣのテスト装置のバイパスレジスタのみをＩＣの集合体の外部で監視する。テスト装置は、ＪＴＡＧに適合するＴＡＰ及びＴＡＰコントローラを有するのが好ましい。

【００１３】
テスト装置は更に、前記マルチプレクサと前記他のマルチプレクサとの間に、前記シフトレジスタを側路する信号経路を有しているようにするのが有利である。このような信号経路を存在させることにより、テスト装置を通る、クロック制御しない（アンクロック）データ転送を容易にする。このことは、他のＩＣの他のテスト装置をデバッグ目的に用いる場合に特に有利である。この場合、前記他のＩＣからのテスト結果データを、クロック制御しない信号経路を介してＩＣの集合体の外部に迅速に転送しうる。
【００１４】
有利な例では、前記テスト装置がテストリセット信号に応答するようになっており、集積回路ダイ片は更に、この集積回路ダイ片の電源に結合されてこの電源の電圧増大の検出に応答してテストリセット信号を発生する検出器を具えているようにする。このようにすることにより、ＩＣの状態に危害を及ぼす電力増大時又は電圧降下後に、テスト装置が、良好に規定した初期状態に確実にリセットされるようにする。例えば、テスト装置が低電圧テストモードに入った際に不所望なリセット信号の発生を阻止するために、検出器を抑止信号により抑止状態にすることができる。
【００１５】
前記複数の相互接続ラインは、前記検出器に結合されたテストリセット信号の出力ラインを含んでいるようにするのが好ましい。このようにすることにより、独自のリセット発生機能を有さない他のＩＣダイ片のテスト装置へのテストリセット信号の出力を容易にする。更に、外部テストリセット信号の必要性がなくなる。このことは、本発明のＩＣダイ片を含む装置の外部ピンの個数を低減させることができることを意味する。
【００１６】
更に、前記複数の相互接続ラインが他のリセット信号の入力ラインを含み、集積回路ダイ片は更に、前記他のリセット信号及び前記テストリセット信号に応答して出力信号を発生する論理ゲートを有し、前記テスト装置がこの出力信号に応答するようにしうる。このようにすることにより、テスト装置を、内部的に発生させたリセット信号と、外部リセット信号、例えば、他のＩＣダイ片からのリセット信号との双方によりリセットしうる利点が得られる。この目的のために、前記複数の相互接続ラインが、前記テストリセット信号の出力ライン及び前記他のテストリセット信号の入力ラインを有する双方向相互接続ラインを含み、本発明のＩＣダイ片に必要とするピンの個数を低減させるようにしうる。
【００１７】
他の例では、前記複数のシフトレジスタが、複数のレジスタセルを有する識別レジスタ（ＩＤ）を含んでおり、これら複数のシフトレジスタセルのうちの部分集合が、この部分集合を予め規定したビットパターンでプログラミングする手段に結合されているようにする。このようにすることにより、例えば、セルの部分集合をそれぞれのヒューズ、書き込み専用メモリ、一回限りプログラミングしうるメモリ、又はそれぞれの追加の接着パッドに結合することにより、ＩＤレジスタ内の識別コードの（部分的な）再規定を容易にしうる。前記接着パッドは、部分集合のセルに記憶すべきビットの値に応じて接地点又は電源電圧（Ｖdd）点に結合される。
【００１８】
この段階で指摘することは、記号Ｖddは本明細書で電源に対してもちいているが、これに限定されるものではないということである。更に、用語“ＩＣダイ片”は、ＳｉＰの一部を形成するＩＣの種々の源を強調するのに用いるものである。一般に、種々のＩＣは種々のウエハから得られるものであり、これはＳｉＰ内の種々のダイ片、例えば、種々の源からのシリコン片の集合ともなるものである。用語“ＩＣダイ片”は用語“ＩＣ”と相違するものではなく、これらの双方の用語とも同じ又は類似の製品を参照するためのものである。
【００１９】
本発明の更なる観点によれば、請求項１０に記載のシステム・イン・パッケージを提供する。本発明のＳｉＰには、本発明によるＩＣダイ片が存在することにより、ＳｉＰを容

易にＪＴＡＧに適合させうる利点がある。例えば、ＪＴＡＧ適合ＳｉＰに対しバイパスモードを選択すると、バイパスレジスタを有するとともに、代表的にＳｉＰ上のテスト装置のチェーンにおける最後のテスト装置である本発明のＩＣダイ片のテスト装置は、その第２のテストデータ入力をそのバイパスレジスタと組み合わせて選択する。このことは、第１のＩＣのテスト装置と、一般に先行する全てのＩＣのテスト装置との全てが側路され、従って、テスト装置におけるバイパスレジスタの全長をＪＴＡＧ条件に適合する長さ１にするということを意味する。

【００２０】

前記他の集積回路ダイ片のテスト装置が更に、前記マルチプレクサと前記他のマルチプレクサとの間の前記シフトレジスタを側路する信号経路を有しているようにするのが有利である。このようにすることにより、テスト装置を通る、クロック制御しないデータ転送を容易にする。ＳｉＰ上の他のテスト装置も同様な信号経路を有し、データ転送装置の転送速度及び融通性を最大にすることができる。

【００２１】

複数の集積回路ダイ片のうちの少なくとも１つの集積回路ダイ片のテスト装置がテストリセット信号に応答し、この少なくとも１つの集積回路ダイ片が、テスト装置と当該少なくとも１つの集積回路ダイ片との間に結合された検出器を有し、電源の電圧増大に応答してテストリセット信号を発生させるようにするのが更に有利である。このようにすることにより、ＳｉＰの外部の信号源から前記少なくとも１つの集積回路ダイ片へテストリセット信号を供給する必要性が回避される。検出器はテストリセット信号の発生を抑止する抑止信号に応答するようにしうる。

【００２２】

好ましくは、前記少なくとも１つの集積回路ダイ片が更に、前記検出器に結合されたテストリセット信号の出力ラインを有し、前記複数の集積回路ダイ片が更に、前記テストリセット信号に応答するテスト装置を有する更なる集積回路ダイ片を具えており、この更なる集積回路ダイ片が、前記少なくとも１つの集積回路ダイ片のテストリセット信号の出力ラインに結合されているテストリセット信号の入力ラインを有しているようにする。検出器をＳｉＰ上の他のリセット応答テスト装置に結合することにより、検出器がシステムレベルのリセットを生じ、これにより、ＳｉＰの外部の信号源からＳｉＰの何れのダイ片にもテストリセット信号を供給する必要性を回避する。この場合、ＳｉＰシステムレベルの相互接続ラインがテストリセット入力ラインを含む必要がない。

【００２３】

前記少なくとも１つの集積回路ダイ片が更に、外部テストリセット信号を受ける他のテストリセット信号の入力ラインを具えるとともに、前記テストリセット信号の出力ラインに結合された第１の入力端と、前記他のテストリセット信号の入力ラインに結合された第２の入力端とを有する論理ゲートを具え、前記少なくとも１つの集積回路ダイ片のテスト装置が前記論理ゲートの出力に応答するようにするのが更に有利である。このことは、他のダイ片で発生されるリセット信号によりテスト装置のリセットをトリガすることもできることを意味する。従って、ＩＣダイ片の１つが、電力増大又は電圧降下からの回復により生ぜしめられるおそれのある電圧増大を監視し、これによりこのＩＣダイ片の所望の状態がもはや存在することができないということを表す場合には、このＩＣダイ片が（それ自体及び）他のＩＣダイ片に対するリセット信号を発生させ、ＳｉＰのテストモードが規定の状態に維持されるようにすることができる。この目的のために、前記少なくとも１つのＩＣダイ片の前記複数の相互接続ラインが、前記テストリセット信号の出力ライン及び前記他のテストリセット信号の入力ラインを含む双方向相互接続ラインを有し、このＩＣダイ片に必要とする相互接続ラインの本数を低減させるようにしうる。

【００２４】

本発明の更に他の観点によれば、請求項１６に記載のデータ記憶媒体を提供する。これに記憶される命令には、ＪＴＡＧ標準規格との矛盾を生ぜしめるおそれのあるＪＴＡＧ命令の場合に、本発明のＩＣダイ片の第２のテストデータ入力を選択する命令、例えば、Ｂ

ＹＰＡＳＳ命令が含まれる。

【００２５】

本発明に開示するＩＣダイ片のテストリセット信号発生装置は、何らかのテスト装置、例えば、ビルトイン・セルフテスト装置又は非ＪＴＡＧテスト装置を有しうる複数のＩＣダイ片を具えるＳｉＰに適用しうる。更に、リセット信号は、常規モード、すなわち、機能モードにおいてＳｉＰの１つ以上のＩＣダイ片をリセットするのにも用いうる。ＪＴＡＧに適合するテスト装置と関連させて説明したテスト信号発生手段に対する上述した利点も同様に、これらの変形例に当てはまる。

【発明を実施するための最良の形態】

【００２６】

図面は、単に線図的なものであり、実際のものに正比例して描いていないことに注意すべきである。又、各図間で同じ符号は、同一又は類似部分を示していることにも注意すべきである。

【００２７】

図１に示すＩＣダイ片は、テストアクセスポート（ＴＡＰ）１００と、テストアクセスポートコントローラ１１０とを有するテスト装置を具えている。ＴＡＰ１００は、バウンダリスキャンレジスタ又はエクステスト（ＥＸＴＥＳＴ）レジスタ１０２のような複数のシフトレジスタと、バイパスレジスタ１０４と、代表的にＩＣダイ片の識別コードを有する随意な識別レジスタ１０６と、命令レジスタ１０８とを具えている。テストパターンをＩＣダイ片のコード論理回路１２０内に供給するのに用いる１つ以上のスキャンチェーン回路１２２のような他のレジスタを存在させることができる。ＴＡＰ１００は更に、ＴＡＰコントローラ１１０により制御される第１のマルチプレクサ（ＭＵＸ）１４０と、他のＭＵＸ１５０とを有する。第１のＭＵＸ１４０は、ＩＣダイ片の相互接続ラインをそれぞれ介して第１の入力１４２及び他の入力１４４を受けるように構成されており、他のＭＵＸ１５０は、ＩＣダイ片の他の相互接続ラインを介してテストデータ出力（ＴＤＯ）信号を出力するように構成されている。

【００２８】

第１のＭＵＸ１４０と他のＭＵＸ１５０との間には信号経路１６０が存在し、この信号経路は、ＩＣダイ片のテスト回路における種々のシフトレジスタを側路している。この信号経路１６０は、ＩＣダイ片のテスト回路を通る高速データ転送を容易にする直接の、すなわち、クロック制御しない信号路であり、この信号路は、後に詳細に説明するように、デバッグ目的に特に有利である。ＴＡＰコントローラ１１０は、代表的にＩＣダイ片のそれぞれの相互接続ラインを介して受信されるＪＴＡＧ規定のテストモード選択（ＴＭＳ）信号１１２及びテストクロック（ＴＣＫ）信号１１４に応答する。ＩＣダイ片は随意のＪＴＡＧテストリセット（ＴＲＳＴ）信号に応答することができ、この信号も代表的には、ＩＣダイ片の相互接続ラインを介して与えられる。或いはまた、ＴＡＰコントローラ又は全体としてのテスト装置は、パワー・オン・リセット（ＰＯＲ：電源投入時リセット）回路２００から内部的に発生させたリセット信号に応答しうる。このＰＯＲ回路２００は、ＩＣダイ片のテスト装置と一体な部分とするか、又はＴＡＰコントローラ１１０のＴＲＳＴ入力端（図示せず）に導電的に結合することができる。更に、ＰＯＲ回路２００は、リセット信号を外部装置に与えうるようにするためにＩＣダイ片のリセット信号出力ライン１３２に結合することができる。

【００２９】

図２は、ＰＯＲ回路２００の一実施例を示す。このＰＯＲ回路２００は、ラインＶddで示すように、この回路のＩＣダイ片の電源に結合された検出器２１０を有する。この検出器２１０は、電源における電力、例えば、電圧の増大を検出するように構成されている。このような電力の増大は、代表的にＩＣダイ片の電力増大又はＩＣダイ片の著しい電力損失後の電力の回復と関連するものであり、後者は、ＩＣダイ片のデータ保全がだめになるおそれを表すものであり、この場合、（テスト）回路をリセットする必要がある。検出器２００は、電力の増大の検出に応答して、リセット信号、例えば、テストリセット信号を

発生し、この信号をＩＣダイ片のテスト装置のＴＡＰコントローラ１１０に供給してテスト装置をリセットするようにすることができる。このようなリセットは、ＪＴＡＧに適合するＴＡＰコントローラ１１０のリセット機構に応じて行うことができるが、必ずしもこのようにする必要はない。（テスト）リセット信号は、検出器２１０が測定した電力の増大が予め規定したしきい値を越えた場合のみ発生させ、許容範囲内の電力変動による偶発的なリセットを回避するようにすることができる。検出器２１０は更に、（テスト）リセット信号の発生を抑止する抑止信号２１２に応答するようにしうる。

【００３０】

随意ではあるが、（テスト）リセット信号がＩＣダイ片の相互接続ライン１３２に得られ、これにより、発生されたリセット信号に応答して外部装置のリセットを容易にするようにしうる。このようにするのは、ＩＣダイ片がシステム、例えば、システム・イン・パッケージ（ＳｉＰ）中の多数の装置の１つであり、この装置に対しシステムワイドリセットを存在させる必要がある場合に、特に有益である。このような想定の下では、ＩＣダイ片が、外部装置で発生されるリセット信号にも応答するようにする必要がある。この目的のためには、ＰＯＲ回路２００が、検出器２１０により発生器される（テスト）リセット信号及びＩＣダイ片が外部装置から受ける他のテストリセット信号を受けるように構成した論理ゲート２４０、例えば、ＯＲゲートを有するようにしうる。前記の他のテストリセット信号は、ＩＣダイ片の別の相互接続ライン（図示せず）で受けるようにすることができる。或いはまた、相互接続ライン１３２を、検出器２１０からのテストリセット信号を出力するとともに、外部装置からの他のテストリセット信号を受けるように構成した双方向性ピンとすることができる。この双方向性ピンは、いかなる既知の方法でも、例えば、この双方向性ピンの双方の分岐にバッファ２２２及び２２４を設けるように構成することができる。この双方向性ピンの出力分岐を弱いプルアップ又はプルダウン素子２２６に接続し、検出器２１０がテストリセット信号を発生しない状態で相互接続ライン１３２に浮動値の出力が生じるのを回避する。これにより、相互接続ライン１３２における信号に応答する外部装置の間違ったリセットを回避する。

【００３１】

随意ではあるが、検出器２１０により発生されたリセット信号を、機能モードにおいてＩＣダイ片をリセットするのにも用いることができる。ＩＣダイ片は機能モードにおいて外部のリセット信号にも応答しうるようにする。この目的のために、ＰＯＲ回路２００が論理ゲート２５０、例えば、ＯＲゲートを有し、このゲートの１つの入力端を、検出器２１０により発生されるリセット信号を受けるためにこの検出器２１０に結合し、このゲートの他の１つの入力端を、ＩＣダイ片の外部の装置により発生されたリセット信号を受けるためにＩＣダイ片の他の相互接続ライン２３２に結合し、ＩＣダイ片のリセット機構がこの他の論理ゲート２５０の出力に応答するようにしうる。

【００３２】

図３は、本発明による複数のＩＣダイ片を有するＳｉＰ１を示す。このＳｉＰ１は３つのダイ片を有する状態で示しているが、これに限定されるものではない。このＳｉＰ１は、システムテストデータ入力ライン１２と、システムテストモード選択入力ライン１４と、システムテストクロック入力ライン１６と、システムテストデータ出力ライン１８とを含む多数のシステム相互接続ラインを有している。更に、このＳｉＰ１の第１のＩＣダイ片は、ＴＡＰコントローラ３１０を有するＴＡＰ３００を含むテスト装置を具えている。ＴＡＰ３００はＪＴＡＧに適合する標準のＴＡＰであるが、そのデータ入力端３４２とそのマルチプレクサ３５０との間に直接的な信号路を存在させるのが有利である。ＭＵＸ３５０は、ＩＥＥＥ1149.1の標準規格に応じ、命令レジスタ３０８の内容に応答してＴＡＰコントローラ３１０により制御される。ＴＡＰ３００のテストデータ入力端３４２はシステムテストデータ入力ライン１２に結合されている。

【００３３】

第２のＩＣダイ片は、ＴＡＰコントローラ１１０ａを有するＴＡＰ１００ａを含むテスト装置を具えている。ＴＡＰ１００ａは図１に示すＴＡＰ１００の実施例であり、図１に

つき詳細に説明した通りである。このＴＡＰ１００ａのテストデータ入力端１４２ａは、ＴＡＰ３００のテストデータ出力端３５２に結合されている。ＴＡＰ１００ａの他のテストデータ入力端１４４ａはシステムテストデータ入力ライン１２に結合されている。第３のＩＣダイ片は、ＴＡＰコントローラ１１０ｂを有するＴＡＰ１００ｂを含むテスト装置を具えている。ＴＡＰ１００ｂも図１に示すＴＡＰ１００の実施例であり、図１につき詳細に説明した通りである。このＴＡＰ１００ｂのテストデータ入力端１４２ｂは、ＴＡＰ１００ａのテストデータ出力端１５２ａに結合されている。ＴＡＰ１００ｂの他のテストデータ入力端１４４ｂはシステムテストデータ入力ライン１２に結合されており、ＴＡＰ１００ｂのテストデータ出力端１５２ｂはシステムテストデータ出力ライン１８に結合されている。本発明によるＴＡＰ１００を有するＩＣダイ片のテストデータ入力端１４４は、システムテストデータ入力ライン１２に直接接続されている為、ＳｉＰ１のシステムレベルテスト装置のＴＡＰチェーンにおける前のＴＡＰを側路する。ＴＡＰコントローラ３１０、１１０ａ及び１１０ｂのそれぞれのＴＭＳ入力端及びＴＣＫ入力端は全て、システムＴＭＳ入力ライン１４及びシステムＴＣＫ入力ライン１６にそれぞれ結合されている。

【００３４】

システムテストデータ入力ライン１２とＴＡＰ１００ｂの前記他のテストデータ入力端１４４ｂとを直接接続することにより、装置は１つのみのＴＡＰを有しうるというＪＴＡＧの条件に反して複数のＴＡＰを有するにもかかわらず、依然としてＪＴＡＧに適合してＳｉＰ１をテストすることができる。ＢＳＴ命令は、２つの範疇に、すなわち、ＴＡＰに含まれるレジスタの長さを外部のテスト装置に分かるようにする必要がある第１の範疇と、含まれるレジスタの長さを標準規格に規定する、例えば、バイパスレジスタ１０４の寸法を正確に１つのセルとする必要がある第２の範疇とに分けることができる。

【００３５】

第１の範疇の命令の場合、ＴＡＰコントローラ１１０ａ及び１１０ｂはそれぞれ、第１のテストデータ入力端１４２ａ及び１４２ｂを選択する。この場合、関連のレジスタの長さは、ＴＡＰ３００、１１０ａ及び１１０ｂにおける関連のレジスタの密度、例えば、ＥＸＴＥＳＴモードではバウンダリスキャンレジスタの密度として規定されている。ＳｉＰ１は、外部のテスト装置に対しては、ＪＴＡＧ標準規格により規定されているように、このＳｉＰ１には１つのＴＡＰしか存在しないように動作する。

【００３６】

第２の範疇の命令に対しては、ＴＡＰコントローラ１１０ａ及び１１０ｂがそれぞれ前記他のテストデータ入力端１４４ａお１４４ｂを選択する。この場合、チェーン中の最後のＴＡＰよりも前の全てのＴＡＰのテストデータ出力が無視されるという効果がある。システムテストデータ入力ライン１４からの入力は、ＳｉＰ１内のＴＡＰチェーンにおける最後のＴＡＰであるＴＡＰ１００ｂに直接供給される。ＴＡＰ１００ｂのレジスタ、例えば、バイパスレジスタ１０４のレジスタ長が１つのセルの長さである限り、ＳｉＰ１のテスト装置はこの場合もＪＴＡＧ標準規格に応じて動作する。その理由は、テストデータ経路には、ＴＡＰ１００ｂのコンプライアンスレジスタのみが含まれている為である。

【００３７】

この点で、図３のＴＡＰ１００ａを有するＩＣダイ片を本発明のＩＣダイ片の一実施例として示しているが、このダイ片を実際には既知のＴＡＰ、例えば、ＴＡＰ３００の例を有するダイ片とすることができることを理解すべきである。実際には、本発明によるＳｉＰ１を提供するには、前述したように、ＩＣダイ片のチェーンにおける最後のＩＣダイ片のみが本発明によるＴＡＰ１００を有し、その前の全てのＴＡＰを側路することによりＪＴＡＧ条件を容易に満足するようにする必要があるだけである。

【００３８】

ＴＡＰ３００、１００ａ及び１００ｂのそれぞれにおける直接信号路３６０、１６０ａ及び１６０ｂは、ＳｉＰ１をデバッグするのに特に有利である。例えば、ＴＡＰ１００ａを有するＩＣダイ片をデバッグする必要がある場合には、ＴＡＰ３００及びＴＡＰ１００ｂに、これらのそれぞれのＴＡＰコントローラをトリガしてそれぞれの直接信号路３６０

及び１６０ｂを選択するようにする命令を与えることができる。従って、ＴＡＰ１００ａは、ＴＡＰ３００を通る、クロック制御しない信号路を介してシステムテストデータ入力ライン１２に結合されるとともに、ＴＡＰ１００ｂを通る、クロック制御しない信号路を介してシステムテストデータ出力ライン１８に結合され、従って、デバッグを行うＩＣダイ片と外部のデバッグ装置との間の高速データ転送が可能となる。変形例としては、第２のデータ入力端１４４ａを介するＴＡＰ３００を迂回するバイパス経路を選択して、このＩＣダイ片をデバッグする同様なＩ／Ｏ速度を達成することができる。

【００３９】

図１に示すようなＴＡＰ１００におけるデータ入力端１４４及び直接信号路１６０の選択を容易にするためには、ＴＡＰコントローラ１１０の状態マシーンを動作させる命令セットに、このような選択を可能にする命令を加える必要がある。これらの命令の例を以下の表に示す。

命令	ＩＥＥＥ1149.1	二進符号	経路	選択入力端
BYPASS	Yes	全て１	104	144
CLAMP	Yes	自由	104	144
IDCODE★	Yes	自由	106	144
USERCODE★	Yes	自由	ユーザID	144
HIGHZ	Yes	自由	104	144
WIRE_BYPASS	No	自由	160	144
S_WIRE_BYPASS	No	自由	160	142
WIRE_CLAMP	No	自由	160	144
S_WIRE_CLAMP	No	自由	160	142
S_EXTEST	No	自由	102	144

（★）は、随意のレジスタの選択に関連する命令を示す。

【００４０】

基本的には、ＪＴＡＧに適合する命令を含む命令は、テストデータ入力端１４２と他のテストデータ入力端１４４とを識別しうるように適合させる必要がある。このことは、これら２つの入力端のうちの何れを選択する必要があるかを表わすビットを命令中に特定するか、又は命令に加えることにより達成しうる。更に、信号路１６０の選択を容易にする命令を加える必要がある。この選択を容易にするようにＴＡＰコントローラ１１０の機能を拡張することは容易であり、その更なる説明は省略する。命令セットは、外部のテスト装置のメモリのようなデータ記憶媒体、又はデータキャリア、例えば、ＣＤ‐ＲＯＭに記憶させることができる。

【００４１】

ＳｉＰ１における全てのＴＡＰコントローラ、すなわち、図３ではＴＡＰコントローラ３１０、１１０ａ及び１１０ｂが随意のＴＲＳＴ入力端を有する場合には、ＳｉＰ１が更に、これらのＴＲＳＴ入力端に接続された追加の相互接続ライン（図示せず）を有し、システムレベルのテストモードにおいて、例えば、システムレベルのテスト装置を規定通りに起動するためのシステムレベルのリセットが得られるようにする全体的なリセット信号を全てのＴＡＰコントローラに与えるようにすることができる。

【００４２】

実際には、ＳｉＰ１内の種々のＩＣダイ片はそれぞれ異なるソースから形成される可能性がある為、必ずしも全てのダイ片のＴＡＰコントローラが随意のＴＲＳＴ入力端を有するものではない。このことは、他のリセット機構を設ける必要があることを意味する。このことは、図３においては、ＴＡＰ１００ａを有するＩＣダイ片中にＰＯＲ回路２００ａを設け、ＴＡＰ１００ｂを有するＩＣダイ片中にＰＯＲ回路２００ｂを設けることにより実現させる。ＰＯＲ回路２００ａ及び２００ｂは、図１及び２につき詳細に説明したＰＯＲ回路２００の実施例とする。図３に示す構成では、ＰＯＲ回路２００ｂを有するＩＣダイ片の出力端がこのＰＯＲ回路２００ｂに結合され、例えば、ＰＯＲ回路２００ｂを有するＩＣダイ片の電力増大時に、導電性経路、例えば、リセット信号バス２０を介して、テ

ストリセット信号をＴＡＰコントローラ３１０に供給するようになっている。一般には、テスト装置をリセットするリセット信号入力端を有さないＳｉＰ内のＩＣダイ片はＰＯＲ回路２００を有する必要があり、一方、リセット信号入力端を有する全てのＩＣダイ片はその入力端をこのダイ片の内部のＰＯＲ回路２００に接続するか又は外部のＰＯＲ回路２００に接続することができる。

【００４３】

図３では、ＰＯＲ回路２００ａはリセット信号バス２０に接続されていない。この例はＳｉＰ１に適した例である。その理由は、双方のＰＯＲ回路がリセット信号を発生し、これらの信号の一方のみをこれらの回路の外部にあるＩＣダイ片に提供する必要があるだけである為である。

【００４４】

図４は、ＳｉＰ１の他の実施例を示し、本例では、ＰＯＲ回路２００ａ及びＰＯＲ回路２００ｂの双方がリセット信号バス２０に、例えば、図２に示すような双方向相互接続ライン１３２を介して、双方向結合されている。本例は、ＰＯＲ回路２００ａがＰＯＲ回路２００ｂの電源とは異なる電源に応答する場合に特に有利である。これらのＰＯＲ回路の一方が（テスト）リセット信号を発生すると直ちに、リセット信号バス２０に接続された全てのＩＣダイ片にこのテストリセット信号が与えられ、これにより、例えば、種々のＩＣダイ片の電力増大速度が異なる状態で、ＳｉＰ１のシステムレベルテスト装置の初期化制御を達成する。機能モードにおけるリセットを行う状態では、電力増大速度が最も遅いＩＣダイ片にＰＯＲ回路２００を設けて、システム内の最も遅いリンクの電力増大が行われた後にシステムを初期化するようにすることが重要である。又、リセット信号バス２０における電力消費量を制限するために、ほぼ同じ電源電圧を有するＰＯＲ回路２００のみをリセット信号バス２０に接続して、このバスに大きなゼロ入力電流が流れないようにするのが好ましい。

【００４５】

ＳｉＰ１には、ＪＴＡＧに基づくＴＡＰ１００を有さないアナログ又は混合信号ダイ片のような他のＩＣダイ片（図示せず）を設けることもできることを銘記すべきである。このようなダイ片は、ＳｉＰ１上に設けた他のダイ片のＰＯＲ回路２００に応答するようにもでき、このＰＯＲ回路２００により得られた信号を、ビルトイン・セルフテスト又は他のテストを初期化するのに用いうるテストリセット信号、又は機能モードリセット信号とすることができる。

【００４６】

上述した実施例は本発明をこれらの実施例に限定するものではなく、当業者は請求の範囲から逸脱することなく種々の変形例を設計しうるものである。本発明は、幾つかの個別の素子を有するハードウエアにより実施しうるものである。又、幾つかの手段を列挙した装置の請求項では、これらの手段の幾つかを１つの同じハードウエアで構成することができるものである。更に、ある手段を異なる従属請求項で述べているという事実は、これらの手段の組み合わせを用いて有利でないということを意味するものではない。

【図面の簡単な説明】

【００４７】

【図１】図１は、本発明によるテスト装置を有するＩＣダイ片を示す線図である。

【図２】図２は、本発明によるＩＣダイ片を詳細に示す線図である。

【図３】図３は、本発明によるＩＣダイ片を含むテスト装置を具えるＩＣダイ片を有するＳｉＰの一実施例を示す線図である。

【図４】図４は、本発明によるＩＣダイ片を含むテスト装置を具えるＩＣダイ片を有するＳｉＰの他の実施例を示す線図である。

【図１】

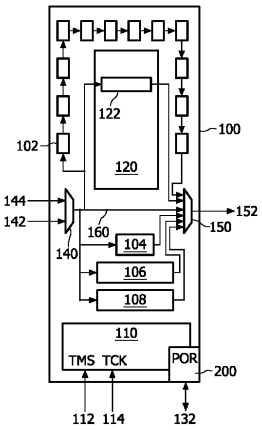


FIG. 1

【図２】

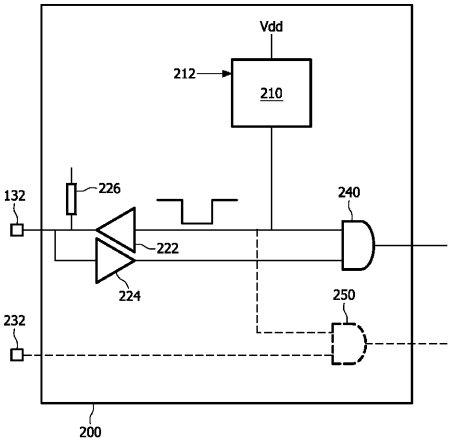


FIG. 2

【図３】

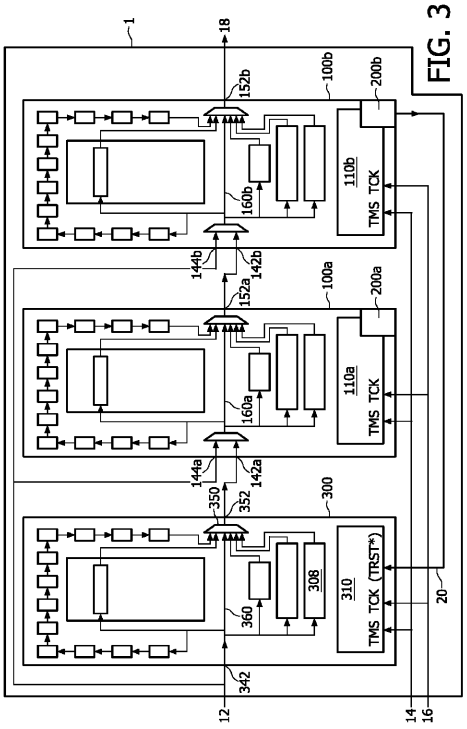


FIG. 3

【図４】

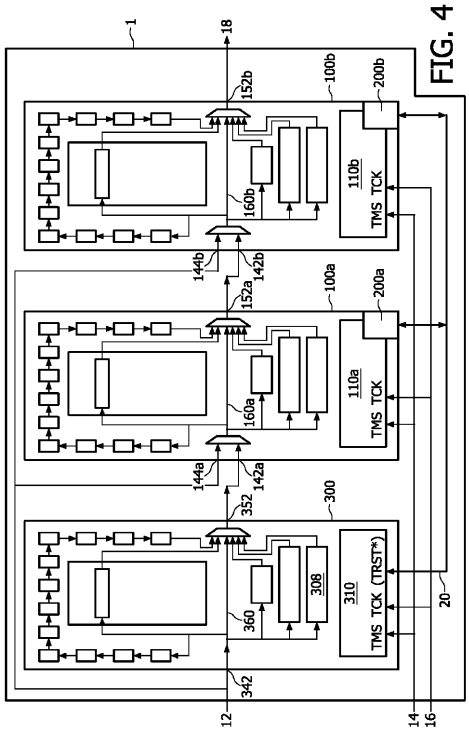


FIG. 4

【国際調査報告】

INTERNATIONAL SEARCH REPORT

International application No
PCT/IB2006/052490

A. CLASSIFICATION OF SUBJECT MATTER
INV. G01R31/3185

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
G01R

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)
EPO-Internal, INSPEC

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	GB 1 536 147 A (INT COMPUTERS LTD) 20 December 1978 (1978-12-20) the whole document	1,2
A	WO 03/025595 A2 (KONINKL PHILIPS ELECTRONICS NV [NL]) 27 March 2003 (2003-03-27) page 6, line 23 - page 8, line 12; figure 1	1-16
A	US 4 860 290 A (DANIELS MARTIN D [US] ET AL) 22 August 1989 (1989-08-22) column 3, line 27 - column 3, line 62; figures 8,9	1-16
A	US 6 804 725 B1 (WHETSEL LEE D [US]) 12 October 2004 (2004-10-12) cited in the application abstract; figure 2	1-16

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents :

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
8 December 2006	02. 03. 2007

Name and mailing address of the ISA/	Authorized officer
European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3016	Neggyesi, Zoltán

Form PCT/ISA/210 (second sheet) (April 2005)

INTERNATIONAL SEARCH REPORT

International application No.
PCT/IB2006/052490

Box II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This International Search Report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. ☐ Claims Nos.:
because they relate to parts of the International Application that do not comply with the prescribed requirements to such an extent that no meaningful International Search can be carried out, specifically:

3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

see additional sheet

1. ☐ As all required additional search fees were timely paid by the applicant, this International Search Report covers all searchable claims.

2. ☐ As all searchable claims could be searched without effort justifying an additional fee, this Authority did not invite payment of any additional fee.

3. ☐ As only some of the required additional search fees were timely paid by the applicant, this International Search Report covers only those claims for which fees were paid, specifically claims Nos.:

4. ☒ No required additional search fees were timely paid by the applicant. Consequently, this International Search Report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

1-16

Remark on Protest

☐ The additional search fees were accompanied by the applicant's protest.

☐ No protest accompanied the payment of additional search fees.

International Application No. PCT/IB2006/052490

FURTHER INFORMATION CONTINUED FROM PCT/ISA/ 210

This International Searching Authority found multiple (groups of) inventions in this international application, as follows:

1. claims: 1-16

Test arrangement for systems in a package
---

2. claims: 17-20

On-board reset signal generation

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No
PCT/IB2006/052490

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
GB 1536147 A	20-12-1978	AU 1484776 A	15-12-1977
		CH 612279 A5	13-07-1979
		DE 2625183 A1	13-01-1977
		IN 146000 A1	03-02-1979
		ZA 7603850 A	25-05-1977
WO 03025595 A2	27-03-2003	CN 1555491 A	15-12-2004
		JP 2005503563 T	03-02-2005
		TW 232951 B	21-05-2005
		US 2003079166 A1	24-04-2003
US 4860290 A	22-08-1989	JP 1079834 A	24-03-1989
		JP 2868213 B2	10-03-1999
US 6804725 B1	12-10-2004	NONE	

Form PCT/ISA/210 (patent family annex) (April 2005)

フロントページの続き

(81)指定国 AP(BW,GH,GM,KE,LS,MW,MZ,NA,SD,SL,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,MD,RU,TJ,TM),EP(AT,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,HU,IE,IS,IT,LT,LU,LV,MC,NL,PL,PT,RO,SE,SI,SK,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AT,AU,AZ,BA,BB,BG,BR,BW,BY,BZ,CA,CH,CN,CO,CR,CU,CZ,DE,DK,DM,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,HN,HR,HU,ID,IL,IN,IS,JP,KE,KG,KM,KN,KP,KR,KZ,LA,LC,LK,LR,LS,LT,LU,LV,LY,MA,MD,MG,MK,MN,MW,MX,MZ,NA,NG,NI,NO,NZ,OM,PG,PH,PL,PT,RO,RS,RU,SC,SD,SE,SG,SK,SL,SM,SY,TJ,TM,TN,TR,TT,TZ,UA,UG,US,UZ,VC,VN,ZA,ZM,ZW

(74)代理人 100143568
弁理士 英 貢
(72)発明者 フランシスカス へー エム デ ヨン
イギリス国 サリー アールエイチ１ ５エイチエイ レッドヒル クロス オーク レーン フィリップス インテレクチュアル プロパティ アンド スタンダーズ内
(72)発明者 アレクサンダー エス ビーウェンガ
イギリス国 サリー アールエイチ１ ５エイチエイ レッドヒル クロス オーク レーン フィリップス インテレクチュアル プロパティ アンド スタンダーズ内

Ｆターム(参考) 2G132 AA00 AC15 AG01 AK07 AL09
5F038 AV08 AV15 BE08 CA10 CD15 DF05 DF11 DT02 DT06 DT08
DT13 DT17 EZ20

【要約の続き】
第２のテストデータ入力ライン（１４４）とを直接接続するとともに、前記のテストデータ入力ピンと前記ＩＣダイ片の前記テストデータ出力ライン（１５２）とを直接接続し、従って、ＳｉＰにおける他のテスト装置を側路するのを容易にすることにより、ＪＴＡＧに適合するＳｉＰのテストを容易にする。