

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-207239
(P2004-207239A)

(43) 公開日 平成16年7月22日(2004.7.22)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
HO 1 J 1/304	HO 1 J 1/30	5 C 1 2 7
HO 1 J 9/02	HO 1 J 9/02	5 C 1 3 5

審査請求 未請求 請求項の数 43 O L (全 19 頁)

<p>(21) 出願番号 特願2003-423929 (P2003-423929)</p> <p>(22) 出願日 平成15年12月22日 (2003.12.22)</p> <p>(31) 優先権主張番号 2002-081865</p> <p>(32) 優先日 平成14年12月20日 (2002.12.20)</p> <p>(33) 優先権主張国 韓国 (KR)</p> <p>(31) 優先権主張番号 2003-015360</p> <p>(32) 優先日 平成15年3月12日 (2003.3.12)</p> <p>(33) 優先権主張国 韓国 (KR)</p>	<p>(71) 出願人 590002817 三星エスディアイ株式会社 大韓民国京畿道水原市靈通区▲しん▼洞5 75番地</p> <p>(74) 代理人 100064414 弁理士 磯野 道造</p> <p>(72) 発明者 李 晶姫 大韓民国 京畿道 城南市 盆唐区 下塔 洞 525番地 塔マウル 慶南アパート 713棟 1002号</p> <p>(72) 発明者 李 允雨 大韓民国 京畿道 水原市 靈通区 靈通 洞 964-5番地 住公アパート 51 6棟 102号</p>
----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------	------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------

最終頁に続く

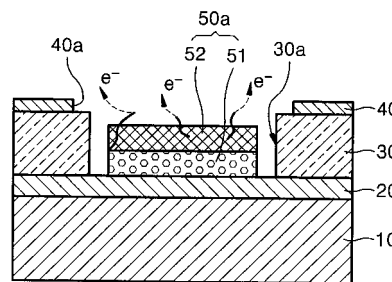
(54) 【発明の名称】 電界放出素子およびその製造方法

(57) 【要約】

【課題】 エミッタからの電子放出が均一で、良質な画像を具現できる F E A およびその製造方法を提供する。

【解決手段】 カソード電極上に形成されるゲート絶縁層と、ゲート絶縁層の貫通孔に対応するゲートホールを有するゲート電極と、ゲート電極上に形成されるエミッタを備え、前記エミッタは抵抗性物質からなる抵抗物質層と抵抗物質層上に形成される微細電子放出源を含有する電子放出物質層とによる積層構造を有する素子およびその製造方法。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

基板と、
前記基板上に形成されるカソード電極と、
前記カソード電極上に形成され、前記カソード電極の一部に対応する貫通孔を有するゲート絶縁層と、
前記貫通孔に対応するゲートホールを有し、前記ゲート絶縁層上に形成されるゲート電極と、
前記貫通孔の下部に露出された前記ゲート電極上に形成される電子エミッタとを備え、
前記電子エミッタは、抵抗物質層と、前記抵抗物質層上に形成される微細電子放出源を
含有する電子放出物質層とによる積層構造を有することを特徴とする電界放出素子。

10

【請求項 2】

前記電子放出物質層は、カーボンナノチューブおよびナノパーチクルのうちいずれか一つを含むことを特徴とする請求項 1 に記載の電界放出素子。

【請求項 3】

前記電子放出物質層は、導電性物質を含むことを特徴とする請求項 1 に記載の電界放出素子。

【請求項 4】

前記導電性物質は、銀を含むことを特徴とする請求項 3 に記載の電界放出素子。

【請求項 5】

前記電子放出物質層は、導電性物質を含むことを特徴とする請求項 2 に記載の電界放出素子。

20

【請求項 6】

前記導電性物質は、銀を含むことを特徴とする請求項 5 に記載の電界放出素子。

【請求項 7】

a) 基板にカソード電極が形成され、前記カソード電極の上に、前記カソード電極の一部露出させる貫通孔を有するゲート絶縁層と、前記貫通孔に対応するゲートホールを有するゲート電極とが順次積層されている基板構造物を設ける段階と、

b) 前記貫通孔の下部に露出されたカソード電極を除いて、基板構造物の表面および前記貫通孔の内壁に犠牲層を形成する段階と、

30

c) 前記基板構造物の表面に抵抗物質を所定厚さに塗布して前記貫通孔を前記抵抗物質を埋め込み、電子放出物質層をその上部に積層形成する段階と、

d) 前記ゲート電極の表面と前記貫通孔の内壁とに形成された前記犠牲層を除去するためエッチング液によるリフトオフ法によって、前記貫通孔の内側領域に、前記抵抗物質層と、その抵抗物質層の上部の電子放出物質層とで構成されるエミッタを形成する段階と、

e) 前記エミッタを焼成する段階とを含むことを特徴とする電界放出素子の製造方法。

【請求項 8】

前記抵抗物質層は、ペースト、ゾル - ゲルおよびスラリー溶液のうちいずれか一つより形成することを特徴とする請求項 7 に記載の電界放出素子の製造方法。

【請求項 9】

前記抵抗物質層は、導電性物質を含み、ペースト、ゾルゲルおよびスラリー溶液のうちいずれか一つより形成することを特徴とする請求項 8 に記載の電界放出素子の製造方法。

40

【請求項 10】

前記導電性物質は、銀であることを特徴とする請求項 9 に記載の電界放出素子の製造方法。

【請求項 11】

前記電子放出物質層は導電性物質を含み、ペースト、ゾルゲルおよびスラリーのうちいずれか一つより形成することを特徴とする請求項 7 に記載の電界放出素子の製造方法。

【請求項 12】

前記導電性物質は銀であることを特徴とする請求項 11 に記載の電界放出素子の製造方

50

法。

【請求項 1 3】

前記電子放出物質層および抵抗物質層にフォトレジストが含まれていることを特徴とする請求項 7 に記載の電界放出素子の製造方法。

【請求項 1 4】

a) 基板にカソード電極が形成され、カソード電極の上に、カソード電極を一部露出させる貫通孔を有するゲート絶縁層と、前記貫通孔に対応するゲートホールを有するゲート電極とが順次積層されている基板構造物を設ける段階と、

b) 前記貫通孔の下部に露出されたカソード電極を除いて、基板構造物の表面および前記貫通孔の内壁の全体に犠牲層を形成する段階と、

c) 前記犠牲層の上に、前記ゲート電極の上にエミッタを形成するための電子放出物質層と前記犠牲層との接触を防止して前記犠牲層と前記電子放出物質層のうち少なくとも一つと反応しない抵抗物質層を形成する段階と、

d) 前記犠牲層が形成された基板構造物の表面に電子放出物質を所定厚さに塗布し、前記貫通孔に前記電子放出物質を埋め込み、電子放出物質層を形成する段階と、

e) ゲート電極の表面と前記貫通孔の内壁とに形成された前記犠牲層を除去するためにエッチング液によるリフトオフを実施し、前記犠牲層の上に形成された抵抗物質層および電子放出物質層を除去して前記貫通孔の内側領域に前記抵抗物質層および電子放出物質層によるエミッタを形成する段階と、

f) 前記エミッタを焼成する段階とを含むことを特徴とする電界放出素子の製造方法。

【請求項 1 5】

前記電子放出物質は、カーボンナノチューブおよびナノ粒子のうちいずれか一つを含むことを特徴とする請求項 1 4 に記載の電界放出素子の製造方法。

【請求項 1 6】

前記電子放出物質層は、導電性物質を含むことを特徴とする請求項 1 4 に記載の電界放出素子の製造方法。

【請求項 1 7】

前記導電性物質は、銀を含むことを特徴とする請求項 1 6 に記載の電界放出素子の製造方法。

【請求項 1 8】

前記抵抗物質層は、 SiO_2 、 MgO 、 a-Si および p-Si のうち少なくともいずれか一つを含むことを特徴とする請求項 1 4 に記載の電界放出素子の製造方法。

【請求項 1 9】

前記抵抗物質層は、ペースト、ゾルゲルおよびスラリー溶液のうちいずれか一つより形成することを特徴とする請求項 1 4 に記載の電界放出素子の製造方法。

【請求項 2 0】

前記電子放出物質層は、導電性物質を含み、ペースト、ゾルゲルおよびスラリーのうちいずれか一つより形成することを特徴とする請求項 1 4 に記載の電界放出素子の製造方法。

【請求項 2 1】

前記導電性物質は、銀であることを特徴とする請求項 2 0 に記載の電界放出素子の製造方法。

【請求項 2 2】

前記電子放出物質層および抵抗物質層は、フォトレジストを含むことを特徴とする請求項 1 4 に記載の電界放出素子の製造方法。

【請求項 2 3】

前記抵抗物質層は、IPA 希釈液 (IPA / H_2O) にポリビニルアルコール (PVA) を添加した溶液により形成することを特徴とする請求項 1 4 に記載の電界放出素子の製造方法。

【請求項 2 4】

a) 基板にカソード電極が形成され、カソード電極の上に、カソード電極を一部露出さ

10

20

30

40

50

せる貫通孔を有するゲート絶縁層と、前記貫通孔に対応するゲートホールを有するゲート電極とが順次積層されている基板構造物を設ける段階と、

b) 前記貫通孔の下部に露出されたカソード電極を除いて、基板構造物の表面および前記貫通孔の内壁の全体に犠牲層を形成する段階と、

c) 前記犠牲層とその上に形成される抵抗物質層とを相互隔離してそれらのうち少なくともいづれか一つと非反応性を有する隔離層を形成する段階と、

d) 前記隔離層の上に電氣的抵抗性を有する抵抗物質層を形成する段階と、

e) 前記隔離層が形成された基板構造物の表面に電子放出物質を所定厚さに塗布し、前記貫通孔に前記電子放出物質を埋め込み、電子放出物質層を形成する段階と、

f) 前記ゲート電極の表面と前記貫通孔の内壁とに形成された前記犠牲層を除去するためにエッチング液によるリフトオフを実施し、前記犠牲層の上に形成された隔離層、抵抗物質層および電子放出物質層を除去して前記貫通孔の内側領域に前記抵抗物質層および前記電子放出物質層によるエミッタを形成する段階と、

g) 前記エミッタを焼成する段階とを含むことを特徴とする電界放出素子の製造方法。

【請求項 25】

前記電子放出物質は、カーボンナノチューブおよびナノ粒子のうちいづれか一つを含むことを特徴とする請求項 24 に記載の電界放出素子の製造方法。

【請求項 26】

前記電子放出物質層は、導電性物質を含むことを特徴とする請求項 24 に記載の電界放出素子の製造方法。

【請求項 27】

前記導電性物質は、銀を含むことを特徴とする請求項 26 に記載の電界放出素子の製造方法。

【請求項 28】

前記抵抗物質層は、 SiO_2 、 MgO 、 $a-Si$ および $p-Si$ のうち少なくとも一つを含むことを特徴とする請求項 24 に記載の電界放出素子の製造方法。

【請求項 29】

前記抵抗物質層は、ペースト、ゾルゲルおよびスラリー溶液のうちいづれか一つより形成することを特徴とする請求項 24 に記載の電界放出素子の製造方法。

【請求項 30】

前記電子放出物質層は、導電性物質を含み、ペースト、ゾルゲルおよびスラリーのうちいづれか一つより形成することを特徴とする請求項 24 に記載の電界放出素子の製造方法。

【請求項 31】

前記導電性物質は、銀であることを特徴とする請求項 30 に記載の電界放出素子の製造方法。

【請求項 32】

前記電子放出物質層および犠牲層は、フォトリジストを含むことを特徴とする請求項 24 に記載の電界放出素子の製造方法。

【請求項 33】

前記隔離層は、IPA 希釈液に PVA を添加した溶液により形成することを特徴とする請求項 24 に記載の電界放出素子の製造方法。

【請求項 34】

a) 基板にカソード電極が形成され、カソード電極の上に、カソード電極を一部露出させる貫通孔を有するゲート絶縁層と、前記貫通孔に対応するゲートホールを有するゲート電極とが順次積層されている基板構造物を設ける段階と、

b) 前記貫通孔の下部に露出されたカソード電極を除いて、基板構造物の表面および前記貫通孔の内壁の全体に犠牲層を形成する段階と、

c) 前記犠牲層の上に電氣的抵抗性を有する抵抗物質層を形成する段階と、

d) 前記抵抗物質層とその上に形成される電子放出物質層とを相互隔離し、それらのうち少なくともいづれか一つと非反応性を有する隔離層を形成する段階と、

10

20

30

40

50

e) 前記隔離層が形成された基板構造物の表面に電子放出物質を所定厚さに塗布し、前記貫通孔に前記電子放出物質を埋め込み、電子放出物質層を形成する段階と、

f) 前記ゲート電極の表面と前記貫通孔の内壁とに形成された前記犠牲層を除去するためにエッチング液によるリフトオフを実施し、前記犠牲層の上に形成された抵抗物質層、前記隔離層および電子放出物質を除去して前記貫通孔の内側領域に前記抵抗物質層および電子放出物質層を含むエミッタを形成する段階と、

g) 前記エミッタを焼成する段階とを含むことを特徴とする電界放出素子の製造方法。

【請求項 35】

前記電子放出物質は、カーボンナノチューブおよびナノ粒子のうちいずれか一つを含むことを特徴とする請求項 34 に記載の電界放出素子の製造方法。

10

【請求項 36】

前記電子放出物質層は、導電性物質を含むことを特徴とする請求項 34 に記載の電界放出素子の製造方法。

【請求項 37】

前記導電性物質は、銀を含むことを特徴とする請求項 36 に記載の電界放出素子の製造方法。

【請求項 38】

前記抵抗物質層は、 SiO_2 、 MgO 、 $a-Si$ 、 $p-Si$ のうち少なくともいずれか一つを含むことを特徴とする請求項 34 に記載の電界放出素子の製造方法。

【請求項 39】

前記抵抗物質層は、ペースト、ゾルゲルおよびスラリー溶液のうちいずれか一つより形成することを特徴とする請求項 34 に記載の電界放出素子の製造方法。

20

【請求項 40】

前記電子放出物質層は、導電性物質を含み、ペースト、ゾルゲルおよびスラリーのうちいずれか一つより形成することを特徴とする請求項 34 に記載の電界放出素子の製造方法。

【請求項 41】

前記導電性物質は、銀であることを特徴とする請求項 40 に記載の電界放出素子の製造方法。

【請求項 42】

前記電子放出物質層および犠牲層は、フォトレジストを含むことを特徴とする請求項 34 に記載の電界放出素子の製造方法。

30

【請求項 43】

前記隔離層は、IPA 希釈液に PVA を添加した溶液により形成することを特徴とする請求項 34 に記載の電界放出素子の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は電界放出素子およびその製造方法に係り、電子放出の安定性および均一性が改善された電界放出素子およびその製造方法に関する。

【背景技術】

40

【0002】

カーボンナノチューブ (CNT) は、小径と鋭利な端部とを有するため、かなり低い電圧でも電界放出を行う材料であり、C60 (フラーレン) と物性が似ているもののチューブ状で優秀な電子放出特性、化学的および機械的な耐久性を有しており、その物性および応用が研究されつつある。スピント (Spindt) タイプの電界放出素子は、電子が放出されるエミッタとしてマイクロチップを利用する。このような電界放出素子は、電界放出時に雰囲気ガスおよび不均一な電界などの影響で寿命が短縮する、という問題点を抱えている。また、電界放出のための駆動電圧を下げるためには仕事関数が下がらねばならないが、既存の金属の電界放出素子には限界がある。これを克服するために、アスペクト比がきわめて大きく、C60 と類似の構造を有するため耐久性に優れ、電子導電性が優秀な

50

CNTを電子放出源に使用する電界放出アレイ(FEA)が開発されている。

【0003】

特許文献1は、電子放出物質の混合ペーストを利用したFEAおよびその製造方法について開示し、特許文献2は、成長法により得られたCNTをエミッタに利用するFEAおよびその製造方法を開示する。一般的に、エミッタを成長法により形成することよりペーストを利用して形成する方が容易なため、前者の方法が一般に好まれる。

【0004】

このような従来方法により得られたCNTエミッタは、カソードまたはカソード上に形成される高導電性物質層の上に形成される。図1は、3極型の従来CNT FEAの典型的な例を示す。

10

【0005】

図1を参照すれば、基板1の上にカソード電極2が形成され、そのカソード電極2の上にゲート絶縁層3が形成される。ゲート絶縁層3には貫通孔3aが形成されており、その貫通孔3aの底部に、多数のCNTからなるCNTエミッタ5が設けられている。CNTエミッタ5は、貫通孔3aの底に露出されたカソード電極2の上に形成される。前記ゲート絶縁層3の上には、前記CNTエミッタ5から電子を抽出するゲートホール4aを有するゲート電極4が形成される。

【0006】

このようなCNT FEAの長所は、マイクロチップを利用するスピントタイプエミッタとは異なり、エミッタ全体から電子放出が可能であるため多量の電子放出が可能であるということである。しかし、実際には、電子放出は、CNTエミッタの全体で起きるのではなく、一つのCNTエミッタ内の一部のCNTでだけ電子放出が集中的に起きる。このような一部のCNTによる集中的電子放出によって、結局、電子放出の均一性と電流密度が低下する。電子放出の均一性および電流密度は、画像表示での画面の明るさの程度および均一性に影響を及ぼす。前記CNTエミッタは、CNTおよび感光性樹脂を含むペーストにより形成される。ペーストには抵抗性物質と導電性物質とが共に混合されており、図1に示されたように、CNT5aの先端から電子が放出される。このときの問題は、CNTに供給される電流の経路がいくつかの導電性が良い経路に限定され、実際の電子放出が一部のCNTでだけ制限的に起きるということである。このような制限されたCNTからの電子放出は、CNTエミッタ内に局部的な過電流を発生させ、結局は電子放出が起きるCNTの急激な消耗損傷などを誘発する。このようなCNTの損傷は、画像品質の格下げ、FEAの寿命短縮を招く。

20

30

【特許文献1】米国特許第6,440,761号明細書

【特許文献2】米国特許第6,339,281号明細書

【発明の開示】

【発明が解決しようとする課題】

【0007】

本発明の目的は、CNTエミッタから全般的に均一な分布の電子放出が可能で、良質な画像を具現できるFEAに用いられる電界放出素子およびその製造方法を提供することにある。

40

【課題を解決するための手段】

【0008】

上記の目的を達成するために、本発明によれば、基板と、前記基板上に形成されるカソード電極と、前記カソード電極上に形成され、前記カソード電極の一部に対応する貫通孔を有するゲート絶縁層と、前記貫通孔に対応するゲートホールを有し、前記ゲート絶縁層上に形成されるゲート電極と、前記貫通孔の下部に露出された前記ゲート電極上に形成されるエミッタとを備え、前記エミッタは、抵抗性物質からなる抵抗物質層と抵抗物質層の上に形成される微細電子放出源を含有する電子放出物質層とによる積層構造を有することを特徴とする電界放出素子が提供される。

【0009】

50

前記本発明の電界放出素子において、前記電子放出物質層はCNTおよびナノパーティクルのうちいずれか一つを含み、前記電子放出物質層は導電性物質を含む。

【0010】

本発明の望ましい実施形態によれば、前記導電性物質は銀を含む。

【0011】

前記目的を達成するために、本発明によれば、a)基板にカソード電極が形成され、カソード電極の上に、カソード電極を一部露出させる貫通孔を有するゲート絶縁層と、および前記貫通孔に対応するゲートホールを有するゲート電極とが順次積層されている基板構造物を設ける段階と、b)前記貫通孔の下部に露出されたカソード電極を除いて、前記基板構造物の表面および前記貫通孔の内壁に犠牲層を形成する段階と、c)前記基板構造物の表面に抵抗物質を所定厚さに塗布して前記貫通孔に前記抵抗物質を埋め込み、電子放出物質層をその抵抗物質層の上部に形成する段階と、d)ゲート電極の表面と前記貫通孔の内壁とに形成された前記犠牲層を除去するためエッチング液を用いるリフトオフ法によって、前記貫通孔の内側領域に、前記抵抗物質層と、その抵抗物質層の上部の電子放出物質層とで構成されるエミッタを形成する段階と、e)前記エミッタを焼成する段階とを含むことを特徴とする電界放出素子の製造方法が提供される。

10

【0012】

前記本発明の電界放出素子の製造方法において、前記抵抗物質層は、ペースト、ゾル-ゲルおよびスラリー溶液のうちいずれか一つより形成され、前記電子放出物質層は、導電性物質を含み、ペースト、ゾル-ゲルおよびスラリーのうちいずれか一つより形成される。前記導電性物質は銀を含むことが望ましい。

20

【0013】

また、本発明の望ましい実施形態によれば、前記電子放出物質層および抵抗物質層にフォトレジスト樹脂が含まれる。

【0014】

また、前記目的を達成するために、本発明の電界放出素子の製造方法の他の類型によれば、a)基板にカソード電極が形成され、カソード電極の上に、カソード電極を一部露出させる貫通孔を有するゲート絶縁層と、前記貫通孔に対応するゲートホールを有するゲート電極とが順次積層されている基板構造物を設ける段階と、b)前記貫通孔の下部に露出されたカソード電極を除いて、基板構造物の表面および前記貫通孔の内壁の全体に犠牲層を形成する段階と、c)前記犠牲層の上に、前記ゲート電極の上にエミッタを形成するための電子放出物質と前記犠牲層との接触を防止する隔離層を形成する段階と、d)前記犠牲層が形成された基板構造物の表面に電子放出物質を所定厚さに塗布し、前記貫通孔に前記電子放出物質を埋め込み、電子放出物質層を形成する段階と、e)ゲート電極の表面と前記貫通孔の内壁とに形成された前記犠牲層を除去するためにエッチング液によるリフトオフを実施して、犠牲層上に形成される隔離層および電子放出物質を除去し、前記貫通孔の内側領域に前記電子放出物質層によるエミッタを形成する段階と、f)前記エミッタを焼成する段階とを含むことを特徴とする電界放出素子の製造方法が提供される。

30

【0015】

前記本発明の製造方法において、前記電子放出物質層は、導電性物質を含み、ペースト、ゾル-ゲルおよびスラリーのうちいずれか一つより形成される。前記導電性物質は銀を含むことが望ましい。

40

【0016】

また、前記電子放出物質は、CNTおよびナノパーティクルのうちいずれか一つを含むことが望ましい。前記導電性物質は銀であり、前記隔離層が抵抗性物質を含むことがより望ましい。

【0017】

一方、前記隔離層は、ペースト、ゾル-ゲルおよびスラリー溶液のうちいずれか一つより形成されることが望ましい。また、前記電子放出物質は、導電性物質を含み、ペースト、ゾル-ゲルおよびスラリーのうちいずれか一つより形成されることが望ましい。

50

【0018】

また、本発明の望ましい実施形態によれば、前記電子放出物質層および抵抗物質層にフォトレジスト (Photoimageable resin) を含む。そして、好ましくは、前記犠牲層は、フォトレジストで形成され、前記抵抗物質層は、IPA希釈液 (IPA/H₂O) にPVA (Poly Vinyl Alcohol) が添加された溶液を用いて形成され、また、抵抗物質層は、SiO₂、MgO、a-Si、p-Siのうち少なくともいずれか一つが含まれることが望ましい。

【発明の効果】

【0019】

本発明の電界放出素子は、電子放出物質層の下部に抵抗物質層が形成されることにより導電性の高い電子放出物質層に均一に分布しているCNTまたはナノパーティクルの放出点まで電流が均一に供給される。従って、全面にわたって均一な分布で電子を放出できるようになるため、局部的な過電流が防止され、結果的には寿命が大きく延びる。

10

【0020】

また、本発明によれば、非反応性物質による抵抗物質層を設けることによって、高い電流の電子放出により高輝度の電界放出素子が得られる。また、非反応性物質によりリフトオフが効果的になされることにより、全体的にゲート電極とエミッタの間の電氣的ショートがなく、従って欠陥のない電界放出素子が得られる。

【発明を実施するための最良の形態】

【0021】

20

以下、添付図面を参照しつつ本発明の実施形態を詳細に説明する。

図2に示すように、基板10の上にカソード電極20が形成されており、そのカソード電極20の上にゲート絶縁層30が形成されている。前記ゲート絶縁層30には、後述するCNTエミッタが収容される貫通孔30aが形成されており、貫通孔30aの底部に電子放出のためのエミッタ50が設けられている。エミッタ50は、貫通孔30aの底に露出されたカソード電極20上に形成される。ここで、エミッタ50は、下部の抵抗物質層51とその上部の電子放出物質層52とが連続的に形成された積層構造を有する。一方、前記ゲート絶縁層30の上には、前記エミッタ50の電子放出物質層52から電子を抽出するゲートホール40aを有するゲート電極40が形成されている。

【0022】

30

前記電子放出物質層52は、所定の電界により電子放出が可能なCNTまたはナノサイズのパーティクルすなわちナノパーティクルを含む。また、さらに効果的な電流供給のために、前記電子放出物質層52には、高導電性の金属パーティクル、例えば銀が含まれることが望ましい。

【0023】

以上のような構造を有する本発明による電界放出素子によれば、図2に示されたように、電子放出物質層52の下部に抵抗物質層51が形成されているため、銀などの導電性粒子により高い導電性を有する電子放出物質層52に均一に分布しているCNTまたはナノパーティクルの放出点(端)まで電流が均一に供給され、エミッタの全面に亘って均一に電子(e⁻)が放出される。

40

【0024】

以下、本発明による電界放出素子の製造方法の第1実施形態を説明する。

図3Aに示されたように、ソーダライムガラスからなる基板10にカソード電極20を形成する。カソード電極20はITO (Indium Tin Oxide) により形成され、これをフォトリソグラフィ法などによりパターンニングする。

【0025】

図3Bに示されたように、前記基板10の上にゲート絶縁層30を形成する。ゲート絶縁層30は、カソード電極20が部分的に露出される貫通孔30aを有する。このようなゲート絶縁層30は、スクリーン印刷法またはその他の公知の方法により形成することができる。

50

【0026】

図3Cに示されたように、前記ゲート絶縁層30の上にゲート電極40を形成する。ゲート電極40は、前記貫通孔30aに対応するゲートホール40aを有し、薄膜形成工程または厚膜形成工程などにより金属物質の蒸着およびパターンニングまたは金属ペーストのスクリーン印刷などにより形成される。

【0027】

図3Cに示されたような基板構造物を得るための図3Aないし図3Cに示されたような工程は、公知のものであり、この基板構造物は、前述の方法以外の方法によっても形成することができる。以下の過程は前記過程に続くものであり、本発明を特徴づける次の段階を含む。図4Aないし図4Fは、理解を助けるために、一つのエミッタおよびゲートホールに対応する構造を抜粋して図示する。

10

【0028】

図4Aに示されたように、前記貫通孔30aの底を除いて、ゲート電極40の表面および貫通孔30aの内壁に、リフトオフ法のための犠牲層60がフォトレジストで形成される。

【0029】

図4Bに示されたように、ペーストを用いるスクリーン印刷またはゾル-ゲルもしくはスラリーを用いるスピンコーティングなどのコーティング工程によって、前記犠牲層60の上にフォトレジストを含む抵抗物質層51が形成される。抵抗物質層51は、コーティング工程の間、前記貫通孔30aの内部を覆っている。

20

【0030】

図4Cに示されたように、前記抵抗物質層51の上に、フォトレジストおよび電子放出が可能な物質、例えばCNTまたはナノパーティクルを含むペースト状態の電子放出物質層52を形成する。このペーストには、効果的な電流供給のための導電性粒子、例えば銀が含まれる。

【0031】

図4Dに示されたように、加熱または紫外線(UV)により抵抗物質層51と電子放出物質層52とを硬化させる。

【0032】

図4Eに示されたように、エッチング液を利用して前記犠牲層60を除去するリフトオフを実施し、前記貫通孔30aの底部中央にだけ抵抗物質層51および電子放出物質層52による初期形態のエミッタ50を形成する。

30

【0033】

図4Fに示されたように、所定温度下で焼成して前記エミッタ50を完全に硬化させつつ収縮させることにより、電子放出物質層52をゲートホール40aの下部に下げることにより目的とする電界放出素子が得られる。

【0034】

前記の通り、本発明の特徴は、エミッタが、電流を制限する抵抗物質層と電子放出が起きる電子放出物質層とによる積層構造を有することにある。このような構造によって、すなわち、本発明による電界放出素子は、導電性物質と抵抗性物質の特性を利用するエミッタを備える。このような構造によれば、電子放出物質層の放出点までの電流の供給がいくつかの限定された経路で供給される従来の電界放出素子とは異なり、抵抗物質層を電子放出物質層の下部の電流経路上に設けることにより、抵抗物質層を通過した電子によって導電性の高い電子放出物質層に電流が均一に供給されて多数の放出点まで電流が円滑に供給される。

40

【0035】

一方、前記電子放出物質層52とその下部の抵抗物質層51とをリフトオフしてエミッタ50を形成した後も電子放出物質の一部がゲートホール40aの周囲に残留する可能性がある。このような不必要な電子放出物質は、エミッタ50とゲート電極40とを電気的にショートさせる可能性があるため除去せねばならない。

50

【0036】

このような電子放出物質の残留は、使われる抵抗物質層と犠牲層間の化学的結合に起因する。すなわち、電界放出素子の製造時に生じる犠牲層と電子放出物質間の接触によって、それら両者間の反応が誘発される可能性が非常に高い。これは、2物質がいずれも感光性物質を含む樹脂からなるためであると見られる。犠牲層の材料として用いられる樹脂はノボラック系の感光性樹脂である。この成分の樹脂に対して強い溶解性を有する溶媒、例えばテキサノール（商品名、2,2,4-Trimethyl-1,3-pentandiolmonoisobutyrate）が電子放出物質に添加されている場合、犠牲層に対する溶媒の攻撃が避けられない。すなわち、2層の接触によって、溶解性の強いテキサノールが、犠牲層のノボラックマトリックスを溶かし、溶解されたノボラックマトリックス成分が電子放出物質に存在するアクリリックマトリックスと混合されて、2マトリックス間の強い結合が誘導される。このような状態になった場合には、現像液またはリフトオフ用溶媒を利用したエミッタのパターニングが不可能である。従って、本発明の第2実施形態による電界放出素子の製造方法においては、基本的にリフトオフ時に、犠牲層として使われる物質と、エミッタ形成のための電子放出物質との間の工程中での接触を防止するための隔離層として前述した抵抗物質層を利用し、この抵抗物質層に後述する非反応性物質が含まれる。

10

【0037】

以下の実施形態では、このような電子放出物質の残留を効果的に防止するための他の方法が説明される。本発明の第2実施形態でも、やはり前述した図3Aないし図3Cに示されたような工程を通じて基板構造物をまず準備した後、次のような後続工程を行う。

20

【0038】

図5Aに示されたように、前記貫通孔30aの底を除いて、ゲート電極40の表面および貫通孔30aの内壁に、リフトオフのための犠牲層60が、フォトレジストによって形成される。犠牲層60は、ペーストを利用するスクリーン印刷、ゾル-ゲルまたはスラリー溶液を利用するスピンコーティングにより形成してソフトベークされる。

【0039】

図5Bに示されたように、前記犠牲層60の上に、犠牲層60およびその犠牲層60の上に形成される電子放出物質層のうち少なくとも一つと反応しない抵抗物質層51aが形成される。抵抗物質層51aは、犠牲層60と同様に、ペーストを利用するスクリーン印刷、ゾル-ゲルまたはスラリー溶液を利用するスピンコーティングにより形成した後でソフトベークされる。ここで、前記抵抗物質層51aを形成するための物質は、前記犠牲層60と反応性がないか、工程上で妨害にならないほどのきわめて弱い反応性を有することが必要である。このような非反応性は、前記抵抗物質層51aの上に形成される電子放出物質に対しても保持されることが望ましい。そして、前記抵抗物質層51aには、前述のようにエミッタの下部に抵抗物質層を形成するために抵抗性物質が含まれていることが好ましく、また感光性フォトレジストも含まれる。ここで用いることができる抵抗性物質としては、 SiO_2 、 MgO 、 $a-Si$ 、 $p-Si$ があり、これらのうち少なくとも一つを用いることができる。

30

【0040】

図5Cに示されたように、フォトレジストおよび電子放出が可能な物質、例えばCNTまたはナノパーティクルを含む電子放出物質層52が、抵抗物質層51aの上に形成される。このペーストには、効果的な電流供給のための導電性粒子、例えば銀が含まれることが望ましい。このような電子放出物質層52は、ペーストを利用するスクリーン印刷、ゾル-ゲルまたはスラリー溶液を利用するスピンコーティングなどにより形成することができる。

40

【0041】

図5Dに示されたように、加熱またはUVによって、犠牲層60、抵抗物質層51aおよび電子放出物質層52を硬化させる。

【0042】

図5Eに示されたように、エッチング液を用いて前記犠牲層60を除去するリフトオフ

50

を実施し、前記貫通孔 30 a の底部中央にだけ抵抗物質層 51 a および電子放出物質層 52 で構成される初期形態のエミッタ 50 a が形成される。

【0043】

図 5 F に示されたように、所定温度で焼成して前記エミッタ 50 a を完全に硬化させつつ収縮させることにより、エミッタ 50 a の上端部をゲートホール 40 a の下部まで下げる。焼成によって基板構造物の上に形成された積層物から熱分解性成分が全て除去される。

【0044】

前記のとおり、本発明の製造方法の第 2 実施形態の特徴は、犠牲層と電子放出物質層の間に非反応性の抵抗物質層を介在させることにより、フォトレジストを含む犠牲層と電子放出物質層との間の反応を防止し、従って、それらの間の強い結合を防止することにより、エミッタ形成のためのリフトオフが効果的に行うことができるということである。また、抵抗物質層によって、導電性の高い電子放出物質層に電流が均一に供給され、エミッタの全面に均一な電子放出が可能になる。

【0045】

前記第 2 実施形態において、抵抗性物質は、犠牲層および電子放出物質層と反応しないが、次の第 3 実施形態および第 4 実施形態においては、相互に反応してはならない犠牲層と電子放出物質層の間に形成される積層物に別途の隔離層を挿入することにより、リフトオフ後においても、不要な電子放出物質の残留を防止できる。

【0046】

以下、本発明の第 3 実施形態による電界放出素子の製造方法について段階的に説明する。本実施形態においても、前述した図 3 A ないし図 3 C に示された工程を通じて基板構造物をまず準備した後、次のような後続の工程を行う。

【0047】

図 6 A に示されたように、前記貫通孔 30 a の底を除いて、ゲート電極 40 の表面および貫通孔 30 a の内壁に、リフトオフのための犠牲層 60 を形成する。犠牲層 60 は、ペーストを利用するスクリーン印刷、ゾル - ゲルまたはスラリー溶液を利用するスピニングにより形成した後にソフトベークされる。

【0048】

図 6 B に示されたように、前記犠牲層 60 の上に、犠牲層 60 およびその犠牲層 60 の上に形成される抵抗物質層 51 のうち少なくとも一つと反応しない隔離層 80 が形成される。この隔離層 80 は、ペーストを利用するスクリーン印刷、ゾル - ゲルまたはスラリー溶液を利用するスピニングにより形成した後、ソフトベークされる。

【0049】

図 6 C に示されたように、前記隔離層 80 の上に、抵抗物質層 51 が形成される。抵抗物質層 51 もやはりペーストを利用したスクリーン印刷、ゾル - ゲルまたはスラリー溶液を利用するスピニングにより形成した後、ソフトベークされる。ここで、前記抵抗物質層 51 は、感光性樹脂を含んでもよい。ここで、抵抗性物質として、 SiO_2 、 MgO 、 $a-Si$ および $p-Si$ のうち少なくとも一つを用いることができる。

【0050】

図 6 D に示されたように、感光性樹脂および電子放出の可能な物質、例えば CNT またはナノパーティクルを含む電子放出物質層 52 が、抵抗物質層 51 の上に形成される。この電子放出物質層 52 は、効果的な電流供給のための導電性粒子、例えば銀が含まれることが望ましい。このような電子放出物質層 52 は、ペーストを利用するスクリーン印刷、ゾル - ゲルまたはスラリー溶液を利用するスピニング等により形成することができる。

【0051】

図 6 E に示されたように、加熱または UV によって、犠牲層 60、隔離層 80、抵抗物質層 51 および電子放出物質層 52 を硬化させる。

【0052】

10

20

30

40

50

図 6 F に示されたように、エッチング液を用いて前記犠牲層 6 0 を除去するリフトオフを実施し、前記貫通孔 3 0 a の底部中央に、隔離層 8 0 と、この隔離層 8 0 の上部に形成される抵抗物質層 5 1 と、電子放出物質層 5 2 とによる初期形態のエミッタ 5 0 a が形成される。

【 0 0 5 3 】

図 6 G に示されたように、所定温度で焼成して前記エミッタ 5 0 a を完全に硬化させつつ収縮させることにより、エミッタ 5 0 a の上端部をゲートホール 4 0 a の下部にまで下げる。焼成によって、基板構造物の上に形成された積層物から熱分解性成分、特に隔離層 8 0 が除去される。

【 0 0 5 4 】

以下、本発明の電界放出素子の製造方法に係る第 4 実施形態を段階的に説明する。本実施形態でもやはり前述した図 3 A ないし図 3 C に示されたような工程を通じて基板構造物をまず準備した後、次のような後続の工程を行う。

【 0 0 5 5 】

図 7 A に示されたように、前記貫通孔 3 0 a の底部を除いて、ゲート電極 4 0 の表面および貫通孔 3 0 a の内壁に、リフトオフのための犠牲層 6 0 がフォトレジストで形成される。犠牲層 6 0 は、ペーストを利用するスクリーン印刷、ゾル - ゲルまたはスラリー溶液を利用するスピニングなどにより形成した後、ソフトベークされる。

【 0 0 5 6 】

図 7 B に示されたように、前記犠牲層 6 0 の上に抵抗物質層 5 1 を形成する。抵抗物質層 5 1 もやはりペーストを利用するスクリーン印刷、ゾル - ゲルまたはスラリー溶液を利用するスピニングなどにより形成した後、ソフトベークされる。ここで、前記抵抗物質層 5 1 は、感光性樹脂を含んでいてもよい。ここで、抵抗性物質としては、 SiO_2 、 MgO 、 $a-Si$ 、および $p-Si$ のうち少なくとも一つを用いることができる。

【 0 0 5 7 】

図 7 C に示されたように、前記犠牲層 6 0 の上に、犠牲層 6 0 およびその犠牲層 6 0 の上に形成される抵抗物質層 5 1 のうち少なくとも一つと反応しない隔離層 8 0 a が形成される。この隔離層 8 0 a は、ペーストを利用するスクリーン印刷、ゾル - ゲルまたはスラリー溶液を利用するスピニングなどにより形成した後、ソフトベークされる。

【 0 0 5 8 】

図 7 D に示されたように、感光性樹脂および電子放出の可能な物質、例えば CNT またはナノパーティクルを含む電子放出物質層 5 2 が、前記隔離層 8 0 a の上に形成される。この電子放出物質層 5 2 には、効果的な電流供給のための導電性粒子、例えば銀が含まれることが望ましい。このような電子放出物質層 5 2 は、ペーストを利用するスクリーン印刷、ゾル - ゲルまたはスラリー溶液を利用するスピニングなどにより形成できる。

【 0 0 5 9 】

図 7 E に示されたように、加熱または UV によって、犠牲層 6 0、隔離層 8 0 a、抵抗物質層 5 1 a および電子放出物質層 5 2 を硬化させる。

【 0 0 6 0 】

図 7 F に示されたように、エッチング液を利用して前記犠牲層 6 0 を除去するリフトオフを実施し、前記貫通孔 3 0 a の底部中央に、隔離層 8 0 と、この隔離層 8 0 の上部に形成される抵抗物質層 5 1 と、電子放出物質層 5 2 とによって初期形態のエミッタ 5 0 a が形成される。

【 0 0 6 1 】

図 7 G に示されたように、所定温度で焼成して前記エミッタ 5 0 a を完全に硬化させつつ収縮させることにより、エミッタ 5 0 a の上端部をゲートホール 4 0 a の下部にまで下げる。焼成によって基板構造物の上に形成された積層物から熱分解性成分、特に隔離層 8 0 a が除去される。

【 0 0 6 2 】

本発明は、図面に示された実施形態を参考として説明されたが、これは例示に過ぎず、

10

20

30

40

50

当技術分野の当業者ならば、これらの実施形態から多様な変形および均等な他の実施形態が想到可能であるという点が理解できるであろう。従って、本発明の真の技術的保護範囲は、特許請求の範囲に限りて決められるべきである。

【産業上の利用可能性】

【0063】

本発明は、電子放出源として平板型ディスプレイ装置に適用され、さらに電子ソースを要求するいかなる装置にも適用可能である。

【図面の簡単な説明】

【0064】

【図1】従来の電界放出素子の概略的な断面図である。

10

【図2】本発明による電界放出素子の概略的な断面図である。

【図3A】本発明による電界放出素子の基礎になる基板構造物の形成過程の工程図である。

【図3B】本発明による電界放出素子の基礎になる基板構造物の形成過程の工程図である。

【図3C】本発明による電界放出素子の基礎になる基板構造物の形成過程の工程図である。

【図4A】本発明の電界放出素子に係る第1実施形態において、基板構造物に電子放出のためのエミッタの形成過程を示す工程図である。

【図4B】本発明の電界放出素子による第1実施形態において、基板構造物に電子放出のためのエミッタの形成過程を示す工程図である。

20

【図4C】本発明の電界放出素子による第1実施形態において、基板構造物に電子放出のためのエミッタの形成過程を示す工程図である。

【図4D】本発明の電界放出素子による第1実施形態において、基板構造物に電子放出のためのエミッタの形成過程を示す工程図である。

【図4E】本発明の電界放出素子による第1実施形態において、基板構造物に電子放出のためのエミッタの形成過程を示す工程図である。

【図4F】本発明の電界放出素子による第1実施形態において、基板構造物に電子放出のためのエミッタの形成過程を示す工程図である。

【図5A】本発明の電界放出素子の製造方法に係る第2実施形態を示す工程図である。

30

【図5B】本発明の電界放出素子の製造方法に係る第2実施形態を示す工程図である。

【図5C】本発明の電界放出素子の製造方法に係る第2実施形態を示す工程図である。

【図5D】本発明の電界放出素子の製造方法に係る第2実施形態を示す工程図である。

【図5E】本発明の電界放出素子の製造方法に係る第2実施形態を示す工程図である。

【図5F】本発明の電界放出素子の製造方法に係る第2実施形態を示す工程図である。

【図6A】本発明の電界放出素子の製造方法に係る第3実施形態を示す工程図である。

【図6B】本発明の電界放出素子の製造方法に係る第3実施形態を示す工程図である。

【図6C】本発明の電界放出素子の製造方法に係る第3実施形態を示す工程図である。

【図6D】本発明の電界放出素子の製造方法に係る第3実施形態を示す工程図である。

【図6E】本発明の電界放出素子の製造方法に係る第3実施形態を示す工程図である。

40

【図6F】本発明の電界放出素子の製造方法に係る第3実施形態を示す工程図である。

【図6G】本発明の電界放出素子の製造方法に係る第3実施形態を示す工程図である。

【図7A】本発明の電界放出素子の製造方法に係る第4実施形態を示す工程図である。

【図7B】本発明の電界放出素子の製造方法に係る第4実施形態を示す工程図である。

【図7C】本発明の電界放出素子の製造方法に係る第4実施形態を示す工程図である。

【図7D】本発明の電界放出素子の製造方法に係る第4実施形態を示す工程図である。

【図7E】本発明の電界放出素子の製造方法に係る第4実施形態を示す工程図である。

【図7F】本発明の電界放出素子の製造方法に係る第4実施形態を示す工程図である。

【図7G】本発明の電界放出素子の製造方法に係る第4実施形態を示す工程図である。

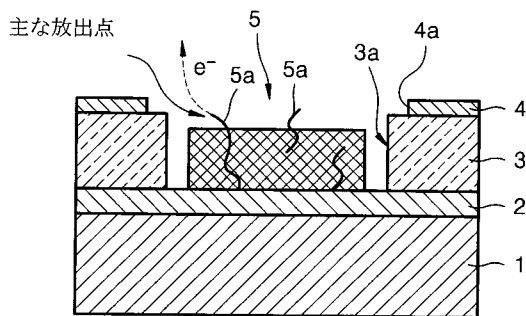
【符号の説明】

50

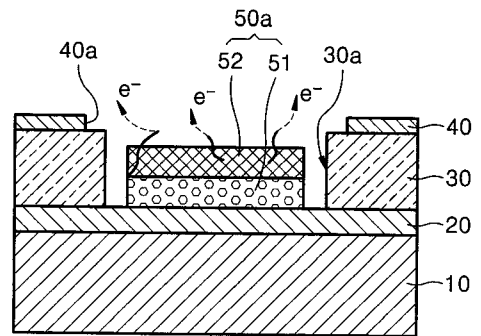
【 0 0 6 5 】

- 1 0 基板
- 2 0 カソード電極
- 3 0 ゲート絶縁層
- 3 0 a 貫通孔
- 4 0 ゲート電極
- 4 0 a ゲートホール
- 5 0 a エミッタ
- 5 1 抵抗物質層
- 5 2 電子放出物質層
- e⁻ 電子

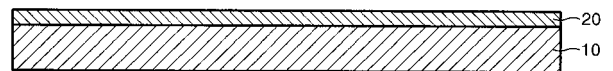
【 図 1 】



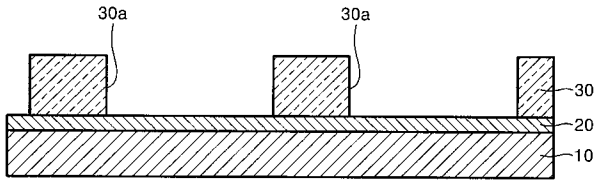
【 図 2 】



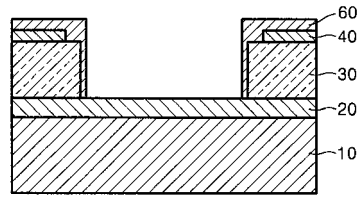
【 図 3 A 】



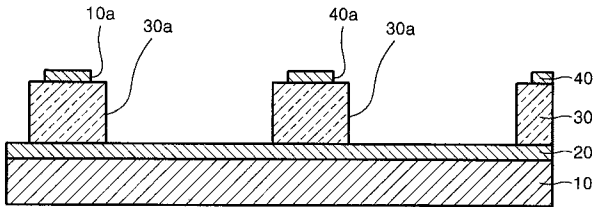
【 図 3 B 】



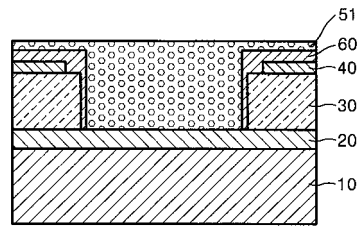
【 図 4 A 】



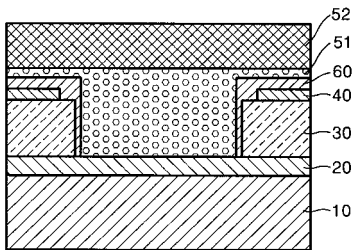
【 図 3 C 】



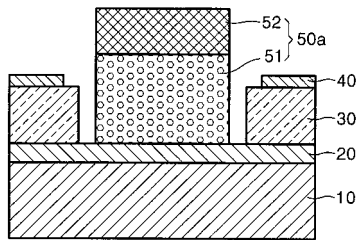
【 図 4 B 】



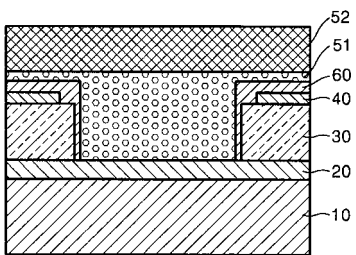
【 図 4 C 】



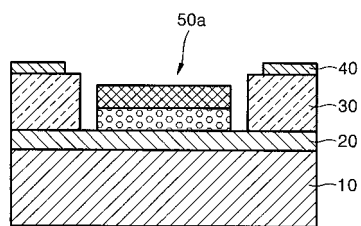
【 図 4 E 】



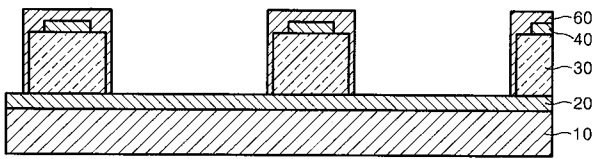
【 図 4 D 】



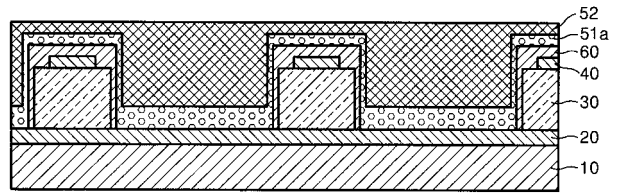
【 図 4 F 】



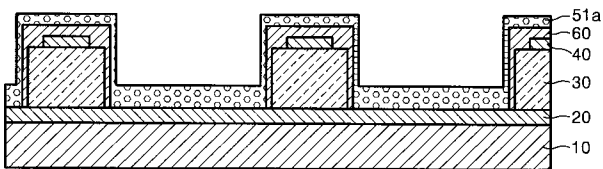
【 図 5 A 】



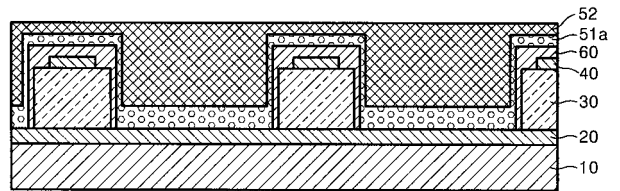
【 図 5 C 】



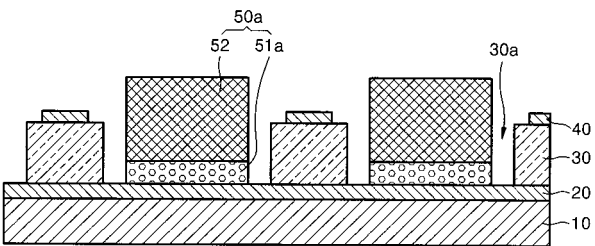
【 図 5 B 】



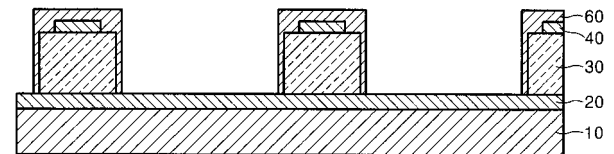
【 図 5 D 】



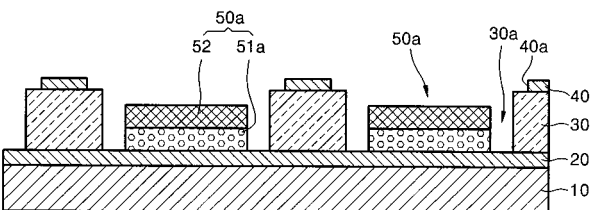
【 図 5 E 】



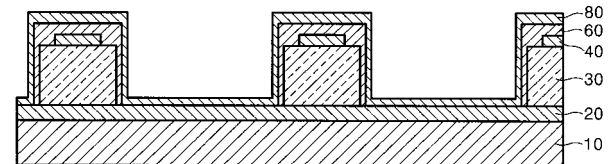
【 図 6 A 】



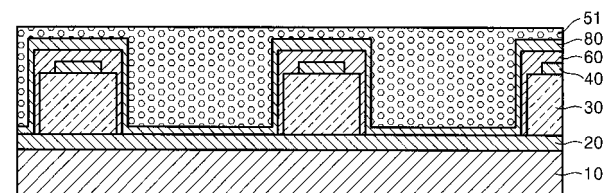
【 図 5 F 】



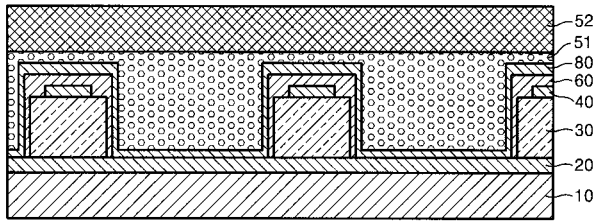
【 図 6 B 】



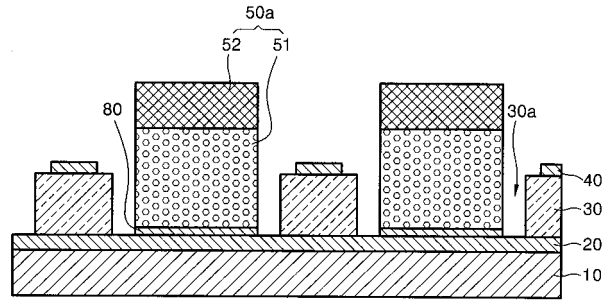
【 図 6 C 】



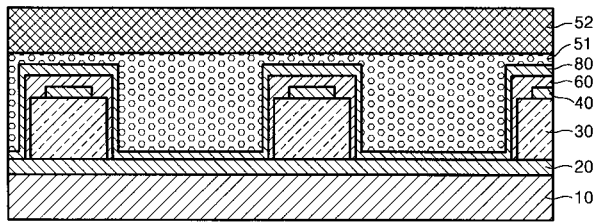
【図 6 D】



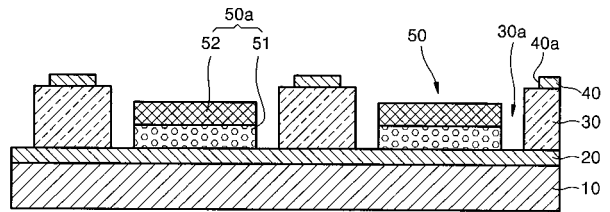
【図 6 F】



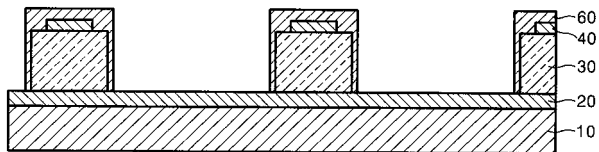
【図 6 E】



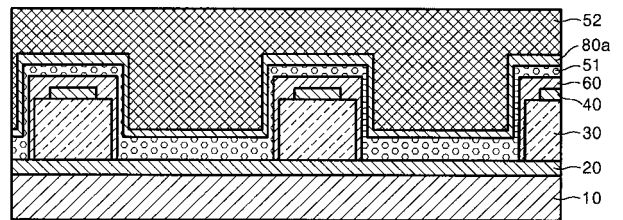
【図 6 G】



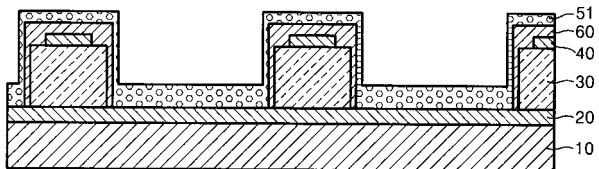
【図 7 A】



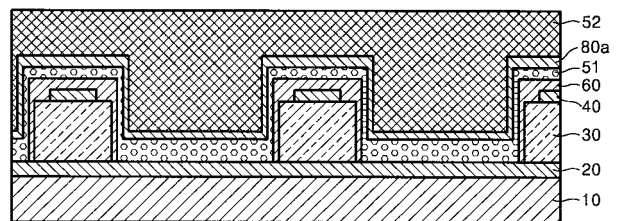
【図 7 D】



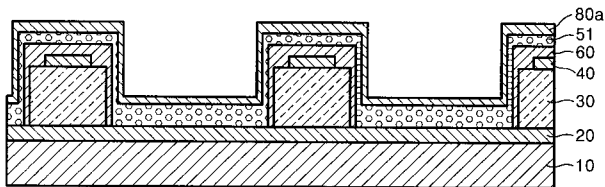
【図 7 B】



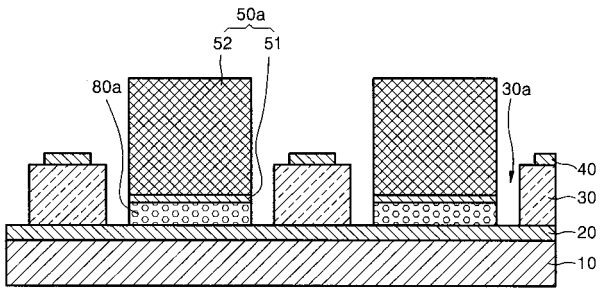
【図 7 E】



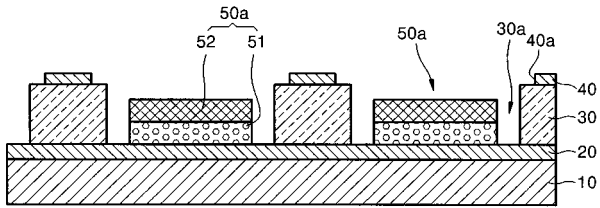
【図 7 C】



【 図 7 F 】



【 図 7 G 】



フロントページの続き

(72)発明者 朴 相鉉

大韓民国 忠清南道 保寧市 大川2洞 503-17番地 興化アパート 4棟 110号

(72)発明者 金 維鍾

大韓民国 ソウル特別市 瑞草区 方背2洞 462-7番地

Fターム(参考) 5C127 AA01 AA20 BA06 BA15 BB07 CC03 CC46 DD42 DD59 EE03

EE04 EE07 EE12

5C135 AA06 AA15 AB03 AB07 AB12 AC15 FF02 HH03 HH04 HH07

HH12