



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I556105 B

(45) 公告日：中華民國 105 (2016) 年 11 月 01 日

(21) 申請案號：104116100 (22) 申請日：中華民國 104 (2015) 年 05 月 20 日

(51) Int. Cl. : G06F12/08 (2016.01) G06F12/02 (2006.01)

(30) 優先權：2014/05/20 美國 14/282,467

(71) 申請人：美光科技公司 (美國) MICRON TECHNOLOGY, INC. (US)

美國

(72) 發明人：馮 尤金 FENG, EUGENE (US) ; 艾可里歐 馬修 ARCOLEO, MATHEW (US)

(74) 代理人：陳長文

(56) 參考文獻：

TW 200622634A US 2012/0246393A1

US 2014/0101378A1 US 2014/0122782A1

審查人員：潘世光

申請專利範圍項數：23 項 圖式數：3 共 22 頁

(54) 名稱

讀取快取記憶體

READ CACHE MEMORY

(57) 摘要

本發明包含用於讀取快取記憶體之方法及設備。一設備包含一讀取快取記憶體設備，其包括：一第一 DRAM 陣列；一第一 NAND 陣列及一第二 NAND 陣列；及一控制器，其經組態以管理資料在該 DRAM 陣列與該第一 NAND 陣列之間及在該第一 NAND 陣列與該第二 NAND 陣列之間之移動。

The present disclosure includes methods and apparatuses for read cache memory. One apparatus includes a read cache memory apparatus comprising a first DRAM array, a first and a second NAND array, and a controller configured to manage movement of data between the DRAM array and the first NAND array, and between the first NAND array and the second NAND array.

指定代表圖：

符號簡單說明：

230 . . . 例示性圖式

232-1 . . . NAND
裝置

232-2 . . . NAND
裝置

234 . . . 動態隨機存
取記憶體(DRAM)裝
置

236 . . . 合格區/類
別

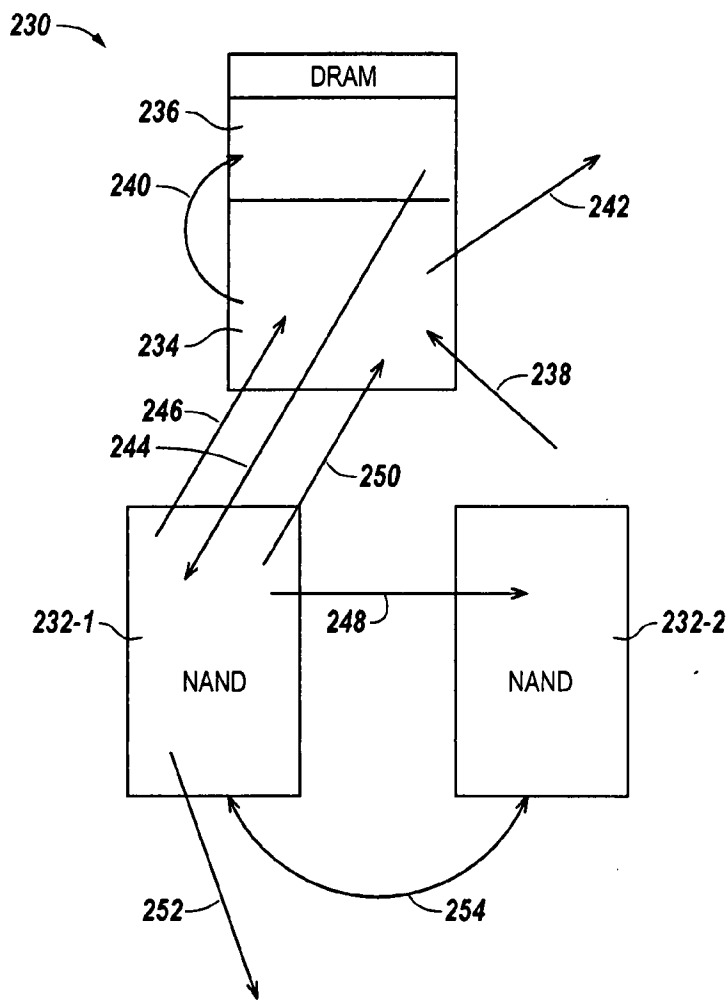
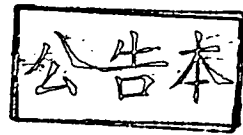


圖 2

發明摘要



※ 申請案號：104116100

※ 申請日：104. 5. 20

※IPC 分類：

G66F 12/08 (2016.01)
12/02 (2006.01)

【發明名稱】

讀取快取記憶體

READ CACHE MEMORY

【中文】

本發明包含用於讀取快取記憶體之方法及設備。一設備包含一讀取快取記憶體設備，其包括：一第一DRAM陣列；一第一NAND陣列及一第二NAND陣列；及一控制器，其經組態以管理資料在該DRAM陣列與該第一NAND陣列之間及在該第一NAND陣列與該第二NAND陣列之間之移動。

【英文】

The present disclosure includes methods and apparatuses for read cache memory. One apparatus includes a read cache memory apparatus comprising a first DRAM array, a first and a second NAND array, and a controller configured to manage movement of data between the DRAM array and the first NAND array, and between the first NAND array and the second NAND array.

【代表圖】

【本案指定代表圖】：第（2）圖。

【本代表圖之符號簡單說明】：

- 230 例示性圖式
- 232-1 NAND裝置
- 232-2 NAND裝置
- 234 動態隨機存取記憶體(DRAM)裝置
- 236 合格區/類別

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】

讀取快取記憶體

READ CACHE MEMORY

【技術領域】

本發明大體上係關於半導體記憶體設備及方法，且更特定言之係關於讀取快取記憶體。

【先前技術】

記憶體裝置通常經提供為電腦中之內部、半導體、積體電路或其他電子裝置。存在許多不同類型之記憶體，包含揮發性及非揮發性記憶體。揮發性記憶體可需要電力以維持其資料(例如，資訊)且尤其包含隨機存取記憶體(RAM)、動態隨機存取記憶體(DRAM)及同步動態隨機存取記憶體(SDRAM)。非揮發性記憶體可藉由在未經供電時保持經儲存資料而提供持久性資料且尤其可包含NAND快閃記憶體、NOR快閃記憶體、諸如相變隨機存取記憶體(PCRAM)及電阻式隨機存取記憶體(RRAM)之電阻可變記憶體及諸如自旋力矩傳送隨機存取記憶體(STTRAM)之磁性隨機存取記憶體(MRAM)。

可組合記憶體裝置以形成一固態磁碟(SSD)。一固態磁碟在多種其他類型之非揮發性及揮發性記憶體中尤其可包含諸如NAND快閃記憶體及/或NOR快閃記憶體之非揮發性記憶體及/或可包含諸如DRAM之揮發性記憶體。在一些例項中，在SSD中可利用快取。

【圖式簡單說明】

圖1係根據本發明之若干實施例之包含讀取快取記憶體之一系統之一方塊圖。

圖2繪示根據本發明之若干實施例之一讀取快取記憶體內之資料流之一例示性圖式。

圖3繪示根據本發明之若干實施例之用於讀取快取記憶體之一例示性裝置。

【實施方式】

本發明包含用於讀取快取記憶體之方法及設備。一設備包含一讀取快取記憶體設備，其包括：一第一DRAM陣列；一第一NAND陣列及一第二NAND陣列；及一控制器，其經組態以管理資料在該DRAM陣列與該第一NAND陣列之間及在該第一NAND陣列與該第二NAND陣列之間之移動。

本發明之實施例可包含將DRAM資料快取至NAND中且提供位於一主機與一儲存記憶體裝置(諸如，NAND、SSD等)之間之一記憶體裝置階層或層以用於讀取快取之方案。在一些實施例中，此可給出更多可用記憶體之印象。替代地或另外，本發明之實施例可提供此記憶體階層以包含比典型DRAM裝置更高之一密度，同時維持比典型DRAM裝置更小之一佔據面積。舉例而言，本發明之實施例亦可由讀取快取提供相較於其他方法之更低能源使用。

本發明之實施例可提供比雙資料速率(DDR) DRAM或混合記憶體立方體(HMC)在一相同容量下之一更低成本結構。另外，本發明之實施例可提供比透過輸入/輸出(I/O)空間諸如在一快速周邊組件互連(PCIe)或串列附接小型電腦系統介面(SAS)上存取之一典型SSD或NAND裝置更短之讀取延時。類似地，本發明之實施例可提供比在一直接主記憶體空間或一I/O空間兩者上之典型NAND快閃更短之寫入延時。亦可在本發明之實施例中提供歸因於NAND快閃之內部使用以滿足雲端儲存快取需要之當相較於一未經管理「原始」NAND快閃解決方案時之經改良之耐久性(例如，循環)。

本文中之圖式遵循其中第一個數字或若干數字對應於圖式之圖號且剩餘數字識別圖式中之元件或組件之一編號慣例。不同圖式之間之類似元件或組件可藉由類似數字之使用而識別。如應瞭解，可添加、交換及/或消除本文中之多種實施例中所展示之元件以便提供本發明之若干額外實施例。另外，如應瞭解，圖式中提供之元件之比例及相對尺度意欲繪示本發明之某些實施例，且不應視為一限制性意義。此外，如本文中所使用，「若干」某物可指此等事物之一或多者。

圖1係根據本發明之若干實施例之包含讀取快取記憶體(RCM)之一系統100之一方塊圖。在本發明之實施例中，可快取資料用於讀取應用(例如，雲端儲存應用)。舉例而言，可在不執行代碼之情況下執行此。一實例可包含散佈(例如，串流輸出)之媒體內容(例如，電影、視訊遊戲等)之儲存。搜尋及檢索此儲存在典型快取裝置上可係耗時的，但本發明之實施例可(例如，使用記憶體裝置階層)藉由將其放置更接近一處理器且減小自記憶體(例如，NAND)檢索所需之時間量而減小此時間。在本發明之一些實例中，系統100可包含具有一RCM裝置之一雲端儲存應用。

系統100包含呈一記憶體裝置102(例如，一RCM裝置)之形式之一設備。裝置102可包含一控制器108(例如，ASIC)、陣列104(例如，一DRAM陣列)及陣列106-1及106-2(例如，NAND陣列)。如本文中所使用，亦可分別認為一RCM裝置102、陣列104、106-1及106-2、控制器108及/或陣列106-1及106-2內之電路係一「設備」。

在一些實施例中，陣列106-1及106-2可包含高速NAND陣列。在一些實例中，陣列106-1及106-2可包含控制電路。在一些實例中，控制器108可包含直接記憶體存取(DMA)以在RCM裝置102內之陣列104、106-1與106-2之間快速移動內容。在若干實施例中，直接晶粒

至晶粒接合可用於將控制器108、陣列104及陣列106-1及106-2連結在一起，如本文中將進一步論述。

裝置102可經由介面110 (尤其例如，一HMC式介面、經程式化輸入/輸出(PIO)介面、外部匯流排介面(EIB)或一專屬FPGA介面)而與一主機裝置118通信。結果，系統100可包含HMC或多晶粒DRAM封裝(例如，雙晶粒封裝(DDP)、四晶粒封裝(QDP)等)之一類似容量/佔據面積。此可(例如)導致減小之成本及功率，同時維持一相同或類似容量/佔據面積。此一實例亦可增加優於其他方法(例如，I/O儲存存取)之儲存存取。主機裝置118可包含(例如)一場可程式閘陣列(FPGA)，其可與一積體電路(IC)(例如，南橋/SSD主機IC)通信，其亦可與SSD/硬碟機通信。IC可(例如)經由一區域網路(LAN)而與一通用輸入/輸出介面(例如，I/O/區域I/O)通信，且亦可經由LAN或其他通信類型而與一中央處理單元(CPU)及/或一DRAM控制器通信。在若干實例中，控制器可經由介面110而將RCM 102之行動報告至主機裝置118。在若干實施例中，雖然未在圖1中繪示，但主機118可經由介面110而直接與控制器108通信，而非與記憶體裝置102通信。

系統100可包含用於將資料(例如，DRAM資料)快取至陣列106(例如，NAND裝置)中之組件。舉例而言，僅將滿足特定臨限值(例如，準則)之資料傳送至陣列106-1及106-2以避免頻繁擦除循環(例如，NAND擦除循環)。在此一實例中可藉由利用(例如)專有內部特徵(例如，懸置、修正等)而改良陣列106-1及106-2中之讀取快取。系統100可(例如)藉由使用線接合科技而達成記憶體存取及DMA在陣列104、106-1及106-2之間內部地移動之經增加速度以減小後端封裝成本。

舉例而言，在若干實施例中且如將在本文中進一步論述，頁提升及裝置「乒乓」方案可用於自(例如，在RCM裝置102內) RCM裝置

之陣列104 (例如, DRAM快取)至RCM裝置之陣列106-1 (例如, NAND快取)及在陣列106-1與106-2之間移動資料以減少NAND擦除循環且增加RCM裝置102預期壽命。另外,如本文中將進一步論述,當內部NAND陣列106-1及106-2開始磨損時,一動態損壞頁標記方案可用於即時標記損壞NAND頁(例如,非整個區塊)。作為回應,可替換RCM裝置102,同時避免RCM裝置102之突然失效。確切而言,隨著接近一NAND陣列之一耐久性限制,RCM裝置102可逐漸損失其NAND容量。舉例而言,當系統100之延時歸因於快取大小減小(例如,在一預設臨限值處)而增加時,可替換RCM。

圖2繪示根據本發明之若干實施例之一讀取快取記憶體(例如,如圖1中所繪示之RCM裝置102)內之資料流之一例示性圖式230。圖式230包含DRAM裝置234、NAND裝置232-1及NAND裝置232-2。雖然在圖2中所繪示之實例包含NAND及DRAM,但可使用不同類型及數目之記憶體裝置。例示性資料流可克服NAND缺陷(例如,當用作讀取快取時),尤其諸如例如,有限擦除循環(例如,無法在位元組或頁位準處經擦除);頁程式化挑戰(例如,一頁在擦除之後僅可經程式化一次);潛在較低記憶體利用;在相同邏輯單元號(LUN)/平面中無讀取/寫入並行;對於資料替換之潛在長延時;循序位元組位準讀取、頁位準寫入,及區塊位準擦除;及不對稱讀取/寫入時序及功率。

在若干實施例中,整個DRAM裝置234 (例如,兩個8 Gb DRAM晶粒之堆疊以達到2 GB之一總數)記憶體空間可經分割以匹配隨附NAND空間中之頁大小分區數(例如,當使用128 Gb NAND爲了RCM容量之16 GB之總數或使用256 Gb NAND爲了NAND RCM容量之32 GB之總數之16 KB頁大小)。在各個RCM裝置中(例如,在圖230內),NAND裝置之兩個相同晶粒(例如,裝置232-1及232-2)可用於支援一乒乓方案,如將在本文中進一步論述。

在238處，可將快取資料寫入至DRAM裝置234中。舉例而言，可(例如，由一使用者)請求資料，且可將此資料寫入至DRAM裝置234中。在此一實例中，一控制器可監測進入至DRAM裝置234中之資料且基於尤其包含(例如)資料經存取之頻率、資料之穩定性、資料之大小及資料經請求之頻率之若干特徵(例如，因數)將資料分等級。

在240處，當滿足一特定臨限值時，可將DRAM裝置234內之資料移動(例如，提升)至「合格區」236。在若干實例中，移動資料可包含將資料分類。舉例而言，可不將資料實體移動至區236，而將其分類為一類別(例如，類別/區236)。舉例而言，若DRAM裝置234內之資料經存取及/或經請求一臨限值次數，則可將其移動(例如，分類)至區236。在一些實例中，若DRAM裝置234內之資料滿足一穩定性臨限值(例如，足夠穩定以隨後提升至NAND)，則可將該資料移動(例如，分類)至區236。舉例而言，(例如，藉由一控制器)邏輯組織資料。

在一些實施例中，可將資料封裝至區236中；舉例而言，可將資料封裝至16 KB封包中以匹配NAND頁大小。此等封包可提供增加之NAND效率。當裝置234達到一臨限值容量(例如，DRAM裝置234或區236接近填滿)時，可在244處將區236內之資料提升至NAND裝置232-1。完成此可為DRAM裝置234讓出空間以接收更多資料及/或自DRAM裝置234內提升更多資料至區236。自DRAM裝置234移動至NAND裝置232-1之資料可經組織以最大化可移動至NAND裝置232-1之資料之量(例如，經組織至由NAND偏好之整個頁中)。

可在242處收回未滿足臨限值要求之資料以空出DRAM裝置234上之空間。收回可包含(例如)放棄或重寫不滿足待提升至區236或NAND裝置232-1之一臨限值之資料。

在若干實施例中，當DRAM快取(例如，在DRAM裝置234處)空間接近填滿(例如，僅留下一預設數目或較少頁分區)時，將在已通過頻

率百分比或一特定時間量期間之頻率之一預設臨限值(例如，DRAM裝置234中最頻繁訪問資料之前30%或在一給定時間段內經訪問至少500次)之合格頁分區中之最頻繁訪問頁分區提升(例如，移動)至一主裝置(例如，主NAND裝置232-1)且留下該等資料頁分區之空間為空(例如，更動)且因此當新讀取快取資料需要儲存於RCM之DRAM裝置234上時可使用。

當需要快取新資料時，可(例如，在242處)自DRAM裝置234收回最不頻繁訪問資料頁分區。當更合格資料填滿DRAM裝置234時，可將該資料移動至可最終填滿之NAND裝置232-1。結果，在一些實施例中，僅最頻繁讀取/訪問資料及/或最穩定(例如，最穩態)資料將在NAND裝置232-1中。較少頻率讀取/訪問快取資料將保留於DRAM裝置234上，其中最少訪問資料頻繁由新快取資料替換。此將減小替換(例如，擦除)RCM裝置之NAND裝置232-1上之資料之一需要。

可在NAND裝置232-1內動態標記損壞頁。如本文中所使用，動態可包含回應於一特定影響(例如，控制器判定頁係損壞)而可變及/或不斷改變。在此等例項中，一控制器(在圖2中未繪製)管理何者保留於NAND裝置232-1中。此損壞頁標記可減小錯誤標記且容許一RCM裝置及其中之NAND及DRAM裝置內之損壞頁之修復。在此等實例中，不標記損壞資料之整個區塊，而是標記損壞頁，此可增加NAND裝置232-1之效率。在一些實例中，控制器可執行損壞頁之標記及修復。

舉例而言，當一裝置(例如，NAND裝置232-1、232-2)在一臨限值數目之擦除循環(例如，耐久性規格)之後開始磨損時，一些頁上之資料在經寫入至裝置之後無法經讀取驗證，因此變為損壞頁。代替將整個區塊永久標記為損壞(例如，保持於非揮發性表中)，僅標記在該特定裝置上之經寫入損壞頁後具有循環冗餘檢查(CRC)誤差或失效之

讀取驗證之該等特定頁。

損壞頁可由RCM中之控制器在RAM (例如，控制器上之記憶體) 中追蹤，且當NAND裝置變為空時(例如，在切換主位置及副位置之時，此在本文中將進一步論述)，可擦除且再次重建關於空NAND裝置之一損壞頁表。此係因為鄰近頁中之干擾有時可導致CRC誤差或讀取驗證誤差。當擦除區塊時，該等頁可再次係好的。

另外，在NAND胞元完全失效之前，可存在胞元困在一狀態中但在另一擦除循環之後修復其自身之一時間段。因此，將NAND胞元標記為損壞可不係一精確評估。

在248處，可將滿足臨限值要求之頁自NAND裝置232-1 (例如，主裝置位置)提升至NAND裝置232-2 (例如，副裝置位置)。舉例而言，當NAND裝置232-1達到一臨限值容量(例如，接近填滿)時，可提升頁。在一些實例中，NAND裝置232-1及232-2內之資料使用可由控制器監測(例如，追蹤)。可在246處將未滿足臨限值要求之頁自NAND裝置232-1降級(例如，移除)且發送至DRAM裝置234於一「不合格」區內。此可防止資料至NAND裝置之過度提升，其可(例如)防止及/或減小NAND磨損。

當NAND裝置232-2達到一臨限值容量(例如，接近填滿)時，可在250處將NAND裝置232-1中之剩餘頁降級至DRAM裝置234於不合格區內。在一些實例中，可在252處摒棄(例如，放棄、收回、重寫等)NAND裝置232-1中之剩餘頁。作為回應，可擦除含有NAND裝置232-1中之資料之區塊。

在若干實施例中，可在任何給定時間處將NAND裝置232-1及232-2 (例如，NAND晶粒)用作一主裝置及一副裝置。舉例而言，當主NAND裝置232-1變得填滿時(例如，與指示DRAM裝置234填滿相同及/或類似之條件)，主NAND裝置232-1中之前最多讀取/訪問資料頁得到

提升至副NAND裝置232-2 (例如，在248處)，且最少訪問資料頁得到降級(例如，移動、踢回等)至DRAM裝置234。可將此等最少訪問資料頁看作用於DRAM裝置234之新快取資料。在若干實施例中，經提升及經降級資料頁兩者都可在主NAND裝置232-1上標記為更動頁。當主NAND裝置232-1上之一給定區塊之全部頁皆經更動時，可擦除該區塊。

當副NAND裝置232-2變為填滿時，可將剩餘好的快取資料降級回至DRAM裝置234，且可擦除主NAND裝置232-1之區塊之剩餘部分。在擦除主NAND裝置232-1上之全部區塊之後，NAND裝置232-1及232-2之位置交換。老的、但現在空的主NAND裝置232-1變為新的副NAND裝置，且老的、但現在填滿的副NAND裝置232-2變為新的主NAND裝置。可反復重複此程序。將一內部裝置(例如，NAND裝置)中之資料維持為最穩態/穩定快取資料，此導致優於其他方法之對於擦除該內部裝置中之該等資料之一減小之需要，擴展該內部裝置之耐久性(例如，壽命)且減小降級。

在若干實例中，可由一控制器(例如，如圖1中所繪示之控制器108)管理且追蹤(例如，主機報告且回應)讀取快取記憶體內之提升及降級行動。除了晶片上記憶體(例如，一控制器內)之外，DRAM裝置234之一部分(例如，如圖1中所繪示之DRAM陣列104之一部分)可經保留以供控制器使用以儲存控制資訊，諸如指標、表、統計資料、計數器等。此資訊可使控制器能夠管理且追蹤資料自DRAM裝置234往返NAND裝置232-1及232-2及在NAND裝置232-1與232-2之間之移動，以及將此資訊報告回至一主機裝置(例如，如圖1中所繪示之主機裝置118)。DRAM裝置234之餘數可用於(例如)快取資料。

圖3繪示根據本發明之若干實施例之用於讀取快取記憶體之一例示性裝置360 (例如，系統)。例示性裝置360可包含一5個已知合格晶

粒(KGD)堆疊，其包含NAND陣列366-1及366-2、DRAM陣列364-1及364-2及一控制器370(例如，一ASIC晶粒)。然而，裝置360不限於一5個KGD堆疊或NAND及DRAM記憶體。舉例而言，在若干實例中，裝置360可包含3個、4個或更多個NAND裝置。

爲了獲得對NAND及DRAM之全部接合墊之存取，可使用一重佈層。此重佈層可重定位RCM裝置之接合墊。在重佈DRAM及NAND陣列兩者之墊以僅排列於陣列之較短或較長側之一者上之後，DRAM陣列及NAND陣列以一偏移方式堆疊，使得陣列直接彼此上下地堆疊，同時最底部陣列(例如，DRAM陣列364-1)將在一側(例如，左側)上曝露其單列墊，同時陣列區域之其餘部分由其之頂部上之陣列(例如，DRAM陣列364-2)上覆覆蓋。

接近底部(例如，第二底部)陣列(例如，DRAM陣列364-2)將接著經180度轉動且在相對側(例如，右側)上曝露其單列墊，同時陣列區域之剩餘部分由其頂部上之陣列(例如，NAND陣列366-1)上覆覆蓋。兩個底部陣列(例如，DRAM陣列364-1及364-2)經定位使得第三陣列(例如，NAND陣列366-1)將平行於第一(例如，最底部)陣列(例如，DRAM陣列364-1)(例如，左側)排列其單列墊，但不對於接合線372-1、...、372-4阻擋第一陣列(例如，DRAM陣列364-1)且第四陣列(例如，NAND陣列366-2)將平行於第二陣列(例如，DRAM陣列364-2)排列其墊，但不對於接合線372-1、...、372-4阻擋第二陣列(例如，DRAM陣列364-2)之墊。控制器370可坐於堆疊之最頂部上作為具有由扇出(可撓)晶圓位準封裝(WLP)墊368擴展之墊間距之第五陣列(例如，晶粒)。控制器370可將其x方向側(例如，左及右)之墊與在其下方之經偏移堆疊之DRAM及NAND陣列上之各個墊點對點地直接晶粒對晶粒接合。控制器370之y方向側上之墊可接合至封裝之引線框用於外部信號(例如，球柵陣列(BGA)封裝球)存取(圖3中未繪示)。

在一例示性實施例中，如圖3中所繪示，DRAM陣列364-1可形成於以一交錯方式(例如，偏移、歪斜)耦合至基板362之一第一晶粒上。DRAM陣列364-2可形成於以一交錯方式耦合至第一晶粒之一第二晶粒上。NAND陣列366-1可形成於以一交錯方式耦合至第二晶粒之一第三晶粒上，且NAND陣列366-2可形成於以一交錯方式耦合至第三晶粒之一第四晶粒上。第一、第二、第三及第四晶粒可(例如)經由直接晶粒至晶粒接合而耦合至控制器。在一些實例中，控制器370可耦合至第四晶粒，可包含扇出撓性墊368且可經由晶粒至晶粒接合線372-1、...、372-4而與晶粒364-1、364-2、366-1及366-2通信。

本發明包含用於讀取快取記憶體之方法及設備。一設備包含一讀取快取記憶體設備，其包括：一第一DRAM陣列；一第一NAND陣列及一第二NAND陣列；及一控制器，其經組態以管理資料在該DRAM陣列與該第一NAND陣列之間及在該第一NAND陣列與該第二NAND陣列之間之移動。

應瞭解，當一元件稱為在另一元件「上」、「連接至」另一元件或「與另一元件耦合」時，其可直接在該另一元件上或與該另一元件連接或耦合或可存在中介元件。相比之下，當一元件稱為「直接在另一元件上」、「直接連接至」另一元件或「直接與另一元件耦合」時，不存在中介元件或層。如本文中所使用，術語「及/或」包含若干相關聯之所列品項之任何及全部組合。

如本文中所使用，術語「及/或」包含若干相關聯之所列品項之任何及全部組合。如本文中所使用，除非另有指明，術語「或」意為邏輯包含或。即，「A或B」可包含(僅A)、(僅B)或(A及B兩者)。換言之，「A或B」可意為「A及/或B」或「若干A及B」。

應瞭解，雖然術語第一、第二、第三等可在本文中用於描述多種元件，但此等元件不應由此等術語限制。此等術語僅用於區分一元

件與另一元件。因此，可把一第一元件稱為一第二元件而不脫離本發明之教示。

雖然在本文中繪示且描述特定實施例，但熟習此項技術者將瞭解，經計算以達成相同結果之一配置可取代所展示之特定實施例。本發明旨在涵蓋本發明之若干實施例之調適或變動。應瞭解，上述描述係以一闡釋性方式而非一限制性方式作出。熟習此項技術者在審閱上述描述後應明白上述實施例之組合及本文未明確描述之其他實施例。本發明之若干實施例之範疇包含其中使用上文結構及方法之其他應用。因此，應參考隨附申請專利範圍連同此等申請專利範圍所授權之等效物之全範圍而判定本發明之若干實施例之範疇。

在前述實施方式中，為簡化本發明之目的將一些特徵一起集合於一單項實施例中。本發明之此方法不應被解釋為反映本發明之所揭示實施例必須使用比明確陳述於每一技術方案中更多之特徵之一意圖。實情係，如下列申請專利範圍反映，本發明標的在於少於一單項所揭示實施例之全部特徵。因此，特此將下列申請專利範圍併入實施方式中，其中每一技術方案獨立地作為一單獨實施例。

【符號說明】

100	系統
102	記憶體裝置/讀取快取記憶體(RCM)裝置
104	陣列/動態隨機存取記憶體(DRAM)陣列
106-1	陣列
106-2	陣列
108	控制器
110	介面
118	主機裝置
230	例示性圖式

232-1	NAND裝置
232-2	NAND裝置
234	動態隨機存取記憶體(DRAM)裝置
236	合格區/類別
360	例示性裝置
362	基板
364-1	動態隨機存取記憶體(DRAM)陣列/晶粒
364-2	動態隨機存取記憶體(DRAM)陣列/晶粒
366-1	NAND陣列/晶粒
366-2	NAND陣列/晶粒
368	扇出撓性墊
370	控制器
372-1	接合線
372-2	接合線
372-3	接合線
372-4	接合線

申請專利範圍

修正頁(本)
105年7月28日劃線

1. 一種設備，其包括：
 - 一讀取快取記憶體裝置，其包括：
 - 一動態隨機存取記憶體(DRAM)陣列，其包括一第一類別及一第二類別；及
 - 一第一NAND陣列及一第二NAND陣列；及
 - 一控制器，其經組態以：
 - 動態地標記該第一NAND陣列內之一損壞頁；
 - 管理在該DRAM陣列內之該第一類別及該第二類別間、在該DRAM陣列與該第一NAND陣列之間以及在該第一NAND陣列與該第二NAND陣列之間等之資料移動，
 - 其中自該第一NAND陣列移動至該第二NAND陣列之資料並不包含該經標記之損壞頁。
2. 如請求項1之設備，其中該控制器進一步經組態以基於資料之一特徵而將該資料自該DRAM陣列快取至該第一NAND陣列。
3. 如請求項2之設備，其中該資料特徵包含該資料經存取之次數、該資料經請求之次數及該資料之穩定性之至少一者。
4. 如請求項1之設備，其中該控制器進一步經組態以基於資料之一特徵而將該資料自該第一NAND陣列快取至該第二NAND陣列。
5. 如請求項1之設備，其進一步包括將該控制器連結至該DRAM陣列之一直接記憶體存取(DMA)、將該控制器連結至該第一NAND陣列之一DMA及將該控制器連結至該第二NAND陣列之一DMA。
6. 一種用於操作一記憶體之方法，其包括：
 - 將快取資料自一動態隨機存取記憶體(DRAM)之一第一類別提

升至該 DRAM 陣列之一第二類別；

基於資料之一特徵將該資料自該 DRAM 陣列之該第二類別快取至一第一 NAND 陣列；

動態地標記該第一 NAND 陣列內之一損壞頁；及

回應於該第一 NAND 陣列滿足一臨限值快取資料容量而將該資料自該第一 NAND 陣列快取至一第二 NAND 陣列，

其中自該第一 NAND 陣列快取至該第二 NAND 陣列之該資料不包含該經標記之損壞頁。

7. 如請求項 6 之方法，其中該資料特徵包含該資料經存取之次數、該資料經請求之次數及該資料之穩定性之至少一者。
8. 如請求項 6 之方法，其進一步包括回應於將該資料自該第一 NAND 陣列快取至該第二 NAND 陣列而擦除該第一 NAND 陣列。
9. 一種用於操作一記憶體之方法，其包括：

在一動態隨機存取記憶體 (DRAM) 陣列處接收一第一組快取資料；

基於該第一組快取資料之一部分之一資料特徵而將該第一組快取資料之該部分自該 DRAM 陣列之一第一類別提升至該 DRAM 陣列之一第二類別；

基於一第二組快取資料之一資料特徵而將該第二組快取資料自該 DRAM 陣列之該第二類別提升至一第一 NAND 陣列；

動態地標記該第一 NAND 陣列內之一損壞頁；及

回應於該第一 NAND 陣列達到一臨限值容量而將一第三組快取資料提升至一第二 NAND 陣列，

其中該第三組快取資料不包含該經標記之損壞頁。

10. 如請求項 9 之方法，其進一步包括回應於一第四組快取資料未能達到包含一請求臨限值、一存取臨限值及一穩定性臨限值之至

少一者之一臨限值要求而自該第二類別收回該第四組快取資料。

11. 如請求項9之方法，其進一步包括回應於一第五組快取資料未能達到包含一請求臨限值及一存取臨限值之至少一者之一臨限值要求而將該第五組快取資料自該第一NAND陣列降級至該DRAM。
12. 如請求項9之方法，其進一步包括回應於一第六組快取資料未能達到包含一請求臨限值及一存取臨限值之至少一者之一臨限值要求而自該第一NAND陣列收回該第六組快取資料。
13. 如請求項9之方法，其進一步包括回應於交換而修復該第一NAND陣列。
14. 一種用於操作一記憶體之方法，其包括：
 - 在一主NAND裝置處自一DRAM裝置中之複數個類別中之一者接收快取資料；
 - 動態標記該經接收快取資料內之一損壞頁；
 - 回應於該快取資料之一部分滿足一臨限值要求且回應於該主NAND裝置達到一臨限值快取資料容量而將該快取資料之該部分提升至一副NAND裝置，
 - 其中該快取資料之該部分不包含該經標記之損壞頁；
 - 擦除該主NAND陣列；及
 - 交換該主NAND裝置及該副NAND裝置使得該主NAND裝置變為一新的副NAND裝置且該副NAND裝置變為一新的主NAND裝置。
15. 如請求項14之方法，其中該臨限值要求包含該快取資料之該部分在一給定時間段內經存取一臨限值次數。
16. 如請求項14之方法，其中該臨限值要求包含該快取資料之該部

分滿足一臨限值穩定性。

17. 如請求項14之方法，其中反覆執行該方法。

18. 一種裝置，其包括：

一動態隨機存取記憶體(DRAM)陣列，其包括一第一類別及一第二類別；

一第一NAND陣列，其經形成於該DRAM陣列上；

一第二NAND陣列，其經形成於該第一NAND陣列上；及

一控制器，其經組態以：

將滿足一特定臨限值之資料自該DRAM陣列之該第二類別快取至該第一NAND陣列；

動態地標記該第一NAND陣列內之一損壞頁；

基於該第一NAND陣列之該容量而將資料自該第一NAND陣列快取至該第二NAND陣列

其中自該第一NAND陣列快取至該第二NAND陣列之該資料不包含該經標記之損壞頁；且

自該DRAM陣列之該第一類別收回無法滿足該特定臨限值之資料。

19. 如請求項18之裝置，其中該特定臨限值包含資料經存取之一臨限值次數。

20. 如請求項18之裝置，其包含該控制器經組態以儲存與將該資料自該DRAM陣列快取至該第一NAND陣列及將該資料自該第一NAND陣列快取至該第二NAND陣列相關聯之資訊。

21. 一種系統，其包括：

一第一動態隨機存取記憶體(DRAM)陣列，其經形成於以一第一偏移方法耦合至一基板之一第一晶粒上，其並包括一第一類別及一第二類別；

一第二DRAM陣列，其經形成於以一第二偏移方法耦合至該第一晶粒之一第二晶粒上；

一第一NAND陣列，其經形成於以一第三偏移方法耦合至該第二晶粒之一第三晶粒上；

一第二NAND陣列，其經形成於以一第四偏移方法耦合至該第三晶粒之一第四晶粒上；及

一控制器，其經組態以管理在該第一DRAM陣列內之該第一類別及該第二類別之間、在該第一DRAM陣列與該第一NAND陣列之間以及在該第一NAND陣列與該第二NAND陣列之間等之資料移動；及

動態地標記該第一NAND陣列內之一損壞頁，其中在該第一NAND陣列及該第二NAND陣列之間移動之該資料不包含該經標記之損壞頁。

22. 如請求項21之系統，其包含鄰近該控制器經形成之一扇出晶圓位準封裝(WLP)墊。
23. 如請求項21之系統，其中資料係經由直接晶粒至晶粒接合且基於該資料之一特徵而在該第一NAND陣列與該第二NAND陣列之間移動。

圖式

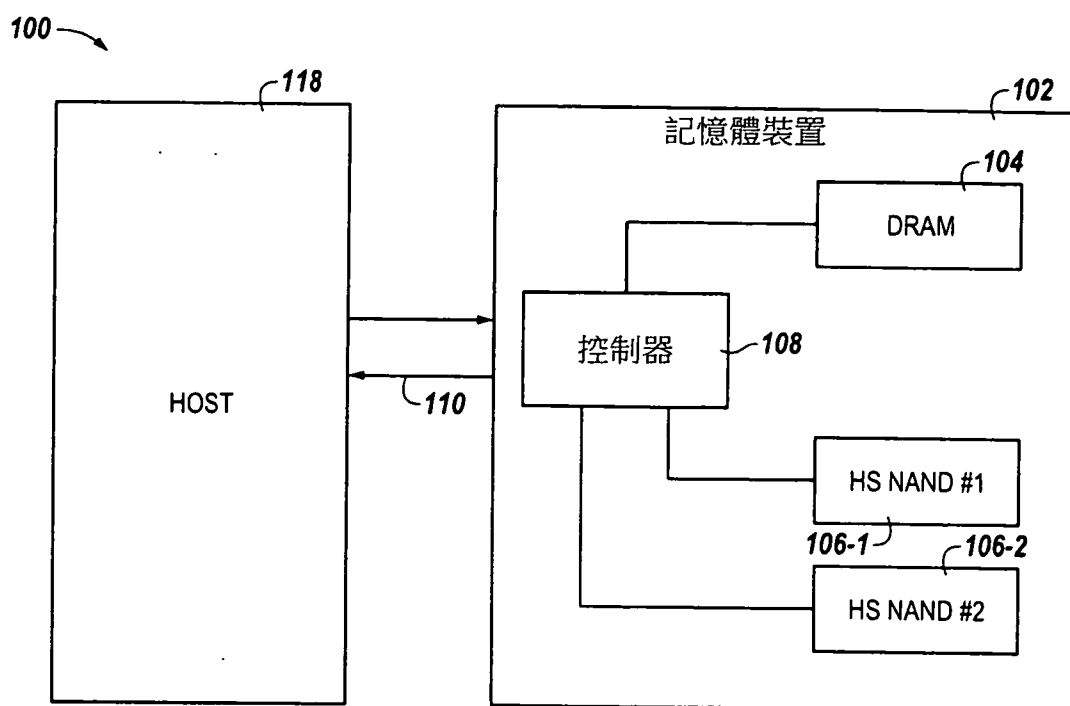


圖 1

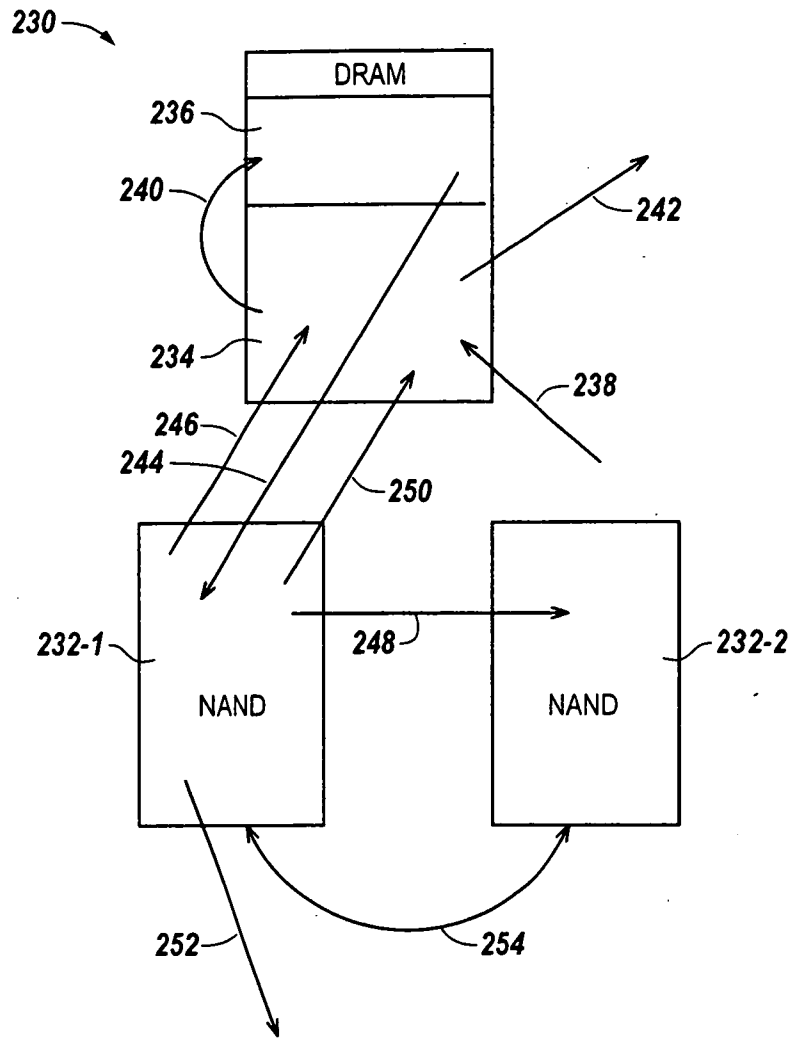


圖 2

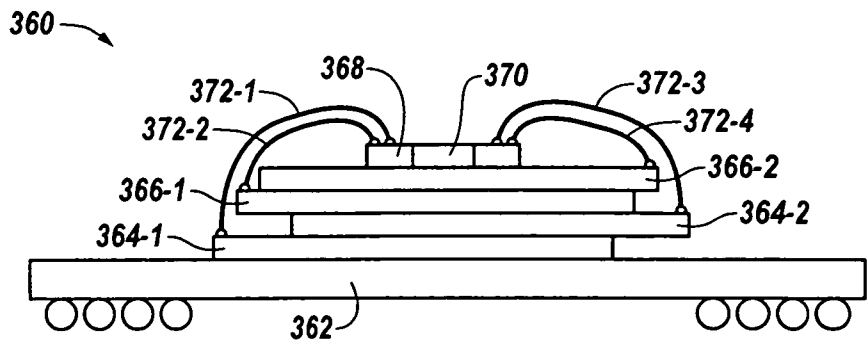


圖 3