



(19)
Bundesrepublik Deutschland
Deutsches Patent- und Markenamt

(10) **DE 103 49 908 A1** 2005.06.02

(12)

Offenlegungsschrift

(21) Aktenzeichen: **103 49 908.3**
(22) Anmeldetag: **25.10.2003**
(43) Offenlegungstag: **02.06.2005**

(51) Int Cl.⁷: **H01L 29/06**
H01L 23/29, H01L 29/861, H01L 21/78,
H01L 21/60

(71) Anmelder:
Semikron Elektronik GmbH, 90431 Nürnberg, DE

(72) Erfinder:
Häupl, Karlheinz, Dr., 90547 Stein, DE; Stockmeier,
Thomas, Dr., 90431 Nürnberg, DE; Hansen,
Jürgen, Dr., 90522 Oberasbach, DE

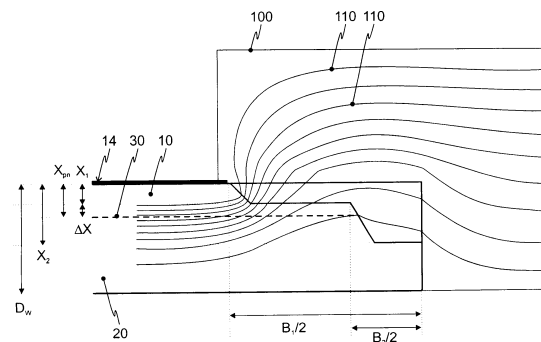
(56) Für die Beurteilung der Patentfähigkeit in Betracht
gezogene Druckschriften:
DE2727487C2
DE19851461A1
DE4013435A1

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gemäß § 44 PatG ist gestellt.

(54) Bezeichnung: **Zweifach passiviertes Leistungshalbleiterbauelement mit einer MESA Randstruktur und Verfahren zu dessen Herstellung**

(57) Zusammenfassung: Die Erfindung beschreibt ein Leistungshalbleiterbauelement mit einer MESA-Randstruktur sowie ein zugehöriges Herstellungsverfahren. Dieses Leistungshalbleiterbauelement besteht aus einem Halbleiterkörper mit einer parallel zu den Hauptflächen verlaufenden ersten Zone vom ersten Leitungstyp sowie einer daran anschließenden ebenfalls parallel zu den Hauptflächen verlaufenden zweiten Zone vom zweiten Leitungstyp. Beide Hauptflächen des Leistungshalbleiterbauelements sind durch jeweils eine Metallisierung bedeckt. Im Randbereich wird die MESA-Struktur gebildet durch eine an die erste Hauptfläche anschließende erste Randfläche. An diese schließt sich eine annähernd parallel zur ersten Hauptfläche angeordnete erste Hilfsfläche an. Hieran ist eine zweite Randfläche angeordnet. Der Abstand der ersten Hilfsfläche zur ersten Hauptfläche ist kleiner als der Abstand des Übergangs der Zonen vom ersten zum zweiten Leitungstyp zur ersten Hauptfläche. Die Rand- und Hilfsflächen sind mit einer zweischichtigen Passivierungsschicht überdeckt, wobei die erste Passivierungsschicht aus einer a:C-H-Schicht besteht, die wiederum durch eine Schicht aus Silikonkautschuk überdeckt ist.



Beschreibung

Stand der Technik

[0001] Die Erfindung beschreibt ein Leistungshalbleiterbauelement mit einer MESA Randstruktur, vorzugsweise eine Diode mit einer Sperrspannung von mehreren hundert bis über 2000V, und ein zugeordnetes Verfahren zur Herstellung eines derartigen Leistungshalbleiterbauelements. Diese Leistungshalbleiterbauelemente finden beispielhaft Anwendung in Wechselrichterschaltungsanordnungen als Dioden für den Eingangs- gleichrichter zur Spannungsversorgung eines Zwischenkreises.

[0002] Derartige Leistungshalbleiterbauelemente sind vielfach in der Literatur beschrieben. Die Ausgangspunkte dieser Erfindung bilden beispielhaft die Druckschriften DE 40 13 435 A1, DE 198 51 461 A1 sowie die DE 100 47 152 A1.

[0003] Die DE 40 13 435 A1 beschreibt Leistungshalbleiterbauelemente mit einer MESA Randstruktur sowie ein Passivierungsverfahren hierfür. Die hier vorgestellten Leistungshalbleiterbauelemente weisen eine MESA Randstruktur mit einem definierten von der gewünschten Sperrspannung abhängigen Winkel des Randbereiches auf. Es handelt sich bei der Passivierung um eine zweischichtige Ausgestaltung mit einem ersten dünneren Bereich bestehend aus amorphem Silizium und einem zweiten Bereich bestehend aus Silikonkautschuk.

[0004] Die DE 198 51 461 A1 sowie die DE 100 47 152 A1 offenbaren planare Leistungshalbleiterbauelemente mit einer a:C-N Passivierung (amorphe hydrierte Kohlenstoffschicht in sp^2 und sp^3 Hybridisierung) sowie zugehörige Herstellungsverfahren dieser Schichten. Diese Passivierungen sowie ihre hervorragenden Eigenschaften speziell für Leistungshalbleiterbauelemente mit Sperrspannungen im Bereich einiger hundert bis über 2000V wurden hier umfassend und hinreichend beschrieben. Auch zeigen die vorgestellten Verfahren einfache Wege zur Herstellung der planaren Leistungshalbleiterbauelemente auf.

[0005] Nachteilig an den Leistungshalbleiterbauelementen nach der DE 40 13 435 ist, dass diese auf Grund ihrer MESA Randstruktur, die eine geringe Ausdehnung des Randbereiches erlaubt, bisher einer automatisierten Fertigung nicht zugänglich waren. Vielmehr war hier ein erheblicher Aufwand zur Herstellung notwendig.

[0006] Die Nachteil der planaren Leistungshalbleiterbauelemente nach den DE 198 51 461 A1 und DE 100 47 152 A1 ist ihre komplexe, wenn auch automatisierbare, Herstellung und ihr auf Grund der planaren Struktur größerer und nicht zur Stromtragfähigkeit beitragender Randbereich, der die Ausbeute an Leistungshalbleiterbauelementen pro Wafer reduziert.

[0007] Der vorliegenden Erfindung liegt daher die Aufgabe zu Grunde ein Leistungshalbleiterbauelement, das für hohe Sperrspannungen bis über 2000V geeignet sowie einem einfachen Herstellungsverfahren zugänglich ist, sowie ein Verfahren zu dessen Herstellung vorzustellen, wobei der Randbereich des Leistungshalbleiterbauelements eine geringe Ausdehnung aufweisen soll.

[0008] Diese Aufgabe wird gelöst durch ein Leistungshalbleiterbauelement nach dem Anspruch 1 sowie durch ein Verfahren nach Anspruch 2, spezielle Ausgestaltungen finden sich in den Unteransprüchen.

[0009] Das erfindungsgemäße Leistungshalbleiterbauelement weist eine MESA Randstruktur auf. Grundsätzlich besteht dieses Leistungshalbleiterbauelement aus einem Halbleiterkörper mit einer parallel zu den Hauptflächen verlaufenden ersten Zone vom ersten Leitungstyp sowie einer daran anschließenden ebenfalls parallel zu den Hauptflächen verlaufenden zweiten Zone vom zweiten Leitungstyp. Somit ergibt sich ein Leistungshalbleiterbauelement der einfachsten Form, eine Diode, wobei die hier beschriebene MESA Randstruktur für jegliche Leistungshalbleiterbauelemente geeignet ist. Beide Hauptflächen des Leistungshalbleiterbauelements sind durch jeweils eine Metallisierung zur Löt- und/oder Drahtbondverbindung bedeckt. Im Randbereich wird die MESA Struktur gebildet durch eine an die erste Hauptfläche anschließende erste Randfläche. An diese schließt sich eine annähernd parallel zur ersten Hauptfläche angeordnete erste Hilfsfläche an. Hieran ist eine zweite Randfläche angeordnet. Von besonderer Bedeutung ist hierbei, dass der Abstand der ersten Hilfsfläche zur ersten Hauptfläche kleiner ist als der Abstand des Übergangs der Zonen vom ersten zum zweiten Leitungstyp zur ersten Hauptfläche. Die Rand- und Hilfsflächen sind mit einer zweischichtigen Passivierungsschicht überdeckt, wobei die erste Passivierungsschicht aus einer a:C-H Schicht einer Dicke zwischen 150nm und 300nm nach dem Stand der Technik besteht, die wiederum durch eine weitere dielektrische Schicht, vorzugsweise aus einem Silikonkautschuk, überdeckt ist.

[0010] Das erfindungsgemäße Verfahren zur Herstellung eines o.g. Leistungshalbleiterbauelements in MESA Struktur besteht aus den folgenden wesentlichen Teilprozessen, wobei Prozessschritte nach dem Stand der Technik stark vereinfacht angegeben werden. Unwesentliche, weil vollständig bekannte Prozessschritte sind aus Gründen der Übersichtlichkeit weggelassen:

- Ausbilden eines Leistungshalbleiterbauelements mit zwei Zonen von unterschiedlichem Leitungstyp auf einem Wafer.
- Ausbilden der MESA Randstruktur der Leistungshalbleiterbauelemente durch Erzeugen von Stufengräben mittels Säge- und/oder Ätzverfahren.
- Beschichten der gesamten ersten Hauptfläche des Wafers mit einer a:C-H Schicht in einer PECVD Anlage.
- Verfüllung der Gräben mit einer dielektrischen Substanz.
- Entfernen der Passivierungsschichten von den späteren Kontaktflächen der ersten Hauptfläche.
- Metallisierung der Kontaktflächen der ersten Hauptfläche sowie der gesamten zweiten Hauptfläche des Wafers.
- Zerteilen des Wafervverbundes in einzelne Leistungshalbleiterbauelemente.

[0011] Die Erfindung wird anhand von Ausführungsbeispielen in Verbindung mit den **Fig. 1** bis **2** näher erläutert.

[0012] **Fig. 1** zeigt die wesentlichen Teilprozesse des Herstellungsverfahrens eines erfinderischen Leistungshalbleiterbauelements.

[0013] **Fig. 2** zeigt eine Simulation des Verlaufs von Äquipotentiallinien an einem erfinderischen Leistungshalbleiterbauelement.

[0014] **Fig. 1** zeigt die wesentlichen Teilprozesse des Herstellungsverfahrens eines erfinderischen Leistungshalbleiterbauelements, hier einer Silizium-Leistungsdiode mit einer Sperrspannung von 1700V. **Fig. 1a** zeigt bereits die Diodenstruktur innerhalb eines Wafers mit einem pn-Übergang (**30**). Ausgehend von einem n⁻ dotierten Siliziumwafer wurde hierzu auf der Vorderseite, der ersten Hauptfläche (**12**), eine p⁺ Zone (**10**) eindiffundiert.

[0015] **Fig. 1a** zeigt weiterhin den Wafer nach dem ersten Schritt zur Erzeugung des benötigten Stufengrabs. Dieser erste Graben (**40, 50**) wurde mittels eines Sägeschnittes erzeugt.

[0016] **Fig. 1b** zeigt den Wafer nach einem zweiten Sägeschnitt zur Erzeugung eines gegenüber dem ersten tiefer und schmaler ausgestalteten zweiten Grabens (**42, 52**). Da Sägeschnitte in der Regel keine Halbleiteroberfläche erzeugen, die für einen an den Rand des Leistungshalbleiterbauelements tretenden pn-Übergang (**30**) geeignet sind, schließt sich an die beiden Sägeschnitte vorzugsweise eine nasschemische Ätzung zur Reduktion der Oberflächenrauigkeit an. Es ergeben sich somit Stufengräben (**40, 42, 50, 52**) in einem Wafer mit folgenden Dimensionen, vgl. hierzu auch Beschreibung zu **Fig. 2** zur Bestimmung der Dimensionen, für eine Diode mit einer Sperrspannung von 1700V:

Abstand des pn- Übergangs von der Vorderseite	$90\mu\text{m} < X_{\text{pn}} < 110\mu\text{m}$
Abstand des pn- Übergangs von der ersten Stufe	$20\mu\text{m} < \Delta X < 50\mu\text{m}$
Größte Breite der ersten Stufe eines Leistungshalbleiterbauelements	$900\mu\text{m} < B_1/2 < 1200\mu\text{m}$
Größte Breite der zweiten Stufe eines Leistungshalbleiterbauelements	$250\mu\text{m} < B_2/2 \leq 300\mu\text{m}$

[0017] Hiermit ist die MESA Randstruktur vollständig ausgebildet. Der Stufengraben (**40, 42, 50, 52**) kann außer in der hier beschriebenen Weise noch auf zwei weitere ausgezeichnete Weisen hergestellt werden. In einem ersten alternativen Verfahren werden die beiden Sägeschnitte durch einen einzigen ersetzt, wobei ein geeignet ausgestaltetes Sägeblatt Verwendung findet. Dies ist vorteilhaft, da hier nur ein Sägeschnitt notwendig ist und somit der Herstellungsaufwand des Stufengrabs halbiert wird. Dem gegenüber steht der Nachteil ei-

nes schwierig herzustellenden und sich ungleichmäßig abnutzenden Sägeblattes.

[0018] In einem zweiten alternativen Verfahren wird der Stufengraben durch zwei Nassätzprozesse nach dem Stand der Technik hergestellt. Hierzu sind dann allerdings zusätzliche Maskenschritte zum Schutz der nicht zu strukturierenden Oberfläche notwendig.

[0019] Fig. 1a zeigt den Wafer nach einer flächigen Beschichtung in einer PECVD Anlage mit einer a:C-N Schicht (60), der ersten Passivierungsschicht, nach dem Stand der Technik, wobei hier auch die Randflächen (40, 42) beschichtet sind. Die Dicke dieser Schicht liegt vorteilhafterweise zwischen 150µm und 300µm.

[0020] Fig. 1d zeigt den Wafer nach Verfüllung des Stufengrabens (40, 42, 50, 52) mit einem Silikonkautschuk (70), wobei hier nur die dielektrische Eigenschaft des Füllstoffes Bedeutung aufweist. Die relative Dielektrizitätskonstante muss deutlich über derjenigen von Luft liegen, um auf Grund der geringen Dicke der a:C-N Schicht (60) im Sperrbetrieb Überschlüge durch diese Schicht in Luft zu vermeiden. Der Silikonkautschuk (70) wird mittels eines Dosiervorgangs nach dem Stand der Technik in die Stufengräben (40, 42, 50, 52) verfüllt.

[0021] Weiterhin zeigt Fig. 1d den Wafer nach der Entfernung der a:C-H Schicht (60) von der ersten Hauptfläche (12). Dies erfolgt vorzugsweise mittels einer Reaktion in einem Sauerstoffplasma.

[0022] Anschließend wurde auf den späteren Kontaktflächen der Vorderseite (12) des Wafers ein Aluminiumkontakt (14) aufgebracht. Diese Metallisierung ist für Drahtbondverbindungen besonders geeignet. Auf der Rückseite wurde eine flächige Metallisierung (24) vorzugsweise zur Lötkontaktierung aufgebracht.

[0023] Zur Vereinzelung der Leistungshalbleiterbauelemente des Wafers wird in einem abschließenden Verfahrensschritt dieser in der Mitte (80) der Stufengräben gesägt.

[0024] Fig. 2 zeigt eine Simulation des Verlaufs der Äquipotentiallinien (110) an einem erfinderischen Leistungshalbleiterbauelement. Derartige Simulationen dienen zum Auffinden der idealen Werte der Größe ΔX , also des Abstandes (X_{pn}) des pn-Übergangs (30) zur ersten Stufe (50). Dargestellt ist die MESA Randstruktur einer Diode, hergestellt nach dem unter Fig. 1 beschriebenen Verfahren. Das Potential an der Rückseite wurde hier zu 2000V, das auf der Vorderseite zu 0V angenommen. Dies entspricht den Gegebenheiten einer in Sperrrichtung geschalteten Diode. Zur Vereinfachung der Potentialberechnungen wurde der weitere Feldverlauf ausgehend von der Oberfläche durch eine rechteckige Gestaltung eines von dieser Oberfläche ausgehenden Bonddrahtes (100), der selbstverständlich das Potential der Oberfläche aufweist, angenommen. Weiterhin wurde die Oberfläche der zweiten Isolierschicht (70) als plan angenommen, was die Ergebnisse nicht beeinflusst.

[0025] Die Linien zwischen dem Bonddraht (100) und der Grundfläche auf Rückseitenpotential stellen die Äquipotentiallinien (110) dar, das elektrische Feld steht bekanntermaßen senkrecht auf diesen Äquipotentiallinien. Der Verlauf der Äquipotentiallinien ist dahingehend von Bedeutung, dass bei der Auslegung der Größenverhältnisse (siehe Beschreibung zu Fig. 1a) darauf geachtet werden muss, dass der geringste Abstand dieser Äquipotentiallinien und damit der größte Feldgradient innerhalb des Leistungshalbleiterbauelements und nicht an dessen Rand oder im Außenbereich liegt. Nur unter dieser Voraussetzung ist die Sperrfähigkeit für die gewünschte Spannung gegeben. Aus den gezeigten Simulationen ergeben sich die Zahlenwerte (siehe oben) für die Auslegung einer Diode mit einer gewünschten Sperrspannung von 1700V. Die laterale Ausdehnung der Diode selbst ist maßgeblich für deren Stromtragfähigkeit, allerdings nicht für die Größenbestimmung der MESA Randstruktur.

Patentansprüche

1. Leistungshalbleiterbauelement mit mindestens einer MESA Randstruktur bestehend aus einem Halbleiterkörper mit einer parallel zu den Hauptflächen verlaufenden und an der ersten Hauptfläche (12) angeordneten ersten Zone (10) vom ersten Leitungstyp sowie einer daran anschließenden ebenfalls parallel zu den Hauptflächen verlaufenden zweiten Zone (20) vom zweiten Leitungstyp, wobei beide Hauptflächen durch jeweils eine Metallisierung (14) bedeckt sind, im Randbereich die MESA Struktur gebildet wird durch eine an die erste Hauptfläche anschließende erste Randfläche (40), eine daran anschließende annähernd parallel zur ersten Hauptfläche (12) angeordnete erste Hilfsfläche (50) sowie eine daran angeordnete zweite Randfläche (42), wobei der Abstand (X_1) der ersten Hilfsfläche (50) zur ersten Hauptfläche (12) kleiner ist als der Abstand (X_{pn}) des Übergangs der Zonen (10, 20) vom ersten zum zweiten Leitungstyp zur ersten Hauptfläche (12) und weiterhin die Rand- (40, 42) und Hilfsflächen (50) mit einer zweischichtigen Passivierungsschicht überdeckt sind,

wobei die erste Passivierungsschicht aus einer a:C-H Schicht (**60**) mit einer Dicke zwischen 150nm und 300nm besteht, die wiederum durch eine weitere, dielektrische, Schicht (**70**) überdeckt ist.

2. Verfahren zur Herstellung eines Leistungshalbleiterbauelement in MESA Struktur bestehend aus den wesentlichen Teilprozessen:

- Ausbilden eines Leistungshalbleiterbauelements mit zwei Zonen (**10, 20**) von unterschiedlichem Leitungstyp auf einem Wafer.
- Ausbilden der MESA Randstruktur der Leistungshalbleiterbauelemente durch Erzeugen von Stufengräben (**40, 42, 50, 52**).
- Beschichten der ersten Hauptfläche (**12**) sowie der Stufengräben (**40, 42, 50, 52**) mit einer a:C-H Schicht (**60**).
- Verfüllung der Stufengräben (**40, 42, 50, 52**) mit einer dielektrische Substanz (**70**).
- Entfernen der Passivierungsschichten von den späteren Kontaktflächen der ersten Hauptfläche (**12**).
- Metallisierung (**14, 24**) der Kontaktflächen der ersten Hauptfläche (**12**) sowie der zweiten Hauptfläche (**22**) des Wafers.
- Zerteilen des Waferverbundes in einzelne Leistungshalbleiterbauelemente.

3. Leistungshalbleiterbauelement nach Anspruch 1, wobei der Abstand (ΔX) der ersten Hilfsfläche (**12**) zum Übergang (**30**) zwischen der Zone (**10**) vom ersten Leitungstyp zur Zone (**20**) vom zweiten Leitungstyp zwischen 20 μ m und 50 μ m liegt.

4. Leistungshalbleiterbauelement nach Anspruch 1, wobei die erste Zone (**10**) vom ersten Leitungstyp aus p⁺ leitendem Silizium und die zweite Zone (**20**) vom zweiten Leitungstyp aus n⁻ leitendem Silizium besteht.

5. Verfahren nach Anspruch 2, wobei die Stufengräben (**40, 42, 50, 52**) durch einen Sägeschnitt mit einem geeignet konturierten Sägeblatt erzeugt sind.

6. Verfahren nach Anspruch 2, wobei die Stufengräben (**40, 42, 50, 52**) durch zwei aufeinander folgende Sägeschnitte erzeugt sind, wobei der erste Sägeschnitt mit einem breiten, der zweite mit eine schmalen Sägeblatt erfolgt.

7. Verfahren nach Anspruch 2, wobei die Stufengräben (**40, 42, 50, 52**) durch zwei aufeinander Folgende Ätzschritte mit geeigneten Maskierungsschritten erzeugt sind.

8. Verfahren nach Anspruch 2, wobei die a:C-H Schicht (**60**) von der ersten Hauptfläche (**12**) mittels einer Sauerstoffplasmareaktion entfernt wird.

Es folgen 2 Blatt Zeichnungen

Anhängende Zeichnungen

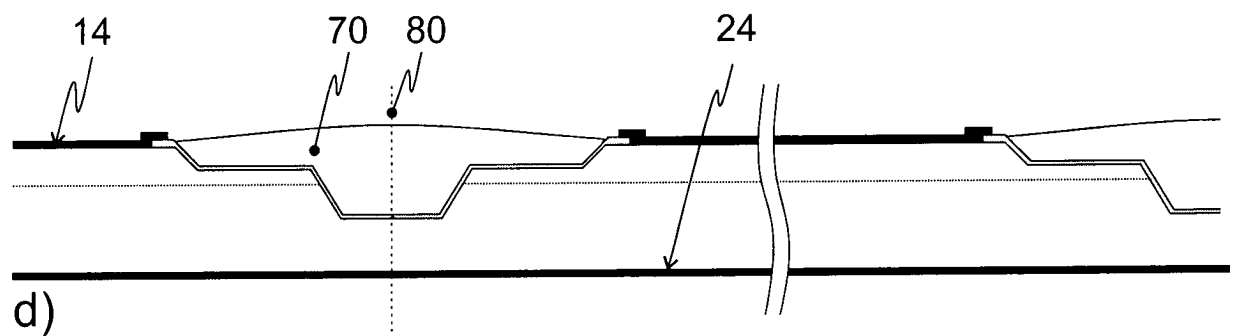
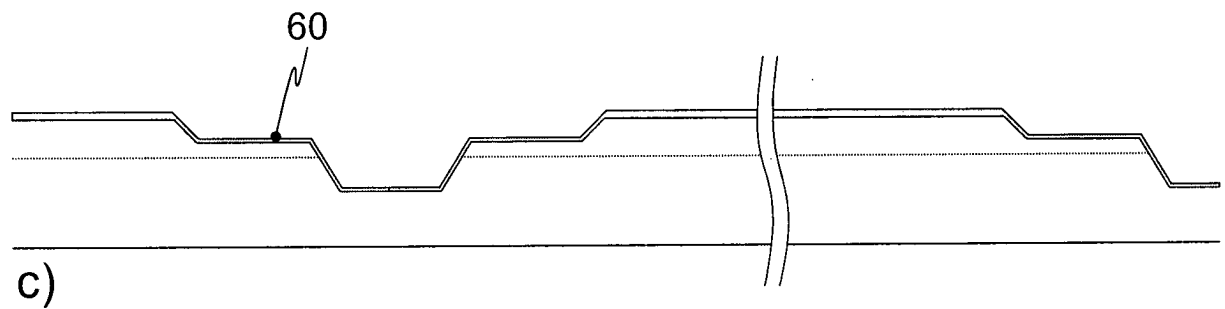
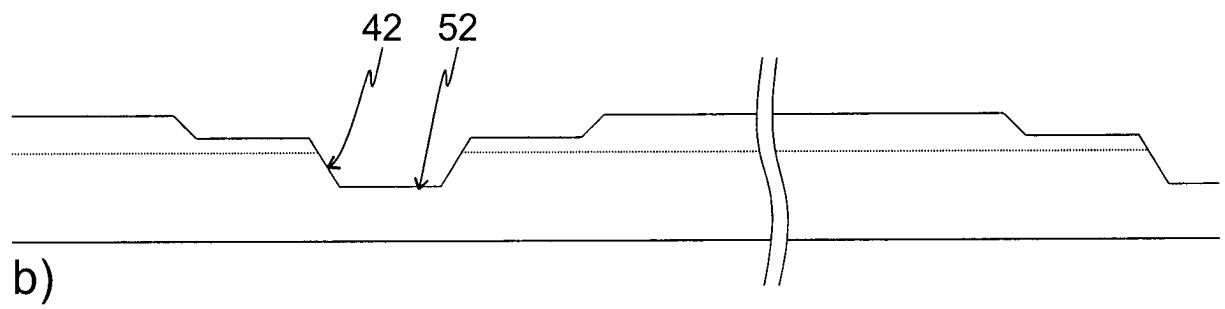
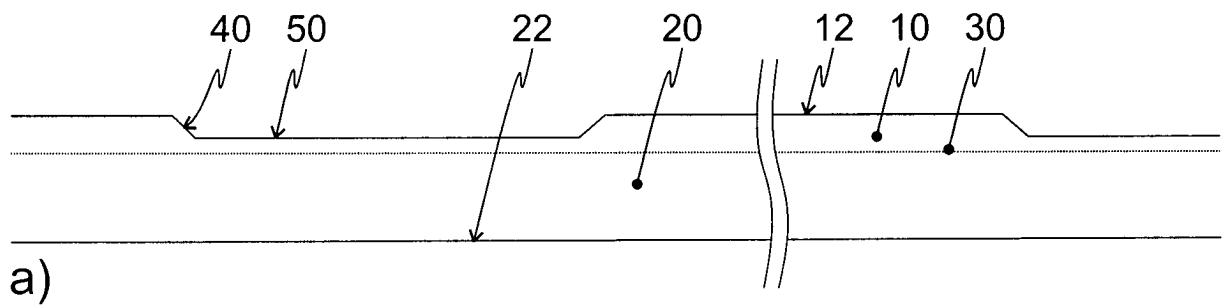


Fig. 1

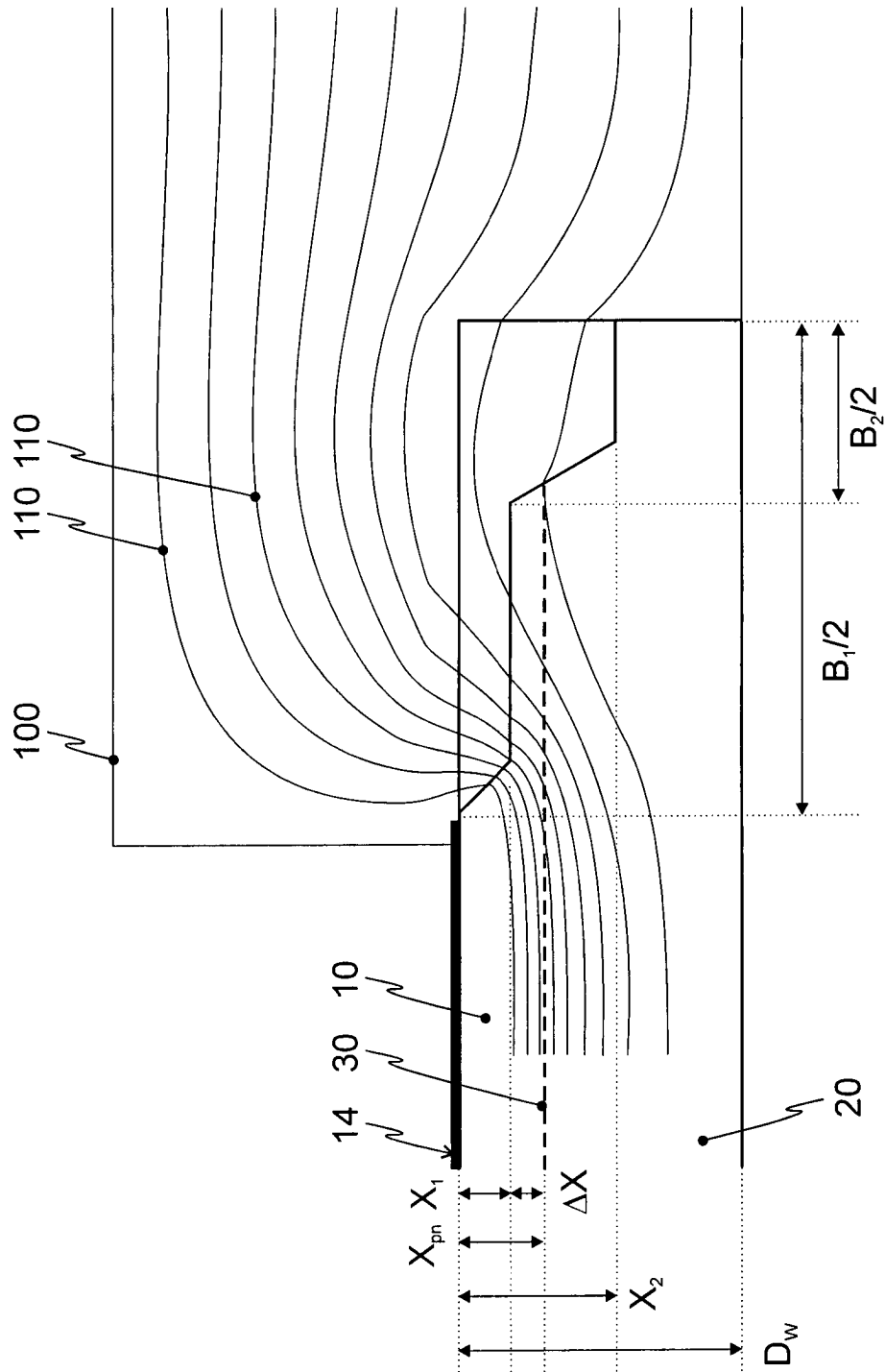


Fig. 2