

[12] 发明专利说明书

[21] ZL 专利号 95109222.7

[45] 授权公告日 2001 年 4 月 18 日

[11] 授权公告号 CN 1064805C

[22] 申请日 1992.3.31 [24] 颁证日 2000.12.22

[21] 申请号 95109222.7

分案原申请号 92102359.6

[30] 优先权

[32] 1991.4.1 [33] US [31] 678,761

[73] 专利权人 德克萨斯仪器股份有限公司

地址 美国德克萨斯州达拉斯 75265

[72] 发明人 保罗·M·乌尔巴努斯

杰弗里·B·桑普塞尔

[56] 参考文献

EP 0261897 1992.8.19 H04N3/12

审查员 陈源

[74] 专利代理机构 上海专利商标事务所

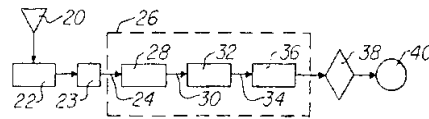
代理人 孙敬国

权利要求书 1 页 说明书 14 页 附图页数 9 页

[54] 发明名称 可用于脉宽调制显示系统的数字视频信号存储器

[57] 摘要

用空间光调制器电路(68)代替电视中的标准调谐单元可改进观察者看到的分辨率。本发明提供了一种系统结构(240)和它的单个部件和技术,使得在保持高系统速度时使成组数据速率为最小。所形成的系统在易于控制的数据速度和带宽下能提供较好的分辨率。





权 利 要 求 书

1. 一种数字视频信号存贮器，其特征在于，包含：

具有输入缓存器的分割处理器，对空间光调制器阵列用的视频数据进行格式转换并将格式转换后的视频数据输出到总线；

至少两个通过所述总线连接于所述分割处理器的输入移位寄存器，每个所述输入移位寄存器经选择可从所述分割处理器接收格式转换后的视频数据；

每个所述输入移位寄存器至少连接一个存贮单元阵列，每个所述存贮单元阵列用于存贮从所述输入移位寄存器接收到的格式转换后的视频数据；

每个所述存贮单元阵列至少连接一个输出移位寄存器，每个所述输出移位寄存器用于从所述存贮单元阵列接收格式转换后的视频数据；

连接各所述输出移位寄存器的空间光调制器，所述空间光调制器用于从所述输出移位寄存器接收所述格式转换后的视频数据。

2. 如权利要求 1 所述的数字视频信号存贮器，其特征在于，系统中，每种彩色有一输入移位寄存器，每种彩色的数据存贮在分开的存贮单元阵列中，使所述输出寄存器依序接收每种彩色数据。

说明书

可用于脉宽调制显示系统的数字视频信号存储器

本申请是申请日为 920331、申请号为 92102359.6、上述相同发明名称申请的分案申请。

本发明涉及光调制器，尤其涉及使用这些调制器系统的寻址和定时技术。

二进制光调制器具有两个状态，一个状态对应于“零”，它不发送光；另一状态对应于“1”，它对任何系统都发送最大光强的光。总之，这些调制器要么处于“断”、要么处于“通”状态。结果，从观察者眼睛看仅有两个不连续的光平，黑的和最大亮度。像素通/断状态变化时的中间光平因为它们的时间相当短而忽略。为了获得观察者能觉察的中间(模拟量)光平，可使用脉宽调制(PWM)技术。

基本的 PWM 方案如下。确定能向观察者显示模拟图像的速度，根据这速度建立帧速度(频率)和对应的帧时间。在标准的电视系统中，例如图像以每秒 30 传送，则每帧持续约 33.3 毫秒。

对帧或图像中的构成图形的像元(像素)的每个采样点进行光强的量化。设量化用 6 位(二进制)来表示，则量化每级为 $1/64$ ，其中的 63 级为非零。在这例子中，33.3 毫秒的帧时间分成 63 个相等的时间片。产生的时间片或是最低有效位(LSB)时间等于 $33.3/63$ 毫秒或是 528.6 微秒。

建立了这些时间片后，凡观察者能够看见的所有模拟像素的光强度将被标定和量化，使黑色为 0 个时间片而最大亮度为 63 个时间片。由标定和量化的光强来设定像素的“通”(ON)时间以便接通

对应数目的 LSB 时间。在最简单情况下，量化值大于零的所有像素在帧时间开始时转到 ON，且在对应于它们的相对模拟光强的 LSB 时间由仍然维持 ON。观察者的眼睛将对最大光强点积分，使它看起来如同这些点具有不变的模拟光平。

对于使用这种方案的二进制调制器的高清晰度电视(HDTV)显示，其要求的最大成组传送带宽可计算如下。在最坏情况下，即所给定帧的所有像素具有黑色和最大亮度之间的各强度值，所有像素必须在下一帧开始时发生变化。则 LSB 时间可计算如下：

水平像素数 $H=1920$

垂直像素数 $V=1080$

光强等级 $I=64$

帧速度 $F=30$ 帧/秒

每帧色彩数 $R=3$ (每个像素顺序显示每种色彩)

$$\text{LSB 时间} = \frac{1}{F} * \frac{1}{R} * \left[\frac{1}{I-1} \right]$$

所以对 these 值, LSB 时间为 176.3 微秒。在这时间中，必须要装载 2,073,600 个像素(1920 × 1080)。该数据速度由下式给出：

$$\text{数据速度} = \frac{H * V}{176.37 \text{ 微秒}}$$

该数据速度等于每秒 11.76 千兆位。建立这样系统的成本将高得惊人。

有许多方式能使 PWM 降低实际的数据速度。数据可以高度并行的方式输入到像素。例如，能够应用一种输入移位寄存器，每个寄存器包括 8 个像素，每个移位寄存器具有不在芯片上的数据输入端。对于 1920 个像素将有 240 个移位寄存器，它们共享一个公共的时钟。这 240 个移位寄存器能仅用 8 个时钟脉冲装载一行数据。数据速度减少 240 倍或减到 49.1 兆位/秒。

接下来用每个移位寄存器的输出来驱动一个并行数据锁存器。该数据锁存器在输入移位寄存器填满后用来存贮它们的内容。这样允许输入移位寄存器接受新的行数据，同时先前锁存的数据则存贮到像素阵列中一个选定的行中。因此，像素阵列可以低于输入电路运行速度 8 倍的速度进行寻址，从而限制了像素芯片所需要的高速电路。

输入移位寄存器/并行锁存器的组合电路可同时加在像素阵列的顶部和底部。这样允许设备的顶半部和底半部被同时寻址。现在每组寄存器/锁存器仅需在给定的帧时间中读一半数据。所以数据速度又可以减少 2 倍。新的输入数据速度为 24.55 兆位/秒，但引脚数为 480 个。

虽然这些以增加引脚数为代价的结构变化大大减少了对像素阵列中每个引脚输入的数据速度，他们也对像素的寻址方法施加了限制。单端输入方法可进行直接存取，而这种修改的结构只能对像素每次寻址一行。

本发明的目的和优点是明显的，且部分地出现在下面的描述中。本发明通过提供一种存贮单元来完成本发明的目的。

该存贮单元，包含：

可对空间光调制器阵列用的视频数据进行格式转换的分割处理器；

至少两个连接于所述分割处理器的输入移位寄存器，每个所述输入移位寄存器经选择可从所述分割处理器接收格式转换后的视频数据；

每个所述输入移位寄存器至少连接一个存贮单元阵列，每个所述存贮单元阵列用于存贮从所述输入移位寄存器接收到的格式转换后的视频数据；

每个所述存贮单元阵列至少连接一个输出移位寄存器，每个所

述输出移位寄存器用于从所述存贮单元阵列接收格式转换后的视频数据；

连接各所述输出移位寄存器的空间光调制器，所述空间光调制器用于从所述输出移位寄存器接收所述格式转换后的视频数据。

现在结合附图进行下面的描述以便完全理解本发明及其优点。

图 1 表示电视系统的方框图；

图 2 表示分割处理器；

图 3a、3b 和 3c 表示某些帧存贮器的方案；

图 4 表示可变形镜面装置(DMD)的集成电路装置；

图 5 表示块清除结构的一种实现方法；

图 6a 表示使用十一二进制数据的 PWM 寻址的定时图；

图 6b 表示块清除结构的定时图；

图 7 表示使用块清除结构的位时间(bit-period)共享寻址的定时图；

图 8 表示全面寻址复位寻址的定时图；

图 9 表示带有集成电路装置的 DMD 超级基片图；

图 10 表示 DMD 集成电路装置的部件分解图；

图 11 表示对强制数据和多行同时寻址的增强结构的实例；

图 12 表示对强制数据寻址的增强型结构的另一种方式。

图 1 表示本发明所描述的较佳实施例电视系统的方框图。接收机 20 接收某个标准格式的电视信号并把它传递给调谐器单元 22。调谐器单元 22 将信号分离为音频和视频分量。信号的音频部分不再进一步研究。调谐器 22 将视频信号传送给信号处理单元 23，该信号处理单元 23 进行模—数转换和其它的放大。该步骤仅在调谐器单元 22 输出模拟视频信号时才是必须的。放大的数字信号 24 送给投射系统 26，该系统包含：分割(decimation)处理器 28、帧存贮器 32 和可变形镜面装置电路 36。分割处理器 28 将信号变换为存贮器所

需的格式，并提供输出信号 30。该变换过的信号 30 再传送给帧存贮电路，在那里收集并存贮每帧完整的帧数据。完整的帧数据存满之后，将数据 34 传给 DMD 电路 36，该电路通过光学装置 38 产生图像给观察者 40。

适当的分割处理器 28 的例子更详细地显示在图 2 中。已放大的数字数据按照为输入寄存器 27 所选定的样品(采样)数例如 6 位样品输入该处理器。为了说明的目的，所示系统为 6 位，其最高有效位(MSB)是位 5 而最低有效位(LSB)是位 0。不难理解：这些电路能很容易设置成处理任意所需要的位数。

然后 6 位样品(采样)送入一个 1920×6 位的移位寄存器 42。在移位寄存器 42 填满 1920 个数据样品之后，移位寄存器中的数据传送给一个直接相连的影子存贮器(shadow memory)43，它也是 1920×6 位。该影子存贮器 43 是个 6 行阵列，每行包含 1920 位。任一给定行中存贮的数据位具有相等的二进制权值。例如影子存贮器的行 1 可以包含来自 1920 个输入样品的位 0 的全部数据，行 2 有全部样品的位 1 信号等。影子存贮器 43 的每一行可通过一个 1:6 的译码器 44 的输出有选择地读出。所需要的行由输入到译码器的 3 位选择信号 46 来指定。然后，来自影子存贮器 43 的所选定行的 1920 个位加到数据总线 48，从那里它们被送到 240 个 8:1 多路转换器阵列 52 的输入端。一个选择水平位置的 3 位控制信号 50 同时送给所有的 8:1 多路转换器，于是 8:1 多路转换器产生一个 240 位的数据流 30。所有 8 个水平位置均由控制信号 50 顺序地进行选择。

一种代替 8:1 多路转换器的实施例可包含 240 个具有公共时钟 51b 和公共装入控制 51a 的 8 位移位寄存器。在这种情况下，标号 52 是代替多路转换器阵列的移位寄存器阵列。来自影子存贮器 43 的所选行的 1920 个位加给总线 48，从那里它们送给 240 个 8:1 移位寄存器 52 的阵列的数据输入端。装入控制 51a 确保将数据总线

48 的内容存入由 240 个 8 位移位寄存器构成的阵列 52。然后,8 个连续的脉冲加给 51b 使得移位寄存器中的数据输出到数据总线 30。每个水平位置的数据流 30 传送给帧存贮器。

在上述两种实施例中,分割处理器 28 完成一种逆变换(invers emapping)的功能。每一个由 6 位组成的 1920 个输入样品以这样的方式存贮,即这些样品可作为 6 个 1920 位的输出样品进行存取。6 个输出样品的每一个又被多路输出使与分割处理器的输出连接数达最少。这种多路输出也给 DMD 的输入数据格式提供了相匹配的数据格式。上述实施例是单色系统的情况,为了实现彩色系统,该分割处理器也可根据需要进行复制。

图 3a 表示单色显示时帧存贮器 32 的构成。当信号 24 经分割处理器 28 变换并以信号 30 的方式传送给帧存贮器之后,它被导向两个帧存贮器 56a 和 56b 中的一个。如果当前 56a 处于显示,则数据流 30 由开关 54 导向帧存贮器 56b 中的存贮单元。数据流 30 存入存贮单元阵列 60b 中的那些存贮单元由地址指示器 58b 分配。存贮单元阵列 60b 由若干单个的子阵列构成,61b 是其中的一个。凡存贮在存贮单元阵列 60b 中的在同一帧中具有相同的权值(位值)的所有数据位存贮在同一子阵列中。当系统已完成存贮器 56a 的显示内容时,存贮器 56b 的内容就经过存贮单元阵列 60b 的输出总线 63b 和开关 64 送给系统。为了得到彩色,本方案也如分割处理器那样可根据需要复制。

单个子阵列 61b 的部件分解图示于图 3b 中。该子阵列 61b 分成更小单元的行。一组行 57a 或 57b 构成一个视频数据行。在本实施例中,每个时候只有 1920×1080 阵列的一半被寻址,57a 代表行 1,而 57b 代表行 540。单元 59a 接纳行 1、像素 0 的数据。单元 62a 接纳行 1、像素 7 的数据。同列中处于它们之间的单元接纳行 1 的像素 1—6 的数据。同样,单元 59b 接纳行 1、像素 8 的数据,单元 59c 接

纳行 1、像素 1940 的数据，而单元 59d 接纳行 1、像素 1912 的数据。行 1 中的最后一个像素 1919 保存在单元 62b 中。数据经总线 63b 通过开关 64 送到 DMD 阵列。对于图 3a 中所示的每个单个的子阵列而言，不管系统中有多少视频行存在，都是该方案的重复。

图 3c 表示另一个彩色系统的实施例。视频信号经线 24a、24b 和 24c 馈入 3 个分割处理器 28a、28b 和 28c。分割处理器 28a、28b 和 28c 沿着线 30a、30b 和 30c 把变换后的数据送给总线 65。总线 65 上的数据装入由地址指示器 58 指定的存贮单元中。然后指示器 58 对存贮单元阵列 60 进行彩色加载。顶部 1/3 的存贮单元子阵列 64a 用于彩色 1，第二个 1/3 的存贮单元 64b 用于彩色 2，而底部 1/3 的存贮单元 64c 用于彩色 3。单个子阵列 67 与图中所示的其它子阵列相同，类似于图 3b 中的描述，以这种方式处理的数据能顺序地把全部 3 种彩色送入 DMD 电路。

图 4 显示了 DMD 集成电路的一个实施例。来自帧存贮电路 32 的数据经图 1 中的总线 34 传送给集成电路装置 68。总线 34 实际上可分成两个总线 34a 和 34b。总线 34a 传导 DMD 阵列的上半部数据，而总线 34b 传导阵列镜面的下半部数据。数据送给移位寄存器 70a。当寄存器装满时，则数据送给并行锁存器 74a。线组 72a 用于控制移位寄存器和并行锁存器的加载。数据锁存之后，继而传送到实际可变形镜面装置 80 的 1920×1080 阵列的上半部分。镜面寻址电路的行由行选择线 78a 通过行译码器 76a 进行选择。同时，相同的操作出现在阵列的下半部分。然后阵列的镜面被寻址且偏转产生图像，该图像通过光学装置送给观察者。

在这里，DMD 显示装置由 DMD 像素阵列、输入移位寄存器和锁存器、以及行选择译码器组成。如图 5 方框所示，上述结构现已修改为允许在短时间内使 DMD 所选方框中的所有像素转换到“断”状态。并行存贮锁存器 74 已改为包括图 5 中的一根清除线 92。需要

时,该清除线能使驱动 DMD 阵列中各个列的数据设置到相当于像素位置的切断状态。另外,行选择译码器 76 在修改时添加了许多选择线,它们能使如 90a 那样一个方框内的行 90a 同时被选择。

为了把一个框内的像素设为“断”状态,需要使用并行存贮锁存器 74 的清除线 92。其次,还需要把控制像素行的方框选择线 84 转变到“断”状态。最后,将一个复位脉冲加给单光束的镜面,并使该镜偏向“断”状态。虽然图 5 只示出了 8 个行框,但由于在所给的框中各行是连续的,没有理由限于使用这一种结构。框的数量可在 1 和设计者所需量之间变化。方框中的像素行也可以隔行交错(或其它)形式连接来替代依次连续的形式。

图 6a 中,显示了标准寻址方案的定时图。线 94 表示一帧时间。线 96 表示时间段,它们对应于数据中每个不同的二进制权值的时间量。时间段 98 是显示系统的最高有效位(MSB)的时间期。在该例中,由于是 6 位系统,所以最高有效位 MSB 是位 5、时间段 98 拥有 32 个最低有效位 LSB 时间的显示时间。时间段 100 是显示下一位 4 的时间期,该位 4 有一个 16 个 LSB 时间的显示时间。同样,时间段 102 属于位 3,具有 8 个 LSB 时间。时间段 104 属于位 2,具有 4 个 LSB 时间。时间段 106 属于位 1,具有 2 个 LSB 时间。而最后,位 0 的时间用时间段 108 表示,它具有 1 个 LSB 时间。

上述时间段的镜面状态用线 110 表示。数据加载脉冲表示在线 112 上,光束复位脉冲表示在线 114 上,它们被加到光束的金属上以便将它们设置到由刚刚加载的各个数据位所指定的下一个状态。镜面状态 116 由下述处理过程得到。在加载脉冲 118 所示时间期间,数据加载到位 5 的电极上。通过复位脉冲 120 将镜面重新置位,以便显示数据加载脉冲 118 期间加载的新数据,从而开始帧时间。当位 5 显示到 31 个 LSB 时间 116 时,位 4 的数据在时间 122 期间加载。在数据加载时间 122 结束时,也即位 5 显示时间结束的同时,复

位脉冲 124 将镜面置位到它们的新状态。于是显示时间 126 开始。这种过程对位 3、2、1 和 0 重复进行。加载和显示一个完整的帧的时间是常数。该例中，帧时间 94 分成 63 个 LSB 时间 ($32+16+8+4+2+1$)，所以每个 LSB 时间为整个帧时间的 $1/63$ 。

最小的峰值数据速率由最短的时间间隔确定，在该时间间隔内某一给定有效位的所有位值必须都加载到 DMD 阵列上。图 6a 中，一个给定有效位的全部数据的加载时间是一个 LSB 时间。对一个给定帧中具有相同二进制权值的所有数据位的收集称为一个位帧 (a bit-frame)。对于 6 位系统，每帧有 6 个位帧数据。我们需要减低峰值数据速率，但很可能要牺牲 DMD 显示系统的某些其它性能。图 6b 显示怎样通过应用图 5 的框图结构来实现上述的要求。

图 6b 中，帧时间用线 128 表示。线组 130 构成显示在图 5 中第一个框结构如框 90a 的定时图。线 132 表示镜面状态；线 134 是镜面复位脉冲。线 136 指寻址清除脉冲和线 140 为数据加载脉冲。注意：当线 132 处于低状态时，如时间段 156，所有镜面处于“断”状态。寻址清除脉冲线 140 代表先前已在图 5 中讨论的“清除”线以及框选择序列这种表示法也适用于图 6a、6b 和 7。镜面显示状态 138 是通过加载时间 140 期间对方框 90a 加载最高有效数据位 5 和用置位脉冲 142 把镜面置位到新数据来获得的。起动时间 138 后的一个 LSB 时间，框 90b 的数据 MSB 的位 5 已被加载。框 90b 的线 146 上镜面 144 的状态变成恰好在复位脉冲后所加载的数据的状态。同样，框 90c—90h 的数据加载和显示也都移相一个 LSB 时间。

在时间间隔为 31 个 LSB 时间处，框 90a 的数据值 4 在时间 148 期间加载。时间 148 期间加载的数据对应于镜面显示状态 150。光束复位脉冲 152 使镜面改变到对应于状态 150 的数据上。镜面状态 150 保持 16 个 LSB 时间。这一过程继续到镜面状态 154 为止，该状态为框 90a 的位 2。因为那脉冲的权值仅有 4 个 LSB 时间，而加

载整个装置需 8 个 LSB 时间, (每个框一个 LSB 时间), 所以对方框 90e—90h 位 2 的数据还不能加载。为适应这种情况, 切断框 90a 中的镜面一段 4 个 LSB 时间的期间, 该期间在 90a 中用线段 156 表示。为了得到这种“断”状态, 产生寻址清除信号脉冲 160 和产生光束复位脉冲 162 使镜面复位到“断”状态。镜面保持“断”4 个 LSB 时间。3 个 LSB 时间后, 在时间 164 期间框 90a 的位 1 数据被加载。对这个位及其下一位重复上述过程, 对于位 1 “断”时间增加到 6 个 LSB 时间, 对于位 0 则为 7 个 LSB 时间。因此, 加载和显示一个帧的数据的总时间为从上面讨论的标准寻址方案所需的 63 个 LSB 时间、加上 4 个“断”LSB 时间、加上 6 个“断”LSB 时间、加上 7 个“断”LSB 时间, 总共 80 个 LSB 时间。因为帧时间为常数, 该例中 LSB 时间为总的帧时间的 $1/80$, 从而使该例中的 LSB 时间比图 6a 的 LSB 时间更短。图 6b 所示寻址方案使峰值数据速率在名义上减小了 8 倍。这是由于在图 6b 中一个 LSB 时间内所加载的像素数仅有图 6a 中一个 LSB 时间内所加载的像素数的 $1/8$ 那么多。然而, 虽则图 6a 和图 6b 中的帧时间相等, 它们相应的 LSB 时间仍然不等。在图 6a 中, LSB 时间为帧时间的 $1/63$, 而图 6b 中 LSB 时间为帧时间的 $1/80$ 。由于 LSB 时间的差异, 使用图 6b 寻址方案替代图 6a 的寻址方案时, 实际的数据速率减少为 $8:1 \times (63/80) \approx 6.3:1$ 。

虽然图 6b 寻址方案已大大减少了峰值数据速率, 但它是以牺牲光效率为代价的。图 6a 中, 如果像素为最大亮度, 它接通和断开都为 63 个 LSB 时间, 具有 100% 的寻址效率。而使用图 6b 的寻址方案, 如果像素为最大亮度, 则它接通 63 个 LSB 时间而断开为 80 个 LSB 时间, 由于像素有 17 个 LSB 时间总是断开的, 结果光效率约 79%。

提高图 6b 寻址方案的光效率同时保持给 DMD 低的瞬时数据速度是需要的。提高图 6b 方案的光效率的一种方法是当镜面处于断

状态时减少 LSB 时间的数量。图 7 是对图 6b 稍作修改的方案，它能完成上述目的。一个附加的好处是，它还稍微减小了图 6b 方案的峰值数据速率。在图 7 中，帧时间用线 166 表示。线组 130 仍代表框 1 的有效信号。线 132 还是镜面状态；线 134 为光束复位；线 136 为寻址清除；和线 140 为数据加载线。在该方案中，位 5 数据即 MSB 在时间 168 被加载，镜面用脉冲 172 复位且数据在镜面状态 170 期间显示 8 个 LSB 时间。进入显示期 7 个 LSB 时间后，位 1 数据在时间 174 期间被加载，并用复位脉冲 176 接通镜面。在镜面状态时间 178 有数据显示，该时间实现了位 1 所需的 2 个 LSB 时间。然后位 5 数据再一次加载在时间 180 的镜面上，该镜面状态是由复位脉冲 182 使其回到位 5 状态的。位 5 数据在镜面状态时间 184 被显示，该时间等于 16 个 LSB 时间。所以此时位 5 数据已显示了 24 个 LSB 时间，相当总需要量的 $3/4$ 。位 0 数据用脉冲 202 加载且显示一个 LSB 时间 186，完成了对位 0 的要求。然后位 5 数据在时间 204 期间再一次被加载且在镜面状态时间 188 期间显示，显示了 8 个 LSB 时间，将它的总显示时间提高到 32 个 LSB 时间，因此完成了由它的二进制权值所规定的需要。镜面显示时间 190 用于位 4；显示时间 192 用于位 3；而显示时间 194 用于位 2。这样，就完成了按照它们的二进制权值对所有位显示它们特定时间量的要求。

框 90a—90d 的定时图除了他们有相移外是相同的。但方框 90a—90d 与方框 90e—90h 相比则不尽然。方框 90e 的定时图用线组 206 表示。因为数据的加载和显示方式与所有其它方框的是相同的，所以这里仅讨论线 207。镜面显示时间 208 用于位 5，它显示 8 个 LSB 时间。与框 1 类同，位 1 数据加载显示一个 2LSB 时间的时间 210，由此完成它的要求。时间段 212 再一次用于显示位 5，它为 24 个 LSB 时间，它完成了位 5 的需要。注意这与框 1 的不同点，图上时间 222 是显示位 4 的总时间。位 4 在时间段 214 中显示 4 个 LSB 时

间,然后位 0 数据加载并显示一个 LSB 时间。位 4 重新加载并在时间段 218 中显示它所需要的 12 个 LSB 时间。结果是:时间 222 为 17 个 LSB 时间而不是标准的 16 个。这更长的时间是由处在加载脉冲 221 和 223 之间(分别在框 90d 和 90e 上)的间隙 220 引起的。该间隙在框 90a—90c 中也有。观察框 90a,在时间段 192 和 194 之间也能看到间隙 196。这是由于等到位 3 完全加载后位 2 才能加载。由于在显示位 4 数据期间加载位 0 的数据因而在框 5 中产生间隙,所以直到过了 8 个 LSB 时间后框 8 中的位 3 才能加载。所形成的总显示时间为 71 个 LSB 时间,它比图 6b 中讨论的方案时间上要短,故而它比图 6a 的方案有更低的数据速率,与方法相关的是,复位脉冲的数量也大得多。

在给定的帧时间中使用大量复位脉冲可能引起潜在效应,所以需要一种避免这种潜在效应的对 DMD 寻址的方法。图 8 显示了这样一种方法,称为全面寻址复位(TAR)法。本方法与上面讨论的位时间(bit-period)共享方法之间有三个主要的不同点。

首先,在 TAR 法中,在复位脉冲加给像素之前,对整个 DMD 用一特定定位的位帧(bit-frame)数据加载,而位时间方法只加载部分 DMD(一个框),然后加上复位脉冲。其次,在 TAR 方法中,整个装置用 8 个 LSB 时间加载。而在前面的方法中,整个装置用 8 段时间加载,每次加载一个位帧。二者的数据加载总时间是相同的。

图 8 中,线 228 代表观察者看到的镜面状态。观察者看到“位 5”230a 接通一段等于 32 个 LSB 时间的时期,后随的“位 4”230b 接通时间为位 5 的一半。该图形连续下去直至达到“位 2”230d 和“位 1”230e 之间的时间点为止。在这一时间点上,实际上存在一个所有镜面处于“断”的时期。当然,由于该时期是一种比人们眼睛的临界闪烁频率高得多的频率,实际上观察者不能看到它。在适当的时间量之后,“位 0”230f 被显示。

线 232 是数据加载定时线。加载时间的每一个, 232a—232f, 等于 8 个 LSB 时间。“位 5”232a 恰好在线 228 所示位 5 的显示时间之前被加载。同样, 所有的位都恰好在线 228 上的显示时间之前加载。每一位的加载时间是相同的。线 234 是地址复位线, 线 236 是光束复位线。送给光速的复位脉冲的数量有相当大的减少。这样消除了光束机械部件的磨损和损坏。

使上面讨论的过程得以实现的结构示于图 9 中。图 4 中简单的 DMD 芯片 68 已变成超级基片 (superstrate) 240 的一部分。线 34a 和 34b 经多路分配器 (8:128) 242a 和 242b 进入电路。所形成的信号以 16 位线送给先进先出 (FIFO) 缓存器 244a 至 244d 和 244b 至 244c。各 FIFO 的输出经线 246a 和 246b 传输给 DMD 芯片。控制信号经线 78 (线选择) 和线 248 (帧复位) 进入 DMD 芯片。

DMD 装置 68 的部件分解图示于图 10。来自总线 246a 和 246b 的数据经多路分配器 (1:8×128) 250a 和 250b 进入镜面阵列 80a 和 80b。线选择信号 78 分成进入下面阵列译码器 76b 的下线选择和进入上面阵列译码器 76a 的上线选择。线 248 上的帧复位信号也分为存取下面镜面阵列 80b 和存取上面镜面阵列 80a。这种修改后的结构能支持上面讨论的不同寻址方案, 加上许多其它改进, 使该装置更灵活多用。

对上述结构可增强些结构来增加速度。一种增强是具有数据输入结构, 这样使得不仅正常输入数据可被选择, 而且常数输入数据也可被选择。这种结构的增加如图 11 所示, 对于正常数据输入, 数据为单值的, 输入数据经过线 254a 至 254c 馈送到多路转换器 252a 至 252b, 后者的输出被用来选择驱动阵列的列。对强制性的数据输入, 数据为常数, 线 256a 和 256b 上的强制数据将加到列中。数据的选择由多路转换器 258a 和 258b 来完成。这样, 常数数据便可以这样的速度加给 DMD 镜面阵列 (图中为下阵列 80b 中的各个列, 该速度仅受

限于强制数据多路转换器和带有输入线 260 的行选择译码器 16b, 这输入线 260 上的控制信号是用来决定多路或是单路行选择的。

另一种增强是通过改变译码器的结构使多行同时被寻址, 包括所有行同时寻址或分组进行寻址。这种分组应这样安排, 以便为给定的应用带来最大的好处。例如, 这种分组可以把行的任何数目和组合作为一个组进行寻址, 且可定义任何数量的组数。这种对组的定义规定了译码器的结构。

虽然这里对显示系统和它的结构的特定实施例作了描述, 这样的具体说明不能认为是本发明范围的限定, 其限定如下面权利要求书中所述。

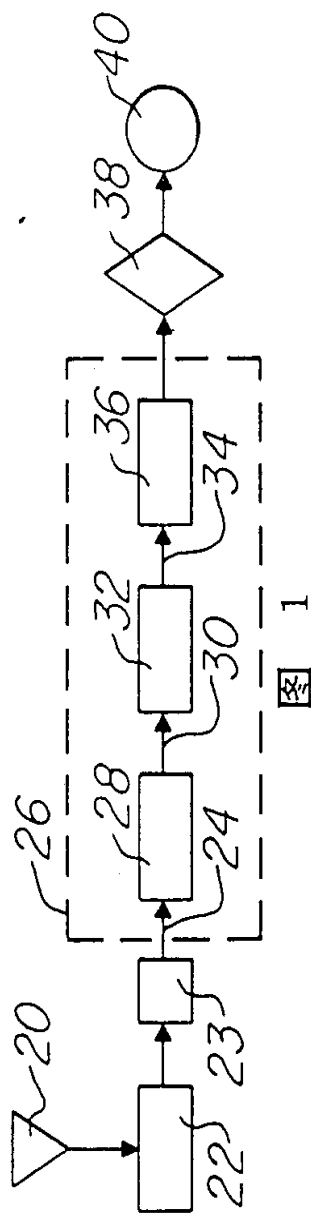


图 1

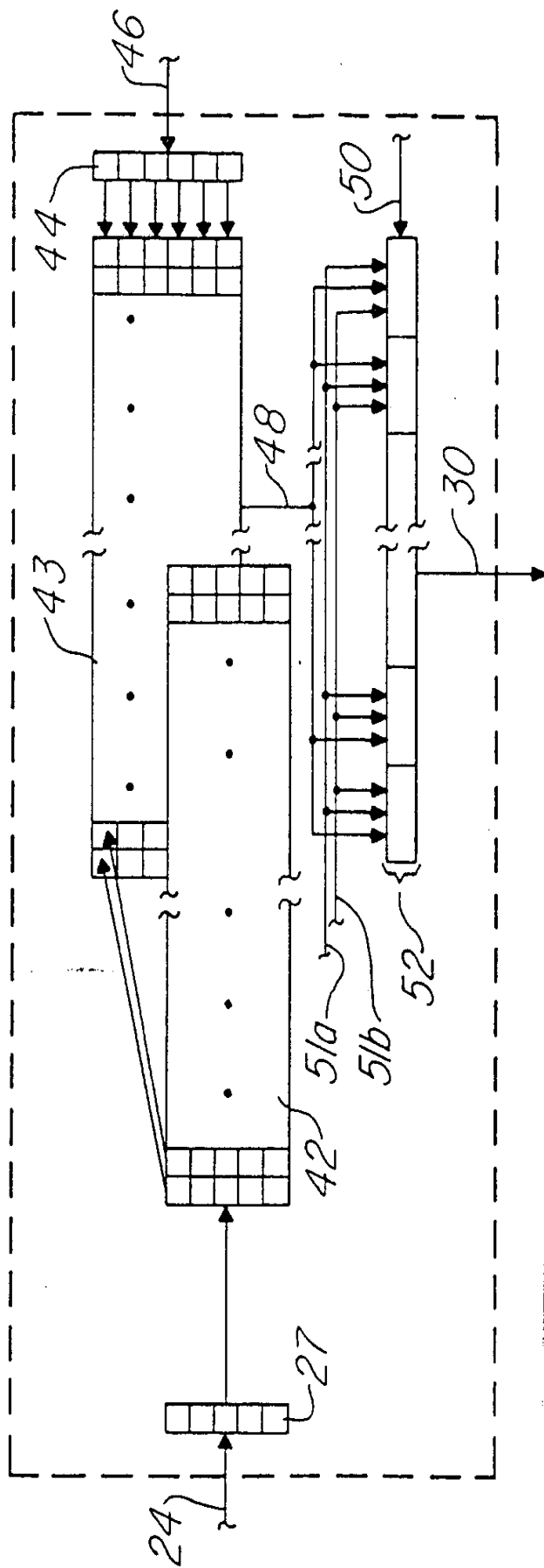


图 2

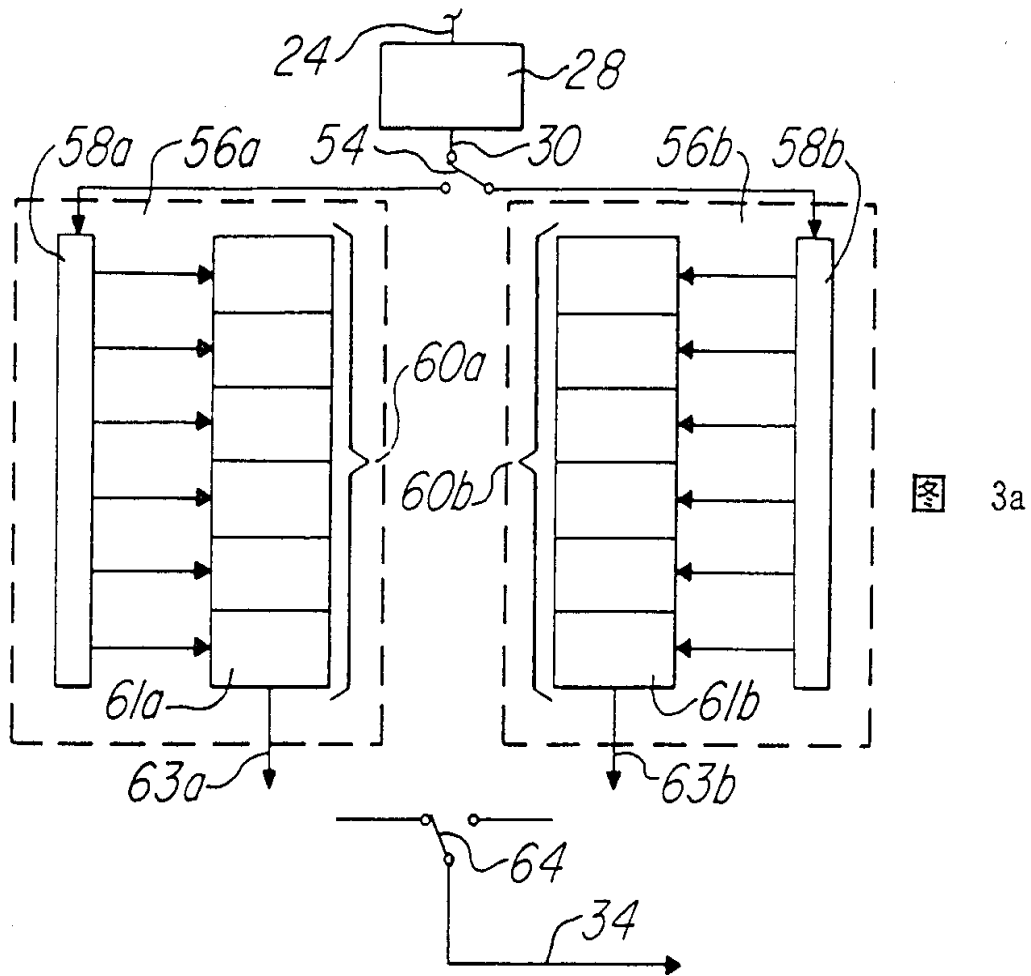


图 3a

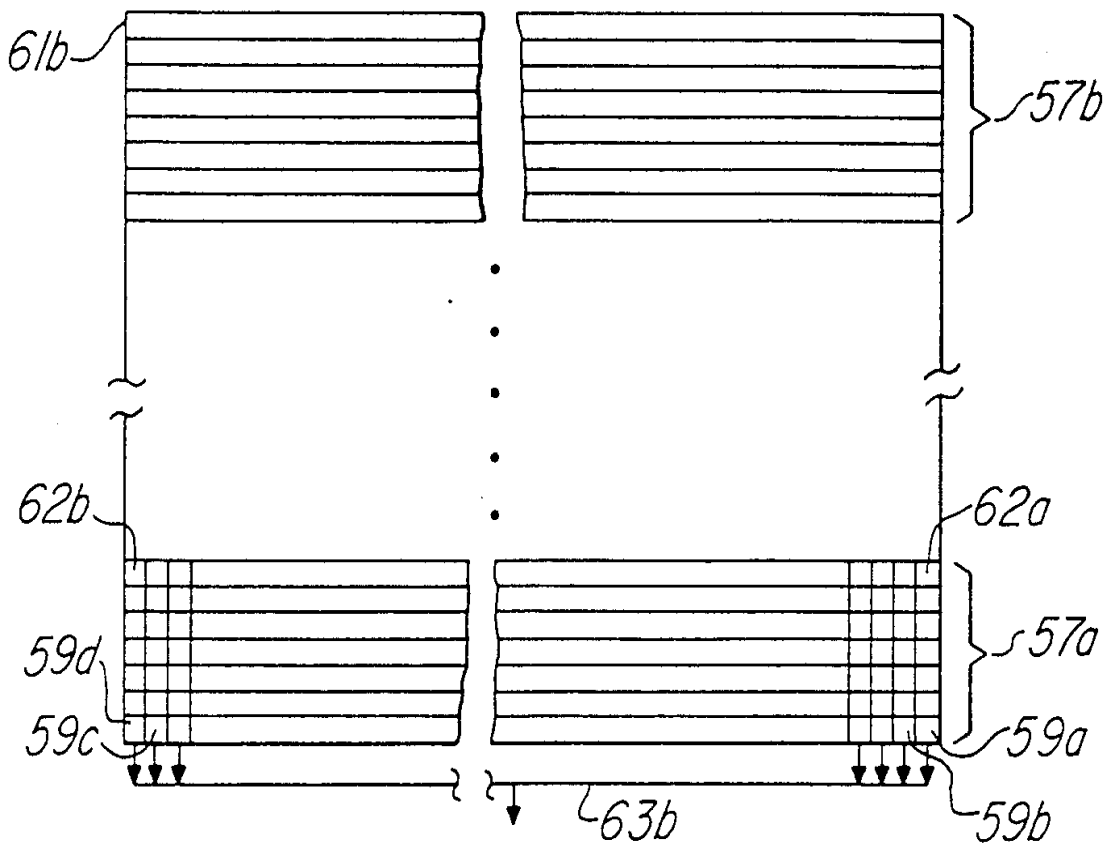


图 3b

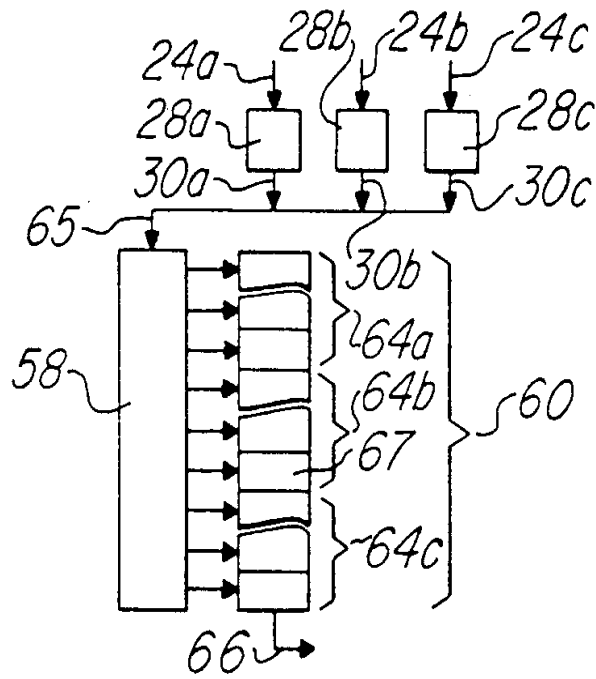


图 3c

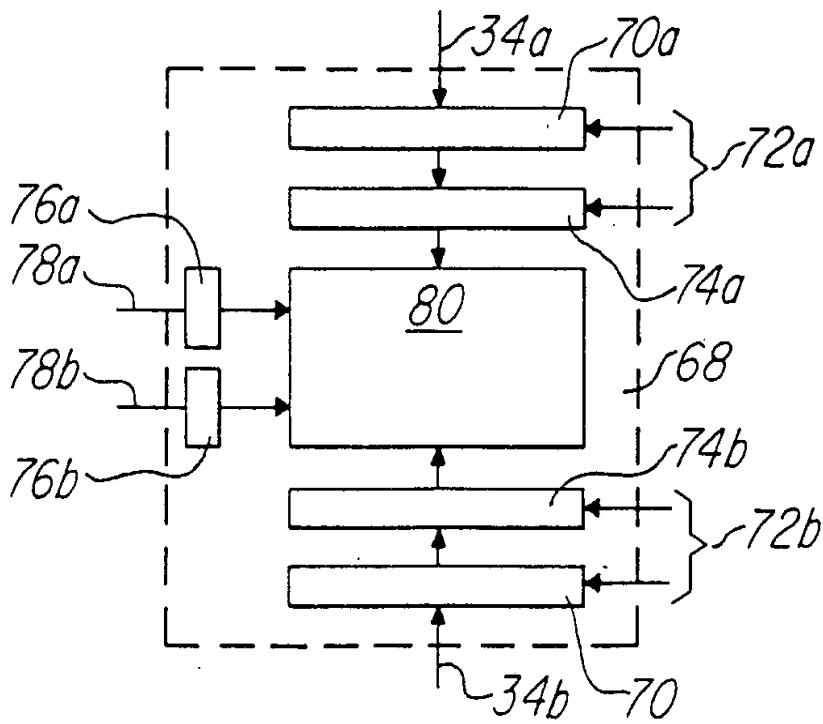


图 4

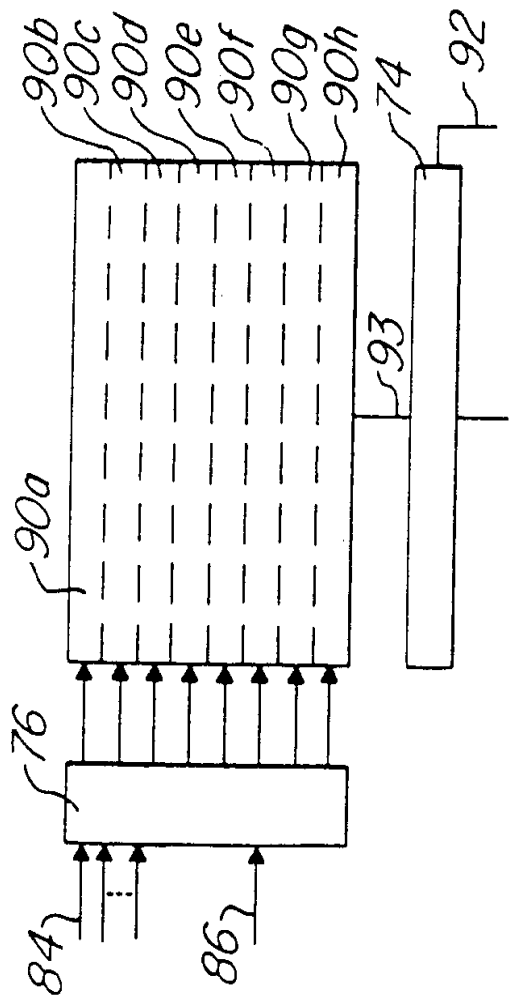


图 5

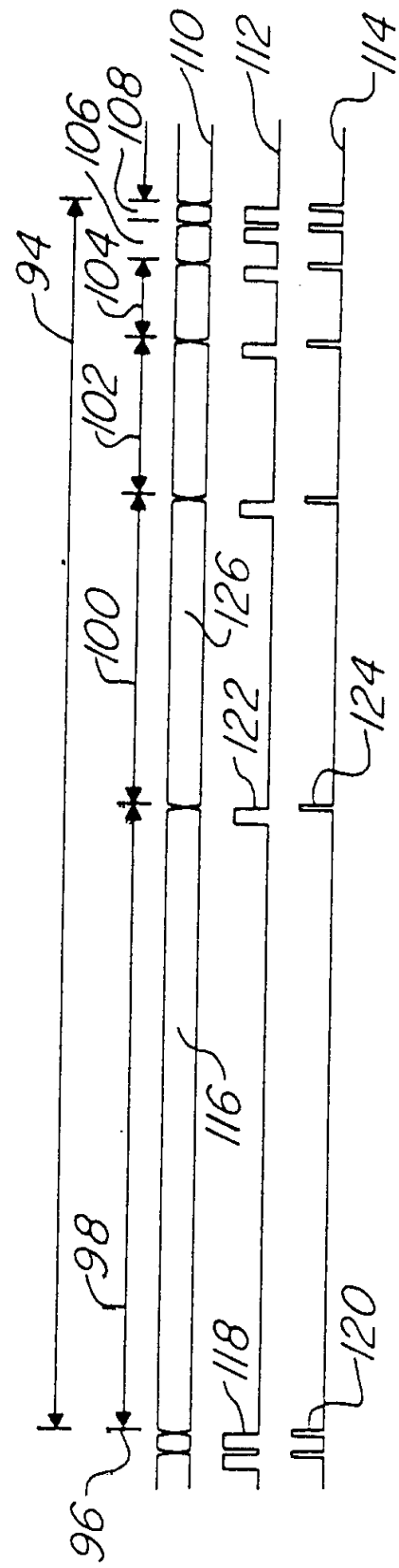


图 6a

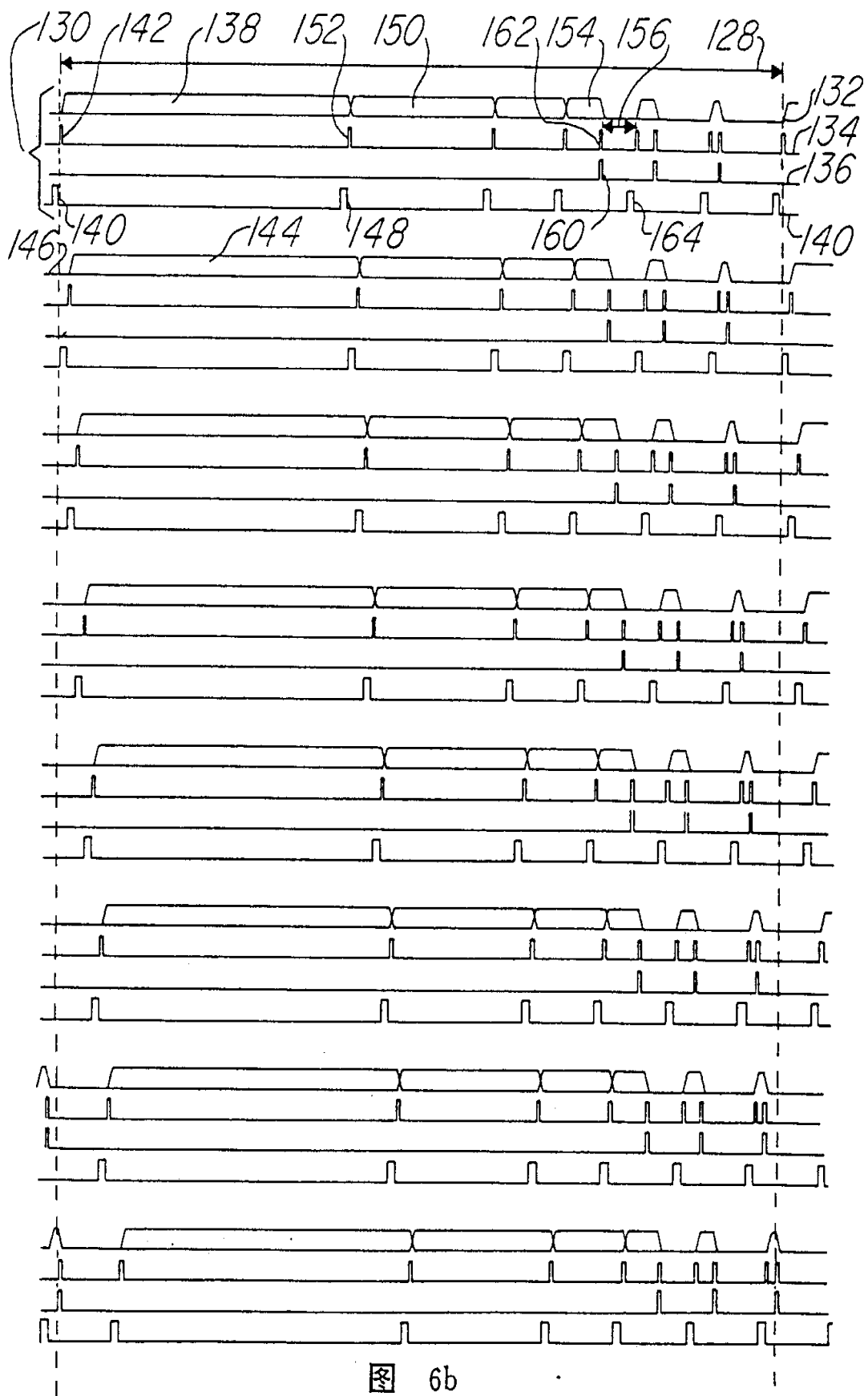


图 6b

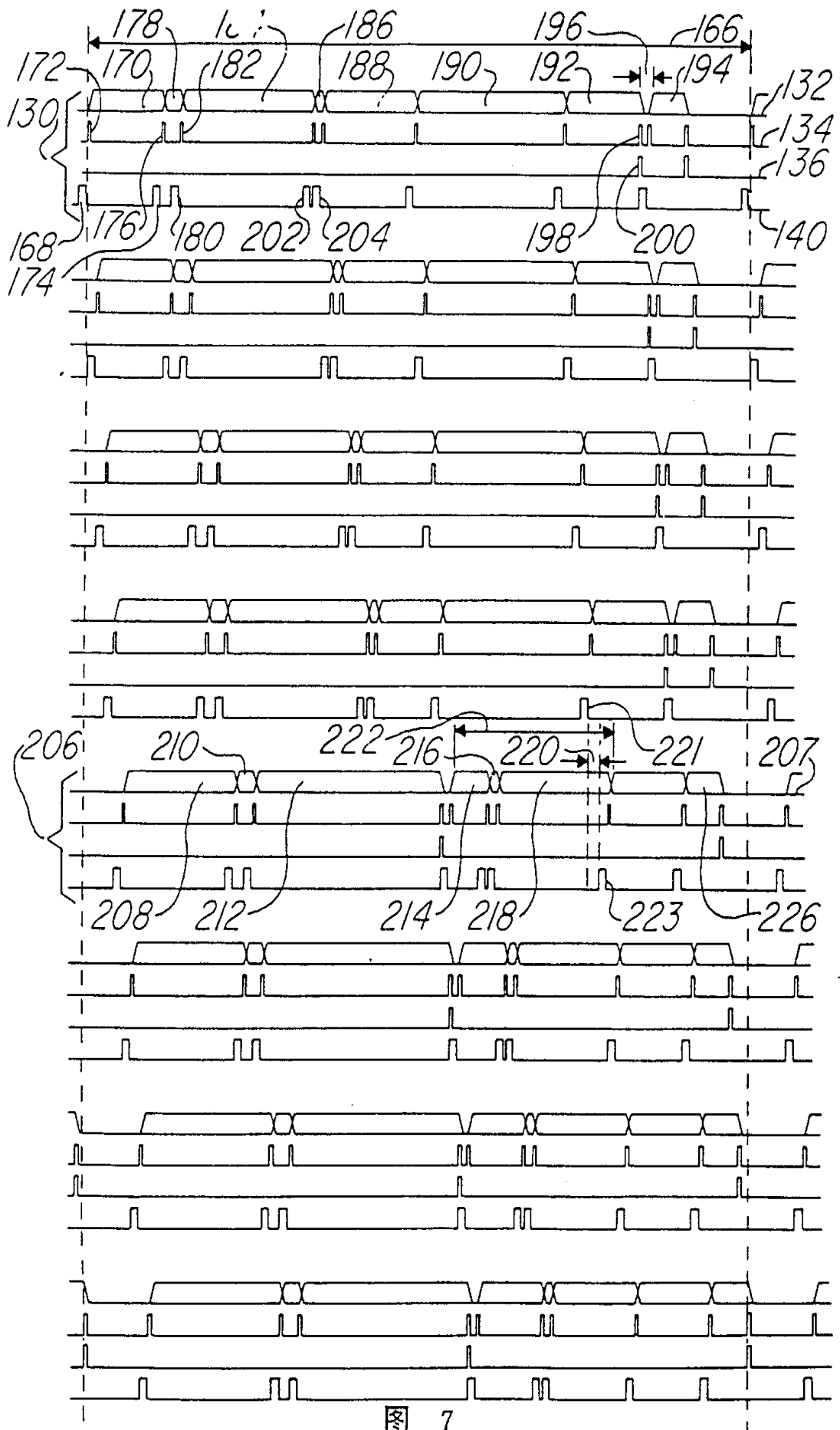


图 7

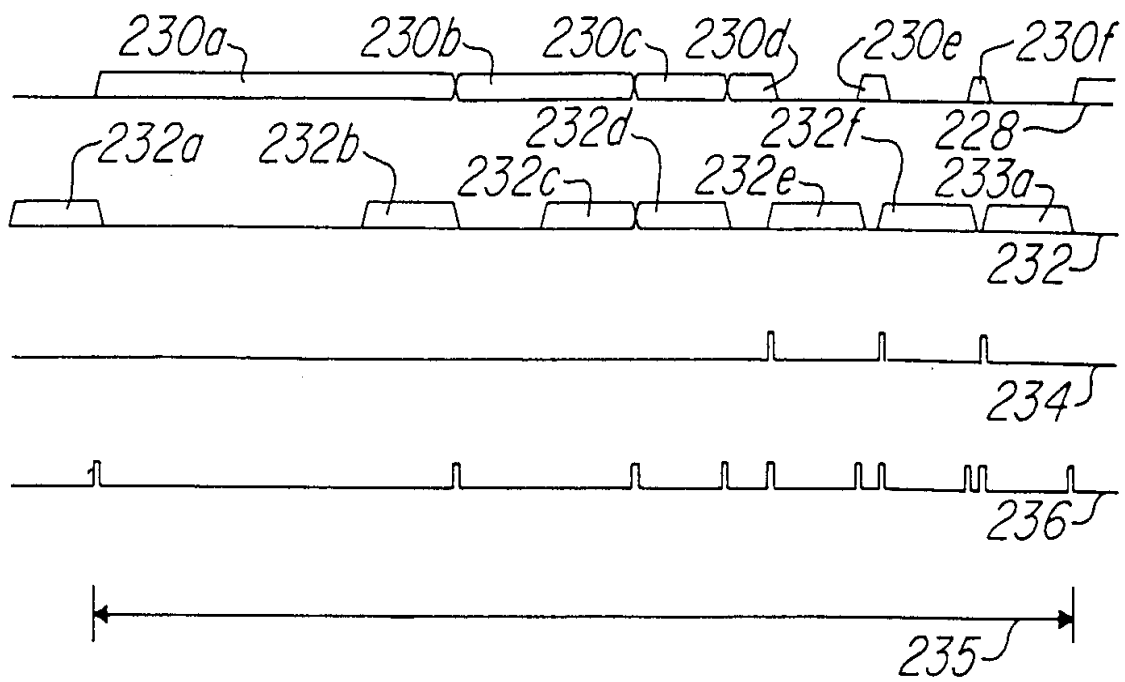


图 8

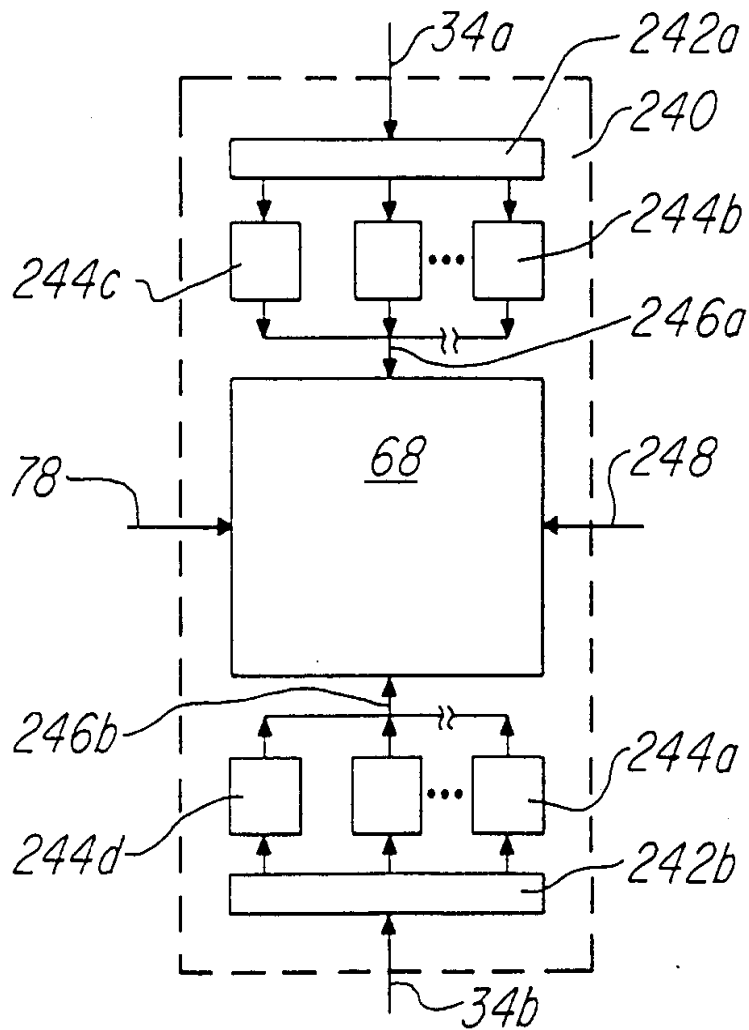


图 9

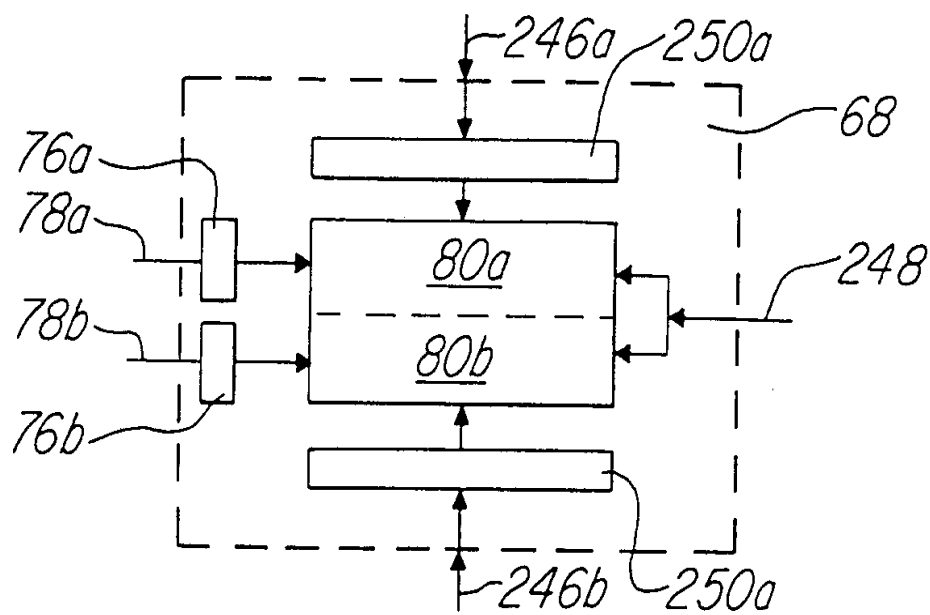


图 10

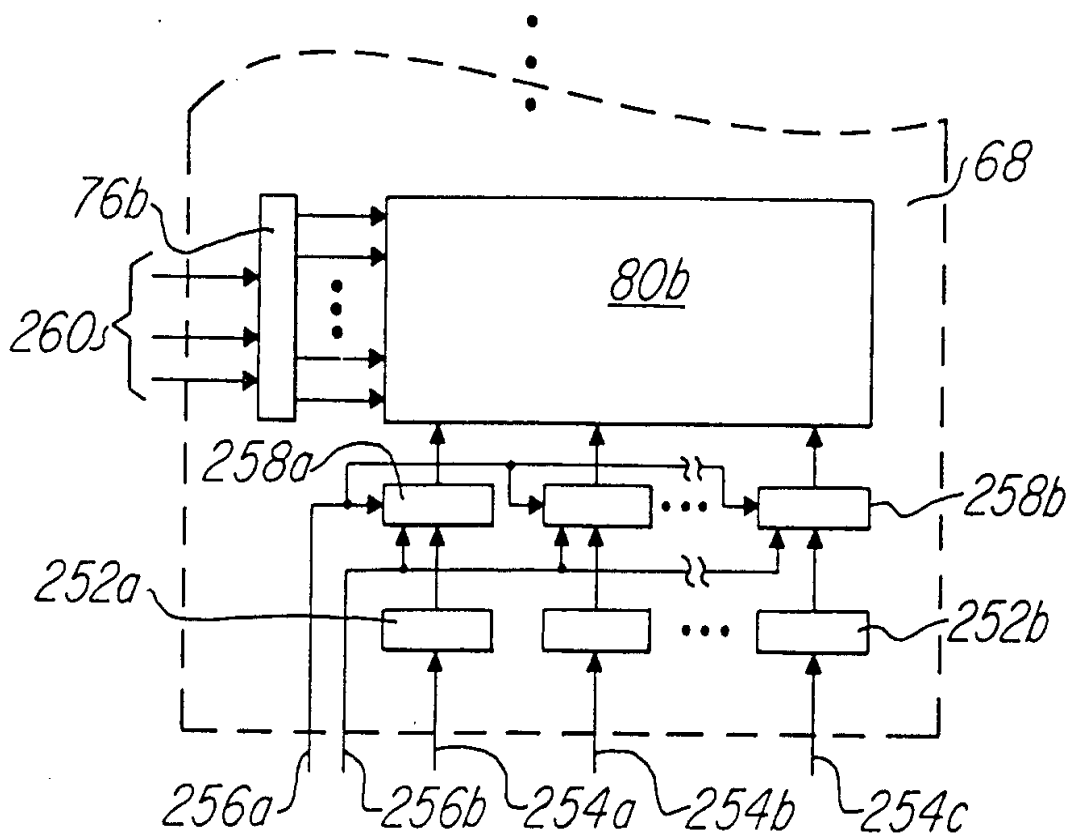


图 11

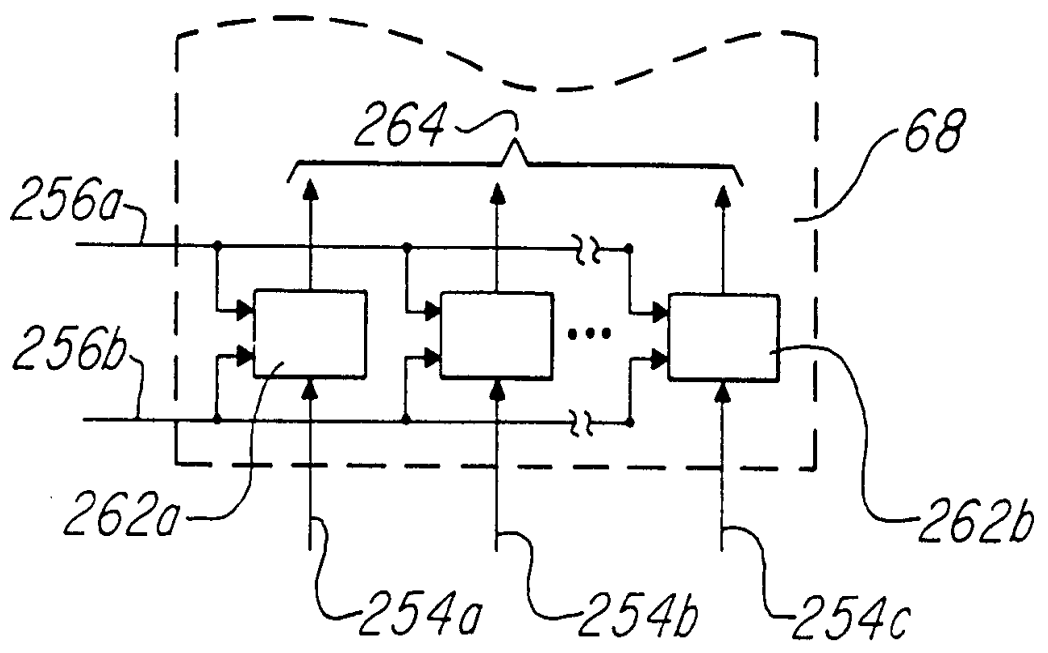


图 12