

[12] 发明专利申请公开说明书

[21] 申请号 98807529.6

[43]公开日 2000年8月30日

[11]公开号 CN 1265249A

[22]申请日 1998.7.22 [21]申请号 98807529.6

[30]优先权

[32]1997.7.24 [33]JP [31]212746/1997

[32]1997.7.24 [33]JP [31]212747/1997

[86]国际申请 PCT/JP98/03262 1998.7.22

[87]国际公布 WO99/05835 日 1999.2.4

[85]进入国家阶段日期 2000.1.24

[71]申请人 株式会社建伍

地址 日本东京

[72]发明人 堀井昭浩 白石宪一

[74]专利代理机构 中原信达知识产权代理有限责任公司

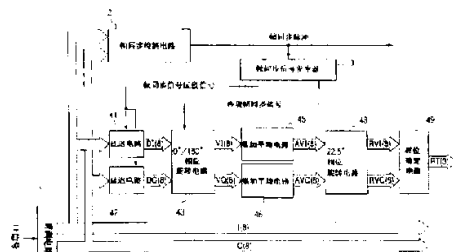
代理人 方挺 余滕

权利要求书 3 页 说明书 23 页 附图页数 11 页

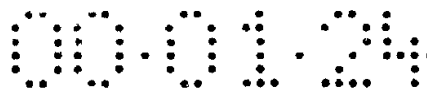
[54]发明名称 接收信号相位检测电路

[57]摘要

提供了一种电路规模较小的接收信号相位检测电路。该电路从一个已解调基带信号捕获一个帧同步信号,通过延迟电路(41,42)在帧同步信号的周期期间以与捕获的同步信号的比特流匹配的定时从已解调基带信号提取出一个码元流,当比特流中的比特为逻辑“0”时,将从码元流提取出的相应码元的相位旋转180°,在相位旋转之后输出该码元,当比特流中的比特为逻辑“1”时,从0°/180°相位旋转电路(43)输出从码元流提取出并旋转相位的相应码元,通过累加平均电路(45,46)对0°/180°相位旋转电路(43)在特定周期内的输出执行累加平均,通过22.5°相位旋转电路(48)旋转其输出的相位,由相位确定电路(49)确定其输出的相位。



ISSN 1008-4274



权 利 要 求 书

1. 一种接收信号相位检测电路，包括：

5 帧同步信号捕获装置，用于从一个已解调基带信号捕获一个帧同步信号；

提取装置，用于在一个码元流与由帧同步信号捕获装置捕获和再现的同步信号的比特流相一致的定时，从一个已解调基带信号提取出在帧同步信号的周期内的码元流；以及

10 累积加/减平均电路，由提取装置提取出的码元流被输入到该电路，其中，当再现同步信号的比特流中的一个比特是逻辑“1”时，由提取装置提取的码元流中的相应码元被增加，而当再现同步信号的比特流中的一个比特是逻辑“0”时，由提取装置提取的码元流中的相应码元被减少，对预定期间内累积加/减的结果进行平均，

其中，根据累积加/减平均电路的输出确定一个接收信号相位。

15

2. 一种接收信号相位检测电路，包括：

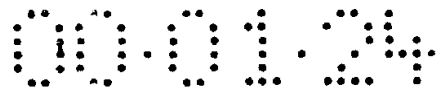
帧同步信号捕获装置，用于从一个已解调基带信号捕获一个帧同步信号；

20 提取装置，用于在一个码元流与由帧同步信号捕获装置捕获和再现的同步信号的比特流相一致的定时从一个已解调基带信号提取出在帧同步信号的周期内的码元流；以及

0°/180°相位旋转装置，由提取装置提取出的码元流被输入到该装置，当再现同步信号的比特流中的一个比特是逻辑“0”时，在一个相应码元上执行了 180°相位旋转之后，输出由提取装置提取的码元流的相应码元，而当再现同步信号的比特流中的一个比特是逻辑“1”时，不执行由提取装置提取的码元流中的相应码元的相位旋转，而直接输出该相应码元；

25 累加平均电路，用于对预定期间内 0°/180°相位旋转装置的输出进行求和与平均；

30 相位旋转电路，用于按照 $(22.5^\circ + 45^\circ \times n)$ 对累加平均电路的输



出执行相位旋转，其中 n 是从 $n=0$ 到 7 中选择一个整数；以及
相位确定电路，用于确定相位旋转电路的输出的相位。

3. 一种接收信号相位检测电路，包括：

5 帧同步信号捕获装置，用于从一个已解调基带信号捕获一个帧同步信号；

提取装置，用于在一个码元流与由帧同步信号捕获装置捕获和再现的同步信号的比特流相一致的定时，从一个已解调基带信号提取出在帧同步信号的周期内的码元流；

10 累积加/减平均电路，由提取装置提取出的码元流被输入到该电路，其中，当再现同步信号的比特流中的一个比特是逻辑“1”时，增加由提取装置提取的码元流中的一个相应码元，而当再现同步信号的比特流中的比特是逻辑“0”时，减少由提取装置提取的码元流中的相应码元，对预定期间内累积加/减的结果进行平均；

15 相位旋转电路，用于按照 $(22.5^\circ + 45^\circ \times n)$ 对累积加/减平均电路的输出执行相位旋转，其中 n 是从 $n=0$ 到 7 中选择一个整数；以及
相位确定电路，用于确定相位旋转电路的输出的相位。

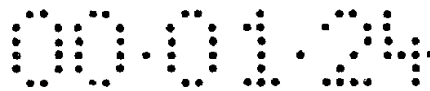
4. 一种接收信号相位检测电路，包括：

20 帧同步信号捕获装置，用于从一个已解调基带信号捕获一个帧同步信号；

相位旋转电路，用于按照 $(22.5^\circ + 45^\circ \times n)$ 对一个已解调基带信号执行相位旋转，其中 n 是从 $n=0$ 到 7 中选择一个整数；

25 提取装置，用于在码元流与由帧同步信号捕获装置捕获和再现的同步信号的比特流相一致的定时，从相位旋转电路的输出中提取出在帧同步信号的周期内的码元流；

30 累积加/减平均电路，由提取装置提取出的码元流被输入到该电路，其中，当再现同步信号的比特流中的一个比特是逻辑“1”时，由提取装置提取的码元流中的一个相应码元被增加，而当再现同步信号的比特流中的该比特是逻辑“0”时，由提取装置提取的码元流中的相



应码元被减少，对预定期间内累积加/减的结果进行平均；以及
相位确定电路，用于确定累积加/减平均电路的输出的相位。

5. 一种接收信号相位检测电路，包括：

5 帧同步信号捕获装置，用于从已解调基带信号捕获帧同步信号；
相位旋转电路，用于按照 $(22.5^\circ + 45^\circ \times n)$ 对一个已解调基带信号执行相位旋转，其中 n 是从 $n=0$ 到 7 中选择一个整数；

10 提取装置，用于在一个码元流与由帧同步信号捕获装置捕获和再现的同步信号的比特流相一致的定时，从由相位旋转电路进行了相位旋转的已解调基带信号中提取出在帧同步信号周期内的码元流；

码反转装置，由提取装置提取出的码元流被输入到该装置，只有当再现同步信号的比特流中的一个比特是逻辑“0”时，才反转由提取装置提取出的码元流中的一个相应码元的代码，并在反转之后输出该相应码元；

15 相位确定电路，用于确定码反转装置的输出的相位；

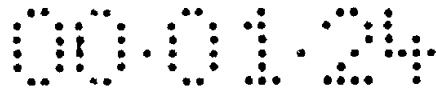
格雷码变换器，对相位确定电路的输出执行格雷码变换；

择多确定装置，用于接收格雷码变换器的输出，并执行择多确定；

以及

20 二进制码变换器，用于对择多确定装置的输出执行二进制码变换，

其中，将二进制码变换器的输出用作为一个接收信号相位旋转角度信号。



说明书

接收信号相位检测电路

5 技术领域

本发明涉及一种用于检测接收到的信号的相位的电路，特别涉及一种用于检测在一个接收机中使用的接收信号的相位的电路，其中该接收机接收多个调制方式所发送的数字调制波形并检测所接收信号的相角，在这些调制方式中采用了所需要的互不相同的 C/N 比。

10

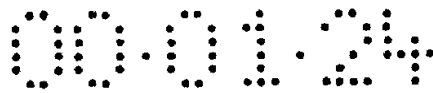
背景技术

在一个与分级传输系统一起使用的接收数字调制波的广播接收机中，其中在该分级传输系统中根据定时组合有多个具有所需的分别不同的 C/N 比的调制，例如 8PSK 调制、QPSK 调制和 BPSK 调制，并且一个在这种调制下的数字调制波被以连续帧重复发送，在所述广播接收机中，从解调的基带信号中捕获帧同步信号（此后将其称为码元流），从捕获的帧同步信号的信号点排列获得当前时间点的所接收信号的相位旋转角度，并使解调的基带信号根据获得的接收信号的相位旋转角度进行相反相位旋转，从而使得解调的基带信号与发送的信号相角一致，以便处于绝对相位。

20

常规的接收信号相位检测电路如图 1 所示，该电路包括：调制电路 1；帧同步检测电路 2；以及帧同步信号发生器 3；另外，还包括延迟电路 41 和 42，其构成用于检测接收信号相位的模块； $0^\circ/180^\circ$ 相位旋转电路 43；累加平均电路 45 和 46；以及在采用 ROM 的变换表的应用下执行所接收信号的相位确定的接收信号相位确定电路 47。帧同步检测电路 2 和帧同步信号发生器 3 对应于用于从解调的基带信号捕获帧同步信号的帧同步信号捕获装置，延迟电路 41 和 42 对应于提取装置，其在码元流与由帧同步信号捕获装置捕获和再现的同步信号的比特流一致的定时，从已解调基带信号提取在帧同步信号的周期内的码

30



元流。

如图 1 所示的常规接收信号相位检测电路对接收的数字调制波执行频率变换，得到一预定的中间频率信号，将该经过频率变换的中间频率信号提供给解调电路 1 进行解调，解调电路 1 发送出例如被量
5 化了了的 8 比特已解调基带信号 $I(8)$ 和 $Q(8)$ （此后也将其称为基带信号 I 和 Q ，省略了括号和在每个括号中的表明比特数的数字）。已解调基带信号 $I(8)$ 和 $Q(8)$ 也被送给帧同步检测电路 2，以便捕获例如已经被 BPSK 调制的帧同步信号。

10

下面将采用图 2 (a) 至 (c) 对发送端上的每个调制方法的映射进行说明。图 2 (a) 显示了在采用 8PSK 调制作为调制方法的情况下的信号点排列。在 8PSK 调制方法中，可以将 3 比特的数字信号 (a,b,c) 作为一个码元来发送，其中构成 1 码元的比特组合为 (0,0,0)，(0,0,1) 至 (1,1,1)，总共有 8 种组合方式。将每 3 比特的数字信号变换成图 2
15 (a) 的发送端上的 I-Q 向量平面上的信号点排列 0 至 7，这种变换通常被称为 8PSK 映射。

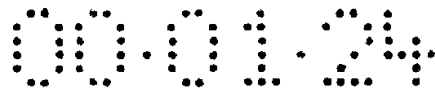
15

在图 2 (a) 所示的例子中，比特序列 (0,0,0) 被变换成信号点排列“0”，比特序列 (0,0,1) 被变换成信号点排列“1”，比特序列 (0,1,1) 被变换成信号点排列“2”，比特序列 (0,1,0) 被变换成信号点排列“3”，比特序列 (1,0,0) 被变换成信号点排列“4”，比特序列 (1,0,1) 被变换成信号点排列“5”，比特序列 (1,1,1) 被变换成信号点排列“6”，比特序列 (1,1,0) 被变换成信号点排列“7”。

25

图 2 (b) 显示了在采用 QPSK 调制作为调制方法的情况下的信号点排列，在 QPSK 调制方法中，可以发送 2 比特的数字信号 (d,e) 作为 1 个码元，其中，构成码元的比特组合总共有 4 种方式 (0,0)，(0,1)，(1,0) 和 (1,1)。在图 2 (b) 的例子中，例如，比特序列 (1,1) 被
30 变换成“1”，比特序列 (0,1) 被变换成“3”，比特序列 (0,0) 被

30



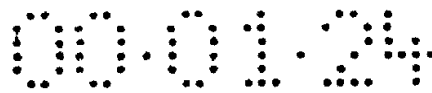
变换成“5”，比特序列(1,0)被变换成“7”。应该注意，将在信号点排列与每个其他调制方法中的排列号之间的关系保持与在 8PSK 调制作为标准的情况下的关系相同。

5 图 2 (c) 显示了在采用 BPSK 调制作为调制方法的情况下的信号点排列，在 BPSK 调制方法中，发送 1 比特的数字信号 (f) 作为 1 个码元。对数字信号 (f) 的变换如下，例如，(1) 被变换成信号点排列“0”，(0) 被变换成信号点排列“4”。

10 下面对帧同步信号进行说明。在分级传输系统中，在以所需的最低 C/N 比对帧同步信号进行了 BPSK 调制之后，传送该帧同步信号。当排列为使得 16 比特的帧同步信号的比特流为 (S₀, S₁, ..., S₁₄, S₁₅) 时，其中，该比特流从 S₀ 开始被顺序地发送，比特流 (0, 0, 0, 1, 0, 0, 1, 1, 0, 1, 0, 1, 1, 1, 1, 0) 或比特序列 (0, 0, 0, 1, 0, 15 0, 1, 1, 1, 0, 1, 0, 0, 0, 0, 1) 以连续帧被交替地发送，其中后者是将前一个序列的后 8 比特反转得到。此后，也将帧同步信号的码元流称为“SYNCPAT”或“nSYNCPAT”，后一个标记是将前一个码元流的后 8 比特反转得到的。在发送端上以如图 2 (c) 所示的 BPSK 映射将该码元流变换成信号点排列“0”或“4”，并发送变换后的码元流。
20

25 当通过帧同步检测电路 2 中的已解调基带信号确认如上所述的 BPSK 映射的帧同步信号“SYNCPAT”和“nSYNCPAT”的码元流被以恒定的帧间隔以重复的方式交替接收时，判断出建立了帧同步，并在每个帧周期输出一个帧同步脉冲。

30 在一个分级传输系统中，其中通常将具有所需的分别不同的 C/N 比的多个调制方法根据定时组合起来、并以连续帧重复发送一个数字调制波，响应于在判断出已经建立了帧同步之后由从帧同步检测电路 2 输出的帧同步脉冲产生的一个定时信号，表明多个组合的标题(header)



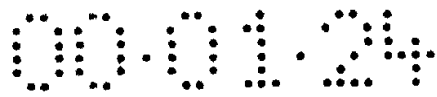
数据被多路传输，并且提取出一个表明这多个组合的标题数据。其结果是，在已知了帧的多个组合之后，才分别启动对不同调制类型的处理。

5 换句话说，由于在判断出已经建立了帧同步时，解调电路 1 作为 8PSK 解调电路操作，所以根据在解调电路 1 的载波再现电路中再现的已解调载波的相位状态，接收端的 I-Q 向量平面的 I 和 Q 轴与在发送端相比，旋转相位 $\theta = 45^\circ \times n$ ，其中 n 是 n=0 到 7 的整数中的一个。例如，在进行 BPSK 调制之后发送的帧同步信号的情况下，根据已解调载波的相位状态，例如为将比特“1”和比特“0”分别变换成信号点排列“0”和信号点排列“4”的 BPSK 映射的帧同步信号的码元流具有帧同步信号的 8 个已解调相位：被安排在与发送端相同的信号点排列“0”和“4”的情况，被安排在相对于发送端的信号点排列进行相位旋转 $\theta = 45^\circ$ 的信号点排列“1”和“5”的情况，以及被安排在相对于发送端的信号点排列进行相位旋转 $\theta = 90^\circ$ 的信号点排列“2”和“6”的情况。

20 在经过 QPSK 调制和 8PSK 调制的调制之后发送的信号进行与 BPSK 调制的情况相似的相位旋转。在考虑根据定时组合比特的以连续帧重复发送数字调制波的 PSK 调制的最大相位数为 8 的情况、即为 8PSK 调制的情况时，有 8 个接收信号相位，每个相位从相邻的相位状态移相 45° 。

25 然而，通过将在发送侧已知的帧同步信号的信号点排列与一个接收到的帧同步信号的信号点排列进行比较，可以获得所接收信号的相位旋转角度。下面将说明这种获得相位旋转角度的方法。

30 在解调电路 1 中（参见图 1），一个被解调成基带信号的帧同步信号的码元流是由发送侧的由比特“1”或“0”构成的 BPSK-映射“SYNCPAT”或“nSYNCPAT”获得的码元流，并且，从各个信号点



排列显然可以看出，在比特“1”和“0”的码元之间的相位差是 180° 。因此，当接收的帧同步信号的码元流中所包括的比特“0”的所有码元都经过 180° 相位旋转时，则获得全部以比特“1”的16个码元构成的码元流。

5

取得所获得码元流的平均值，并将该值用作为比特“1”的所接收信号的点排列。现在，由于BPSK的比特“1”的信号点排列是“0”，所以通过将BPSK的信号点排列与接收的信号点排列进行比较，获得接收信号相位旋转角度 θ 。

10

下面定义关于接收信号相位旋转角度 θ 与作为接收信号相位检测电路的输出的相位旋转角度信号 $RT(3)$ 的关系，如下列等式(1)所示：

$$RT(3) = \theta / 45 \quad (1)$$

15

其中， $\theta = n \times 45^\circ$ ， n 是 $n=0$ 到7的整数中的一个。

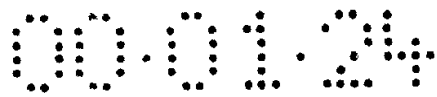
20

下面根据图1的常规例子进一步进行说明。帧同步信号发生器3产生一个再现帧同步信号的比特流，该再现帧同步信号比特流对应于帧同步信号的模式(pattern)“SYNCPAT”或“nSYNCPAT”，它们是发生器3响应于从帧同步检测电路2输出的帧同步脉冲而捕获的。再将该再现帧同步信号的比特流提供给 $0^\circ/180^\circ$ 相位旋转电路43。帧同步信号发生器3根据帧同步信号发生器3已经捕获的帧同步信号的区段产生一个帧同步信号区段信号，并将该帧同步信号区段信号提供给延迟电路41和42。

25

接收到帧同步信号区段信号的延迟电路41和42延迟一个被多路传输成基带信号的帧同步信号的码元流，以使得由解调电路1解调的被多路传输成基带信号的帧同步信号的码元流与从帧同步信号发生器3发出的再现帧同步信号的比特流在 $0^\circ/180^\circ$ 相位旋转电路43的输入端位置在定时上彼此相一致。

30

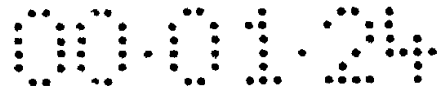


5 将由延迟电路 41 和 42 延迟的基带信号 $DI(8)$ 和 $DQ(8)$ 输入到 $0^\circ/180^\circ$ 相位旋转电路 43。延迟电路 41 和 42 的输出门只在一个具有 16 个码元的码元流区段期间，才由帧同步信号发生器 3 输出的帧同步信号区段信号打开。在 $0^\circ/180^\circ$ 相位旋转电路 43 的输入端，如上所述，由延迟电路 41 和 42 使从帧同步信号发生器 3 输出的再现帧同步信号与该帧同步信号的码元流彼此在定时上相一致。

10 此时，根据所提供的再现帧同步信号的比特流是逻辑“0”还是逻辑“1”，在逻辑“0”的情况下， $0^\circ/180^\circ$ 相位旋转电路 43 在执行了 180° 相位旋转之后，输出被多路传输成已解调基带信号的帧同步信号的码元流中的一个相应码元，其中该已解调基带信号通过延迟电路 41 和 42 提供，而在逻辑“1”的情况下， $0^\circ/180^\circ$ 相位旋转电路 43 不执行任何相位旋转，输出被多路传输成已解调基带信号的帧同步信号的码元流中的一个相应码元，其中该已解调基带信号通过延迟电路 41 和 42 提供。

20 在 $0^\circ/180^\circ$ 相位旋转电路 43 的输入端，由延迟电路 41 和 42 使被多路传输成已解调基带信号的帧同步信号的码元流与从帧同步信号发生器 3 发出的再现帧同步信号的比特流在定时上彼此相一致。在再现帧同步信号的比特流是逻辑“0”的情况下，从延迟电路 41 和 42 输出的帧同步信号的码元流 $DI(8)$ 和 $DQ(8)$ 接收 180° 相位旋转，并分别送给累加平均电路 45 和 46，其中延迟电路 41 和 42 的输出门是由从帧同步信号发生器 3 发出的帧同步信号区段信号打开的。

25 图 3 (a) 显示了在接收信号相位旋转角度 $\theta = 0^\circ$ (绝对相位) 处当接收起作用时的帧同步信号的信号点排列，图 3(b)显示了在 $0^\circ/180^\circ$ 相位旋转电路 43 中的变换之后码元流 $VI(8)$ 和 $VQ(8)$ 的信号点排列是如何安排的。码元流 $VI(8)$ 和 $VQ(8)$ 分别被发送给累加平均电路 45 和 30 46，在预定区段执行累加平均，并输出在每个预定区段累积和平均的



码元流 AVI(8)和 AVQ(8)。在码元流 VI(8)和 VQ(8)上执行累加平均，以便即使在由于接收中 C/N 比恶化而出现所接收基带信号的相位上的微小变化和/或振幅上的变化的情况下也能以稳定的方式获得信号点排列。

5

在累加平均电路 45 和 46 中，获得比特“1”的 BPSK-映射信号所接收信号点 (AVI(8)和 AVQ(8))。然后，将所接收信号点 AVI(8)和 AVQ(8)输入到接收信号相位检测电路 47，根据图 4 所示的接收信号相位确定表，获得与由等式 (1) 定义的相位旋转角度相对应的三个比特的相位旋转角度信号 RT(3)。例如，在接收信号相位旋转角度 $\theta = 0^\circ$ 的情况下，用相对于信号点 AVI(8)和 AVQ(8)的接收信号相位确定表确定的相位旋转信号是“0”。因此，比特序列 (0,0,0) 作为相位旋转角度信号 RT(3)被发送。此外，在接收信号相位旋转角度 $\theta = 45^\circ$ 的情况下，相位旋转信号同样为“1”，因此，比特序列 (0,0,1) 作为相位旋转角度信号 RT(3)被发送。

10

15

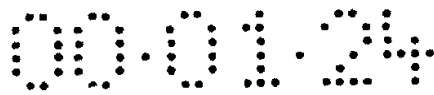
此外，在与分级传输系统一起使用的接收数字调制波的广播接收机中，在所述分级传输系统中，通过带有所需的分别不同的 C/N 比的、在定时上进行组合的多个调制方法发送的数字调制波被以连续帧重复发送，在所述接收机中，在接收信号相位检测电路获得一个相位旋转角度信号 RT(3)，并采用相位旋转角度信号 RT(3)使已解调基带信号 I(8)和 Q(8)进行相反相位旋转，以便处于绝对相位。

20

25

然而，在使用上述常规的接收信号相位检测电路时，如果 $0^\circ/180^\circ$ 相位旋转电路 43 是由表变换构成的，则所需的存储器容量是 128k 字节 ($=2^{16} \times 16$ 比特)，并且，如果接收信号相位确定电路 47 是由表变换构成的，则所需的存储器容量是 $2^{16} \times 3$ 比特。这样，当 $0^\circ/180^\circ$ 相位旋转电路 43 和接收信号相位确定电路 47 都是由表变换构成的时，电路规模就会很大，从而将出现由于电路集成中如此大的规模而引发的问题。

30



发明综述

本发明的一个目的是提供一种电路规模小的接收信号相位检测电路。

5

本发明的如权利要求 1 所述的接收信号相位检测电路包括：

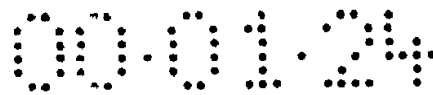
帧同步信号捕获装置，用于从一个已解调基带信号捕获一个帧同步信号；

10 提取装置，用于在一个码元流与由帧同步信号捕获装置捕获和再现的同步信号的比特流相一致的定时从一个已解调基带信号提取出在帧同步信号的周期内的码元流；以及

15 累积加/减平均电路，由提取装置提取出的码元流被输入到该电路，并且当再现同步信号的比特流中的一个比特是逻辑“1”时，增加由提取装置提取的码元流中的一个相应码元，而当再现同步信号的比特流中的一个比特是逻辑“0”时，减少由提取装置提取的码元流中的一个相应码元，在一预定周期对累积加/减的结果进行平均，其中，根据累积加/减平均电路的输出确定一个接收信号相位。

20 依据本发明的权利要求 1 所述的接收信号相位检测电路，由同步信号捕获装置从一个已解调基带信号捕获一个帧同步信号，在一个码元流与由帧同步信号捕获装置捕获和再现的同步信号的比特流相一致的定时，由提取装置从一个已解调基带信号提取出在帧同步信号的周期内的码元流。在累积加/减平均电路中，当捕获的同步信号的比特流中的一个比特为逻辑“1”时，增加由提取装置提取的码元流中的一个相应码元，而当捕获的同步信号的比特流中的该比特为逻辑“0”时，减少由提取装置提取的码元流中的一个相应码元，并对预定期间内累积加/减的结果进行平均。根据累积加/减电路的输出确定接收信号的一个相位。

30 依据本发明的权利要求 1 所述的接收信号相位检测电路，常规使



用的 $0^\circ/180^\circ$ 相位旋转电路和累加平均电路由一个累积加/减平均电路所代替，而不需要 $0^\circ/180^\circ$ 相位旋转电路，从而减小了电路规模。

本发明的权利要求 2 所述的接收信号相位检测电路包括：

5 帧同步信号捕获装置，用于从一个已解调基带信号捕获一个帧同步信号；

提取装置，用于在一个码元流与由帧同步信号捕获装置捕获和再现的同步信号的比特流相一致的定时，从一个已解调基带信号提取出在帧同步信号的周期内的码元流；以及

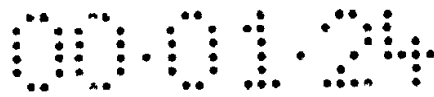
10 $0^\circ/180^\circ$ 相位旋转装置，由提取装置提取出的码元流被输入到该装置，当再现同步信号的比特流中的一个比特是逻辑“0”时，在一个相应码元上执行了 180° 相位旋转之后，输出由提取装置提取的码元流的相应码元，而当再现同步信号的比特流中的一个比特是逻辑“1”时，不对由提取装置提取的码元流中的相应码元执行相位旋转，而直接输出该相应码元；

累加平均电路，用于在一预定周期对 $0^\circ/180^\circ$ 相位旋转装置的输出求和；

20 相位旋转电路，用于以 $(22.5^\circ + 45^\circ \times n)$ 对累加平均电路的输出执行相位旋转，其中 n 是从 $n=0$ 到 7 中选择一个整数；以及

相位确定电路，用于确定相位旋转电路的输出的相位。

25 依据本发明的权利要求 2 所述的接收信号相位检测电路，由同步信号捕获装置从一个已解调基带信号捕获一个帧同步信号，在一个码元流与由帧同步信号捕获装置捕获和再现的同步信号的比特流相一致的定时，由提取装置从一个已解调基带信号提取出在帧同步信号的周期内的码元流。根据接收到的由提取装置提取的比特流，当捕获的同步信号的一个比特是逻辑“0”时，由提取装置提取的码元流的一个相应比特接受 180° 相位旋转，并从 $0^\circ/180^\circ$ 相位旋转装置输出，当捕获的同步信号的比特流的该比特是逻辑“1”时，由提取装置提取的码元流



的相应码元不接受任何相位旋转。累加平均电路在一预定周期对
0°/180°相位旋转装置的输出进行求和与平均，并进行输出，在相位旋
转电路中，累加平均电路的输出接受 $(22.5^\circ + 45^\circ \times n)$ 的相位旋转，其
中 n 是从 $n=0$ 到 7 中选择一个整数，并且，由相位确定电路确定相
位旋转电路的输出的相位。

在这种情况下，由于具有采用 ROM 的表变换的常规接收信号相
位确定电路被由乘法器和加法器构成的 0°/180°相位旋转装置以及具有
简单结构的相位确定电路所代替，因此电路规模减小。

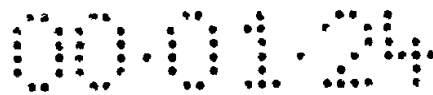
本发明的权利要求 3 所述的接收信号相位检测电路包括：
帧同步信号捕获装置，用于从一个已解调基带信号捕获一个帧同
步信号；

提取装置，用于在一个码元流与由帧同步信号捕获装置捕获和再
现的同步信号的比特流相一致的定时，从一个已解调基带信号提取出
在帧同步信号的周期内的码元流；

累积加/减平均电路，由提取装置提取出的码元流被输入到该电
路，其中，当再现同步信号的比特流中的一个比特是逻辑“1”时，增
加由提取装置提取的码元流中的一个相应码元，而当再现同步信号的
比特流中的一个比特是逻辑“0”时，减少由提取装置提取的码元流中
的一个相应码元，对预定期间内累积加/减的结果进行平均；

相位旋转电路，用于以 $(22.5^\circ + 45^\circ \times n)$ 对累积加/减平均电路的
输出执行相位旋转，其中 n 是从 $n=0$ 到 7 中选择一个整数；以及
相位确定电路，用于确定相位旋转电路的输出的相位。

依据本发明的权利要求 3 所述的接收信号相位检测电路，由同步
信号捕获装置从一个已解调基带信号捕获一个帧同步信号，在一个码
元流与由帧同步信号捕获装置捕获的同步信号的比特流相一致的定
时，由提取装置从一个已解调基带信号提取出在帧同步信号的周期内
的码元流。在累积加/减平均电路中，当捕获的同步信号的比特流中的



一个比特为逻辑“1”时，增加由提取装置提取的码元流中的一个相应码元，而当捕获的同步信号的比特流中的该比特为逻辑“0”时，减少由提取装置提取的码元流中的一个相应码元，并对预定期间的累积加/减的结果进行平均。在相位旋转电路中，累加平均电路的输出接受
5 (22.5°+45°×n)的相位旋转，其中n是从n=0到7中选择一个整数，并且，由相位确定电路确定相位旋转电路的输出的相位。

依据本发明的权利要求3所述的接收信号相位检测电路，在依据本发明的权利要求2所述的接收信号相位检测电路中采用的0°/180°相位旋转装置和累加平均电路被累积加/减平均电路所代替，因而不需要
10 0°/180°相位旋转装置，从而减小了电路规模。

在本发明的权利要求3所述的接收信号相位检测电路中，接收信号的相位可以在相位确定电路中根据累积加/减平均电路的输出来确定，其中该相位确定电路被安排在提取装置的前一级。
15

本发明的权利要求5所述的接收信号相位检测电路包括：

帧同步信号捕获装置，用于从一个已解调基带信号捕获一个帧同步信号；

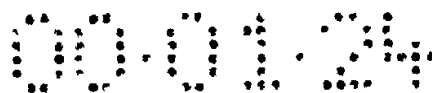
20 相位旋转电路，用于以(22.5°+45°×n)对一个已解调基带信号执行相位旋转，其中n是从n=0到7中选择一个整数；

提取装置，用于在一个码元流与由帧同步信号捕获装置捕获和再现的同步信号的比特流相一致的定时，从由相位旋转电路进行了相位旋转的已解调基带信号提取出在帧同步信号的周期内的码元流；

25 码反转装置，由提取装置提取出的码元流被输入到该装置，只有当再现同步信号的比特流中的一个比特是逻辑“0”时，才反转由提取装置提取出的码元流中的一个相应码元的代码，并在反转之后输出该相应码元；

相位确定电路，用于确定码反转装置的输出的相位；

30 格雷码变换器，对相位确定电路的输出执行格雷码变换；



择多确定装置，用于接收格雷码变换器的输出，并执行择多确定；
以及

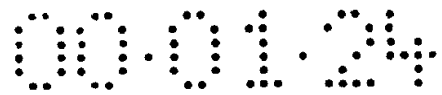
二进制码变换器，用于对择多确定装置的输出执行二进制码变换，其中

5 将二进制码变换器的输出用作为一个接收信号相位旋转角度信号。

10 依据本发明的接收信号相位检测电路，由同步信号捕获装置从一个已解调基带信号捕获一个帧同步信号，在相位旋转电路中，该已解调基带信号接受 $(22.5^\circ + 45^\circ \times n)$ 的相位旋转，其中 n 是从 $n=0$ 到 7 中选择一个整数，在一个码元流与由帧同步信号捕获装置捕获的同步信号的比特流相一致的定时，由提取装置从已经接受相位旋转的基带信号提取出在帧同步信号的周期内的码元流。当捕获的同步信号的比特流中的比特是逻辑“0”时，由码反转装置反转由提取装置提取出的码元流中的一个相应码元，码反转装置的输出的相位由相位确定电路确定，相位确定电路的输出接受由格雷码变换器进行的到格雷码的码变换，由接收格雷码变换器的输出的择多确定装置对格雷码变换器的输出执行择多确定，由二进制码变换器对择多确定装置的输出执行码变换，以及，根据二进制码变换器的输出最终确定一个接收信号的
15 相位旋转角度。
20

25 依据本发明的接收信号相位检测电路，将通常采用的 $0^\circ/180^\circ$ 相位旋转电路和累加平均电路用 22.5° 相位旋转电路和码反转装置所代替，因此不再需要 $0^\circ/180^\circ$ 相位旋转电路和累加平均电路，从而减小了电路规模。

30 另外，依据本发明的接收信号相位检测电路，由于电路规模可以通过采用择多确定电路来减小，并且两个彼此相邻但彼此不同的相位确定值可以由格雷编码限制到一比特，因此即使在由于接收中 C/N 比的恶化、随后必然伴有错误的相位确定而使得所接收基带信号的相位

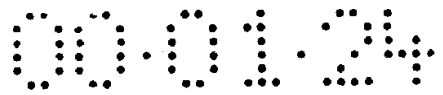


出现微小的变化以及振幅出现变化的情况下，也可以将其影响减至最小，提高可靠性。

附图的简要说明

- 5 图 1 是显示常规接收信号相位检测电路的结构方框图；
 图 2 (a) 至 2 (c) 是用于说明 BPSK 映射的信号点排列的图示；
 图 3 (a) 至 3 (b) 是帧同步信号在通过接收信号相位检测电路中的 $0^\circ/180^\circ$ 相位旋转电路之后的信号点排列的图示；
 图 4 是说明用于接收信号相位的确定表的图示；
- 10 图 5 是显示依据本发明的一个实施例的接收信号相位检测电路的结构方框图；
 图 6 是用于说明依据本发明的实施例的接收信号相位检测电路的操作的图示；
 图 7 是用于说明依据本发明的实施例的接收信号相位检测电路的操作的表；
- 15 图 8 是显示依据本发明的实施例的接收信号相位检测电路的第一个变形的结构方框图；
 图 9 是显示依据本发明的实施例的接收信号相位检测电路的第二个变形的结构方框图；
- 20 图 10 是用于说明当依据本发明的实施例的接收信号相位检测电路中的相位旋转电路的相位旋转角度是另一个旋转角度时的操作的表；
 图 11 是显示依据本发明的第二个实施例的接收信号相位检测电路的结构方框图；
- 25 图 12 (a) 和 12 (b) 是用于说明依据本发明的第二个实施例的接收信号相位检测电路中的格雷码变换和二进制码变换的操作的表；
 图 13 是用于说明依据本发明的第二个实施例的接收信号相位检测电路中的相位确定的操作的表。

30 优选实施例的详细说明



下面将根据实施例说明依据本发明的接收信号相位检测电路。图 5 是显示依据本发明的实施例的接收信号相位检测电路的结构方框图。

5 依据本发明的实施例的接收信号相位检测电路包括：解调电路 1；帧同步检测电路 2；帧同步信号发生器 3；除此之外，还包括构成用于检测接收信号相位的模块的延迟电路 41 和 42； $0^\circ/180^\circ$ 相位旋转电路 43；累加平均电路 45 和 46； 22.5° 相位旋转电路 48；以及相位确定电路 49。

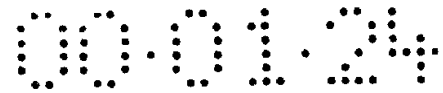
10 也就是说，在依据本发明的实施例的接收信号相位检测电路中，将累加平均电路 45 和 46 的输出 AVI(8)和 AVQ(8)提供给 22.5° 相位旋转电路 48 以进行相位旋转；将相位旋转输出 RVI(8)和 RVQ(8)提供给相位确定电路 49，以获得一个相位旋转角度信号 RT(3)。在这里，在常规例子中的具有采用 ROM 的表变换的接收信号相位确定电路 47 被
15 替换为由乘法器、加法器等构成的 22.5° 相位旋转电路 48 和由诸如比较器等确定电路构成的相位确定电路 49。该结构的其他部分与常规例子中相同。

20 通过这样一种结构，在依据本发明的实施例的接收信号相位检测电路中，将累加平均电路 45 和 46 的输出 AVI(8)和 AVQ(8)提供给 22.5° 相位旋转电路 48，并根据下面的等式 (2) 和 (3) 执行角度为 22.5° 的相位旋转。应该注意的是，解调电路 1、帧同步检测电路 2、帧同步信号发生器 3、构成用于检测接收信号相位的模块的延迟电路 41 和
25 42、 $0^\circ/180^\circ$ 相位旋转电路 43、以及累加平均电路 45 和 46 的操作分别与常规情况下的操作相同，这里省略其说明。

$$RVI = AVI \cos(22.5^\circ) - AVQ \sin(22.5^\circ) \quad (2)$$

$$RVQ = AVI \sin(22.5^\circ) + AVQ \cos(22.5^\circ) \quad (3)$$

30

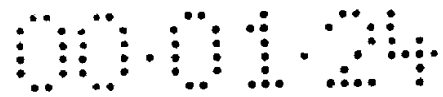


将依据等式 (2) 和 (3) 的相位旋转的输出输入到相位确定电路 49; 在相位确定电路 49 中确定其相位旋转角度; 以及, 最终输出一个相位旋转角度信号 RT(3)。下面将用图 6 和 7 说明由 22.5°相位旋转电路 48 和相位确定电路 49 进行的相位旋转和相位确定。在常规上, 用
5 阈值角度 $\phi = 22.5^\circ + 45^\circ \times n$ 从 (AVI(8)和 AVQ(8)) 输入确定接收信号相位角度, 其中 n 是从 n=0 到 7 中选择一个整数, 如图 4 的接收信号相位确定表所示, 从而获得旋转相位信号 RT(3)。

然而, 在依据本发明的实施例的接收信号相位检测电路中, 由于
10 输出 (AVI(8)和 AVQ(8)) 被相位旋转 22.5°, 显然运用了 $\phi = 22.5^\circ + 45^\circ \times n$, 其中 n 是从 n=0 到 7 中选择一个整数, 同时, 如图 6 所示, 给阈值角度一个 22.5°的相位旋转。其结果是, 22.5°相位旋转电路 48 的输出 (RVI 和 RVQ) 被输入到相位确定电路 49, 然后, 只需要确定输入 (RVI 和 RVQ) 处于图 6 中所示的哪一个相位区域中就可
15 以了。

因此, 可以仅仅采用输入信号 (RVI 和 RVQ) 和一个比较器来执行对接收信号相位角度的确定, 而不必采用表变换。对接收信号相位角度处于图 6 中所示的 I-Q 向量平面上的 4 个象限中的哪一个的确定
20 可以从信号 (RVI 和 RVQ) 的符号获得。进一步地, 为了执行与阈值角度 $45^\circ \times n$ (其中 n 是从 n=1,3,5,7 中选择一个整数, 在该位置每个象限被分成两个) 有关的确定, 例如在相位旋转角度信号 RT(3)=0 或相位旋转角度信号 RT(3)=1 上的确定, 将各个信号 (RVI 和 RVQ) 的绝对值的幅度用于此目的。在如图 6 所示的相位角度的确定可以用相
25 位确定电路 49 来实现, 其中相位确定电路 49 根据上述关系执行图 7 所示的确定。

依据上述过程, 在常规上被构造为用 ROM 执行表变换的接收信号相位确定电路 47 被替换为由乘法器和加法器构成的 22.5°相位旋转
30 电路 48 和由简单的确定电路构成的相位确定电路 49, 从而在集成在一



个集成电路中时大大减小了电路规模。

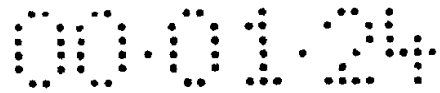
下面，对依据本发明的实施例的接收信号相位检测电路的第一个变形进行说明。

5

在依据本发明的实施例的接收信号相位检测电路的第一个变形中，如图 8 所示，累积加/减平均电路 45A 和 46A 替代依据本发明的实施例的接收信号相位检测电路中的 $0^\circ/180^\circ$ 相位旋转电路 43 和累加平均电路 45 和 46，将延迟电路 41 和 42 的输出 DI(8)和 DQ(8)提供给累积加/减平均电路 45A 和 46A。当从帧同步信号发生器 3 输出的再现帧同步信号的比特流是逻辑“1”时，在帧同步信号区段信号的区段上以累积加法分别处理从延迟电路 41 和 42 输出的码元流中的相应码元；当从帧同步信号发生器 3 输出的再现帧同步信号的比特流是逻辑“0”时，在帧同步信号区段信号的整个区段上以累积减法分别处理从延迟电路 41 和 42 输出的码元流中的相应码元。在相同的电路 45A 和 46A 中，在累积加法操作或累积减法操作之后，执行一个平均处理，并将累积加/减平均电路 45A 和 46A 的输出 AVI(8)和 AVQ(8)提供给 22.5° 相位旋转电路 48。

20 此时，当考虑依据本发明的实施例的接收信号相位检测电路中的 $0^\circ/180^\circ$ 相位旋转电路 43 的操作时， 180° 相位旋转等效于代码在每个相应轴上的反转。因此，在每个轴上的 180° 相位旋转的接收码元的累积加法等于其在每个轴上的累积减法。因此， $0^\circ/180^\circ$ 相位旋转电路 43 和累加平均电路 45 和 46 可以用累积加/减平均电路 45A 和 46A 来代替。累积加法和累积减法的结果接受平均处理的原因在于，即使当由于接收中 C/N 比的恶化而导致接收的基带信号的相位出现微小的变化或振幅出现变化时，也能够以稳定的方式获得信号点排列。

25 因此，如果 $0^\circ/180^\circ$ 相位旋转电路 43 由采用 ROM 的表变换构成，则可以节约构成 $0^\circ/180^\circ$ 相位旋转电路 43 的存储器容量为 128k 字节



($2^{16} \times 16$ 比特) 的 ROM, 并且在第一个变形中, 与依据本发明的实施
例的接收信号相位检测电路的情况相比, 电路规模进一步减小。

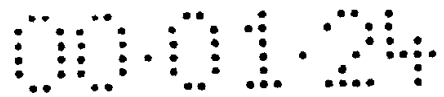
接着, 对依据本发明的实施例的接收信号相位检测电路的第二个
5 变形进行说明。

在依据本发明的实施例的接收信号相位检测电路的第二个变形
中, 如图 9 所示, 从解调电路 1 输出的已解调基带信号的相位由依据
本发明的实施例的接收信号相位检测电路的第一个变形中的 22.5° 相
10 位旋转电路 48 进行 22.5° 的相位旋转, 将 22.5° 相位旋转电路 48 的相
位旋转输出送给延迟电路 41 和 42, 将延迟电路 41 和 42 的输出提供给
累积加/减平均电路 45A 和 46A, 并将累积加/减平均电路 45A 和 46A
的输出提供给相位检测电路 49。也就是说, 在依据本发明的实施例的
接收信号相位检测电路的第二个变形中, 在依据本发明的实施例的接
15 收信号相位检测电路的第一个变形中的 22.5° 相位旋转电路 48 被移到
延迟电路 41 和 42 的前一级。

在依据本发明的上述实施例的接收信号相位检测电路的第二个变
形中, 由于采用了上述结构, 对来自图 8 所示依据本发明的实施例的
20 接收信号相位检测电路的第一个变形中的累积加/减平均电路 45A 和
46A 的输出, 通过在 22.5° 相位旋转电路 48 中对它们执行 22.5° 的相位
旋转而获得的输出 $RVI(8)$ 和 $RVQ(8)$ 等于通过在累积加/减平均电路
45A 和 46A 中对 22.5° 相位旋转帧信号执行累积加/减平均操作而获得
的输出 AVI 和 AVQ , 其中 22.5° 相位旋转帧信号是通过在 22.5° 相位旋
25 转电路 48 中执行对已解调基带信号 $I(8)$ 和 $Q(8)$ 的 22.5° 相位旋转而获
得的。

因此, 图 8 所示的 22.5° 相位旋转电路 48 可以没有任何问题地被
安排在延迟电路 41 和 42 的前一级, 如图 9 所示。

30



有一种情况，即，对已解调基带信号 I(8)和 Q(8)执行 22.5°相位旋转的电路被包括在图 9 的解调电路 1 中，在这种情况下，可以应用其输出，从而使得图 9 的结构更简单。

5 依据本发明的实施例的接收信号相位检测电路的第二个变形，在常规上使用的 0°/180°相位旋转电路 43 和累加平均电路 45 和 46 被累积加/减平均电路 45A 和 46A 所代替。此外，如果 0°/180°相位旋转电路 43 具有采用 ROM 的表变换，则可以节约 128k 字节 (2¹⁶×16 比特) 的存储器容量，从而使得电路规模更小。

10 应该注意，在依据本发明的实施例的接收信号相位检测电路及其第一个和第二个变形中，已经举例说明，通过用 22.5°相位旋转电路 48 代替在一个实际接收信号相位上进行确定的表变换，可以以简单的电路结构执行确定，而执行相位旋转的角度并不仅限于 22.5°，还可以选择下列角度进行相位旋转：67.5°，112.5°，157.5°，202.5°，247.5°，
15 292.5°和 337.5°。

在这些情况中，接收信号相位确定电路中的相位旋转角度信号 RT(3)只需要根据所希望实施的相位旋转角度而变化。图 10 显示了在
20 上述 67.5°，112.5°，157.5°，202.5°，247.5°，292.5°和 337.5°旋转情况下的相位旋转角度信号 RT(3)。图 11 是显示依据本发明的第二个实施例的接收信号相位检测电路的结构方框图。

25 依据本发明的第二实施例的接收信号相位检测电路包括：解调电路 1；帧同步检测电路 2；以及帧同步信号发生器 3；另外，还包括构成用于检测接收信号相位的模块的 22.5°相位旋转电路 48；延迟电路 41 和 42；码反转器 59；相位确定电路 49；格雷码变换器 51；择多确定电路 52A 至 52C；以及二进制码变换器 53。

30 也就是说，在依据本发明的第二个实施例的接收信号相位检测电

路中，将在解调电路 1 中解调的基带信号提供给帧同步检测电路 2，在帧同步检测电路 2 中检测一个帧同步信号，并将一个基于该帧同步信号的帧同步脉冲提供给帧同步信号发生器 3。将帧同步信号周期信号和再现帧同步信号从接收了帧同步脉冲的帧同步信号发生器 3 分别发送

5

给延迟电路 41 和 42 以及码反转器 59。

另一方面，将在解调电路 1 中解调的基带信号 $I(8)$ 和 $Q(8)$ 提供给 22.5° 相位旋转电路 48，信号在这里进行 22.5° 相位旋转。将来自 22.5° 相位旋转电路 48 的相位旋转输出 $RI(8)$ 和 $RQ(8)$ 提供给延迟电路 41 和 42。

10

下面将首先说明基带信号 $I(8)$ 和 $Q(8)$ 的 22.5° 相位旋转。在 22.5° 相位旋转电路 48 中的相位旋转是根据下面的等式 (4) 和 (5) 实现的：

15

$$RI = I \cos(22.5^\circ) - Q \sin(22.5^\circ) \quad (4)$$

$$RQ = I \sin(22.5^\circ) + Q \cos(22.5^\circ) \quad (5)$$

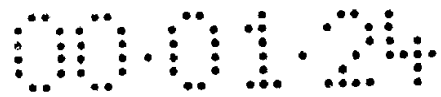
20

接收了一个帧同步信号区段信号的延迟电路 41 和 42 延迟被多路传输成基带信号的帧同步信号的码元流，其中该基带信号已经从在 22.5° 相位旋转电路 48 中根据等式 (4) 和 (5) 进行了相位旋转的输出 $RI(8)$ 和 $RQ(8)$ 得到 22.5° 相位旋转，从而使得被多路传输成基带信号的帧同步信号的码元流与从帧同步信号发生器 3 发出的再现帧同步信号的比特流在码反转器 59 的输入端位置在定时上彼此相一致。

25

已经由延迟电路 41 和 42 延迟的基带信号 $DI(8)$ 和 $DQ(8)$ 被输入到码反转器 59。延迟电路 41 和 42 的输出门只在带有 16 个码元的帧同步信号的码元流区段期间由从帧同步信号发生器 3 输出的帧同步信号区段信号打开。进一步地，如上所述，由延迟电路 41 和 42 使得从帧同步信号发生器 3 输出的再现帧同步信号和帧同步信号的码元流在码反转器 59 的输入端在定时上彼此相一致。

30



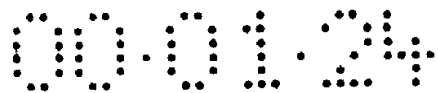
然后，在码反转器 59，在再现帧同步信号的一个比特是逻辑“0”的情况下，输入到码反转器 59 的帧同步信号的码元流 DI(8)和 DQ(8)的相应码元在分别反转之后被输出，而在再现帧同步信号的该比特是逻辑“1”的情况下，输入到码反转器 59 的帧同步信号的码元流 DI(8)和 DQ(8)的相应码元被输出，而不进行反转。

因此，虽然在常规上采用具有用 ROM 的表变换的 $0^\circ/180^\circ$ 相位旋转电路 43，但该电路可以用码反转器 59 来代替，因为 $0^\circ/180^\circ$ 相位旋转电路 43 的操作等效于在每个轴上的码反转操作。

码反转器 59 的输出 RVI 和 RVQ 被输入到相位确定电路 49，用如图 6 所示的阈值角度执行相位确定。电路中的相位确定不同于图 4 所示的常规的相位确定，并且，由于要确定的输入信号已经在安排在前一级的 22.5° 相位旋转电路 48 中经过了 22.5° 相位旋转，因此，显然，用于接收相位确定的阈值角度也可以进行 22.5° 相位旋转，然后被设置为使得角度 $\phi = 45^\circ \times n$ ，其中 n 是从 $n=0$ 到 7 中选择一个整数。这如图 6 所示。其结果为，在相位确定电路 49 中只需要确定输入 RVI 和 RVQ 位于图 6 所示的哪一个相位区域中即可。

因此，与图 5 所示的实施例类似，带有采用 ROM 的表变换的常规接收信号相位确定电路 47 可以用相位确定电路 49(其包括一个由乘法器和加法器构成的 22.5° 相位旋转电路 48 和一个简单的确定电路)来代替，从而在将相位确定电路 49 用于集成电路中时以很大的容限减小了电路规模。

将基于在相位确定电路 49 中确定的相位旋转角度的相位旋转角度信号 RT(3)提供给格雷码变换器 51，后者按照图 12(a)所示进行格雷编码。格雷编码输出的位 G0 至 G2 分别被输入到择多确定电路 52A、52B 和 52C，并在这些电路中用择多判定法确定在预定周期内的一位



是“0”还是“1”。

5 这种处理代替了常规例子中的在码元流 $V_I(8)$ 和 $V_Q(8)$ 上执行的累加平均，从而即使在由于在接收中 C/N 比的恶化而引起接收的基带信号的相位的微小改变或振幅改变时，也能以稳定的方式获得信号排列。将来自择多确定电路 52A、52B 和 52C 的输出 G_{00} 至 G_{02} 输入给二进制码变换器 53，并根据图 12 (b) 执行对格雷码变换器 51 进行的变换的反转。将二进制码变换器 53 的输出作为相位旋转角度信号 $RT(3)$ 输出。

10

如果择多确定的区段是一个帧同步码元周期、即 16 个码元，则择多确定电路 52A 至 52C 中的每一个例如可以只由一个 4 位计数器构成。例如，当输入信号 G_0 被输入到计数器的使能端并且计数器的最高位输出 Q_D 被用作择多确定输出 G_{00} 时，如果比特流 G_0 中的比特“1”的个数超过 8，则获得一个择多输出“1”。然而，需要将当比特“0”和比特“1”的个数彼此相等时的处理与其他处理分开执行，但电路规模不会由于这种分开处理的需要而变大。在依据本发明的第二实施例的接收信号相位检测电路中的择多确定电路中，由于确定操作是在 3-比特相位确定输出 $R(3)$ 的各个比特上执行的，所以三个用于上述处理的 4 比特计数器和外围电路就足够用于该目的。

15

20

术语“择多确定区段”意思是帧同步信号的一组码元。也就是说，与该术语相关的上述说明为，16 个码元是一个基数，在一预定周期期间执行择多确定。然而，依据其他想法，可以采用不同的处理方式：从每个帧同步信号的 16 个码元中取出一个任意码元，并在几个帧（预定帧）上对这些任意码元进行择多确定；取出几个任意比特来代替一个任意码元，同样在几个帧（预定帧）上执行择多确定；以及，为了删去图 11 所示的码反转器 59，只有当再现帧信号的一个比特为“1”时，才打开输出门，并舍弃比特为“0”的部分。

25

30



另一方面，在常规例子中，每个都具有 8 比特的基带信号 I 和 Q 必须分别接受 16 次累积加法。当将各个 8 比特集合相加以执行总共 16 次的累积加法时，所得的数目总计最大为 12 比特宽，这需要一个具有 12 比特作为最低数目的数位的加法器和至少 12 个锁存电路。对于基带信号 I 和 Q 中的每一个都需要这个集合，从而增大了电路规模。

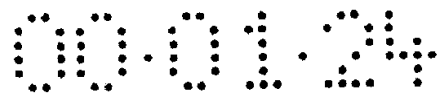
与常规方式相同，在二进制码变换器 53 后一级的信号处理中，基带信号 I(8)和 Q(8)都根据从二进制码变换器 53 输出的相位旋转角度信号 RT(3)进行反向相位旋转，以便处于绝对相位。

在上述说明中，将相位确定电路的输出 R(3)直接输入到择多确定电路、并将择多确定电路的输出用作为相位旋转角度信号 RT(3)也是可以接受的。然而，由于在两个相邻相位确定值之间的比特差别为一次格雷编码有 1 个比特不同，即使在由于接收中 C/N 比的恶化而引起接收的基带信号的相位的微小改变或振幅的改变、从而在相位确定中产生错误确定时，也可以将其影响减至最小。也就是说，格雷码变换器 51 和择多确定电路 52A、52B 和 52C 的组合在操作的可靠性上可以获得更大的提高。

此外，还存在一种情况，即，在解调电路 1 中包括一个对已解调基带信号 I(8)和 Q(8)进行 22.5° 相位旋转的电路，在这种情况下，可以使用该电路的输出，依据本发明的第二个实施例的接收信号相位检测电路的结构将变得更简单。

此外，虽然在格雷码变换器 51 中将相位确定电路 49 的输出 R(3)变换成 G0 至 G2，但相位确定电路 49 的输出也可以直接为 G0 至 G2。在这种情况下由相位确定电路 49 执行的相位确定可以是图 13 所示的确定。

应该注意，虽然在依据本发明的第二个实施例的接收信号相位检



测电路中举例说明了通过采用 22.5° 相位旋转电路 48 允许用简单的电路结构进行的确定来代替确定实际的接收信号相位的表变换，但在这种情况下执行相位旋转的角度并不限于 22.5° ，还可以为 67.5° 、 112.5° 、 157.5° 、 202.5° 、 247.5° 、 292.5° 和 337.5° 。

5

在这些情况下，只需要改变相位确定电路 49 中的相位旋转角度信号 $R(3)$ 。图 10 中显示了对于在相位旋转中采用上述的 67.5° 、 112.5° 、 157.5° 、 202.5° 、 247.5° 、 292.5° 和 337.5° 的情况下的相位旋转角度信号 $R(3)$ 。

10

依据本发明的第二个实施例的接收信号相位检测电路，用包括一个由放大器和加法器构成的 22.5° 相位旋转电路 48 和一个简单的相位确定电路的相位确定电路 49 来代替带有采用 ROM 的表变换的相位确定电路，从而使得电路在被用于一个集成电路中时电路规模极大地减小。

15

此外，由于常规使用的 $0^\circ/180^\circ$ 相位旋转电路 43 被码反转器 59 所代替，当 $0^\circ/180^\circ$ 相位旋转电路 43 具有采用 ROM 的表变换时，可以节约 128k 字节 ($=2^{16} \times 16$ 比特) 的存储器容量。此外，用每个为 3-比特宽的在各个轴上操作的择多确定电路 52A 至 52C 来代替每个为 8-比特宽的累加平均电路 45 和 46，从而实现电路规模的极大减小。

20

如上所述，依据本发明的接收信号相位检测电路，可以减小电路规模，并且在将接收信号相位检测电路用于集成电路中的情况下可以高效利用芯片面积。

25

说明书附图

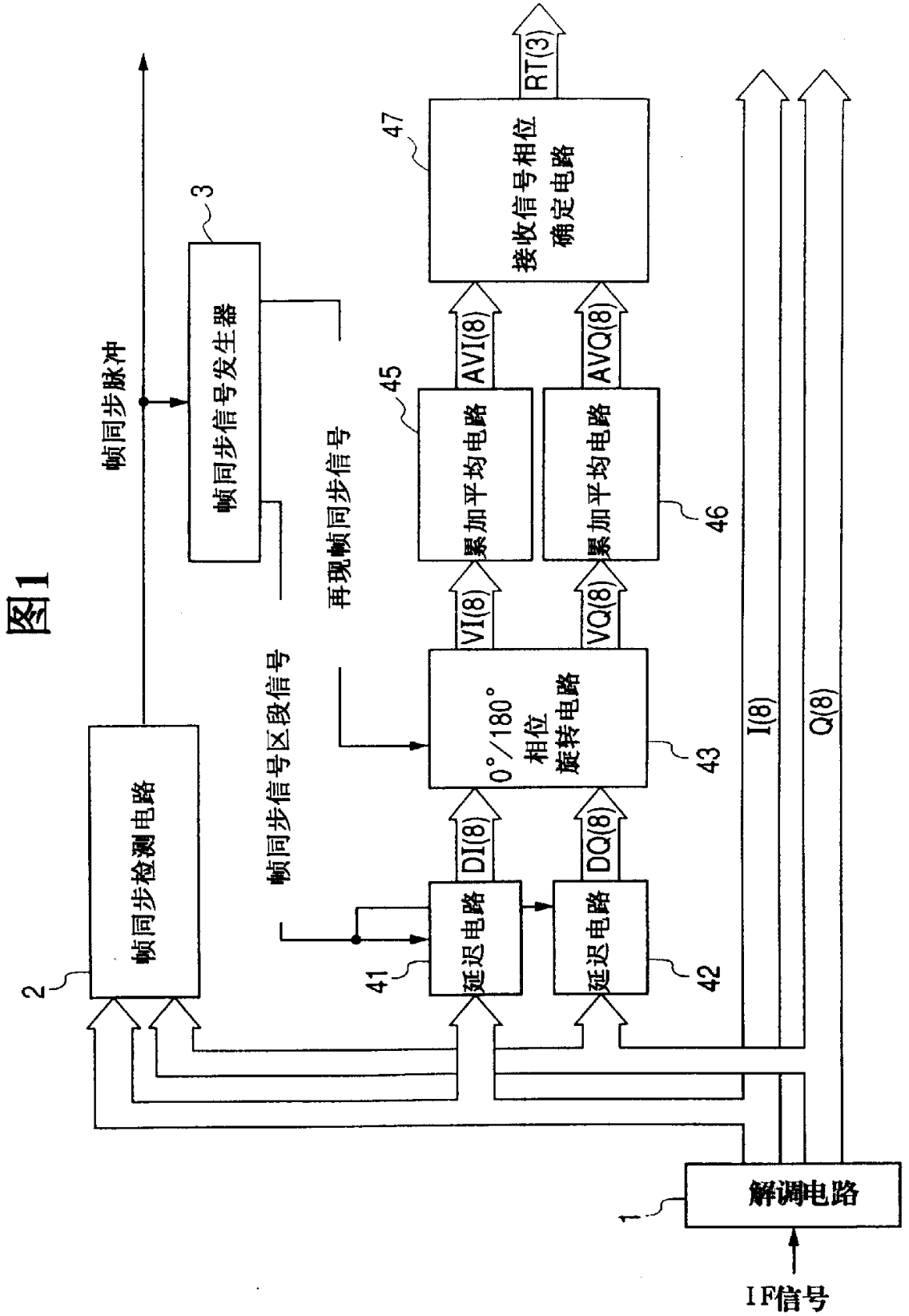


图1

图2(a)

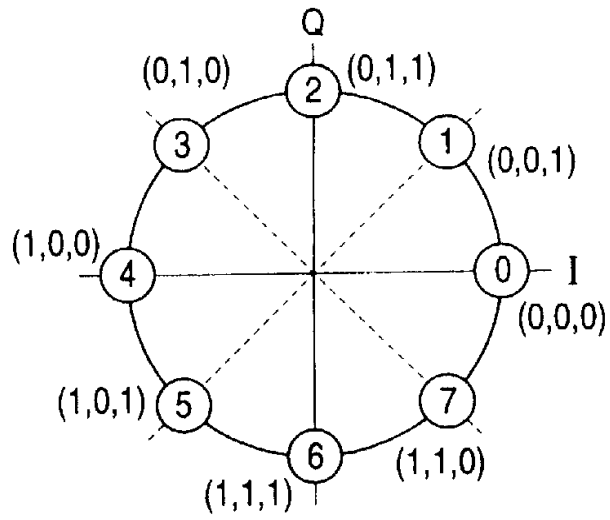


图2(b)

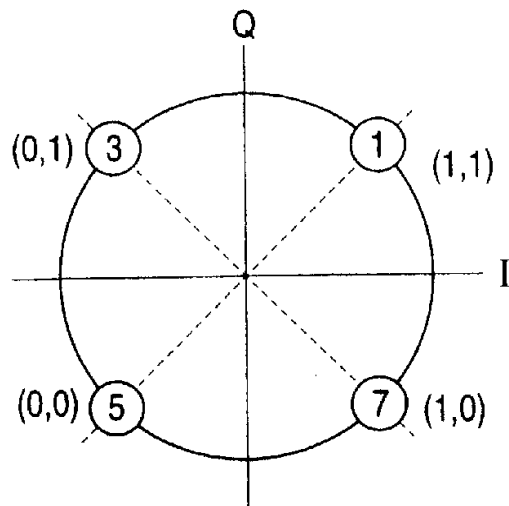


图2(c)

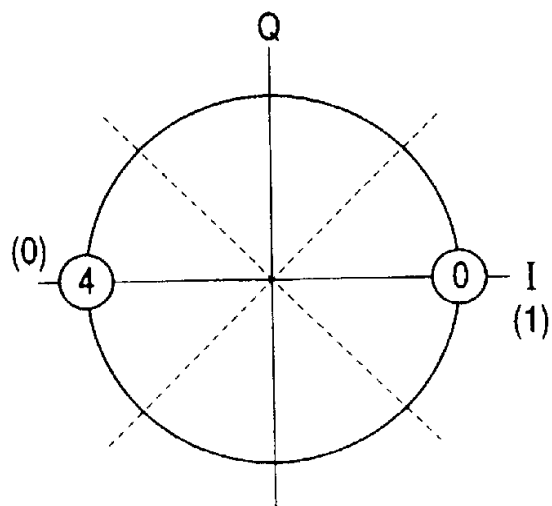


图3(a)

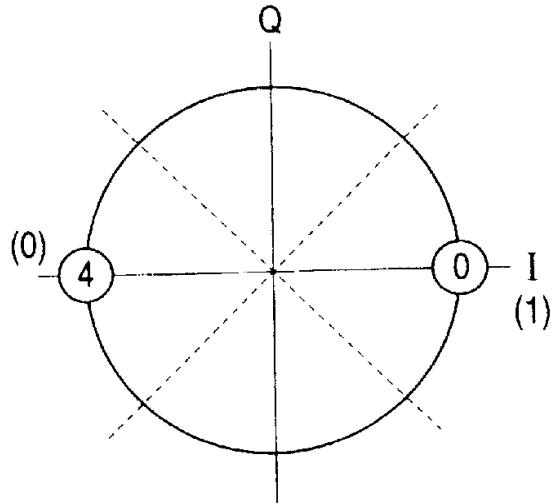


图3(b)

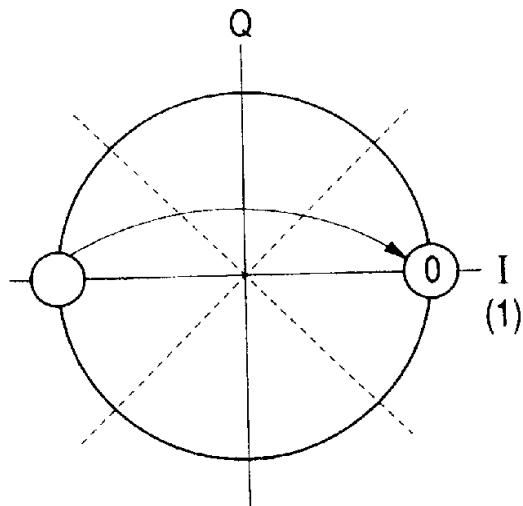


图4

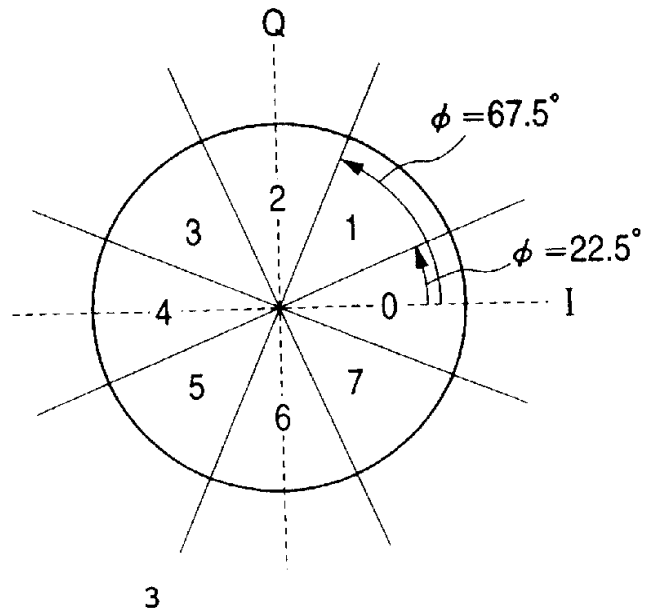


图5

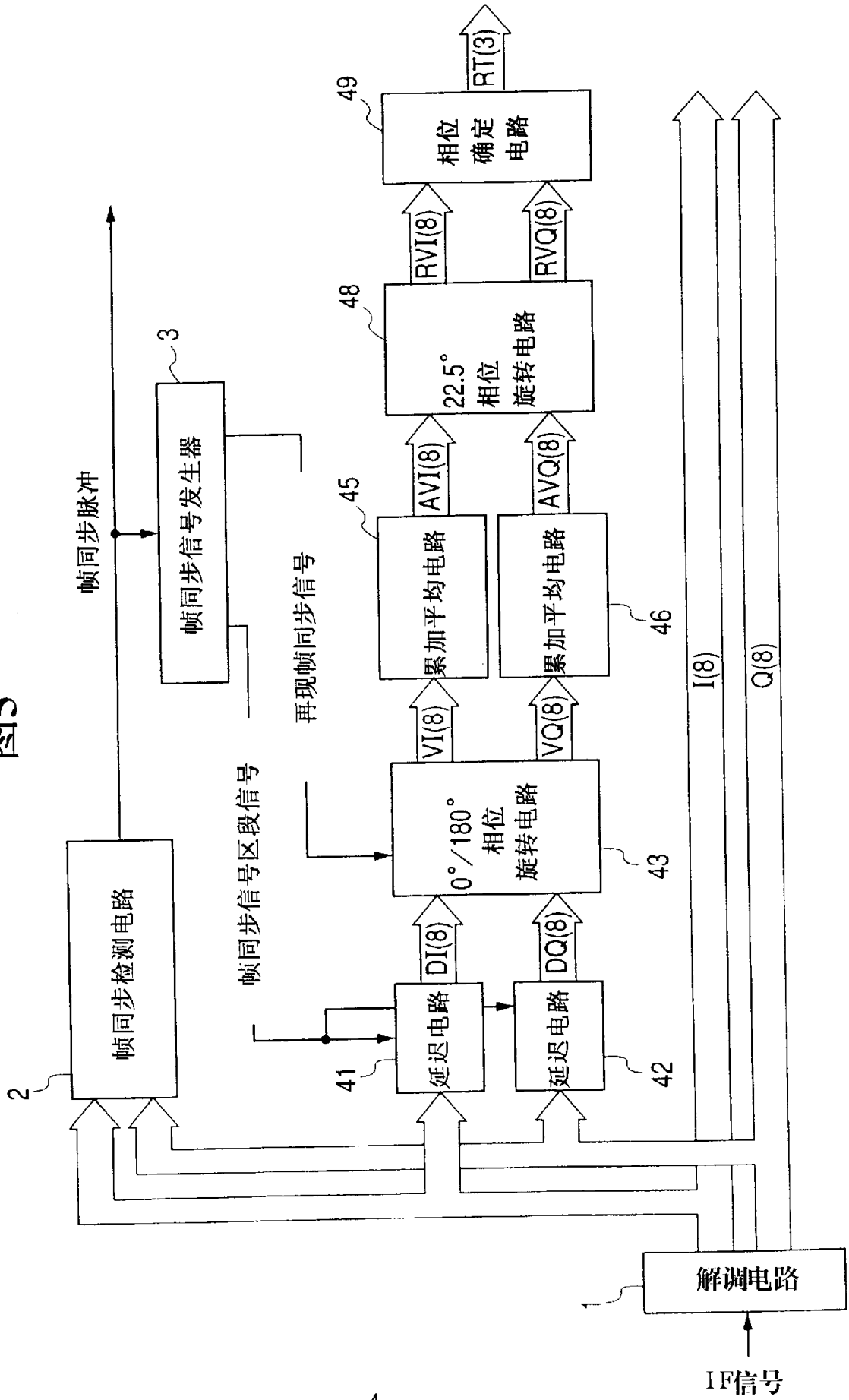


图6

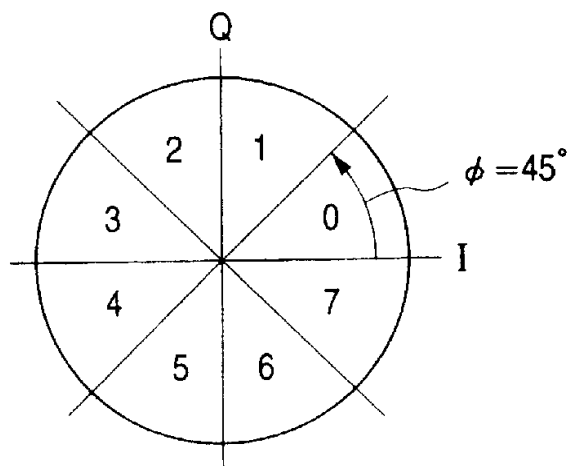


图7

输入条件	R(3)
$RVI > 0, RVQ \geq 0, \text{ AND } IRVII > IRVQI$	0
$RVI > 0, RVQ > 0, \text{ AND } IRVII \leq IRVQI$	1
$RVI \leq 0, RVQ > 0, \text{ AND } IRVII < IRVQI$	2
$RVI < 0, RVQ > 0, \text{ AND } IRVII \geq IRVQI$	3
$RVI < 0, RVQ \leq 0, \text{ AND } IRVII > IRVQI$	4
$RVI < 0, RVQ < 0, \text{ AND } IRVII \leq IRVQI$	5
$RVI \geq 0, RVQ < 0, \text{ AND } IRVII < IRVQI$	6
$RVI > 0, RVQ < 0, \text{ AND } IRVII \geq IRVQI$	7

图8

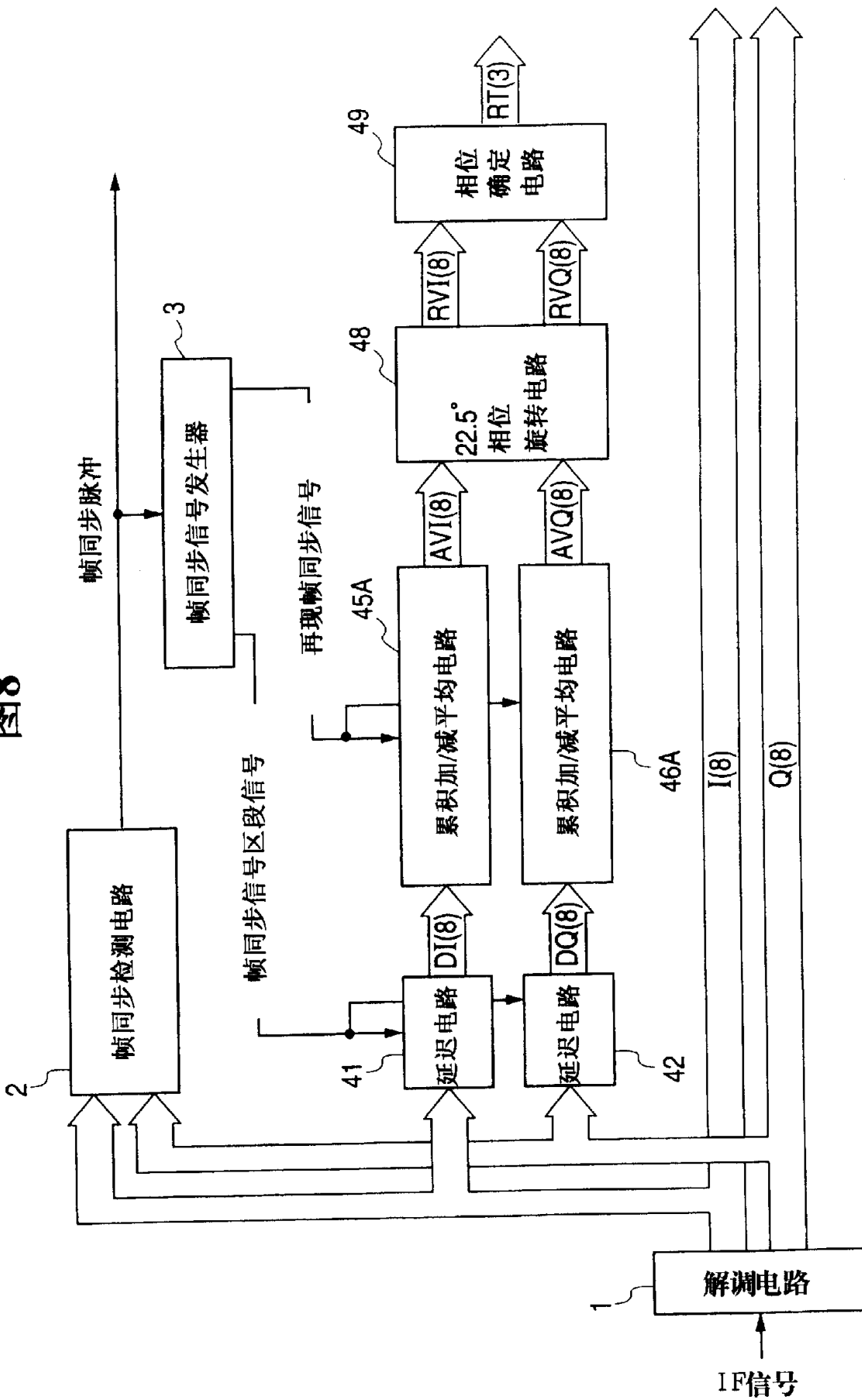


图9

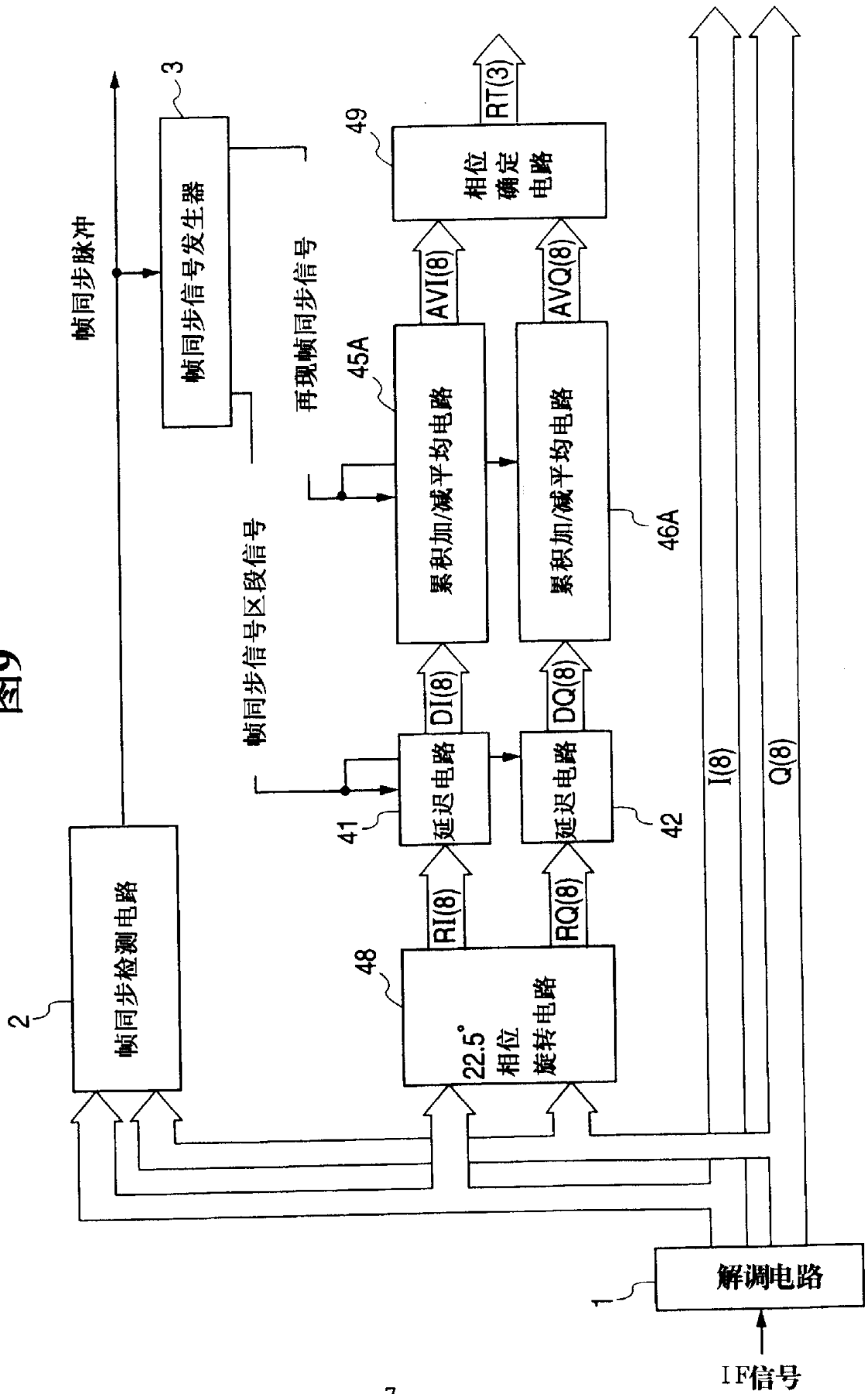


图10

输入条件	22.5° 旋转 R(3)	67.5° 旋转 R(3)	112.5° 旋转 R(3)	157.5° 旋转 R(3)	202.5° 旋转 R(3)	247.5° 旋转 R(3)	292.5° 旋转 R(3)	337.5° 旋转 R(3)
$RVI > 0, RVQ \geq 0, \text{ AND } RVI > RVQ $	0	7	6	5	4	3	2	1
$RVI > 0, RVQ > 0, \text{ AND } RVI \leq RVQ $	1	0	7	6	5	4	3	2
$RVI \leq 0, RVQ > 0, \text{ AND } RVI < RVQ $	2	1	0	7	6	5	4	3
$RVI < 0, RVQ > 0, \text{ AND } RVI \geq RVQ $	3	2	1	0	7	6	5	4
$RVI < 0, RVQ \leq 0, \text{ AND } RVI > RVQ $	4	3	2	1	0	7	6	5
$RVI < 0, RVQ < 0, \text{ AND } RVI \leq RVQ $	5	4	3	2	1	0	7	6
$RVI \geq 0, RVQ < 0, \text{ AND } RVI < RVQ $	6	5	4	3	2	1	0	7
$RVI > 0, RVQ < 0, \text{ AND } RVI \geq RVQ $	7	6	5	4	3	2	1	0

图11

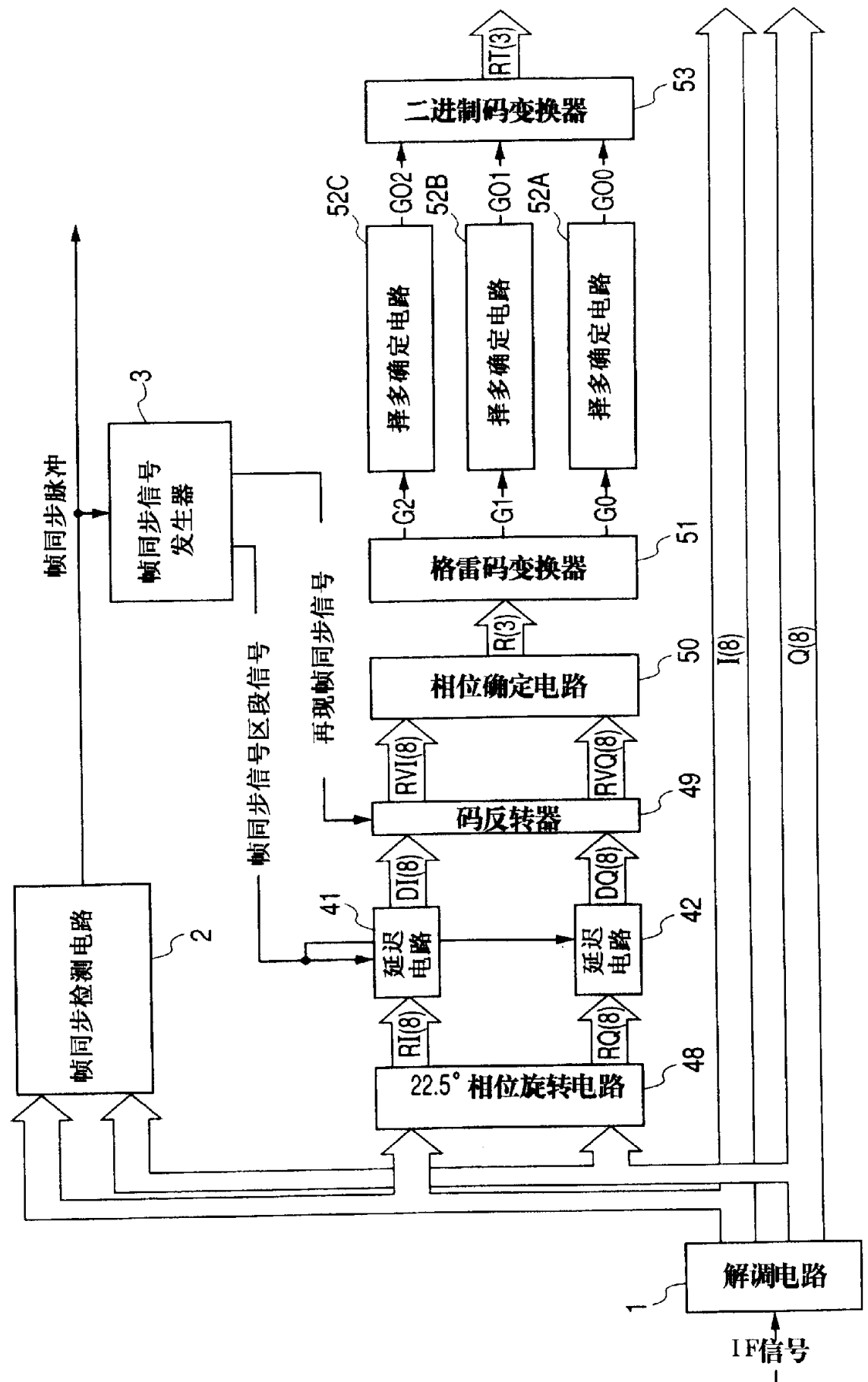


图12(a)

输入	输出
"000"	"000"
"001"	"001"
"010"	"011"
"011"	"010"
"100"	"110"
"101"	"111"
"110"	"101"
"111"	"100"

图12(b)

输入	输出
"000"	"000"
"001"	"001"
"011"	"010"
"010"	"011"
"110"	"100"
"111"	"101"
"101"	"110"
"100"	"111"

图13

输入条件	R(3)
$RVI > 0, RVQ \geq 0, \text{ AND } IRVII > IRVQI$	0
$RVI > 0, RVQ > 0, \text{ AND } IRVII \leq IRVQI$	1
$RVI \leq 0, RVQ > 0, \text{ AND } IRVII < IRVQI$	3
$RVI < 0, RVQ > 0, \text{ AND } IRVII \geq IRVQI$	2
$RVI < 0, RVQ \leq 0, \text{ AND } IRVII > IRVQI$	6
$RVI < 0, RVQ < 0, \text{ AND } IRVII \leq IRVQI$	7
$RVI \geq 0, RVQ < 0, \text{ AND } IRVII < IRVQI$	5
$RVI > 0, RVQ < 0, \text{ AND } IRVII \geq IRVQI$	4