

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號： 96.13.3902

※ 申請日期： 96.9.11

※IPC 分類：H01L 27/08 (2006.01)

H01L 21/8242 (2006.01)

一、發明名稱：(中文/英文)

單一電晶體動態隨機存取記憶體單元結構及其形成方法

ONE TRANSISTOR DRAM CELL STRUCTURE AND METHOD FOR FORMING

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

美商飛思卡爾半導體公司

FREESCALE SEMICONDUCTOR, INC.

代表人：(中文/英文)

珍妮佛 B 伍艾梅特

WUAMETT, JENNIFER B.

住居所或營業所地址：(中文/英文)

美國德州奧斯丁市威廉坎嫩道西6501號

6501 WILLIAM CANNON DRIVE WEST, AUSTIN, TEXAS 78735,

U.S.A.

國 籍：(中文/英文)

美國 U.S.A.

三、發明人：(共 2 人)

姓 名：(中文/英文)

1. 詹姆士 D 柏奈特
BURNETT, JAMES D.
2. 布萊恩 A 溫斯提
WINSTEAD, BRIAN A.

國 籍：(中文/英文)

1. 美國 U.S.A.
2. 美國 U.S.A.

四、聲明事項：

☐ 主張專利法第二十二條第二項☐第一款或☐第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 美國；2006年10月31日；11/554,851

2.

☐ 無主張專利法第二十七條第一項國際優先權：

1.

2.

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

五、中文發明摘要：

本發明揭示一種單一電晶體動態隨機存取記憶體(DRAM)單元，其包含一電晶體(10)，該電晶體具有一第一源極/汲極區(26)、一第二源極/汲極區(24)、一介於該第一源極/汲極區與該第二源極/汲極區之間的主體區(36)，以及一位於該主體區上方的閘極(28)。該第一源極/汲極區包含一具有該主體區的肖特基(Schottky)二極體接面，而該第二源極/汲極區包含一具有該主體區的n-p二極體接面。

六、英文發明摘要：

A one-transistor dynamic random access memory (DRAM) cell includes a transistor (10) which has a first source/drain region (26) a second source/drain region (24), a body region (36) between the first and second source/drain regions, and a gate (28) over the body region. The first source/drain region includes a Schottky diode junction with the body region and the second source/drain region includes an n-p diode junction with the body region.

七、指定代表圖：

(一)本案指定代表圖為：第 (1) 圖。

(二)本代表圖之元件符號簡單說明：

10	裝置
12	基板
14	矽化物層
16	矽化物層
18	閘極介電層
20	閘極材料層
22	閘極矽化物層
24	源極區
26	汲極區
28	閘極堆疊
29	間隔物
30	深源極區
32	源極延伸區
34	深汲極區
36	主體區
40	字元線
42	位元線
44	源極線
BL	位元線
SL	源極線
WL	字元線

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

九、發明說明：

【發明所屬之技術領域】

本發明一般係關於半導體裝置，且更明確地說，係關於一具有單一電晶體的動態隨機存取記憶體單元。

【先前技術】

一般而言，主要因高密度與良好速度的關係，DRAM(動態隨機存取記憶體)大體上極為成功。在尋求更高密度時，已經有人開發出用於單動態隨機存取記憶體的技術。個別的單元會被設置在一絕緣體上半導體(SOI)基板之中或是一具有絕緣電晶體主體的大容積基板之上並且僅需用到單一電晶體，而並不需用到動態隨機存取記憶體中慣用的電容器。因為不需要用到電容器，所以，該些類型的動態隨機存取記憶體單元亦被稱為無電容器式動態隨機存取記憶體單元。在此一單電晶體動態隨機存取記憶體單元之中，該電晶體的主體會維持浮動，而且因為該等電晶體的主體彼此隔離的關係，電荷會被累積在該主體之中。這會改變該電晶體的限定值，且此差異可被偵測到。

針對典型情況的N通道電晶體來說，用於寫入的技術係產生會保持被陷捕在電浮動的電晶體主體之中的電洞。藉由選擇閘極電壓、源極電壓以及汲極電壓，比較移除該等電洞，俾使該電晶體運作以達到電洞/電子對生成，便可達成此目的。為抹除，同樣係藉由調整閘極電壓、源極電壓以及汲極電壓俾使電洞移除快過電洞/電子對生成以移除該等電洞。其中一項困難便係以足夠的速度達成寫入與

抹除兩者。倘若在抹除模式中的電洞移除未充份快過電洞/電子對生成的話，那麼抹除便會太慢。同樣地，倘若在寫入模式中的電洞/電子對生成未充份快過電洞移除的話，那麼寫入便會太慢。其中一項問題便係讀取與寫入兩者要有足夠的速度。因此，需要找尋一種技術以達成讓讀取操作與寫入操作兩者皆有足夠的速度。

【發明內容】

為透澈地瞭解本文的單一電晶體動態隨機存取記憶體單元結構及其形成方法的主要內容，本文將配合附圖來解釋下文的實施方式，其包含隨附的申請專利範圍在內。

在下文中便會非常地明白，本發明的其中一種形式係關於一種用於程式化一單電晶體無電容器式(1T/0C)記憶體單元的結構與方法。明確地說，該記憶體單元(其包括一浮動(也就是被隔離的)主體區)會藉由調變一MOS電晶體的臨界電壓 V_T 而被程式化，該MOS電晶體包含該主體區及個別的汲極區與源極區。 V_T 調變由於帶對帶穿隧(BTBT)作用，經由在該主體區中累積多數載子來實現。相較於其它已知技術，就以此方式來程式化該記憶體單元來說，其較佳的係藉由BTBT來產生多數載子明顯地需要較低的汲極電流。

當從該浮動主體區中清除該等電洞時便會造成下面一項問題。習知的n-p接面的限制在於如何有效率的將電洞從該主體區移除。這係因為該n-p接面具有非常弱的正向偏壓電流的關係。因此，在對一(1T/0C)記憶體單元進行寫

入"0"操作之後，該主體電位便會不夠低，而無法在該等"0"與"1"狀態之間提供健全的讀取邊限。因此，橫跨一大型記憶體陣列中的所有位元上精確地區分後續的"0"之讀取與"1"之讀取便可能會有問題。對一大型的記憶體單元陣列中的偏遠或尾部位元來說，此問題會特別顯著。

比較一n-p接面，部分肖特基接面可具有實質上較大之正向偏壓電流，同時還會提供一非常低的反向偏壓電流。此實質上較大的正向偏壓電流可讓電洞從該主體區中更有效地被移除。因此，在對一(1T/0C)記憶體單元進行寫入"0"操作之後，該主體電位便會夠低，而可在該等"0"與"1"狀態之間提供健全的讀取邊限。因此，橫跨一大型記憶體陣列中的所有位元上精確地區分後續的"0"之讀取與"1"之讀取時的問題便應該會比較小。對一大型的記憶體單元陣列中的偏遠或尾部位元來說，這會特別有幫助。

肖特基接面可能會具有不同的阻障高度。於一項具體實施例中，肖特基接面的阻障高度非常的低，而會在一寫入"0"操作期間提供很強的正向偏壓電流，但卻又不會低至有嚴重的反向洩漏而干擾被儲存在該(1T/0C)記憶體單元之中的資料數值。

不過，在源極側之上使用一肖特基接面卻可能會在一讀取操作期間造成嚴重的問題。在讀取"1"的操作期間，該主體至源極接面會被正向偏壓。倘若該源極使用肖特基接面的話，那麼該主體便會因該肖特基接面實質上較大的正向偏壓電流的關係而更快速地遺失其電荷。不過，此在該

主體區中快速遺失電洞的時間便係一項問題。該主體區中之電洞的快速移除可能會造成會讓資料遺失的"1"的讀取。因此，在讀取操作期間使用n-p接面會優於肖特基接面。

結果，一肖特基接面的正向偏壓便可用來提供在寫入"0"操作期間有效地移除電洞，而n-p接面則可在讀取操作期間用於該源極處以防止該肖特基接面造成在讀取"1"操作期間遺失資料。

【實施方式】

圖1說明根據其中一具體實施例在一裝置10製造中的其中一個階段期間該裝置的斷面圖。從圖1中可以看見，一記憶體單元包括一形成在一基板12之上的MOS電晶體10。基板12可能係一SOI(絕緣體上矽)基板或是一具有一浮動主體區的大容積基板。可以使用已知的製造技術在基板12之上形成一MOS(舉例來說，NMOS)電晶體。所生成的裝置10包括一主體區36(舉例來說，p型導電性)。一汲極區26(舉例來說，n型)會形成在主體區36的其中一端處，而一源極區24(舉例來說，n型)則會形成在主體區36的相反端處。在一替代具體實施例中，可形成一PMOS電晶體取代NMOS電晶體，只要正確地改變極性即可。在圖中所說明的具體實施例中，一矽化物層14係位於源極區30上方，而一矽化物層16係位於汲極區34上方。於特定的具體實施例中，一矽化物區22可能位於一閘極20上方。替代具體實施例可能不使用矽化物層22。

注意對特定的具體實施例來說，該汲極區26包括一深汲極區34，而源極區24包括一深源極區30與一源極延伸區32。一閘極結構或閘極堆疊28係被設置在主體區36的上方，該閘極堆疊28包括一閘極矽化物層22、一閘極材料層20、以及閘極介電層18。於一較佳的具體實施例中，MOS電晶體10被製造之後會使得汲極區26與源極區24自動對齊閘極堆疊28。最後會提供一互連系統，其包含一被連接至閘極堆疊28的字元線(WL) 40，一被連接至汲極26的位元線(BL) 42，以及一被連接至源極24的源極線(SL) 44。

注意在圖中所說明的具體實施例中，一矽化物14係形成源極區24的一部分，而一矽化物16則係形成汲極區26的一部分。一源極延伸區32 (n型)係形成源極24的一部分。源極延伸區32的摻雜物濃度應該夠高，足以在該源極側矽化物14與源極延伸區32之間提供一歐姆接點。於一項具體實施例中，源極區30、32以及汲極區34中的摻雜物濃度範圍可能係從 3×10^{19} 至 3×10^{20} 原子/cm³，而主體區36中的摻雜物濃度範圍可能係從約 5×10^{16} 至 5×10^{17} 原子/cm³。替代具體實施例可能會使用不同的摻雜物濃度。

可以使用各種方法來形成圖1的裝置10。舉例來說，可使用有角度的植入來形成源極延伸區32。現在參考圖1，該有角度的植入可以在與垂直約45度的角度處從源極側(左邊)以對角線的方式接近裝置10。替代具體實施例則可能使用範圍從與垂直0度(垂直植入)至與垂直約60度的植入角度。用於形成圖1之裝置10的其它方法則可使用垂直植

入。

於一項具體實施例中，可以使用一遮罩(圖中並未顯示)來遮住汲極側26，而使得源極延伸區32僅會形成在源極側之上。於此情況中，可以使用垂直植入在該源極側上形成源極延伸區32。替代具體實施例則可結合使用遮罩法與植入角度在該等源極側與汲極側上產生所需摻雜物輪廓。注意，用來遮住汲極側的遮罩可能係一經修正的延伸植入遮罩，其中，該延伸植入遮罩會遮住該等p通道裝置，而該經修正的延伸植入遮罩則會遮住該等p通道裝置以及該等n通道裝置的汲極區。因此，對該項製程來說，建立該經修正的延伸植入遮罩可能非常簡單且廉價。

用於形成圖1之裝置10的某些方法可能會運用可犧牲的(也就是，在最終裝置中會被移除)且其可能寬於圖1中所示之間隔物29的間隔物。在不同的方法中，該矽化物層包括14、16、以及22，它們可在植入源極延伸區32之前或之後來沈積。

於一項具體實施例中，該矽化物層可能包括下面材料中一或多者：矽化鉕(ErSi_x)、矽化鎳(YbSi_x)、及/或矽化鉑(PtSi)。通常，對NMOS裝置來說，可使用下面材料中一或多者：矽化鉕及/或矽化鎳。通常，對PMOS裝置來說，可使用矽化鉑。於另一具體實施例中，該矽化物層可能包含被插入在該矽化物/矽接面處的一超薄(約為單層)絕緣體，用以藉由界面鈍化來調整阻障高度。於一項具體實施例中，所選擇的該等矽化物材料會針對該肖特基接面所需運

作提供足夠低的阻障。對於一些具體實施例，對於NMOS裝置，低阻障材料可被定義為導電帶邊緣之阻障高度落在約400毫伏內的材料，而對於PMOS裝置，低阻障材料可被定義為價電帶邊緣之阻障高度落在約400毫伏內的材料。對於一些具體實施例，對於NMOS裝置，低阻障材料可被定義為導電帶邊緣之阻障高度落在約300毫伏內的材料，而對於PMOS裝置，低阻障材料可被定義為價電帶邊緣之阻障高度落在約300毫伏內的材料。替代具體實施例可使用不同的材料及/或具有不同阻障的材料來形成該等肖特基接面。

現在將一種說明用於形成圖1之裝置10之方法的一項範例。可使用植入來形成源極延伸區32。該植入可能係垂直植入，其會使用一遮罩層(圖中並未顯示)來阻隔汲極側26上的植入；或者該植入可能係有角度的植入，其可能會使用閘極堆疊28來阻隔汲極側26上的植入。請注意，接著便可在後續的植入期間使用寬於間隔物29的犧牲間隔物(圖中並未顯示)來形成深源極區30與深汲極區34。接著便可在沈積矽化物層14、16及22之前先移除該些犧牲間隔物(圖中並未顯示)。

現在將說明一種用於形成圖1之裝置10之方法的一項替代範例。可以沈積矽化物層14、16及22。可使用植入來形成源極延伸區32。該植入可能係垂直植入，其會使用一遮罩層(圖中並未顯示)來阻隔汲極側26上的植入；或者該植入可能係有角度的植入，其可能會使用閘極堆疊28來阻隔

汲極側26上的植入。請注意，接著便可在後續的植入期間使用寬於側壁間隔物29的犧牲間隔物(圖中並未顯示)來形成深源極區30與深汲極區34。接著便可移除該些犧牲間隔物。

請注意，圖1中所說明的電晶體10在源極區24之中具有一n-p接面，而在汲極區26之中具有一肖特基接面。該源極區24中的n-p接面係介於n型區30、32與p型主體36之間。該汲極區26中的肖特基接面係介於該矽化物層16與該p型主體區36之間。

圖2係一用於半導體裝置的操作遮罩佈局之繪圖代表，其中會製造一含有數個記憶體單元10的記憶體陣列。如圖2中所示，複數條字元線(WL) 116延伸在水平方向中，該方向實質上平行該裝置的表面。每條WL 116還會形成一記憶體陣列的一給定列之中個別記憶體單元的多晶矽閘極導體20。BL 117與SL 118會在垂直方向中延伸在WL 116上方。SL 118會透過必要數量的導體通道121中個別的導體通道被電連接至該陣列中每一個記憶體單元10的源極區24。同樣地，BL 117會經由必要數量的導體通道122被電連接至該陣列中每一個記憶體單元10的汲極區26。記憶體單元10的作用區係形成在圖2中所示的作用區123之中。

熟習半導體記憶體設計與製造技術者便可明白，除了習慣設置的以外，上面所述的隨機存取記憶體單元結構還需要一額外的導電元件。也就是，納入單源極線便會滿足習知的記憶體陣列架構。不過，額外導電跡線的需求在此處

並不會被視為係一嚴重的損害。這係因為由記憶體單元10所產生的非常低的電流需要略大於所指定者之裝置寬度。也就是，因為邏輯"1"處的記憶體單元與邏輯"0"處的記憶體單元之間的電流差傾向於會很小，所以該等記憶體單元會被設計成大於最小寬度，以便以一方式提高電流差俾使足以驅動下游的感測放大器。舉例來說，倍增裝置寬度可將開/關電流差從5微安提高至10微安，從而會使得與該等感測放大器相關聯的設計效能需求較為寬鬆。結果，藉由較大的裝置寬度便可在垂直方向中靈巧地納入一額外導體。

除此之外，就此方面來說，該額外導體的優點係可利用它來最小化可能出現在未被選定WL上的洩漏電流。明確地說，若沒有SL 118的話，便會藉由一金屬帶導體來共同連接所有單元的源極，而該金屬帶導體則會接著被連接至單參考電壓。因為未被選擇記憶體單元的洩漏電流可能會接近奈安/裝置，且因為該記憶體陣列中的一給定行可能包含數百的記憶體單元(舉例來說，256個或512個)的關係，所以最差情況的總洩漏電流可能會相當於典型的讀取電流。解決的對策便係可對未被選擇的單元施加一源極偏壓，以便達到硬關閉(hard turn-off)的目的。當該關閉偏壓可以逐行來施加而非僅可全域式地施加在整個陣列上時，便可更輕易地達成此目的。對本發明來說，用於定址運用裝置10的記憶體陣列的內容的方案僅係附帶說明，據此，本文中不予討論。不過，和程式化、抹除、以及讀取運用

裝置10的記憶體陣列的內容之方法有關的特定細節則和本發明有關，所以會在下文作討論。

現在探討圖3、4、以及5，圖中所示的分別係可用於將一所需邏輯位準(舉例來說，"1")寫入至根據本發明的隨機存取記憶體單元之中的替代偏壓技術。不過，其並不表示該些圖中所揭示的技術具有竭盡性與排外性。

圖3描述可用於在被選定列與行之中使用裝置10將"1"寫入記憶體單元的方式。此方式係偏壓汲極區26之中的肖特基接面，以便讓電洞被儲存在主體區36之中。在此方式中， -1.8 V (伏)的正電壓會被施加至一被選定行之中的單元的SL。 -1.5 V 的負電壓會被施加至一被選定列的WL。 0 V 或GND(接地)的電壓會被施加至未被選擇列的WL。該被選擇行的BL上的電壓允許為浮動。且未被選擇行中的單元的SL與BL上的電壓允許為浮動。

圖4描述可用於在被選定列與行之中使用裝置10將"0"寫入記憶體單元的方式。此方式係偏壓汲極區26之中的肖特基接面，以便讓電洞會被清除而電子會被儲存在主體區36之中。在此方式中， -1.8 V (伏)的正電壓會被施加至一被選定行之中的單元的SL。 -1.8 V 的正電壓會被施加至一被選定列的WL。 0 V 或GND(接地)的電壓會被施加至未被選擇列的WL。 0 V 或GND(接地)的電壓會被施加至被選擇行的BL。且 0 V 或GND(接地)的電壓會被施加至未被選擇行中的單元的SL與BL。

圖5描述可用於在被選定列與行中使用裝置10讀取記憶

體單元的方式。在讀取操作期間會使用源極24處的n-p界面(介於n型30、32與p型主體36之間)來降低肖特基界面(介於矽化物層16與p型主體36之間)可能會在讀取"1"操作期間造成資料遺失的可能性。讀取"0"操作通常不會有相同的問題，因為儲存"0"並不需要主體36儲存任何大量電荷。在此方式中， -0.5 V (伏)的正電壓會被施加至一被選定行之中的單元的BL。 -0.8 V 的正電壓會被施加至一被選定列的WL。 -0 V 或GND(接地)的電壓會被施加至未被選擇列的WL。 -0 V 或GND(接地)的電壓會被施加至被選擇行的SL。且 -0 V 或GND(接地)的電壓會被施加至未被選擇行中的單元的SL與BL。

請注意，上面圖3至5所說明的電壓的實體數值僅係作為解釋性用途。當裝置10的尺寸被縮放至較大或較小尺寸時，該等電壓的數值同樣會被縮放。雖然該等電壓的實體數值可以改變，不過，該等電壓(舉例來說，位於較高與較低電位處的電壓)之間的關係則可能維持相同。不過，替代具體實施例亦可以不同的方式來偏壓該等裝置10，以便產生異於裝置10的行為。

據此，從上面的說明中便應該明白，單一電晶體動態隨機存取記憶體單元在其可智能的上述眾多特點、優點、以及功能方面相當有利。明確地說，裝置10立刻提供一種簡單且精簡的單元設計，同時支援更健全的寫入"0"操作以及損害較小的讀取操作。

聲明1. 一種單一電晶體動態隨機存取記憶體(DRAM)單

元，其包括：

一電晶體，其具有一第一源極/汲極區、一第二源極/汲極區、一介於該第一源極/汲極區與該第二源極/汲極區之間的主體區，以及一位於該主體區上方的閘極，其中，該第一源極/汲極區包含一具有該主體區的肖特基二極體接面，而該第二源極/汲極區包含一具有該主體區的n-p二極體接面。

聲明2. 如聲明1之動態隨機存取記憶體單元，其中該第二源極/汲極區包含一串聯於該n-p二極體接面的歐姆接點。

聲明3. 如聲明1之動態隨機存取記憶體單元，其中：

該第一源極/汲極區包含一延伸在該閘極下方的第一矽化物層，

該第二源極/汲極區包含一延伸在該閘極下方的第二矽化物層以及一延伸在該閘極下方的源極/汲極延伸區。

聲明4. 如聲明3之動態隨機存取記憶體單元，其中，具有該主體區的肖特基二極體接面係形成在該第一矽化物層與該主體區之間，而具有該主體區的n-p二極體接面係形成在該源極/汲極延伸區與該主體區之間。

聲明5. 如聲明4之動態隨機存取記憶體單元，其中該主體區具有第一導電類型，而該源極/汲極延伸區具有不同於該第一導電類型的第二導電類型。

聲明6. 如聲明3之動態隨機存取記憶體單元，其中該第一源極/汲極區與該第二源極/汲極區中每一者均包含一深

源極/汲極區，且其中該第一源極/汲極區沒有源極/汲極延伸區。

聲明 7. 如聲明 1 之動態隨機存取記憶體單元，其中在該動態隨機存取記憶體單元的第一寫入操作期間該肖特基二極體接面從該主體區中移除多數載子以便寫入第一狀態。

聲明 8. 如聲明 7 之動態隨機存取記憶體單元，其中當該電晶體的特徵為其係一 N 通道電晶體時，回應於該第一源極/汲極區處之一電位低於該第二源極/汲極區處之一電位而從該主體區中移除該等多數載子。

聲明 9. 如聲明 7 之動態隨機存取記憶體單元，其中當該電晶體的特徵為其係一 P 通道電晶體時，回應於該第一源極/汲極區處之一電位高於該第二源極/汲極區處之一電位而從該主體區中移除該等多數載子。

聲明 10. 如聲明 1 之動態隨機存取記憶體單元，其中當該電晶體的特徵為其係一 N 通道電晶體時，回應於該第二源極/汲極區處之一電位低於該第一源極/汲極區處之一電位而感測到該動態隨機存取記憶體單元中的一所儲存之值。

聲明 11. 如聲明 1 之動態隨機存取記憶體單元，其中當該電晶體的特徵為其係一 P 通道電晶體時，回應於該第二源極/汲極區處之一電位高於該第一源極/汲極區處之一電位而感測到該動態隨機存取記憶體單元中一所儲存之值。

聲明 12. 如聲明 1 之動態隨機存取記憶體單元，其中該第一源極/汲極區包含一第一矽化物層，該第一矽化物層延伸在該閘極下方並且包括該多數載子之低阻障矽化物材

料。

聲明 13. 一種單一電晶體動態隨機存取記憶體(DRAM)單元，其包括：

一電晶體，其具有一第一源極/汲極區、一第二源極/汲極區、一介於該第一源極/汲極區與該第二源極/汲極區之間的主體區，以及一位於該主體區上方的閘極，其中該第一源極/汲極區包含一具有該主體區的肖特基二極體接面，而該第二源極/汲極區包含一具有該主體區的n-p二極體接面以及一串聯於該n-p二極體接面的歐姆接點。

其中：

當該電晶體的特徵為其係一N通道電晶體時，回應於該第一源極/汲極區處之一電位低於該第二源極/汲極區處之一電位，在該動態隨機存取記憶體單元的寫入操作期間經由該肖特基二極體接面從該主體區中移除該等多數載子，以及

當該電晶體的特徵為其係一P通道電晶體時，回應於該第一源極/汲極區處之一電位高於該第二源極/汲極區處之一電位，在該動態隨機存取記憶體單元的寫入操作期間經由該肖特基二極體接面從該主體區中該等多數載子。

聲明 14. 如聲明 13 之動態隨機存取記憶體單元，其中：

該第一源極/汲極區包含一延伸在該閘極下方的第一矽化物層，

該第二源極/汲極區包含一延伸在該閘極下方的第二矽化物層以及一延伸在該閘極下方的源極/汲極延伸區，以及

具有主體區的肖特基二極體接面係形成在該第一矽化物層與該主體區之間，而具有該主體區的n-p二極體接面係形成在該源極/汲極延伸區與該主體區之間。

聲明 15. 如聲明 14 之動態隨機存取記憶體單元，其中該第一矽化物層會實體接觸該主體區，而該第二矽化物層則不會實體接觸該主體區。

聲明 16. 如聲明 13 之動態隨機存取記憶體單元，其中：

當該電晶體的特徵為其係一N通道電晶體時，回應於該第二源極/汲極區處之一電位低於該第一源極/汲極區處之一電位而感測到該動態隨機存取記憶體單元中的一所儲存之值，以及

當該電晶體的特徵為其係一P通道電晶體時，回應於該第二源極/汲極區處之一電位高於該第一源極/汲極區處之一電位而感測到該動態隨機存取記憶體單元中一所儲存之值。

聲明 17. 如聲明 13 之動態隨機存取記憶體單元，其中該第一源極/汲極區包含一第一矽化物層，該第一矽化物層延伸在該閘極下方並且包括該多數載子之低阻障矽化物材料。

聲明 18. 一種用於形成單一電晶體動態隨機存取記憶體 (DRAM) 單元的方法，其包括：

在該動態隨機存取記憶體單元的一主體區上方形成一閘極，該動態隨機存取記憶體單元的該主體係形成在一具有第一導電類型的半導體層之中；

在該半導體層之中與該主體區鄰接且在其相反側之上形成第一與第二源極/汲極區，其中該第一源極/汲極區包含一具有該主體區的肖特基二極體接面，而該第二源極/汲極區包含一具有該主體區的n-p二極體接面。

聲明19. 如聲明18之方法，其中：

該第一源極/汲極區包含一延伸在該閘極下方的第一矽化物層，

該第二源極/汲極區包含一延伸在該閘極下方的第二矽化物層以及一延伸在該閘極下方的源極/汲極延伸區，該源極/汲極延伸區具有不同於該第一導電類型的第二導電類型，以及

具有該主體區的該肖特基二極體接面係形成在該第一矽化物層與該主體區之間，而具有該主體區的該n-p二極體接面係形成在該源極/汲極延伸區與該主體區之間。

聲明20. 如聲明19之方法，其中該形成該第一源極/汲極區與該第二源極/汲極區包括在該第一源極/汲極區與該第二源極/汲極區的每一者之中形成深源極/汲極區，且其中該第一源極/汲極區沒有源極/汲極延伸區，而使得該第一矽化物層實體接觸於該主體區。

在上面的說明中已經以解釋性並且透澈理解本發明的方式在特定各種具體實施例的內文中提出本發明。不過，熟習和半導體非揮發性記憶體裝置之設計與製造有關的技術的人士便會明白，可對本文特別說明的具體實施例進行各種修正與變更，而不會脫離本發明的範疇。結果，應該瞭

解的係，本發明涵蓋隨附申請專利範圍及其等效範圍之字面範疇內所涵蓋的所有主旨。舉例來說，本發明不應被理解為受限於本文所提出的特定材料與厚度。同樣地，熟習本技術的人士便會瞭解，導電類型(P型、N型)以及載子類型(電洞、電子)通常可以倒置，前提係必須保留必要的一致性。據此，說明與圖式應該被正確地理解為係用來解釋本發明，而非侷限本發明，因此，它們的所有修正或變更均涵蓋在本發明的範疇中。

雖然，圖1的裝置10係以一記憶體單元為背景來作說明，不過，替代具體實施例仍可以任何所需與合宜的電路來使用裝置10。舉例來說，可在任何所需電路中以任何所需方式來使用具有包括一n-p接面的單一電流電極且具有一包括一肖特基接面的第二電流電極的電晶體，且並不限於用在記憶體陣列之中。此電晶體可以任何所需方式受到偏壓，以達成所需行為。

同樣地，雖然本文已經針對本發明的特定具體實施例列舉出各種好處、優點、功能、以及操作上或其它技術性難題的解決方式；不過，依照明確或隱喻性定義或禁反言，該等好處、優點、功能、以及解決方式，以及達到任何此等好處、優點、功能、以及解決方式的任何元素或限制，或讓該等好處、優點、功能、以及解決方式更為彰顯的任何元素或限制，均不應被視為係任何或所有申請專利範圍的關鍵、必要、或基本元素或限制。再者，本文所使用的術語"包括"或其任何變化語均係非排外的內含用語，因

此，包括本文所提出之元件的製程、方法、物品或是設備不僅包含本文所提出的該些元件，而且包含未明確提出或列舉或此類製程、方法、物品或設備固有的其它元件。

應該瞭解的係，本文所述的所有電路系統可在矽或其它半導體材料之中來施行，或者，亦可以矽或其它半導體材料的軟體碼代表符來施行。

【圖式簡單說明】

本文藉由範例來解釋本發明，但本發明未限定在這些附圖內，其中，相同的元件符號代表相同的元件，且其中：

圖1說明根據其中一具體實施例在一裝置製造中的其中一個階段期間該裝置的斷面圖；

圖2說明根據其中一具體實施例的一可套用至一運用圖1之裝置的記憶體單元的遮罩佈局；

圖3說明根據其中一具體實施例之運用圖1之裝置的一記憶體陣列在寫入"1"操作期間可能被偏壓的方式的繪圖代表；

圖4說明根據其中一具體實施例之運用圖1之裝置的一記憶體陣列在寫入"0"操作期間可能被偏壓的方式的繪圖代表；以及

圖5說明根據其中一具體實施例之運用圖1之裝置的一記憶體陣列在讀取操作期間可能被偏壓的方式的繪圖代表。

習知此項技術者便會明白，為簡化及清楚起見，圖式中的元件並不依比例縮放。舉例來說，為有助於瞭解本發明的具體實施例，相較於圖中其它元件，圖中特定元件的

尺寸可能會被放大。

【主要元件符號說明】

10	裝置
12	基板
14	矽化物層
16	矽化物層
18	閘極介電層
20	閘極材料層
22	閘極矽化物層
24	源極區
26	汲極區
28	閘極堆疊
29	間隔物
30	深源極區
32	源極延伸區
34	深汲極區
36	主體區
40	字元線
42	位元線
44	源極線
116	字元線
117	位元線
118	源極線
121	通道

122

通 道

123

作 用 區

BL

位 元 線

SL

源 極 線

WL

字 元 線

十、申請專利範圍：

1. 一種單一電晶體動態隨機存取記憶體(DRAM)單元，其包括：

一電晶體，其具有一第一源極/汲極區、一第二源極/汲極區、一介於該第一源極/汲極區與該第二源極/汲極區之間的主體區，以及一位於該主體區上方的閘極，其中該第一源極/汲極區包含一具有該主體區的肖特基接面，而該第二源極/汲極區包含一具有該主體區的n-p二極體接面，

其中該第一源極/汲極區包含一延伸在該閘極下方的第一矽化物層，

該第二源極/汲極區包含一延伸在該閘極下方的第二矽化物層以及一延伸在該閘極下方的源極/汲極延伸區，

其中該第一源極/汲極區與該第二源極/汲極區中每一者均包含一深源極/汲極區，且其中該第一源極/汲極區沒有一源極/汲極延伸區。

2. 如請求項1之動態隨機存取記憶體單元，其中該第二源極/汲極區包含一串聯於該n-p二極體接面的歐姆接點。
3. 如請求項1之動態隨機存取記憶體單元，其中具有該主體區的該肖特基二極體接面係形成在該第一矽化物層與該主體區之間，而具有該主體區的該n-p二極體接面係形成在該源極/汲極延伸區與該主體區之間。
4. 如請求項3之動態隨機存取記憶體單元，其中該主體區具有第一導電類型，而該源極/汲極延伸區具有不同於該

第一導電類型的第二導電類型。

5. 如請求項1之動態隨機存取記憶體單元，其中在該動態隨機存取記憶體單元的第一寫入操作期間該肖特基二極體接面從該主體區中移除多數載子以便寫入第一狀態。
6. 如請求項5之動態隨機存取記憶體單元，其中當該電晶體的特徵為其係一N通道電晶體時，回應於該第一源極/汲極區處之一電位低於該第二源極/汲極區處之一電位而從該主體區中移除該等多數載子。
7. 如請求項5之動態隨機存取記憶體單元，其中當該電晶體的特徵為其係一P通道電晶體時，回應於該第一源極/汲極區處之一電位高於該第二源極/汲極區處之一電位而從該主體區中移除該等多數載子。
8. 如請求項1之動態隨機存取記憶體單元，其中當該電晶體的特徵為其係一N通道電晶體時，回應於該第二源極/汲極區處之一電位低於該第一源極/汲極區處之一電位而感測到該動態隨機存取記憶體單元中的一所儲存之值。
9. 如請求項1之動態隨機存取記憶體單元，其中當該電晶體的特徵為其係一P通道電晶體時，回應於該第二源極/汲極區處之一電位高於該第一源極/汲極區處之一電位而感測到該動態隨機存取記憶體單元中一所儲存之值。
10. 如請求項1之動態隨機存取記憶體單元，其中該第一矽化物層延伸在該閘極下方並且包括該多數載子之低阻障矽化物材料。
11. 一種單一電晶體動態隨機存取記憶體(DRAM)單元，其

包括：

一電晶體，其具有一第一源極/汲極區、一第二源極/汲極區、一介於該第一源極/汲極區與該第二源極/汲極區之間的主體區，以及一位於該主體區上方的閘極，其中該第一源極/汲極區包含一具有該主體區的肖特基二極體接面，而該第二源極/汲極區包含一具有該主體區的n-p二極體接面以及一串聯於該n-p二極體接面的歐姆接點，

其中該第一源極/汲極區包含一延伸在該閘極下方的第一矽化物層，

該第二源極/汲極區包含一延伸在該閘極下方的第二矽化物層以及一延伸在該閘極下方的源極/汲極延伸區，

其中該第一源極/汲極區與該第二源極/汲極區中每一者均包含一深源極/汲極區，且其中該第一源極/汲極區沒有一源極/汲極延伸區，以及

其中：

當該電晶體的特徵為其係一N通道電晶體時，回應於該第一源極/汲極區處之一電位低於該第二源極/汲極區處之一電位，在該動態隨機存取記憶體單元的寫入操作期間，經由該肖特基二極體接面從該主體區中移除該等多數載子，以及

當該電晶體的特徵為其係一P通道電晶體時，回應於該第一源極/汲極區處之一電位高於該第二源極/汲極區處之一電位，在該動態隨機存取記憶體單元的寫入操作

期間，經由該肖特基二極體接面從該主體區中移除該等多數載子。

12. 如請求項11之動態隨機存取記憶體單元，其中：

具有該主體區的該肖特基二極體接面係形成在該第一矽化物層與該主體區之間，而具有該主體區的該n-p二極體接面係形成在該源極/汲極延伸區與該主體區之間。

13. 如請求項11之動態隨機存取記憶體單元，其中該第一矽化物層實體接觸於該主體區，而該第二矽化物層不實體接觸於該主體區。

14. 如請求項11之動態隨機存取記憶體單元，其中：

當該電晶體的特徵為其係一N通道電晶體時，回應於該第二源極/汲極區處之一電位低於該第一源極/汲極區處之一電位而感測到該動態隨機存取記憶體單元中的一所儲存之值，以及

當該電晶體的特徵為其係一P通道電晶體時，回應於該第二源極/汲極區處之一電位高於該第一源極/汲極區處之一電位而感測到該動態隨機存取記憶體單元中所儲存之值。

15. 如請求項11之動態隨機存取記憶體單元，其中該第一矽化物層延伸在該閘極下方並且包括該多數載子之低阻障矽化物材料。

十一、圖式：

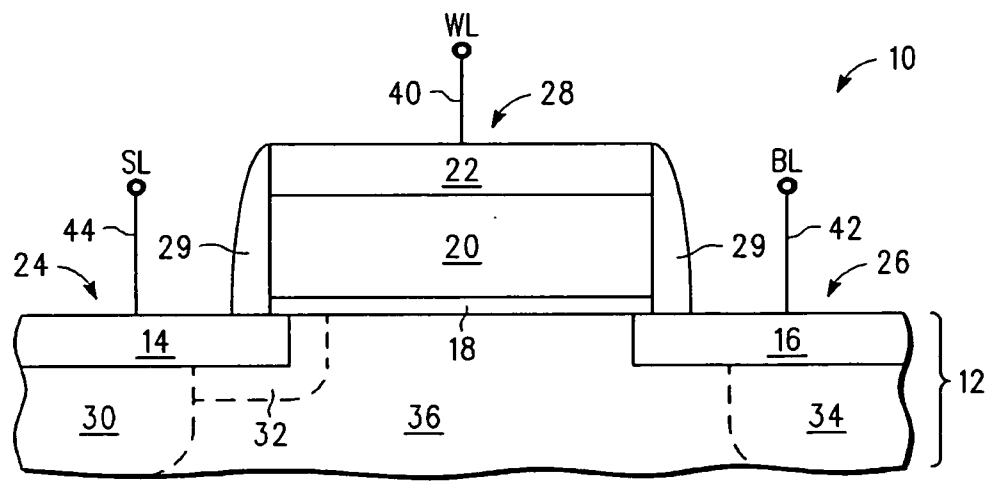


圖 1

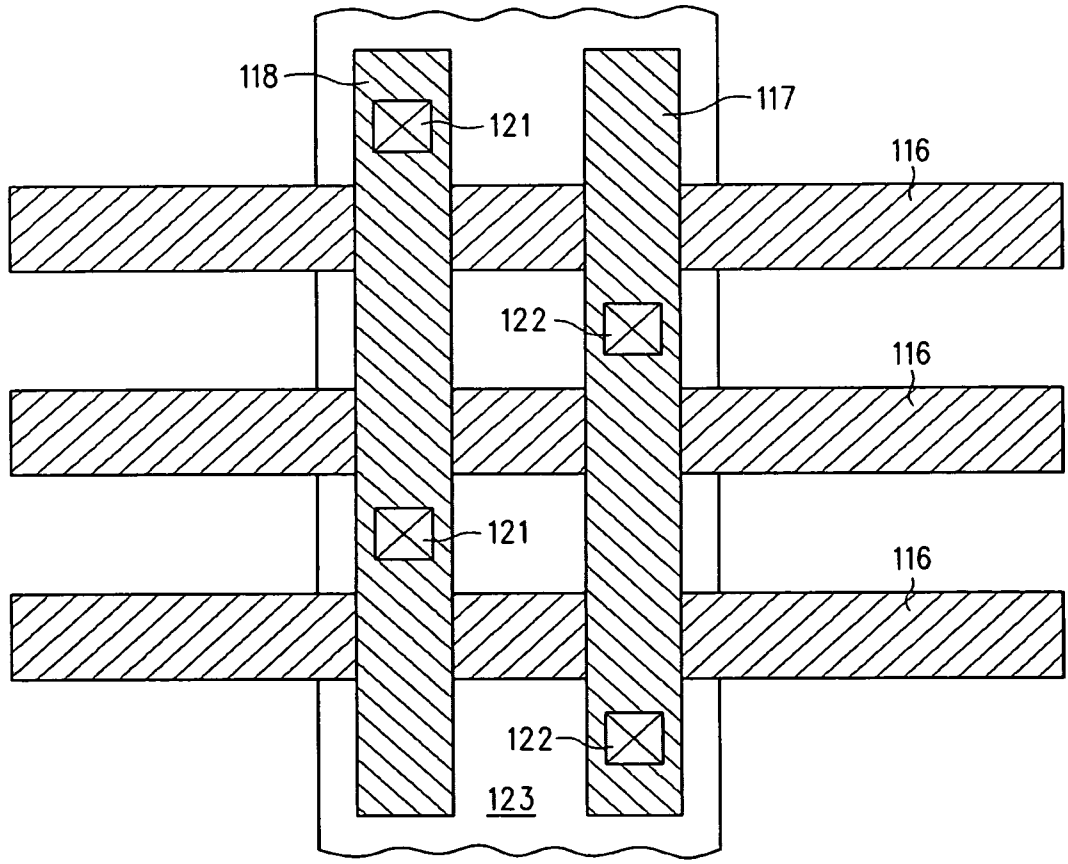


圖 2

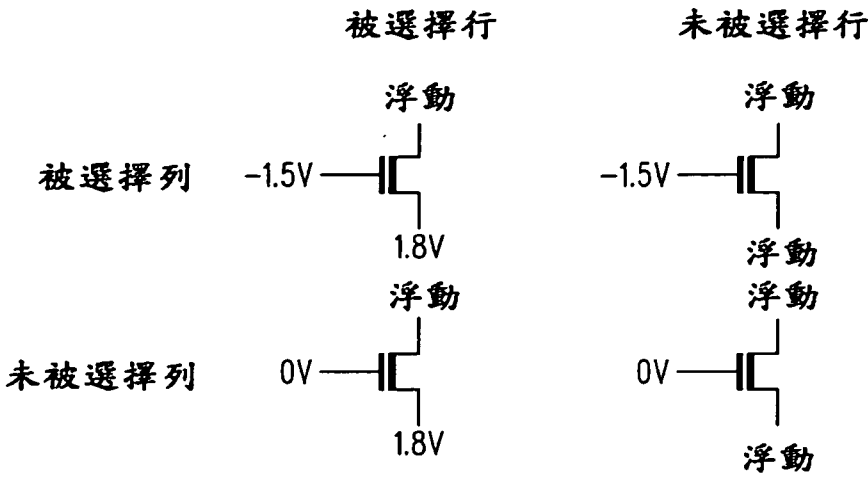


圖 3

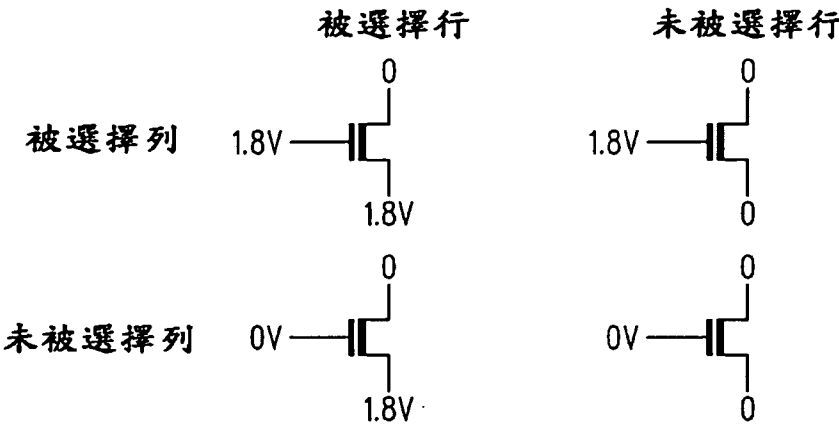


圖 4

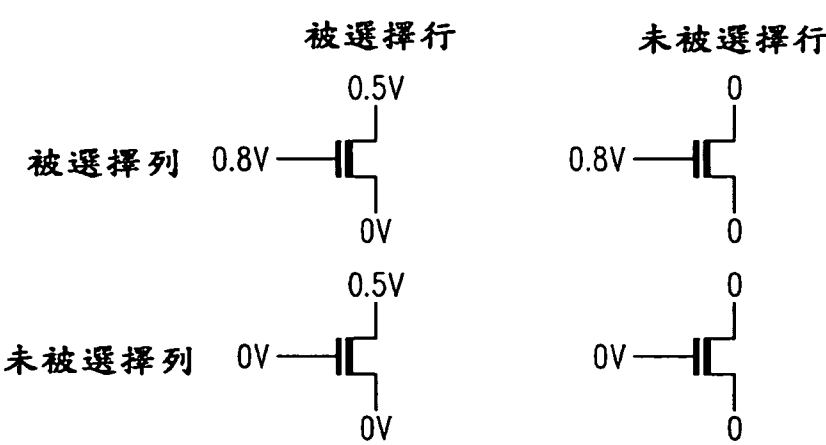


圖 5