



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I611588 B

(45)公告日：中華民國 107 (2018) 年 01 月 11 日

(21)申請案號：105128483

(22)申請日：中華民國 99 (2010) 年 10 月 20 日

(51)Int. Cl. : H01L29/786 (2006.01)

H02M3/07 (2006.01)

(30)優先權：2009/10/21 日本

2009-242758

2010/01/22 日本

2010-012617

(71)申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72)發明人：山崎舜平 YAMAZAKI, SHUNPEI (JP)；三宅博之 MIYAKE, HIROYUKI (JP)；津
吹將志 TSUBUKU, MASASHI (JP)；野田耕生 NODA, KOSEI (JP)

(74)代理人：林志剛

(56)參考文獻：

JP 2008-281988A

US 6232195B1

WO 2009/075281A1

審查人員：湯欽全

申請專利範圍項數：7 項 圖式數：24 共 153 頁

(54)名稱

電壓調整器電路及半導體裝置

VOLTAGE REGULATOR CIRCUIT AND SEMICONDUCTOR DEVICE

(57)摘要

一電晶體包括一閘極、一源極、及一汲極，閘極係電連接至源極或汲極，一第一信號被輸入至源極與汲極之一，且一氧化物半導體層(其載子濃度為 $5 \times 10^{14}/\text{cm}^3$ 或更小)被用於一通道形成層。一電容包括一第一電極及一第二電極，該第一電極係電連接至該電晶體之源極與汲極之另一，且一第二信號(其為時脈信號)被輸入至第二電極。第一信號之電壓被升壓或降壓以獲得一第三信號，其係透過該電晶體之源極與汲極之另一而被輸出為一輸出信號。

A transistor includes a gate, a source, and a drain, the gate is electrically connected to the source or the drain, a first signal is input to one of the source and the drain, and an oxide semiconductor layer whose carrier concentration is $5 \times 10^{14}/\text{cm}^3$ or less is used for a channel formation layer. A capacitor includes a first electrode and a second electrode, the first electrode is electrically connected to the other of the source and the drain of the transistor, and a second signal which is a clock signal is input to the second electrode. A voltage of the first signal is stepped up or down to obtain a third signal which is output as an output signal through the other of the source and the drain of the transistor.

指定代表圖：

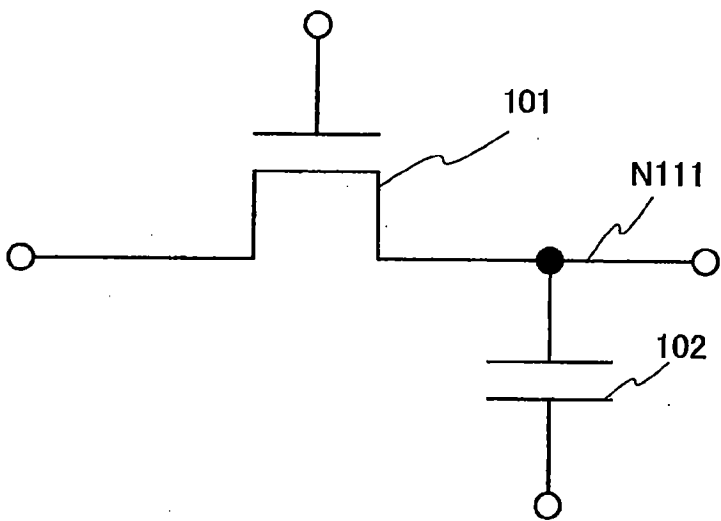
符號簡單說明：

101 . . . 電晶體

102 . . . 電容

N111 . . . 節點

圖 1



發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

電壓調整器電路及半導體裝置

Voltage regulator circuit and semiconductor device

【技術領域】

本發明之一實施例係有關一種包括電晶體之電壓調整器電路，該電晶體包括氧化物半導體。

【先前技術】

一種藉由使用薄半導體膜以形成薄膜電晶體(TFT)之技術已吸引注意，該薄半導體膜係形成於一具有絕緣表面之基底上。薄膜電晶體係用於一種以液晶電視為代表之顯示裝置。矽基的半導體材料已知為一種可應用於薄膜電晶體之薄半導體膜的材料。除了矽基的半導體材料以外，氧化物半導體已吸引注意。

當作氧化物半導體之材料，已知有鋅氧化物及含有鋅氧化物為其成分之材料。此外，已揭露了使用具有少於 $10^{18}/\text{cm}^3$ 之電子載子濃度的非晶氧化物(氧化物半導體)所形成的薄膜電晶體(專利文件 1 至 3)。

[參考案]

[專利文件]

[專利文件 1]日本公告專利編號 2006-165527

[專利文件 2]日本公告專利編號 2006-165528

[專利文件 3]日本公告專利編號 2006-165529

【發明內容】

然而，在薄膜形成程序中，發生了來自氧化物半導體中之化學計量組成(stoichiometric composition)的差異。例如，氧化物半導體之導電性係由於氧之過量或不足而改變。此外，於薄膜之形成期間進入薄氧化物半導體膜之氫係形成一氧(O)-氫(H)鍵並作用為電子施體，其為改變導電性之一因素。再者，因為 O-H 鍵為極性分子，所以其作用為改變一種主動裝置(諸如使用氧化物半導體所製造的薄膜電晶體)之特性的一項因素。

即使當具有少於 $10^{18}/\text{cm}^3$ 之電子載子濃度時，氧化物半導體仍為實質上 n 型的氧化物半導體。因此，專利文件 1 至 3 中所揭露的薄膜電晶體之開關比(on-off ratio)僅約 10^3 。薄膜電晶體之此一低的開關比係由於大的關狀態電流。

當使用一種具有大關狀態電流之電晶體以形成一種電壓調整器電路(諸如升壓(step-up)電路)時，即使當電晶體未操作時仍有電流流經電晶體；因此，可能(例如)降低用以獲得所欲電壓之轉換效率。

有鑑於上述，本發明之一實施例的目的係提供一種其電特性穩定之薄膜電晶體(例如，其關閉電流被顯著地減少之一薄膜電晶體)。此外，另一目的係增進轉換效率以

獲得一電壓調整器電路中之一所欲的電壓。

依據本發明之一實施例，諸如升壓電路或降壓電路之電壓調整器電路係使用一種包括氧化物半導體以當作通道形成層之電晶體所形成。氧化物半導體具有較矽半導體更大的能隙且為一種本質的或實質上本質的半導體，該半導體係透過移除一作用為電子施體之雜質而被高度地純化。利用此結構，於電晶體中，關狀態下之漏電流(關閉電流)可被減少。此外，利用電晶體之關閉電流的減少，可增進用以獲得所欲電壓之轉換效率。

氧化物半導體中所含之氫的濃度係小於或等於 $5 \times 10^{19}/\text{cm}^3$ ，最好是小於或等於 $5 \times 10^{18}/\text{cm}^3$ ，更佳的是小於或等於 $5 \times 10^{17}/\text{cm}^3$ 。此外，氧化物半導體中所含之氫或 O-H 鍵被移除。此外，載子濃度係小於或等於 $5 \times 10^{14}/\text{cm}^3$ ，最好是小於或等於 $5 \times 10^{12}/\text{cm}^3$ 。

能隙被設為大於或等於 2 eV，最好是大於或等於 2.5 eV，更佳的是大於或等於 3 eV，以盡可能減少形成施體之雜質(例如，氫)。此外，載子濃度被設為小於或等於 $1 \times 10^{14}/\text{cm}^3$ ，最好是小於或等於 $1 \times 10^{12}/\text{cm}^3$ 。

於一包括上述氧化物半導體之電晶體中， $1\mu\text{m}$ 之通道寬度的關閉電流可為極小的(相較於包括矽之傳統電晶體)；例如，關閉電流可小於或等於 $10\text{ aA}/\mu\text{m}(1 \times 10^{-17}\text{ A}/\mu\text{m})$ ，最好是小於或等於 $1\text{ aA}/\mu\text{m}(1 \times 10^{-18}\text{ A}/\mu\text{m})$ ，更佳的是小於或等於 $10\text{ zA}/\mu\text{m}(1 \times 10^{-20}\text{ A}/\mu\text{m})$ ，又更佳的是小於或等於 $1\text{ zA}/\mu\text{m}(1 \times 10^{-21}\text{ A}/\mu\text{m})$ 。此外，即使當電晶體之

溫度為 85°C 時， $1\ \mu\text{m}$ 之通道寬度的關閉電流仍可為極小的(相較於包括矽之傳統電晶體)；例如，關閉電流可小於或等於 $100\ \text{zA}/\mu\text{m}$ ($1 \times 10^{-19}\ \text{A}/\mu\text{m}$)，最好是小於或等於 $10\ \text{zA}/\mu\text{m}$ 。

利用一種包括一藉由充分地減少氫濃度而被高度地純化之氧化物半導體層的電晶體，則可獲得一種電壓調整器電路，其中相較於使用包括矽之傳統電晶體的情況，由於漏電流所致之電力耗損是低的。

依據本發明之實施例，一種電壓調整器電路包括電晶體及電容。電晶體包括一閘極、一源極、及一汲極，閘極係電連接至源極或汲極，一第一信號被輸入至源極與汲極之一，一氧化物半導體層被用於一通道形成層，以及一關閉電流係小於或等於 $100\ \text{zA}/\mu\text{m}$ 。電容包括一第一電極及一第二電極，該第一電極係電連接至該電晶體之源極與汲極之另一，且一第二信號(其為時脈信號)被輸入至第二電極。第一信號之電壓被升壓或降壓以獲得一第三信號，且該第三信號(其具有藉由將第一信號之電壓升壓或降壓所獲得的電壓)係透過該電晶體之源極與汲極之另一而被輸出為一輸出信號。

依據本發明之另一實施例，一電壓調整器電路包括 n 級(n 為大於或等於 2 的自然數)單元升壓電路，其被相互電氣地串聯。第 $(2M-1)$ 級(M 為 1 至 $n/2$ 之任一，且 $2M$ 為自然數)單元升壓電路包括一第一電晶體及一第一電容。第一電晶體包括一閘極、一源極、及一汲極，其中閘極係

電連接至源極與汲極之一，一氧化物半導體層被用於一通道形成層，以及一關閉電流係小於或等於 $100 \text{ zA}/\mu\text{m}$ 。第一電容包括一第一電極及一第二電極，其中該第一電極係電連接至該第一電晶體的該源極與該汲極之另一，且一時脈信號被輸入至第二電極。第 $2M$ 級單元升壓電路包括一第二電晶體及一第二電容。第二電晶體包括一閘極、一源極、及一汲極，其中閘極係電連接至源極與汲極之一，一氧化物半導體層被用於一通道形成層，以及一關閉電流係小於或等於 $100 \text{ zA}/\mu\text{m}$ 。第二電容包括一第一電極及一第二電極，其中該第一電極係電連接至該第二電晶體的該源極與該汲極之另一，且一反相時脈信號被輸入至第二電極。

依據本發明之另一實施例，一電壓調整器電路包括 n 級 (n 為大於或等於 2 的自然數) 單元降壓電路，其被相互電氣地串聯。第 $(2M-1)$ 級 (M 為 1 至 $n/2$ 之任一，且 $2M$ 為自然數) 單元降壓電路包括一第一電晶體及一第一電容。第一電晶體包括一閘極、一源極、及一汲極，其中一氧化物半導體層被用於一通道形成層，以及一關閉電流係小於或等於 $100 \text{ zA}/\mu\text{m}$ 。第一電容包括一第一電極及一第二電極，其中該第一電極係電連接至該第一電晶體的該閘極，且一時脈信號被輸入至第二電極。第 $2M$ 級單元降壓電路包括一第二電晶體及一第二電容。第二電晶體包括一閘極、一源極、及一汲極，其中源極與汲極之一係電連接至該第一電晶體的閘極和源極或汲極，一氧化物半導體層被

用於一通道形成層，以及一關閉電流係小於或等於 $100 \text{ zA}/\mu\text{m}$ 。第二電容包括一第一電極及一第二電極，其中該第一電極係電連接至該第二電晶體的該閘極和該源極與該汲極之另一，且一反相時脈信號被輸入至第二電極。

依據本發明之一實施例，可減少電晶體之漏電流，以及可減少輸出信號之電壓的下降，藉此可增進用以獲得一所欲電壓之轉換效率。

【圖式簡單說明】

圖 1 為一電路圖，其說明一電壓調整器電路之結構的範例。

圖 2 為一時序圖，用以解釋圖 1 所示之電壓調整器電路的操作之範例。

圖 3 為一電路圖，其說明一電壓調整器電路之結構的範例。

圖 4 為一電路圖，其說明一電壓調整器電路之結構的範例。

圖 5A 及 5B 為說明一電晶體之頂部視圖及橫斷面視圖。

圖 6A 至 6E 為說明一種電晶體之製造方法的橫斷面視圖。

圖 7A 及 7B 為說明一電晶體之頂部視圖及橫斷面視圖。

圖 8A 至 8E 為說明一種電晶體之製造方法的橫斷面

視圖。

圖 9A 及 9B 為各說明一電晶體之橫斷面視圖。

圖 10A 至 10E 為說明一種電晶體之製造方法的橫斷面視圖。

圖 11 為一包括氧化物半導體之反向交錯式(inverted staggered)薄膜電晶體的橫斷面視圖。

圖 12A 及 12B 各為圖 11 中沿著 A-A'之橫斷面的能帶圖(概圖)。

圖 13A 為一能帶圖，其說明其中正電位(+VG)被施加至一閘極電極 1001 之狀態；而圖 13B 為一能帶圖，其說明其中負電位(-VG)被施加至一閘極電極 1001 之狀態。

圖 14 為一能帶圖，其說明介於真空位準與一金屬的工作函數(ϕ_M)之間的關係以及介於該真空位準與一氧化物半導體的電子親和力(χ)之間的關係。

圖 15 為一電路圖，用以評估一包括氧化物半導體之電晶體的特性。

圖 16 為一時序圖，用以評估一包括氧化物半導體之電晶體的特性。

圖 17 為一圖表，其顯示一包括氧化物半導體之電晶體的特性。

圖 18 為一圖表，其顯示一包括氧化物半導體之電晶體的特性。

圖 19 為一圖表，其顯示一包括氧化物半導體之電晶體的特性。

圖 20A 至 20E 為說明一種電晶體之製造方法的橫斷面視圖。

圖 21A 至 21D 為說明一種電晶體之製造方法的橫斷面視圖。

圖 22A 至 22D 為說明一種電晶體之製造方法的橫斷面視圖。

圖 23 為說明一種電晶體之橫斷面視圖。

圖 24A 及 24B 為各說明一種電子裝置之外部視圖。

【實施方式】

於下文中，將參考後附圖形以描述本發明之實施例的範例。注意到本發明並不限定於如下的描述，且可由熟悉此項技術人士輕易地瞭解到可用各種方式改變其模式及細節而不背離本發明之精神及範圍。因此，本發明不應被視為限定於實施例之描述。

(實施例 1)

於本實施例中，將描述一種電壓調整器電路，其為本發明之一實施例。

本實施例中所描述之電壓調整器電路的結構之範例具有如下功能：將信號 S1 及信號 S2 輸入以當作輸入信號、將輸入信號 S1 之電壓升壓或降壓、及藉此將信號 S3 輸出以當作輸出信號，該信號 S3 之電壓係藉由將該信號 S1 之電壓升壓或降壓所獲得。本實施例中之電壓調整器電路的

結構之範例係進一步參考圖 1 而被描述。圖 1 係一電路圖，其說明本實施例的電壓調整器電路之結構的範例。

圖 1 中之電壓調整器電路包括一電晶體 101 及一電容 102。

於本說明書中，例如，場效電晶體可被使用為電晶體。

此外，於本說明書中，場效電晶體具有至少一閘極、一源極、及一汲極。可使用(例如)薄膜電晶體以當作場效電晶體。場效電晶體可具有(例如)頂部閘極結構或底部閘極結構。此外，場效電晶體可具有 n 型導電性。

閘極代表整個閘極電極和閘極佈線或者其部分。閘極佈線為一種佈線，用以將至少一電晶體之閘極電極電連接至一不同電極或不同佈線。

源極代表整個源極區、源極電極、和源極佈線或者其部分。源極區為一區，其電阻值低於一半導體層中之通道形成層的電阻值。源極電極代表一導電層之部分，其係連接至源極區。源極佈線為一佈線，用以將至少一電晶體之源極電極電連接至一不同電極或不同佈線。

汲極代表整個汲極區、汲極電極、和汲極佈線或者其部分。汲極區為一區，其電阻值低於一半導體層中之通道形成層的電阻值。汲極電極代表一導電層之部分，其係連接至汲極區。汲極佈線為一佈線，用以將至少一電晶體之汲極電極電連接至一不同電極或不同佈線。

此外，於本說明書中，電晶體之源極和汲極可根據電

晶體之結構、操作條件等等而彼此互換；因此，難以界定何者為源極或汲極。因此，於本申請文件(說明書、申請專利範圍、圖式，等等)中，其中之一被稱為源極與汲極之一，而另一被稱為源極與汲極之另一。

此外，本說明書中之場效電晶體為一種電晶體，其包括一具有通道形成層之功能的氧化物半導體層。注意其通道形成層中之氫濃度係小於或等於 $5 \times 10^{19}/\text{cm}^3$ ，最好是小於或等於 $5 \times 10^{18}/\text{cm}^3$ ，更佳的是小於或等於 $5 \times 10^{17}/\text{cm}^3$ 。例如，氫離子濃度係使用二次離子質譜測定法(SIMS)來測量。電晶體之載子濃度係小於或等於 $1 \times 10^{14}/\text{cm}^3$ ，最好是小於或等於 $1 \times 10^{12}/\text{cm}^3$ 。

於本說明書中，可使用一種(例如)包括第一電極、第二電極、及電介質之電容以當作電容。

信號 S1 或信號 S3 被輸入至電晶體 101 的閘極。信號 S1 被輸入至電晶體 101 的源極與汲極之一。電晶體 101 的源極與汲極之另一的電壓係等於信號 S3 之電壓。圖 1 中所示之電壓調整器電路係透過電晶體 101 的源極與汲極之另一以輸出信號 S3。

於電晶體 101 中，電壓調整係根據信號 S1 與 S3 之何者被輸入至閘極而被不同地執行。例如，當信號 S1 被輸入至閘極時，信號 S3 之電壓可高於信號 S1 之電壓。此外，當信號 S3 被輸入至閘極時，信號 S3 之電壓可低於信號 S1 之電壓。升壓表示信號 S3 之電壓被增加至高於信號 S1 之電壓，而降壓表示信號 S3 之電壓被減少至低於信號

S1 之電壓。

注意：一般而言，電壓指的是兩點的電位之間的差(亦稱為電位差)。然而，於某些情況下，電壓之值及電位之值兩者均由電路圖中之伏特(V)所表示；因此，難以分辨。因此，於本說明書中，若未特別指明，介於一點上的電位與一參考電位之間的電位差有時被使用為該點上的電壓。

注意：可使用(例如)一使用電壓等之類比信號或數位信號以當作本說明書中之信號。明確地，最好是使用一具有至少一第一電壓狀態及一第二電壓狀態之信號以當作一使用電壓之信號(亦稱為電壓信號)。可使用(例如)一種數位信號，其具有一高位準電壓狀態以當作第一電壓狀態及一低位準電壓狀態以當作第二電壓狀態。注意：高位準電壓亦稱為電壓 V_H 或簡稱為 V_H ，而低位準電壓亦稱為電壓 V_L 或簡稱為 V_L 。此外，於某些情況下第一電壓狀態下之電壓係不同於第二電壓狀態下之電壓，其係取決於信號。再者，因為有雜訊等之影響，所以第一電壓狀態下之電壓與第二電壓狀態下之電壓不一定具有固定位準而可具有一預定範圍內之位準。

電容 102 之第一電極係電連接至電晶體 101 的源極與汲極之另一，且信號 S2 被輸入至電容 102 之第二電極。其中電容 102 之第一電極和電晶體 101 的源極與汲極之另一彼此連接的一區亦稱為一節點 N111。

信號 S1 係作用為電壓調整器電路之第一輸入信號(亦

稱為信號 IN_{vc1})。

信號 S2 係作用為電壓調整器電路之第二輸入信號(亦稱為信號 IN_{vc2})。例如，一時脈信號可被使用為信號 S2。該時脈信號係一信號，其中第一電壓狀態及第二電壓狀態被週期性地重複。第一電壓狀態及第二電壓狀態之值可被適當地設定。

信號 S3 係作用為電壓調整器電路之輸出信號(亦稱為信號 OUT_{vc})。

接下來，參考圖 2 以描述圖 1 中所示之電壓調整器電路的操作(亦稱為驅動方法)之範例。圖 2 係一時序圖，用以解釋圖 1 中所示之電壓調整器電路的操作之範例，並說明信號 S1、信號 S2、信號 S3 的電壓。於圖 1 所示之電壓調整器電路的操作之範例中，其係參考圖 2 而描述，信號 S1 為一具有高位準及低位準之二元數位信號，信號 S2 為其中高位準和低位準被週期性地重複之一時脈信號，電晶體 101 為 n 通道電晶體，及信號 S1 被輸入至電晶體 101 之閘極。

圖 1 中所示之電壓調整器電路的操作可藉由分割為複數週期來描述。各週期中之操作被描述如下。

於週期 151 中，信號 S1 被設為高位準，而信號 S2 被設為低位準。

此刻，電晶體 101 之源極和汲極被置於導通狀態，以致節點 N111 之電壓開始增加。節點 N111 上之電壓被增加至 V1。V1 為 $V_H - V_{th101}$ (電晶體 101 之臨限電壓)。當節

點 N111 之電壓被增加至 V_1 時，電晶體 101 之源極與汲極被置於非導通狀態，其使節點 N111 處於浮動狀態。此刻，電壓 $V_1 - V_L$ 被供應於電容 102 的第一電極與第二電極之間，且信號 S3 之電壓變為 V_1 。

於週期 152，信號 S1 被保持於高位準，而信號 S2 被設為高位準。

此刻，電晶體 101 處於非導通狀態，而節點 N111 處於浮動狀態。因為供應至電容 102 之第二電極的電壓係從電壓 V_L 被改變至 V_H ，所以電容 102 之第一電極的電壓亦開始改變，依據電容 102 之第二電極的電壓。節點 N111 上之電壓被增加至高於 V_1 之值，亦即， V_2 。電壓 V_2 為 $V_H - V_{th101} + V_H$ 。此刻，電壓 $V_2 - V_H$ 被供應於電容 102 的第一電極與第二電極之間，且信號 S3 之電壓為 V_2 。以此方式，於週期 152，信號 S3(其為電壓調整器電路之輸出信號)的電壓係相應於藉由將信號 S1(其被輸入至電壓調整器電路)之電壓升壓所獲得的值。

如上所述，於依據本實施例之電壓調整器電路中，改變了一被輸入之電壓信號，並可輸出一具有高於或低於該輸入電壓信號之電壓的信號；因此，可減少功率耗損。

此外，於依據本實施例之電壓調整器電路中，電晶體包括一作用為通道形成層之氧化物半導體層。於通道形成層中，氫濃度係小於或等於 5×10^{19} atoms/cm³，最好是小於或等於 5×10^{18} atoms/cm³，更佳的是小於或等於 5×10^{17} atoms/cm³，且載子濃度係小於或等於 1×10^{14} /cm³，最好是

小於或等於 $1 \times 10^{12}/\text{cm}^3$ 。因為漏電流在電晶體中很小，所以(相較於傳統電晶體)可減少一電容中所儲存之電荷的漏出；因此，可顯著地增加達成所欲電壓之速度。

此外，於依據本實施例之電壓調整器電路中，可透過相同製造步驟以形成電容及電晶體，其可減少製造步驟之數目。

(實施例 2)

於本實施例中，將描述一種升壓電路，其為本發明之一實施例中的電壓調整器之範例。

將參考圖 3 以描述依據本實施例之電壓調整器電路的電路結構之一範例。圖 3 為一電路圖，其說明依據本實施例之電壓調整器電路之電路結構的範例。

圖 3 中所示之電壓調整器電路包括一單元升壓電路 211_1 至一單元升壓電路 211_n(n 為大於或等於 2 的自然數)，且形成有藉由將單元升壓電路 211_1 電氣地串接至單元升壓電路 211_n 所獲得的 n 級單元升壓電路。

單元升壓電路 211_1 至 211_n 各包括一電晶體 201 及一電容 202。

可使用一包括作用為通道形成層之氧化物半導體層的電晶體來當作每一電晶體 201。注意：通道形成層中之氫濃度係小於或等於 $5 \times 10^{19} \text{ atoms}/\text{cm}^3$ ，最好是小於或等於 $5 \times 10^{18} \text{ atoms}/\text{cm}^3$ ，更佳的是小於或等於 $5 \times 10^{17} \text{ atoms}/\text{cm}^3$ 。例如，氫濃度係使用二次離子質譜測定法(SIMS)來測量。

此外，每一電晶體 201 之載子濃度係小於或等於 $1 \times 10^{14}/\text{cm}^3$ ，最好是小於或等於 $1 \times 10^{12}/\text{cm}^3$ 。

於每一單元升壓電路 211_1 至 211_n 中，電晶體 201 之一閘極被電連接至電晶體 201 的源極與汲極之一。亦即，電晶體 201 為二極體連接的。此外，電容 202 之第一電極被電連接至電晶體 201 的源極與汲極之另一。

於第 K 級(K 為任一 2 至 n 之自然數)之單元升壓電路中，電晶體 201 的源極與汲極之一被電連接至第(K - 1)級之單元升壓電路中的電晶體 201 的源極與汲極之另一。由一節點 N1_M(M 為 1 至 n/2 之任一)表示一部分，其中第(K - 1)級之單元升壓電路中的電晶體 201 的源極與汲極之另一和第 K 級之單元升壓電路中的電晶體 201 的源極與汲極之一被相互連接。

於第(2M-1)級(M 為 1 至 n/2 之任一，且 2M 為自然數)之單元升壓電路中，電容 202 之第二電極被電連接至一時脈信號線 221。於第 2M 級之單元升壓電路中，電容 202 之第二電極被電連接至一時脈信號線 222。一時脈信號 CK1 被輸入至時脈信號線 221。一時脈信號 CKB1 被輸入至時脈信號線 222。時脈信號 CK1 與時脈信號 CKB1 具有相反的相位。例如，當時脈信號 CK1 為高位準信號時，則時脈信號 CKB1 為低位準信號。可使用(例如)一藉由時脈信號 CK1 之反相所獲得的信號來當作時脈信號 CKB1。時脈信號 CKB1 可藉由(例如)利用一 NOT 電路(諸如反相器)以將時脈信號 CK1 之電壓狀態反相來產生。於

時脈信號 CK1 及時脈信號 CKB1 中，可適當地決定一電壓之值，諸如高位準及低位準。此外，例如，可利用一緩衝器電路及一振盪器來產生時脈信號 CK1。再者，非僅有時脈信號 CK1 及時脈信號 CKB1，亦可使用具有三或更多相之時脈信號。

於第一級之單元升壓電路(亦即，單元升壓電路 211_1)中，一信號 IN1 被輸入至電晶體 201 的源極與汲極之一。

於最後級之單元升壓電路(亦即，單元升壓電路 211_n)中，電晶體 201 的源極與汲極之另一的電壓為一信號 OUT1(其為電壓調整器電路之輸出信號)的電壓。電壓 V_{c1} 被供應至單元升壓電路 211_n 中之電容 202 的第二電極。電壓 V_{c1} 可為任何電壓。例如，可使用具有與電壓 V_H 或電壓 V_L 相同值的電壓。此外，單元升壓電路 211_n 中之電容 202 的電容值最好是大於其他單元升壓電路中之電容 202 的電容值。當單元升壓電路 211_n 中之電容 202 的電容值大時，則可進一步穩定單元升壓電路 211_n 之輸出信號(亦即，其為電壓調整器電路之輸出信號的信號 OUT1)的電壓狀態。

如上所述，本實施例中之電壓調整器電路的一範例包括 n 級單元升壓電路。各單元升壓電路包括一二極體連接的電晶體及一電容。使用一包括高度純化的氧化物半導體層為通道形成層之電晶體來當作二極體連接的電晶體。因此，各節點之電壓可被保持一段較長時間，其需較短時間

來獲得所欲電壓，且可增進電壓轉換效率。

接下來，描述圖 3 中所示之電壓調整器電路的操作之一範例。

圖 3 中所示之電壓調整器電路的操作可藉由劃分為複數週期來描述。各週期中之操作被描述如下。注意：於圖 3 中所示之電壓調整器電路的操作之範例中，其係描述於此，一高位準信號被輸入為信號 IN1；一時脈信號(其位準被週期性地改變於高位準與低位準之間)被使用為時脈信號 CK1；一藉由時脈信號 CK 之反相所獲得的時脈信號被使用為時脈信號 CKB1；各單元升壓電路中之電晶體 201 為 n 通道電晶體；及單元升壓電路中之電晶體 201 的臨限電壓相同。

首先，於第一週期中，時脈信號 CK1 被設為低位準，而時脈信號 CKB1 被設為高位準。

於此情況下，於單元升壓電路 211_1 中，二極體連接的電晶體 201 被置於導通狀態，以致節點 N1_1 之電壓開始增加。節點 N1_1 之電壓(亦稱為電壓 V_{N1})被增加至 V_{IN1} (信號 IN1 之電壓)- V_{th201} (電晶體 201 之臨限電壓)。當節點 N1_1 之電壓被增加至 $V_{IN1}-V_{th201}$ 時，則單元升壓電路 211_1 中之二極體連接的電晶體 201 被置於非導通狀態，以致節點 N1_1 變為處於浮動狀態。

接下來，於第二週期中，時脈信號 CK1 被設為高位準，而時脈信號 CKB1 被設為低位準。

於此情況下，於單元升壓電路 211_1 中，電晶體 201

被保持於非導通狀態，節點 N1_1 係於浮動狀態，且供應至單元升壓電路 211_1 中之電容 202 的第二電極之電壓被改變為 V_H 。因此，電容 202 之第一電極的電壓開始依據電容 202 之第二電極的電壓之改變而改變。節點 N1_1 之電壓被增加至 $V_{IN1}-V_{th201}+V_H$ 。於此情況下，供應於電容 202 的第一電極與第二電極之間的電壓為 $V_{IN}-V_{th201}$ 。以此方式，於第二週期中，節點 N1_1 之電壓為藉由將第一週期中之節點 N1_1 之電壓升壓所獲得的電壓。

此外，因為節點 N1_1 之電壓變為 $V_{IN}-V_{th201}+V_H$ ，所以於單元升壓電路 211_2 中，二極體連接的電晶體 201 被置於導通狀態，以致節點 N1_2 之電壓開始增加。節點 N1_2 之電壓(亦稱為電壓 V_{N2})被增加至 $V_{N1}-V_{th201}$ 。當節點 N1_2 之電壓被增加至 $V_{N1}-V_{th201}$ 時，則單元升壓電路 211_2 中之二極體連接的電晶體 201 被置於非導通狀態，以致節點 N1_2 變為處於浮動狀態。

接下來，於第三週期中，時脈信號 CK1 被設為低位準，而時脈信號 CKB1 被設為高位準。

於此情況下，於單元升壓電路 211_2 中，電晶體 201 被保持於非導通狀態，節點 N1_2 係於浮動狀態，且供應至單元升壓電路 211_2 中之電容 202 的第二電極之電壓係從 V_L 被改變為 V_H 。因此，電容 202 之第一電極的電壓開始依據電容 202 之第二電極的電壓之改變而改變。節點 N1_2 之電壓被增加至 $V_{N1}-V_{th201}+V_H$ 。於此情況下，供應於電容 202 的第一電極與第二電極之間的電壓為 $V_{N1}-$

V_{th201} 。以此方式，於第三週期中，節點 N1_2 之電壓為藉由將第二週期中之節點 N1_2 之電壓升壓所獲得的電壓。

此外，因為節點 N1_2 之電壓變為 $V_{N1}-V_{th201}+V_H$ ，所以於單元升壓電路 211_3 中，二極體連接的電晶體 201 被置於導通狀態，以致節點 N1_3 之電壓開始增加。節點 N1_3 之電壓(亦稱為電壓 V_{N3})被增加至 $V_{N2}-V_{th201}$ 。當節點 N1_3 之電壓被增加至 $V_{N2}-V_{th201}$ 時，則單元升壓電路 211_3 中之二極體連接的電晶體 201 被置於非導通狀態，以致節點 N1_3 變為處於浮動狀態。

再者，於第三及後續級之各單元升壓電路中，類似於上述單元升壓電路之那些操作的操作被依序地執行，依據介於高位準於低位準間之時脈信號 CK1 和時脈信號 CKB1 的週期性改變；而各節點 N1_M 之電壓被逐漸地升壓在每次時脈信號 CK1 或時脈信號 CKB1 被週期性地改變於高位準與低位準之間時，且被升壓高達 $V_{IN}+M(V_H-V_{th201})$ 於最大值。此外，信號 OUT1 之電壓被逐漸地升壓在每次時脈信號 CK1 或時脈信號 CKB1 被週期性地改變於高位準與低位準之間時，且被升壓高達 $V_{IN1}+n(V_H-V_{th201})$ 於最大值。以此方式，於圖 3 所示之電壓調整器電路中，信號 IN1 之電壓被升壓，且具有已升壓之電壓的信號 OUT1 被輸出為輸出信號。

如上所述，於本實施例之電壓調整器電路的一範例中，當升壓操作被執行於各單元升壓電路中時，可將一具有高於輸入信號之電壓的電壓之信號輸出為一輸出信號。

此外，於本實施例之電壓調整器電路的範例中，各單元升壓電路中之二極體連接的電晶體為一種包括高度純化的氧化物半導體層為通道形成層之電晶體。因此，可減少電晶體的漏電流；可增進用以獲得所欲電壓之轉換效率；可保持各節點之電壓於較長的時間；及需要較短時間以藉由升壓操作來獲得所欲電壓。

注意：本實施例可適當地結合與任何其他實施例。

(實施例 3)

於本實施例中，將描述一種當作電壓調整器電路(其為本發明之一實施例)之另一範例的降壓電路。注意：於本實施例中，實施例 2 中之描述被適當地利用於與實施例 2 之電壓調整器電路相同的部分。

參考圖 4 以描述本實施例中之電壓調整器電路的電路結構之一範例。圖 4 為一電路圖，其說明本實施例中之電壓調整器電路之電路結構的範例。

圖 4 中所示之電壓調整器電路包括一單元降壓電路 511_1 至一單元降壓電路 511_n(n 為大於或等於 2 的自然數)，且形成有藉由將單元降壓電路 511_1 電氣地串接至單元降壓電路 511_n 所獲得的 n 級單元降壓電路。

單元降壓電路 511_1 至 511_n 各包括一電晶體 501 及一電容 502。

可使用一包括作用為通道形成層之氧化物半導體層的電晶體來當作電晶體 501。注意：通道形成層中之氫濃度

係小於或等於 5×10^{19} atoms/cm³，最好是小於或等於 5×10^{18} atoms/cm³，更佳的是小於或等於 5×10^{17} atoms/cm³。例如，氫濃度係使用二次離子質譜測定法(SIMS)來測量。此外，每一電晶體 501 之載子濃度係小於或等於 1×10^{14} /cm³，最好是小於或等於 1×10^{12} /cm³。

於第 K 級(K 為任一 2 至 n 之自然數)之單元降壓電路中，電晶體 501 的源極與汲極之一被電連接至第(K-1)級之單元降壓電路中的電晶體 501 的源極與汲極之另一。由一節點 N2_M 表示一部分，其中第(K-1)級之單元降壓電路中的電晶體 501 的源極與汲極之另一和第 K 級之單元降壓電路中的電晶體 501 的源極與汲極之一被相互連接。

於每一單元降壓電路 511_1 至 511_n 中，電晶體 501 之一閘極被電連接至電晶體 501 的源極與汲極之另一。亦即，電晶體 501 為二極體連接的。此外，電容 502 之第一電極被電連接至電晶體 501 的源極與汲極之另一。亦即，雖然圖 3 所示之電壓調整器電路中的電晶體 201 具有一種其中閘極被電連接至源極與汲極之一的結構，但圖 4 所示之電壓調整器電路中的電晶體 501 卻具有一種其中閘極被電連接至源極與汲極之另一的結構。

於第(2M-1)級之單元降壓電路中，電容 502 之第一電極被電連接至電晶體 501 之閘極，且電容 502 之第二電極被電連接至一時脈信號線 521。於第 2M 級之單元降壓電路中，電晶體 501 的源極與汲極之一被電連接至第(2M-1)級中之電晶體 501 的閘極和源極或汲極，電容 502 之第一

電極被電連接至電晶體 501 的閘極和源極與汲極之另一，以及電容 502 之第二電極被電連接至一時脈信號線 522。一時脈信號 CKB2 被輸入至時脈信號線 522。時脈信號 CK2 與時脈信號 CKB2 具有相反的相位。例如，當時脈信號 CK2 為高位準信號時，則時脈信號 CKB2 為低位準信號。可使用(例如)一藉由時脈信號 CK2 之反相所獲得的信號來當作時脈信號 CKB2。時脈信號 CKB2 可藉由(例如)利用一 NOT 電路(諸如反相器)以將時脈信號 CK2 之電壓狀態反相來產生。於時脈信號 CK2 及時脈信號 CKB2 中，可適當地決定一電壓之值，諸如高位準及低位準。此外，例如，可利用一緩衝器電路及一振盪器電路來產生時脈信號 CK2。再者，非僅有時脈信號 CK2 及時脈信號 CKB2，亦可使用具有三或更多相之時脈信號。

於第一級之單元降壓電路(亦即，單元降壓電路 511_1)中，一信號 IN2 被輸入至電晶體 501 的源極與汲極之一。

於最後級之單元降壓電路(亦即，單元降壓電路 511_n)中，電晶體 501 的源極與汲極之另一的電壓為一信號 OUT2(其為電壓調整器電路之輸出信號)的電壓。電壓 V_{c2} 被供應至單元降壓電路 511_n 中之電容 502 的第二電極。電壓 V_{c1} 可為任何電壓。例如，可使用具有與電壓 V_H 或電壓 V_L 相同值的電壓。此外，單元降壓電路 511_n 中之電容 502 的電容值最好是大於其他單元降壓電路中之電容 502 的電容值。當單元降壓電路 511_n 中之電容 502 的

電容值大時，則可進一步穩定單元降壓電路 511_n 之輸出信號(亦即，其為電壓調整器電路之輸出信號的信號 OUT2)的電壓狀態。

如上所述，本實施例中之電壓調整器電路的一範例包括 n 級單元降壓電路。各單元降壓電路包括一二極體連接的電晶體及一電容。使用一包括氧化物半導體層(其中氫濃度被減少且關閉電流被減少)為通道形成層之電晶體來當作二極體連接的電晶體。因此，各節點之電壓可被保持一段較長時間，其需較短時間來獲得所欲電壓，且可增進電壓轉換效率。

接下來，描述圖 4 中所示之電壓調整器電路的操作之一範例。

圖 4 中所示之電壓調整器電路的操作可藉由劃分為複數週期來描述。各週期中之操作被描述如下。注意：於圖 4 中所示之電壓調整器電路的操作之範例中，其係描述於此，一低位準信號被輸入為信號 IN2；一時脈信號(其位準被週期性地改變於高位準與低位準之間)被使用為時脈信號 CK2；一藉由時脈信號 CK2 之反相所獲得的時脈信號被使用為時脈信號 CKB2；各單元降壓電路中之電晶體 501 為 n 通道電晶體；及單元降壓電路中之電晶體 501 的臨限電壓相同。

首先，於第一週期中，時脈信號 CK2 被設為高位準，而時脈信號 CKB2 被設為低位準。

於此情況下，於單元降壓電路 511₁ 中，二極體連接

的電晶體 501 被置於導通狀態，以致節點 N2_1 之電壓開始增加。節點 N2_1 之電壓(亦稱為電壓 V_{N2})被增加至 V_{IN2} (信號 IN2 之電壓)+ V_{th501} (電晶體 501 之臨限電壓)。當節點 N2_1 之電壓被增加至 $V_{IN2}+V_{th501}$ 時，則單元降壓電路 511_1 中之二極體連接的電晶體 501 被置於非導通狀態，以致節點 N2_1 變為處於浮動狀態。

接下來，於第二週期中，時脈信號 CK2 被設為低位準，而時脈信號 CKB2 被設為高位準。

於此情況下，於單元降壓電路 511_1 中，電晶體 501 被保持於非導通狀態，節點 N2_1 係於浮動狀態，且供應至單元降壓電路 511_1 中之電容 502 的第二電極之電壓被改變為 V_L 。因此，電容 502 之第一電極的電壓開始依據電容 502 之第二電極的電壓之改變而改變。節點 N2_1 之電壓被減小至 $V_{IN2}+V_{th501}-V_H$ 。於此情況下，供應於電容 502 的第一電極與第二電極之間的電壓為 $V_{IN2}+V_{th501}$ 。以此方式，於第二週期中，節點 N2_1 之電壓為藉由將第一週期中之節點 N2_1 之電壓降壓所獲得的電壓。

此外，因為節點 N2_1 之電壓被減至 $V_{IN2}+V_{th501}-V_H$ ，所以於單元降壓電路 511_2 中，二極體連接的電晶體 501 被置於導通狀態，以致節點 N2_2 之電壓開始減小。節點 N2_2 之電壓(亦稱為電壓 V_{N2})被減至 $V_{N2}+V_{th501}$ 。當節點 N2_2 之電壓被減至 $V_{N2}+V_{th501}$ 時，則單元降壓電路 511_2 中之二極體連接的電晶體 501 被置於非導通狀態，以致節點 N2_2 變為處於浮動狀態。

接下來，於第三週期中，時脈信號 CK2 被設為位準，而時脈信號 CKB1 被設為高低位準。

於此情況下，於單元降壓電路 511_2 中，電晶體 501 被保持於非導通狀態，節點 N2_2 係於浮動狀態，且供應至單元降壓電路 511_2 中之電容 502 的第二電極之電壓被改變為 V_L 。因此，電容 502 之第一電極的電壓開始依據電容 502 之第二電極的電壓之改變而改變。節點 N2_2 之電壓被減至 $V_{N2} + V_{th501} - V_H$ 。於此情況下，供應於電容 502 的第一電極與第二電極之間的電壓為 $V_{N2} + V_{th501}$ 。以此方式，於第三週期中，節點 N2_2 之電壓為藉由將第二週期中之節點 N2_2 之電壓降壓所獲得的電壓。

此外，因為節點 N2_2 之電壓被減至 $V_{N2} + V_{th501} - V_H$ ，所以於單元降壓電路 511_3 中，二極體連接的電晶體 501 被置於導通狀態，以致節點 N2_3 之電壓開始減小。節點 N2_3 之電壓(亦稱為電壓 V_{N3})被減至 $V_{N2} + V_{th501}$ 。當節點 N2_3 之電壓被減至 $V_{N2} + V_{th501}$ 時，則單元降壓電路 511_3 中之二極體連接的電晶體 501 被置於非導通狀態，以致節點 N2_3 變為處於浮動狀態。

再者，於第三及後續級之各單元降壓電路中，類似於上述單元降壓電路之那些操作的操作被依序地執行，依據介於高位準於低位準間之時脈信號 CK2 和時脈信號 CKB2 的週期性改變；而各節點 N2_M 之電壓被逐漸地降壓在每次時脈信號 CK2 或時脈信號 CKB2 被週期性地改變於高位準與低位準之間時，且被降壓達 $V_{IN2-M}(V_H + V_{th501})$ 於最

小值。此外，信號 OUT2 之電壓被逐漸地降壓在每次時脈信號 CK2 或時脈信號 CKB2 被週期性地改變於高位準與低位準之間時，且被降壓達 $V_{IN2}-n(V_H+V_{th501})$ 於最小值。以此方式，於圖 4 所示之電壓調整器電路中，信號 IN2 之電壓被降壓，且具有已降壓之電壓的信號 OUT2 被輸出為輸出信號。

如上所述，於本實施例之電壓調整器電路的一範例中，當降壓操作被執行於各單元降壓電路中時，可將一具有低於輸入信號之電壓的電壓之信號輸出為一輸出信號。

此外，於本實施例之電壓調整器電路的範例中，各單元降壓電路中之二極體連接的電晶體為一種包括高度純化的氧化物半導體層為通道形成層之電晶體。因此，可減少電晶體的漏電流；可增進用以獲得所欲電壓之轉換效率；可保持各節點之電壓於較長的時間；及需要較短時間以藉由升壓操作來獲得所欲電壓。

注意：本實施例可適當地結合與任何其他實施例。

(實施例 4)

於本實施例中，將描述一種可使用為包括在本說明書中所揭露之電壓調整器電路中的電晶體之薄膜電晶體的範例。

參考圖 5A 和 5B 及圖 6A 至 6E 以描述本實施例的一種薄膜電晶體及薄膜電晶體之一種製造方法的實施例。

圖 5A 和 5B 說明一電晶體之平面結構的範例及橫斷

面結構的範例。圖 5A 和 5B 中所示之薄膜電晶體 410 為一種頂部閘極薄膜電晶體。

圖 5A 係具有頂部閘極結構之薄膜電晶體 410 的平面視圖而圖 5B 為沿著圖 5A 中之 C1-C2 所取得的橫斷面視圖。

薄膜電晶體 410 包括(於一具有絕緣表面之基底 400 上)一絕緣層 407、一氧化物半導體層 412、一源極或汲極電極層 415a、一源極或汲極電極層 415b、一閘極絕緣層 402、及一閘極電極層 411。一佈線層 414a 及一佈線層 414b 被提供以個別地接觸與並電連接至源極或汲極電極層 415a 及源極或汲極電極層 415b。

薄膜電晶體 410 係使用單閘極薄膜電晶體來描述，當需要時，亦可形成一種包括複數通道形成區之多閘極薄膜電晶體。

參考圖 6A 至 6E 以描述一種於基底 400 上的薄膜電晶體 410 之製造程序。

雖然對於可使用為具有絕緣表面之基底 400 並無特別限制，但需要該基底具有至少足夠高的熱抗性以抵抗稍後將執行之熱處理。可使用硼矽酸鋇玻璃、硼矽酸鋁玻璃等等所形成之玻璃基底。

於其中所將執行之熱處理的溫度高時，最好是使用其應變點為大於或等於 730°C 之玻璃基底。當作玻璃基底，係使用(例如)玻璃材料，諸如鋁矽酸鹽玻璃、硼矽酸鋁玻璃、或硼矽酸鋇玻璃。注意：藉由含有較氧化硼(B_2O_3)更

大量的氧化鋇(BaO)，使玻璃基底為抗熱且更實用的。因此，最好是使用含有較 B_2O_3 更大量的 BaO 之玻璃基底。

注意：由絕緣體所形成的基底(諸如陶瓷基底、石英基底、或藍寶石基底)可被使用以取代玻璃基底。另一方面，亦可使用結晶化玻璃等。再另一方面，可適當地使用塑膠基底等。此外，可使用矽等之半導體基底來當作基底。

首先，作用為基礎膜之絕緣層 407 被形成於具有絕緣表面之基底 400 上。最好是使用氧化物絕緣層，諸如氧化矽層、氧氮化矽層、氧化鋁層、或氧氮化鋁層，來當作接觸與氧化物半導體層之絕緣層 407。雖然可使用電漿 CVD 法、濺射法等等為一種用以形成絕緣層 407 之方法，但最好是用濺射法來形成絕緣層 407 以致絕緣層 407 中含有盡可能少的氫。

於本實施例中，以濺射法形成氧化矽層來當作絕緣層 407。基底 400 被轉移至一處理室並引入一高純度的濺射氣體(其已被移除氫及濕氣且含有氧)，且利用矽半導體靶材以在基底 400 上形成氧化矽層來當作絕緣層 407。基底 400 可處於室溫或可被加熱。

例如，以 RF 濺射法形成一氧化矽膜於下列條件下：石英(最好是，合成石英)被使用為靶材；基底溫度為 108°C ；介於靶材與基底之間的距離(T-S 距離)為 60 mm；壓力為 0.4 Pa；高頻電源為 1.5 kW；以及周圍環境為含氧和氫之周圍環境(氧至氫之流動比為 1：1(各流動率為 25

sccm))。氧化矽膜之厚度為 100 nm。注意：取代石英(最好是，合成石英)，可使用矽靶材為當形成氧化矽膜時所使用的靶材。使用氧或氧和氬之混合氣體來當作濺射氣體。

於該情況下，最好是形成絕緣層 407 而移除處理室中所剩餘的濕氣。這是為了防止氫、氫氧根、或濕氣被含入絕緣層 407 中。

為了移除處理室中所剩餘的濕氣，最好是使用一種陷阱(entrapment)真空泵。例如，最好是使用低溫泵、離子泵、或鈦昇華泵。此外，抽空(evacuation)單元可為一種設有冷阱之渦輪泵。於一已利用低溫泵而被抽空之沉積室中，例如，氫原子、含氫原子之化合物(諸如水(H₂O))等等被移除，藉此可減少沉積室中所形成之絕緣層 407 中的雜質之濃度。

當形成絕緣層 407 時，濺射氣體最好是使用一種高純度的氣體，其中諸如氫、水、氫氧根、或氫化物等雜質被移除至數 ppm 之濃度或數 ppb 之濃度。

濺射法之範例包括一種 RF 濺射法，其中高頻電源被使用為濺射電源、一種其中使用直流電源之 DC 濺射法、及一種脈衝 DC 濺射法，其中係以脈衝方式供應一偏壓、等等。RF 濺射法主要係用於其中形成一絕緣膜之情況，而 DC 濺射法主要係用於其中形成一金屬膜之情況。

此外，亦有一種多源濺射設備，其中可設定不同材料之複數靶材。利用多源濺射設備，可形成不同材料之膜以

被堆疊於相同室中，或者可藉由同時放電以形成複數種類材料之一膜於相同室中。

此外，可使用一種濺射設備，其係設有一磁性系統於室之內部且係用於磁電管濺射法；或一種用於 ECR 濺射法之濺射設備，其中利用微波所產生的電漿被使用而不使用輝光放電。

再者，當作一種使用濺射法之沉積法，可使用一種反應式濺射法，其中靶材物質與濺射氣體成分於沉積期間彼此化學地反應以形成其一薄化合物膜；或一種偏壓濺射法，其中電壓亦於沉積期間被供應至基底。

此外，絕緣層 407 可具有一種疊層結構，其中(例如)一諸如氮化矽層之氮化物絕緣層、一氮氧化矽層、一氮化鋁層、或一氮氧化鋁層係以此順序被堆疊自基底 400 側。

例如，已移除氫及濕氣並含有氮之一高純度的濺射氣體被引入且一矽靶材被使用，藉此一氮化矽層被形成於一氧化矽層與一基底之間。於此情況下，氮化矽層最好是被形成而移除處理室中所留存之濕氣，類似於氧化矽層。

基底亦可被加熱於氮化矽層之膜沉積時。

於其中氮化矽層及氧化矽層被堆疊以形成絕緣層 407 之情況下，氮化矽層及氧化矽層可使用一相同矽靶材而被形成於相同處理室中。首先，一含氮之濺射氣體被引入且使用一置於處理室內部之矽靶材以形成氮化矽層，而接著濺射氣體被切換至一含氧之濺射氣體被且使用相同矽靶材以形成氧化矽層。因為氮化矽層及氧化矽層可被依序形成

而不暴露至空氣，所以可防止諸如氫或濕氣等雜質被吸收於氮化矽層之一表面上。

接著，一氧化物半導體膜被形成 2 nm 至 200 nm 之厚度於絕緣層 407 之上。

爲了使氧化物半導體膜盡可能不含有諸如氫、氫氧根、或濕氣等雜質，最好是在膜形成前將設有絕緣層 407 之基底 400 預熱於濺射設備之預熱室中，以致基底 400 上所吸收之諸如氫或濕氣等雜質被去除，並執行排空(exhaustion)。當作一設於預熱室中之排空單元，低溫泵是較佳的。此預熱步驟不是必要實施的。此外，此預熱可被類似地執行於閘極絕緣層 402 尚未形成於其上的基底 400 上，或者直至源極或汲極電極層 415a 和源極或汲極電極層 415b 的各層已被形成於其上的基底 400 上。

注意：在以濺射法形成氧化物半導體膜之前，最好是藉由反濺射(其中氬氣被引入且電漿被產生)以移除附著至絕緣層 407 之表面的灰塵。反濺射指的是一種方法，其中(未施加電壓至靶材側)一高頻電源被使用以施加電壓至一基底側(於氬周圍環境下)以產生電漿並修飾表面。注意：可使用氮周圍環境、氬周圍環境、氧周圍環境等以取代氬周圍環境。

氧化物半導體膜係使用濺射法而被形成。使用下列氧化物半導體膜之任一來當作氧化物半導體膜：In-Ga-Zn-O 基的氧化物半導體膜；In-Sn-Zn-O 基的氧化物半導體膜；In-Al-Zn-O 基的氧化物半導體膜；Sn-Ga-Zn-O 基的氧化

物半導體膜；Al-Ga-Zn-O 基的氧化物半導體膜；Sn-Al-Zn-O 基的氧化物半導體膜；In-Zn-O 基的氧化物半導體膜；Sn-Zn-O 基的氧化物半導體膜；Al-Zn-O 基的氧化物半導體膜；In-O 基的氧化物半導體膜；In-Sn-O 基的氧化物半導體膜；Sn-O 基的氧化物半導體膜；或 Zn-O 基的氧化物半導體膜。於本實施例中，氧化物半導體膜係以一種利用 In-Ga-Zn-O 基的金屬氧化物靶材之濺射法來形成。此外，氧化物半導體膜可利用濺射法而被形成於：稀有氣體(典型為氬)周圍環境、氧周圍環境、或稀有氣體(典型為氬)及氧之周圍環境。於使用濺射法之情況下，可使用含有 2 重量百分比至 10 重量百分比內之 SiO_2 的靶材來形成膜。

當作用於沉積氧化物半導體膜之濺射氣體，最好是使用一種高純度的氣體，其中諸如氫、水、氫氧根、或氫化物等雜質被移除至數 ppm 之濃度或數 ppb 之濃度。

可使用一種含有氧化鋅之金屬氧化物靶材為其主成分，來當作以濺射法形成氧化物半導體膜之靶材。可使用(例如)一種具有 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 1$ (莫耳比)之組成比的金屬氧化物靶材，來當作金屬氧化物靶材之另一範例。對上述靶材並無限制，可使用(例如)一種具有 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 2$ (莫耳比)之組成比的金屬氧化物靶材。除了由空白等所佔之區域外的部分之體積相對於金屬氧化物靶材之總體積的比例(亦稱為填充率)為 90% 至 100% 以內，最好是 95% 至 99.9% 以內。利用具有高填

充率之金屬氧化物靶材，則形成稠密的氧化物半導體膜。

基底在減壓之下被保持於處理室中，已移除氫及濕氣的濺射氣體被引入處理室以便移除剩餘的濕氣，並使用金屬氧化物當作靶材以形成氧化物半導體膜於基底 400 上。爲了移除處理室中剩餘的濕氣，最好是使用一種陷阱真空泵。例如，最好是使用低溫泵、離子泵、或鈦昇華泵。此外，抽空單元可爲一種設有冷阱之渦輪泵。於已利用低溫泵而被抽空之沉積室中，例如，氫原子、含氫原子之化合物(諸如水(H_2O))(更佳地，亦可使用含碳原子之化合物)等等被移除，藉此可減少沉積室中所形成之氧化物半導體膜中的雜質之濃度。當氧化物半導體膜被形成時，基底可被預熱。

沉積條件之範例係如下：基底溫度爲室溫；介於基底與靶材間之距離爲 60 mm；壓力爲 0.4 Pa；直流(DC)電源爲 0.5 kW；及周圍環境爲含氧和氫之周圍環境(氧至氫之流動率爲 15 sccm：30 sccm=1：2)。最好是使用一種脈衝直流(DC)電源，因爲膜形成時所產生的粉狀物質(亦稱爲粒子或灰塵)可被減少且膜厚度可爲均勻。氧化物半導體膜最好是具有 5 nm 至 30 nm 之厚度。注意：適當厚度係取決於所使用的氧化物半導體材料，且厚度可依據材料而被適當地選擇。

接著，氧化物半導體膜係透過第一光微影步驟而被處理成島狀氧化物半導體層 412(參見圖 6A)。可利用一種噴墨法以形成一用於形成島狀氧化物半導體層 412 之抗蝕劑

遮罩。以噴墨法形成抗蝕劑遮罩時不需要光罩；因此，可減少製造成本。

注意：氧化物半導體膜之蝕刻可為乾式蝕刻、濕式蝕刻、或乾式蝕刻和濕式蝕刻兩者。

最好是使用含氯氣體(諸如氯(Cl_2)、氯化硼(BCl_3)、氯化矽(SiCl_4)、或四氯化碳(CCl_4)等氯基氣體)來當作用於乾式蝕刻之蝕刻氣體。

此外，可使用：含氟氣體(諸如四氟化碳(CF_4)、氟化硫(SF_6)、氟化氮(NF_3)、或三氟甲烷(CHF_3)等氟基氣體)；溴化氫(HBr)；氧(O_2)；已加入諸如氦(He)或氬(Ar)等稀有氣體之任何這些氣體；等等。

可使用一種平行板 RIE(反應式離子蝕刻)法或一種 ICP(感應耦合電漿)蝕刻法來當作乾式蝕刻法。為了將膜蝕刻成所欲形狀，適當地調整蝕刻條件(施加至線圈狀電極之電力量、施加至基底側上之電極的電力量、基底側上之電極的溫度，等等)。

可使用磷酸、醋酸、及硝酸等之混合溶液來當作用於濕式蝕刻之蝕刻劑。此外，亦可使用 ITO07N(由 KANTO CHEMICAL CO., INC.所生產)。

濕式蝕刻後之蝕刻劑係藉由清潔而連同蝕刻掉的材料被移除。包括蝕刻劑及被蝕刻掉的材料之廢棄液體可被純化且其材料可被再利用。當氧化物半導體層中所包括之諸如銮等材料被收集自蝕刻後之廢棄液體且被再利用時，可有效地使用資源且可減低成本。

蝕刻條件(諸如蝕刻劑、蝕刻時間、溫度等)係根據材料而被適當地調整，以致可將材料蝕刻成所欲的形狀。

於本實施例中，係以一種利用磷酸、醋酸、及硝酸之混合溶液當作蝕刻劑之濕式蝕刻法來將氧化物半導體膜處理成島狀氧化物半導體層 412。

於本實施例中，氧化物半導體層 412 接受第一熱處理。第一熱處理之溫度係高於或等於 400℃ 且低於或等於 750℃，最好是，高於或等於 400℃ 且低於基底之應變點。於此，基底被引入一電熔爐(其為一種熱處理設備)並於 450℃ 之氮周圍環境中對氧化物半導體層執行熱處理一小時，且接著防止水及氫進入氧化物半導體層；因此，獲得氧化物半導體層。透過第一熱處理，可執行氧化物半導體層 412 之脫水或脫氫。

注意：熱處理設備不限於電熔爐，而可使用一種藉由來自加熱元件(諸如電阻加熱元件)之熱傳導或熱輻射以加熱一待處理物件之裝置。例如，可使用一種諸如 GRTA(氣體快速熱退火)設備或 LRTA(燈快速熱退火)設備之 RTA(快速熱退火)設備。LRTA 設備為一種藉由從一種燈(諸如鹵素燈、金屬鹵化物燈、氬弧光燈、碳弧光燈、高壓鈉燈、或高壓水銀燈)所發射出之光輻射(電磁波)以加熱一待處理物件之設備。GRTA 設備為一種使用高溫氣體以執行熱處理之設備。氣體係使用一種惰性氣體，其不會與一待由熱處理所處理之物件互作用、或一種稀有氣體，諸如氬。

例如，當作第一熱處理，GRTA 可被執行如下。基底被轉移並置入一惰性氣體(其已被加熱至 650°C 至 700°C 之高溫)、被加熱數分鐘、及被轉移且取出自該惰性氣體(其已被加熱至高溫)。GRTA 致能短時間之高溫熱處理。

注意：於第一熱處理中，最好是水、氫等不含氮或稀有氣體(諸如氮、氬、或氫)中。另一方面，被引入熱處理設備之氮或稀有氣體(諸如氮、氬、或氫)的純度最好是大於或等於 6N(99.9999%)，更佳的是大於或等於 7N(99.99999%)(亦即，雜質濃度最好是小於或等於 1 ppm，更佳的是小於或等於 0.1 ppm)。

氧化物半導體層 412 可被結晶化而成為微晶膜或多晶膜，根據第一熱處理之條件或氧化物半導體膜之材料。例如，氧化物半導體層 412 可被結晶化以成為具有大於或等於 90%、或者大於或等於 80%之結晶性程度的微晶半導體膜。此外，根據第一熱處理之條件或氧化物半導體層之材料，則氧化物半導體層 412 可為一種不含結晶成分之非晶氧化物半導體膜。氧化物半導體層 412 可變為一種其中將微晶部分(具有 1 nm 至 20 nm 間之粒子直徑，通常為 2 nm 至 4 nm 間)混入非晶氧化物半導體之氧化物半導體層。

此外，第一熱處理亦可被執行在其被處理成島狀氧化物半導體層 412 之前的氧化物半導體膜上。於該情況下，在第一熱處理後從加熱設備取出基底，並接著執行光微影步驟。

具有對於氧化物半導體層之脫水或脫氫效果的熱處理

可被執行於任何下列時刻：在氧化物半導體層被形成後；在源極電極層和汲極電極層被形成於氧化物半導體層上之後；及在閘極絕緣層被形成於源極電極層和汲極電極層上之後。

接下來，一導電膜被形成於絕緣層 407 和氧化物半導體層 412 之上。導電膜可由(例如)濺射法或真空蒸鍍法來形成。當作導電膜之材料，可提供：選自 Al、Cr、Cu、Ta、Ti、Mo、及 W 之元素；包括任何這些元素為其成分的合金；包括任何上述元素之組合的合金膜；等等。再者，可使用選自錳、鎂、鋅、鈹、及釷之一或更多材料。再者，導電膜可具有單層結構或二以上層之疊層結構。例如，可提供：一種包括矽的鋁膜之單層結構、一種兩層結構，其中鈦膜被堆疊於鋁膜之上、一種三層結構，其中鈦膜、鋁膜、及鈦膜係依此順序被堆疊，等等。另一方面，可使用與 Al 結合之選自鈦(Ti)、鉭(Ta)、鎢(W)、鉬(Mo)、鉻(Cr)、釹(Nd)、及釷(Sc)的複數元素之一的膜；含有複數上述元素之合金膜；或其氮化物膜。

執行第二光微影步驟。一抗蝕劑遮罩被形成於導電膜之上且選擇性蝕刻被執行，以致源極或汲極電極層 415a 及源極或汲極電極層 415b 被形成。接著，抗蝕劑遮罩被移除(參見圖 6B)。注意：源極電極層和汲極電極層最好是具有錐形形狀，因為可增進以閘極絕緣層堆疊其上之覆蓋。

於本實施例中，係藉由濺射法形成 150 nm 之厚度的

一鈦膜於源極或汲極電極層 415a 和源極或汲極電極層 415b。

注意：材料及蝕刻條件被適當地調整，以致當導電膜被蝕刻時不會移除氧化物半導體層 412 且不會暴露氧化物半導體層 412 底下之絕緣層 407。

於本實施例中，鈦膜被使用為導電膜，In-Ga-Zn-O 基的氧化物半導體被使用為氧化物半導體層 412，及氨水氫過氧化物溶液(氨水、水、及氫過氧化物溶液之混合物)被使用為蝕刻劑。

注意：於第二光微影步驟中，僅有氧化物半導體層 412 之部分可被蝕刻，藉此可形成具有溝槽(凹陷部分)之氧化物半導體層。用以形成源極或汲極電極層 415a 和源極或汲極電極層 415b 之抗蝕劑遮罩可由噴墨法而被形成。藉由噴墨法來形成抗蝕劑遮罩不需要光罩；因此，可減少製造成本。

於第二光微影步驟中，紫外線、KrF 雷射光束、或 ArF 雷射光束被用於供形成抗蝕劑遮罩之曝光。稍後將形成之薄膜電晶體的通道長度 L 係取決於氧化物半導體層 412 上彼此相鄰之源極電極層的底部部分與汲極電極層的底部部分間之距離的寬度。注意：當曝光被執行於其中通道長度 L 短於 25 nm 之情況下時，則於第二光微影步驟中，具有數奈米至數十奈米之極短波長的超紫外線被用於供形成抗蝕劑遮罩之曝光。利用超紫外線之曝光導致高解析度及大聚焦深度。因此，稍後將形成之薄膜電晶體的通

道長度 L 可被設為 10 nm 至 1000 nm 內。因此，可增加電路之操作速度，且進一步，可使關狀態電流顯著地小以致可達成低功率耗損。

接下來，閘極絕緣層 402 可被形成於絕緣層 407、氧化物半導體層 412、源極或汲極電極層 415a、及源極或汲極電極層 415b 之上(參見圖 6C)。

利用電漿 CVD 法、濺射法等等，閘極絕緣層 402 可被形成以一種單層結構或一種使用氧化矽層、氮化矽層、氧氮化矽層、氮氧化矽層、或氧化鋁層之任一的堆疊結構。注意：最好是用濺射法來形成閘極絕緣層 402 以致閘極絕緣層 402 避免含有許多的氫。於其中以濺射法形成氧化矽膜之情況下，矽靶材或石英靶材被使用為靶材，而氧與氫之混合氣體被使用為濺射氣體。

閘極絕緣層 402 可具有一種結構，其中一氧化矽層及一氮化矽層被堆疊自源極或汲極電極層 415a 及源極或汲極電極層 415b 之側。例如，一具有 5 nm 至 300 nm 內之厚度的氧化矽層($\text{SiO}_x(x>0)$)可被形成為一第一閘極絕緣層，且一具有 50 nm 至 200 nm 內之厚度的氮化矽層($\text{SiN}_y(y>0)$)可藉由濺射法被堆疊而成為該第一閘極絕緣層上之一第二閘極絕緣層；因此，可形成具有 100 nm 之厚度的閘極絕緣層。於本實施例中，係藉由 RF 濺射法以形成氧化矽層至 100 nm 之厚度，於下列條件下：壓力為 0.4 Pa、高頻電源為 1.5 kW、及周圍環境為含氧和氫之周圍環境(氧至氫之流動比為 1:1(各流動率為 25 sccm))。

接下來，執行第三光微影步驟以形成一抗蝕劑遮罩，且選擇性地執行蝕刻以移除閘極絕緣層 402 之部分，以致通達源極或汲極電極層 415a 及源極或汲極電極層 415b 之開口 421a 及開口 421b 被形成(參見圖 6D)。

接著，在導電膜被形成於閘極絕緣層 402 上及開口 421a 和 421b 中之後，閘極電極層 411 及佈線層 414a 和 414b 被形成於第四光微影步驟。注意：可藉由噴墨法以形成抗蝕劑遮罩。藉由噴墨法以形成抗蝕劑遮罩不需要光罩；因此，可減少製造成本。

再者，用以形成閘極電極層 411、及佈線層 414a 和 414b 之導電膜可被形成以單層結構或疊層結構，其係使用任何金屬材料(諸如鉬、鈦、鉻、鉭、鎢、鋁、銅、鈹、或鈳)及含有任何這些材料為其主成分之合金材料。

當作閘極電極層 411 及佈線層 414a 和 414b 之兩層結構，最好是：一兩層結構，其中一鉬層堆疊於一鋁層之上、一兩層結構，其中一鉬層堆疊於一銅層之上、一兩層結構，其中一氮化鈦層或氮化鉭層堆疊於一銅層之上、或者一兩層結構其中一氮化鈦層及一鉬層被堆疊。當作三層結構，最好是：一鎢層或氮化鎢層、鋁與矽之合金層或鋁與鈦之合金層、及一氮化鈦層或鈦層的堆疊。注意：閘極電極層亦可形成自透光導電膜。可提供一種透光導電氧化物等來當作透光導電膜之材料的範例。

於本實施例中，藉由濺射法以形成鈦膜至 150 nm 之厚度於閘極電極層 411、及佈線層 414a 和 414b。

接下來，於惰性氣體周圍環境或氧氣周圍環境下執行第二熱處理(最好是在 200°C 至 400°C 內，例如，250°C 至 300°C 內)。於本實施例中，於氮周圍環境中以 250°C 執行第二熱處理一小時。可在一保護絕緣層或平坦化絕緣層被形成於電晶體 410 上之後執行第二熱處理。

再者，可於空氣中以 100°C 至 200°C 內執行熱處理一小時至 30 小時內。此熱處理可被執行於固定的加熱溫度。另一方面，可於加熱溫度下重複地執行下列改變數次：加熱溫度從室溫被增加至 100°C 到 200°C 內之溫度並接著減低至室溫。再者，此熱處理可被執行在減低壓力下。當熱處理被執行於減低的壓力下時，可縮短加熱時間。

透過上述步驟，可形成包括氧化物半導體層 412 之薄膜電晶體 410，其中氫、濕氣、氫化物、氫氧化物之濃度被減少(參見圖 6E)。

用於平坦化之保護絕緣層或平坦化絕緣層可被設於薄膜電晶體 410 之上。例如，保護絕緣層可被形成以一種單層結構或一種使用氧化矽層、氮化矽層、氧氮化矽層、氮氧化矽層、或氧化鋁層之任一的疊層結構。

平坦化絕緣層可使用具有熱抗性之有機材料(諸如聚醯亞胺、丙烯酸樹脂、苯環丁烯、聚醯胺、或環氧樹脂)來形成。除了此等有機材料之外，亦得以使用低電介質常數材料(低 k 材料)、矽氧烷基的樹脂、PSG(磷矽酸鹽玻璃)、BPSG(硼磷矽酸鹽玻璃)等等。可藉由堆疊這些材料

所形成之複數絕緣膜以形成平坦化絕緣層。

注意：矽氧烷基的樹脂係相應於一種包括使用矽氧烷基的材料為起始材料所形成之 Si-O-Si 鍵的樹脂。矽氧烷基的樹脂可包括有機族(例如，烷族或芳香基族)或氟基族為替代物。此外，有機族可包括氟基族。

對於用以形成平坦化絕緣層之方法並無特別限制，而可形成平坦化絕緣層，其係取決於材料，藉由一種方法，諸如：濺射法、SOG 法、旋塗法、浸漬塗法、噴塗法、或液滴排出法(諸如，噴墨法、網印法、平版印刷法，等等)；或一種工具(設備)，諸如刮刀、輥塗器、簾塗器、或刮刀塗器。

於形成氧化物半導體膜之時移除反應周圍環境中剩餘的濕氣，藉此可減少氧化物半導體膜中之氫及氫化物之濃度。因此，可使氧化物半導體膜穩定。

依據本發明之一實施例的電壓調整器電路中之電容可透過如本實施例中之電晶體的相同製造步驟來形成。當透過相同製造步驟來形成電晶體及電容時，可減少製造步驟之數目。

利用上述結構，電晶體可具有穩定的電特性及高可靠度。因為藉由依據使用電晶體之本發明的實施例以形成電壓調整器電路，使電晶體中之漏電流小，所以可顯著地增加獲得所欲電壓之速度。再者，藉由依據使用電晶體之本發明的實施例以形成電壓調整器電路，則電壓調整器電路可具有穩定的電特性及高可靠度。

本實施例可藉由適當地結合與任何其他實施例而被實施。

(實施例 5)

於本實施例中，將描述一種可使用為包括在本說明書中所揭露之電壓調整器電路中的電晶體之薄膜電晶體的另一範例。如實施例 4 中之相同部分及具有類似於實施例 4 中之那些部分的功能之部分及類似於實施例 4 中之步驟可以如實施例 4 中之方式處理，且其重複的描述被省略。此外，相同部分之詳細描述亦被省略。

參考圖 7A 和 7B 及圖 8A 至 8E 以描述於本實施例之一種電晶體及電晶體之一種製造方法的實施例。

圖 7A 和 7B 說明一電晶體之平面結構的範例及橫斷面結構的範例。圖 7A 和 7B 中所示之薄膜電晶體 460 為一種頂部閘極薄膜電晶體。

圖 7A 係具有頂部閘極結構之薄膜電晶體 460 的平面視圖而圖 7B 為沿著圖 7A 中之 D1-D2 所取得的橫斷面視圖。

薄膜電晶體 460 包括(於一具有絕緣表面之基底 450 上)一絕緣層 457、一源極或汲極電極層 465a(465a1 及 465a2)、一氧化物半導體層 462、一源極或汲極電極層 465b、一佈線層 468、一閘極絕緣層 452、及一閘極電極層 461(461a 及 461b)。源極或汲極電極層 465a(465a1 及 465a2)係透過佈線層 468 而電連接至一佈線層 464。雖未

顯示，源極或汲極電極層 465b 係透過閘極絕緣層 452 中所形成之一開口而電連接至一不同的佈線層。

以下參考圖 8A 至 8E 以描述一種於具有絕緣表面之基底 450 上的薄膜電晶體 460 之製造程序。

首先，作用為基礎膜之絕緣層 457 被形成於具有絕緣表面之基底 450 上。

於本實施例中，以濺射法形成氧化矽層來當作絕緣層 457。基底 450 被轉移至一處理室並引入一高純度的濺射氣體(其已被移除氫及濕氣且含有氧)，且利用矽靶材或石英(最好是，合成石英)以在基底 450 上形成氧化矽層來當作絕緣層 457。使用氧或氧和氬之混合氣體來當作濺射氣體。

例如，以 RF 濺射法形成一氧化矽膜於下列條件下：具有 6N 之純度的石英(最好是，合成石英)被使用為靶材；基底溫度為 108℃；介於基底與靶材之間的距離(T-S 距離)為 60 mm；壓力為 0.4 Pa；高頻電源為 1.5 kW；以及周圍環境為含氧和氬之周圍環境(氧至氬之流動比為 1：1(各流動率為 25 sccm))。氧化矽膜之厚度為 100 nm。注意：當形成氧化矽膜時，可使用矽靶材為靶材以取代石英(最好是，合成石英)。

於該情況下，最好是形成絕緣層 457 同時移除處理室中所剩餘的濕氣。這是為了防止氫、氫氧根、或濕氣被含入絕緣層 457 中。於已利用低溫泵而被抽空之沉積室中，例如，氫原子、含氫原子之化合物(諸如水(H₂O))等等被移

除，藉此可減少沉積室中所形成之絕緣層 457 中所含的雜質之濃度。

當形成絕緣層 457 時，濺射氣體最好是使用一種高純度的氣體，其中諸如氫、水、氫氧根、或氫化物等雜質被移除至數 ppm 之濃度或數 ppb 之濃度。

此外，絕緣層 457 可具有一種疊層結構，其中(例如)一諸如氮化矽層之氮化物絕緣層、一氮氧化矽層、一氮化鋁層、或一氮氧化鋁層及氧化物絕緣層係以此順序被堆疊自基底 450 側。

例如，已移除氫及濕氣並含有氮之一高純度的濺射氣體被引入且一矽靶材被使用，藉此一氮化矽層被形成於一氧化矽層與一基底之間。於此情況下，氮化矽層最好是被形成而移除處理室中所留存之濕氣，類似於氧化矽層。

接下來，一導電膜被形成於絕緣層 457 之上且第一光微影步驟被執行。抗蝕劑遮罩被形成於導電膜之上且選擇性蝕刻被執行，以致源極或汲極電極層 465a1 及 465a2 被形成。接著，抗蝕劑遮罩被移除(參見圖 8A)。在橫斷面中看起來似乎源極或汲極電極層 465a1 與 465a2 被分割；然而，源極或汲極電極層 465a1 與 465a2 實為一連續層。注意：源極電極層和汲極電極層最好是具有錐形形狀，因為可增進以閘極絕緣層堆疊其上之覆蓋。

當作源極或汲極電極層 465a1 及 465a2 之材料，有：選自 Al、Cr、Cu、Ta、Ti、Mo、及 W 之元素；含有任何這些元素為其成分的合金；包括任何這些元素之組合的合

金膜；等等。再者，可使用選自錳、鎂、鋅、鈹、及釔之一或更多材料。再者，導電膜可具有單層結構或二以上層之堆疊結構。例如，可提供：一種包括矽的鋁膜之單層結構、一種兩層結構，其中鈦膜被疊層於鋁膜之上、一種三層結構，其中鈦膜、鋁膜、及鈦膜係依此順序被堆疊，等等。另一方面，可使用結合鋁(Al)之選自鈦(Ti)、鉭(Ta)、鎢(W)、鉬(Mo)、鉻(Cr)、釹(Nd)、及釷(Sc)的一或複數元素之膜、含有複數上述元素之合金膜；或其氮化物膜。

於本實施例中，由濺射法形成鈦膜至 150 nm 之厚度於源極或汲極電極層 465a1 及 465a2。

接著，氧化物半導體膜被形成至 2 nm 到 200 nm 內之厚度於絕緣層 457 之上。

接著，氧化物半導體膜係於第二光微影步驟中被處理成島狀氧化物半導體層 462(參見圖 8B)。於本實施例中，氧化物半導體膜係以一種利用 In-Ga-Zn-O 基的金屬氧化物靶材之濺射法來形成。

基底在減壓之下被保持於處理室中，已移除氫及濕氣的濺射氣體被引入處理室以便移除剩餘的濕氣，並使用金屬氧化物當作靶材以形成氧化物半導體膜於基底 450 上。爲了移除處理室中剩餘的濕氣，最好是使用一種陷阱真空泵。例如，最好是使用低溫泵、離子泵、或鈦昇華泵。此外，抽空單元可爲一種設有冷阱之渦輪泵。於已利用低溫泵而被抽空之沉積室中，例如，氫原子、含氫原子之化合物(諸如水(H₂O))(更佳地，亦可使用含碳原子之化合物)等

等被移除，藉此可減少沉積室中所形成之氧化物半導體膜中的雜質之濃度。當氧化物半導體膜被形成時，基底可被預熱。

當形成氧化物半導體膜時，濺射氣體最好是使用一種高純度的氣體，其中諸如氫、水、氫氧根、或氫化物等雜質被移除至數 ppm 之濃度或數 ppb 之濃度。

沉積條件之範例係如下：基底溫度為室溫；介於基底與靶材間之距離為 60 mm；壓力為 0.4 Pa；直流(DC)電源為 0.5 kW；及周圍環境為含氧和氫之周圍環境(氧至氫之流動比為 15 sccm：30 sccm=1：2)。最好是使用一種脈衝直流(DC)電源，因為膜形成時所產生的粉狀物質(亦稱為粒子或灰塵)可被減少且膜厚度可為均勻。氧化物半導體膜最好是具有 5 nm 至 30 nm 之厚度。注意：適當厚度係取決於所使用的氧化物半導體材料且厚度可依據材料而被適當地選擇。

於本實施例中，係以一種利用磷酸、醋酸、及硝酸之混合溶液當作蝕刻劑之濕式蝕刻法來將氧化物半導體膜處理成島狀氧化物半導體層 462。

於本實施例中，氧化物半導體層 462 接受第一熱處理。第一熱處理之溫度係高於或等於 400℃ 且低於或等於 750℃，最好是，高於或等於 400℃ 且低於基底之應變點。於此，基底被引入一電熔爐(其為一種熱處理設備)，於 450℃ 之氮周圍環境中對氧化物半導體層執行熱處理一小時，及接著防止水及氫進入氧化物半導體層；因此，獲

得氧化物半導體層。透過第一熱處理，可執行氧化物半導體層 462 之脫水或脫氫。

注意：熱處理設備不限於電熔爐，而可具有一種藉由來自加熱元件(諸如電阻加熱元件)之熱傳導或熱輻射以加熱一待處理物件之裝置。例如，可使用一種諸如 GRTA(氣體快速熱退火)設備或 LRTA(燈快速熱退火)設備之 RTA(快速熱退火)設備。例如，當作第一熱處理，GRTA 可被執行如下。基底被轉移並置入一惰性氣體(其已被加熱至 650℃ 至 700℃ 之高溫)、被加熱數分鐘、及被轉移且取出自該惰性氣體(其已被加熱至高溫)。GRTA 致能短時間之高溫熱處理。

注意：於第一熱處理中，最好是水、氫等不含氮或稀有氣體(諸如氮、氖、或氬)中。此外，被引入熱處理設備之氮或稀有氣體(諸如氮、氖、或氬)的純度為大於或等於 6N(99.9999%)，最好是大於或等於 7N(99.99999%)(亦即，雜質濃度為小於或等於 1 ppm，最好是小於或等於 0.1 ppm)。

氧化物半導體層 462 可被結晶化而成為微晶層或多晶層，根據第一熱處理之條件或氧化物半導體膜之材料。

此外，第一熱處理可被執行在其被處理成島狀氧化物半導體層 462 之前的氧化物半導體膜上。於該情況下，在第一熱處理後從熱處理設備取出基底，並接著執行光微影步驟。

具有對於氧化物半導體層之脫水或脫氫效果的熱處理

可被執行於任何下列時刻：在氧化物半導體層被形成後；在源極電極和汲極電極被形成於氧化物半導體層上之後；及在閘極絕緣層被形成於源極電極和汲極電極上之後。

接下來，導電膜被形成於絕緣層 457 及氧化物半導體層 462 之上，且第三光微影步驟被執行。一抗蝕劑遮罩被形成於導電膜之上且選擇性蝕刻被執行，以致源極或汲極電極層 465b 及佈線層 468 被形成。接著，抗蝕劑遮罩被移除(參見圖 8C)。源極或汲極電極層 465b 及佈線層 468 可使用類似於源極或汲極電極層 465a1 及 465a2 之材料及步驟來形成。

於本實施例中，藉由濺射法以形成一鈦膜至 150 nm 之厚度於源極或汲極電極層 465b 及佈線層 468。於本實施例中，相同的鈦膜被用於源極或汲極電極層 465a1 及 465a2 和源極或汲極電極層 465b，以致源極或汲極電極層 465a1 及 465a2 之蝕刻率係相同或實質上相同於源極或汲極電極層 465b 之蝕刻率。因此，佈線層 468 被設於源極或汲極電極層 465a2 之一部分上(其未以氧化物半導體層 462 覆蓋)，以防止當蝕刻源極或汲極電極層 465b 時源極或汲極電極層 465a1 及 465a2 被蝕刻。於蝕刻步驟中使用不同材料(其提供源極或汲極電極層 465b 對源極或汲極電極層 465a1 及 465a2 之高選擇性比)的情況下，不一定要提供保護源極或汲極電極層 465a2 之佈線層 468。

注意：材料及蝕刻條件被適當地調整，以致氧化物半導體層 462 不會藉由導電膜之蝕刻而被移除。

於本實施例中，鈦膜被使用為導電膜，In-Ga-Zn-O 基的氧化物半導體被使用為氧化物半導體層 462，及氨水氫過氧化物溶液(氨水、水、及氫過氧化物溶液之混合物)被使用為蝕刻劑。

於第三光微影步驟中，僅有氧化物半導體層 462 之部分可被蝕刻掉，藉此可形成具有溝槽(凹陷部分)之氧化物半導體層。用於形成源極或汲極電極層 465b 和佈線層 468 之抗蝕劑遮罩可利用噴墨法而被形成。藉由噴墨法來形成抗蝕劑遮罩時不需要光罩；因此，可減少製造成本。

接下來，閘極絕緣層 452 被形成於絕緣層 457、氧化物半導體層 462、源極或汲極電極層 465a1 和 465a2、源極或汲極電極層 465b、及佈線層 468 之上。

利用電漿 CVD 法、濺射法等等，閘極絕緣層 452 可被形成以一種單層結構或一種使用氧化矽層、氮化矽層、氧氮化矽層、氮氧化矽層、或氧化鋁層之任一的疊層結構。注意：最好是用濺射法來形成閘極絕緣層 452 以致閘極絕緣層 452 避免含有氫。於其中藉由濺射法以形成氧化矽膜之情況下，矽靶材或石英靶材被使用為靶材，而氧與氫之混合氣體被使用為濺射氣體。

閘極絕緣層 452 可具有一種結構，其中一氧化矽層及一氮化矽層被堆疊自源極或汲極電極層 465a1 及 465a2 和源極或汲極電極層 465b 之側。於本實施例中，係以 RF 濺射法形成氧化矽層至 100 nm 之厚度，於下列條件下：壓力為 0.4 Pa、高頻電源為 1.5 kW、及周圍環境為含氧和氫

之周圍環境(氧至氫之流動比為 1 : 1(各流動率為 25 sccm))。

接下來，第四光微影步驟被執行。一抗蝕劑遮罩被形成且選擇性蝕刻被執行以移除閘極絕緣層 452 之部分，以致通達佈線層 468 之一開口 423 被形成(參見圖 8D)。雖未顯示，於開口 423 之形成時，可形成一通達源極或汲極電極層 465b 之一開口。於本實施例中，該通達源極或汲極電極層 465b 之開口在一層間絕緣層被進一步堆疊之後被形成，且一用於電連接之佈線層被形成於該開口中。

接著，在導電膜被形成於閘極絕緣層 452 上及開口 423 中之後，閘極電極層 461(461a 及 461b)及佈線層 464 係透過第五光微影步驟而被形成。注意：可利用噴墨法以形成抗蝕劑遮罩。當以噴墨法形成抗蝕劑遮罩時不使用光罩；因此，可減少製造成本。

用以形成閘極電極層 461(461a 及 461b)及佈線層 464 之導電膜可被形成以具有一種單層或堆疊結構，其係使用金屬材料(諸如鈮、鈦、鉻、鉭、鎢、鋁、銅、鈳、或銦)或包括任何這些材料為其主成分之合金材料。

於本實施例中，藉由濺射法以形成鈦膜至 150 nm 之厚度於閘極電極層 461(461a 及 461b)及佈線層 464。

接下來，於惰性氣體周圍環境或氧氣周圍環境執行第二熱處理(最好是 200°C 至 400°C 內，例如，250°C 至 300°C 內)。於本實施例中，於氮周圍環境以 250°C 執行第二熱處理一小時。可在一保護絕緣層或平坦化絕緣層被形成於電

晶體 460 上之後執行第二熱處理。

再者，可於空氣周圍環境中以 100°C 至 200°C 內執行熱處理一小時至 30 小時內。此熱處理可被執行於固定的加熱溫度。另一方面，可於加熱溫度下重複地執行下列改變數次：加熱溫度從室溫被增加至 100°C 到 200°C 內之溫度並接著減低至室溫。再者，此熱處理可被執行在減低壓力下。當熱處理被執行在減低的壓力下時，可縮短加熱時間。

透過上述步驟，可形成包括氧化物半導體層 462 之電晶體 460，其中氫、濕氣、氫化物、氫氧化物之濃度被減少(參見圖 8E)。

用於平坦化之保護絕緣層或平坦化絕緣層可被設於電晶體 460 之上。雖未顯示，一通達源極或汲極電極層 465b 之開口被形成於閘極絕緣層 452 和保護絕緣層及/或平坦化絕緣層中，且一電連接至源極或汲極電極層 465b 之佈線層被形成於該開口中。

在形成氧化物半導體膜時如上述移除反應周圍環境中之剩餘的濕氣，藉此可減少氧化物半導體膜中之氫或氫化物之濃度。因此，可使氧化物半導體膜穩定。

依據本發明之一實施例的電壓調整器電路中之電容可透過如本實施例中之電晶體的相同製造步驟來形成。當透過相同製造步驟來形成電晶體及電容時，可減少製造步驟之數目。

利用上述結構，電晶體可具有穩定的電特性及高可靠

度。因為藉由依據使用電晶體之本發明的實施例以形成電壓調整器電路，使電晶體中之漏電流小，所以可顯著地增加獲得所欲電壓的速度。此外，當使用電晶體以形成依據本發明之實施例的電壓調整器電路時，電晶體可具有穩定的電特性及高可靠度。

本實施例可適當地結合與任何其他實施例而被實施。

(實施例 6)

於本實施例中，將描述一種可使用為包括在本說明書中所揭露之電壓調整器電路中的電晶體之薄膜電晶體的另一範例。如實施例 4 中之相同部分及具有類似於實施例 4 中之那些部分的功能之部分及類似於實施例 4 中之步驟可以如實施例 4 中之方式處理，且其重複的描述被省略。此外，相同部分之詳細描述亦被省略。本實施例中之每一電晶體 425 及 426 可被使用為任何實施例 1 至 3 中之電壓調整器電路中所包括的薄膜電晶體。

將參考圖 9A 和 9B 以描述本實施例之薄膜電晶體。

圖 9A 和 9B 說明薄膜電晶體之橫斷面結構的範例。圖 9A 和 9B 中之電晶體 425 及 426 各為一種薄膜電晶體，其中一氧化物半導體層被夾製於一導電層與一閘極電極層之間。

此外，於圖 9A 和 9B 中，一矽基底被使用為基底且每一電晶體 425 及 426 被設於一形成在矽基底 420 上之絕緣層 422 上。

於圖 9A 中，一導電層係形成於矽基底 420 上的絕緣層 422 與一絕緣層 407 之間，以重疊與至少整個氧化物半導體層 412。

注意：圖 9B 說明一範例，其中介於絕緣層 422 與絕緣層 407 之間的導電層係藉由蝕刻而被處理如一導電層 424 且係重疊與氧化物半導體層 412 之部分，其包括至少一通道形成區。

導電層 427 及 424 可各形成以金屬材料，其可抵抗後續所將執行之熱處理的溫度：選自鈦(Ti)、鉭(Ta)、鎢(W)、鉬(Mo)、鉻(Cr)、釹(Nd)、及釷(Sc)的一元素、包括任何這些元素為其主成分的合金、包括任何上述元素之組合的合金、包括任何這些元素為其主成分的氮化物，等等來形成。此外，導電層 427 及 424 可各具有單層結構或疊層結構，且例如，可使用鎢層之單層或氮化鎢層與鎢層之堆疊。

導電層 427 及 424 的電位可相同或不同於薄膜電晶體 425 及 426 之閘極電極層 411 的電位。導電層 427 及 424 亦可各作用為第二閘極電極層。導電層 427 及 424 之電位可為諸如 GND 或 0 V 之固定電位。

薄膜電晶體 425 及 426 之電特性可由導電層 427 及 424 來控制。

本實施例不限於其中藉由提供導電層以形成第二閘極電極層的結構。當一半導體基底被使用為基底時，該基底係接受熱氧化以形成一區於該基底中，且該區亦可作用為

第二閘極電極層。

依據本發明之一實施例的電壓調整器電路中之電容可透過如本實施例中之電晶體的相同製造步驟來形成。當透過相同製造步驟來形成電晶體及電容時，可減少製造步驟之數目。

利用上述結構，電晶體可具有穩定的電特性及高可靠度。因為藉由依據使用電晶體之本發明的實施例以形成電壓調整器電路，使電晶體中之漏電流小，所以可顯著地增加獲得所欲的電壓之速度。此外，當使用電晶體以形成依據本發明之實施例的電壓調整器電路時，電晶體可具有穩定的電特性及高可靠度。

注意：本實施例可藉由適當地結合與任何其他實施例而被實施。

(實施例 7)

於本實施例中，將描述一種可使用為包括在本說明書中所揭露之電壓調整器電路中的電晶體之薄膜電晶體的一範例。

將參考圖 10A 至 10E 以描述本實施例之一種薄膜電晶體及薄膜電晶體之一種製造方法的實施例。

圖 10A 至 10E 說明一種薄膜電晶體之製造方法。10A 至 10E 中所示之薄膜電晶體 390 為一種底部閘極薄膜電晶體且亦稱為反向交錯式(inverted staggered)薄膜電晶體。

電晶體 390 係使用一種單閘極薄膜電晶體來描述，當

需要時，包括複數通道形成區之多閘極薄膜電晶體亦可被形成。

以下參考圖 10A 至 10E 以描述一基底 394 上的電晶體 390 之製造方法。

首先，在一導電膜被形成於具有絕緣表面之基底 394 上以後，於第一光微影步驟形成一閘極電極層 391。閘極電極層最好是具有錐形形狀，因為可增進以閘極絕緣層堆疊其上之覆蓋。注意：可藉由噴墨法以形成抗蝕劑遮罩。由噴墨法形成抗蝕劑遮罩時不需要光罩；因此，可減少製造成本。

對於可用於具有絕緣表面之基底 394 的基底無特別限制，只要該基底具有至少足以耐受稍後執行之熱處理的熱抗性。可使用硼矽酸鋇玻璃、硼矽酸鋁玻璃等等所形成之玻璃基底。

於其中熱處理所將執行的溫度高之情況下，最好是使用其應變點大於或等於 730°C 之玻璃基底。當作玻璃基底，可使用(例如)諸如鋁矽酸鹽玻璃、硼矽酸鋁玻璃、或硼矽酸鋇玻璃等玻璃材料。注意：藉由含有較氧化硼 (B_2O_3) 更大量的氧化鋇 (BaO)，可獲得更實際抗熱的玻璃。因此，最好是使用含有較 B_2O_3 更大量的 BaO 之玻璃基底。

注意：使用絕緣體所形成的基底(諸如陶瓷基底、石英基底、或藍寶石基底)可被使用為基底 394 以取代上述玻璃基底。另一方面，可使用結晶化玻璃等。又另一方

面，可適當地使用塑膠基底等。此外，可使用矽等之半導體基底來當作基底。

一作用為基礎膜之導電膜可被設於基底 394 與閘極電極層 391 之間。該基礎膜具有防止來自基底 394 之雜質元素擴散的功能，且可被形成以一種單層結構或一種使用氧化矽膜、氮化矽膜、氧氮化矽膜、氮氧化矽膜、及氧化鋁膜之一或更多的疊層結構。

用以形成閘極電極層 391 之導電膜可被形成以一種單層或疊層結構，其係使用金屬材料(諸如鉬、鈦、鉻、鉕、鎢、鋁、銅、鈹、或鈳)或包括任何這些材料為其主成分之合金材料。

例如，當作閘極電極層 391 之兩層結構，最好是：一兩層結構，其中一鉬層堆疊於一鋁層之上、一兩層結構，其中一鉬層堆疊於一銅層之上、一兩層結構，其中一氮化鈦層或氮化鉬層堆疊於一銅層之上、一兩層結構，其中一氮化鈦層和一鉬層被堆疊、或者一兩層結構，其中一氮化鈦層和一鉬層被堆疊。當作三層結構，最好是：一鎢層或氮化鎢層、鋁與矽之合金層或鋁與鈦之合金層、及一氮化鈦層或鈦層的堆疊。注意：閘極電極層亦可使用透光導電膜來形成。可提供一種透光導電氧化物來當作透光導電膜之範例。

接著，一閘極絕緣層 397 被形成於閘極電極層 391 之上。

一藉由移除雜質而變為 i 型或實質上 i 型的氧化物半

導體(高度純化的氧化物半導體)對於介面狀態及介面電荷是高度敏感的；因此，介於氧化物半導體與閘極絕緣層之間的介面是重要的。因此，接觸與高度純化的氧化物半導體之閘極絕緣層(GI)需要高品質。

例如，使用微波(2.45 GHz)之高密度電漿 CVD 是較佳的，因為可形成具有高耐受電壓之一稠密的高品質絕緣膜。這是因為當高度純化的氧化物半導體係緊密地接觸與高品質的閘極絕緣膜時，介面狀態可被減少且介面性質可為理想的。於此，可使用一種可實現大於或等於 $1 \times 10^{11}/\text{cm}^3$ 之電漿密度的設備來當作高密度電漿設備。

例如，電漿係藉由施加 3 kW 至 6 kW 之微波電力而產生，且絕緣膜被形成。單矽烷(SiH_4)、一氧化二氮(N_2O)、及稀有氣體被引入一室而成為用以產生高密度電漿(於 10 Pa 至 30 Pa 之壓力)之來源氣體，且絕緣膜被形成於一具有絕緣表面之基底(諸如玻璃基底)上。之後，停止單矽烷氣體之供應，且一氧化二氮(N_2O)、及稀有氣體被引入而不暴露至空氣，且電漿處理可被執行於絕緣膜之表面上。藉由引入一氧化二氮(N_2O)及稀有氣體而執行於絕緣膜之表面上的電漿處理被執行至少在絕緣膜被形成之後。其被引入室中之單矽烷(SiH_4)與一氧化二氮(N_2O)的流動比係於 1 : 10 至 1 : 200 之範圍內。此外，可使用氦、氬、氖、氙等以當作被引入該室中之稀有氣體。

無須贅述，諸如濺射法或電漿 CVD 法等不同的沉積方法亦可被使用，只要高品質的絕緣膜可被形成為閘極絕

緣層 397。此外，任何絕緣膜均可被使用，只要膜品質和與閘極絕緣膜之氧化物半導體的介面之性質係由沉積後所執行的熱處理來修改。於任何情況下，任何絕緣膜均可被使用，只要當作閘極絕緣膜之膜品質高、與氧化物半導體之介面狀態密度被減小、以及一理想的介面可被形成。

於 85°C 及 $2 \times 10^6 \text{ V/cm}$ 之閘極偏壓應力測試(BT 測試)12 小時中，假如雜質已被加至氧化物半導體，則介於雜質與氧化物半導體的主成分之間的鍵係由於高電場(B：偏壓)及高溫(T：溫度)而斷裂，以致所產生之懸鍵引發臨限電壓(V_{th})之偏移(飄移)。當作應付此現象的對策，於本發明之一實施例中的電晶體中，於氧化物半導體中之雜質(特別是氫、水等)被盡可能移除，以致與閘極絕緣層之介面的性質是如上所述般理想的。因此，得以獲得一種針對 BT 測試為穩定的薄膜電晶體。

當作閘極絕緣層 397，可使用氧化矽層、氮化矽層、氧氮化矽層(亦稱為 SiO_xN_y ， $x > y > 0$)、氮氧化矽層(亦稱為 SiN_xO_y ， $x > y > 0$)、及氧化鋁層之一或更多來形成單層或堆疊層。

此外，閘極絕緣層 397 可具有一種結構，其中一氧化矽層與一氮化矽層被堆疊。於本實施例中，一具有 100 nm 之厚度的氧氮化矽層被形成以一種高密度電漿 CVD 法，以(例如)30 Pa 之壓力及 6 kW 之微波電力。其被引入該室中之單矽烷氣體(SiH_4)與一氧化二氮(N_2O)的流動比為 1：10。

此外，爲了使氫、氫氧根、及濕氣可盡量少地被含入閘極絕緣層 397 及氧化物半導體膜 393 中，最好是基底 394(其上形成閘極電極層 391)或基底 394(其上形成直至閘極絕緣層 397 之多層)被預熱於一濺射設備之預熱室(當作膜形成之預熱)中，以致吸附至基底 394 之諸如氫及濕氣等雜質被消除且排空被執行。預熱之溫度爲 100℃ 至 400℃ 內，最好是 150℃ 至 300℃ 內。注意：當作一設於預熱室中之排空單元，低溫泵是較佳的。注意：此預熱處理可被省略。此外，此預熱可被類似地執行於基底 394(其上已形成直至源極或汲極電極層 395a 和源極或汲極電極層 395b)上，在氧化物絕緣層 396 之形成前。

接著，氧化物半導體膜 393 被形成至 2 nm 至 200 nm 內之厚度於閘極絕緣層 397 之上(參見圖 10A)。

注意：在以濺射法形成氧化物半導體膜 393 之前，最好是藉由反濺射(其中氬氣被引入且電漿被產生)以移除閘極絕緣層 397 之表面上的灰塵。反濺射指的是一種方法，其中(未施加電壓至靶材側)一 RF 電源被使用以施加電壓至一基底側(於氬周圍環境下)以產生電漿於基底附近並修飾表面。注意：可使用氮周圍環境、氦周圍環境、氧周圍環境等以取代氬周圍環境。

氧化物半導體膜 393 係藉由濺射法而被形成。氧化物半導體膜 393 之形成係使用：In-Ga-Zn-O 基的氧化物半導體膜；In-Sn-Zn-O 基的氧化物半導體膜；In-Al-Zn-O 基的氧化物半導體膜；Sn-Ga-Zn-O 基的氧化物半導體膜；Al-

Ga-Zn-O 基的氧化物半導體膜；Sn-Al-Zn-O 基的氧化物半導體膜；In-Zn-O 基的氧化物半導體膜；Sn-Zn-O 基的氧化物半導體膜；Al-Zn-O 基的氧化物半導體膜；In-O 基的氧化物半導體膜；In-Sn-O 基的氧化物半導體膜；Sn-O 基的氧化物半導體膜；或 Zn-O 基的氧化物半導體膜。於本實施例中，氧化物半導體膜 393 係以一種利用 In-Ga-Zn-O 基的金屬氧化物靶材之濺射法來形成。再者，氧化物半導體膜 393 亦可被形成由一濺射法於：稀有氣體(典型為氬)周圍環境、氧周圍環境、或稀有氣體(典型為氬)與氧之周圍環境。於利用濺射法之情況下，一含有 SiO₂ 於 2 wt% 至 10 wt% 內的靶材可被用於膜形成。

可使用一種含有氧化鋅之金屬氧化物靶材為其主成分，來當作藉由濺射法以形成氧化物半導體膜 393 之靶材。可使用(例如)一種具有 In₂O₃ : Ga₂O₃ : ZnO=1 : 1 : 1(莫耳比)之組成比的金屬氧化物靶材，來當作金屬氧化物靶材之另一範例。對上述靶材並無限制，可使用(例如)一種具有 In₂O₃ : Ga₂O₃ : ZnO=1 : 1 : 2(莫耳比)之組成比的金屬氧化物靶材。金屬氧化物靶材之填充率為 90% 至 100% 以內，最好是 95% 至 99.9% 以內。利用具有高填充因數之金屬氧化物靶材，則所形成的氧化物半導體膜為稠密的。

基底在減壓之下被保持於處理室中，且基底被加熱至室溫或少於 400°C 溫度。接著，已移除氬及濕氣的濺射氣體被引入處理室以便移除剩餘的濕氣，並使用金屬氧化

物當作靶材以形成氧化物半導體膜 393 於基底 394 上。爲了移除處理室中剩餘的濕氣，最好是使用一種陷阱真空泵。例如，最好是使用低溫泵、離子泵、或鈦昇華泵。此外，抽空單元可爲一種設有冷阱之渦輪泵。於已利用低溫泵而被抽空之沉積室中，例如，氫原子、含氫原子之化合物(諸如水(H_2O))(更佳地，亦可使用含碳原子之化合物)等等被移除，藉此可減少沉積室中所形成之氧化物半導體膜中的雜質之濃度。藉由濺射以執行沉積而同時使用低溫泵移除處理室中剩餘的濕氣，則當氧化物半導體膜 393 被形成時之基底溫度可大於或等於室溫且小於 400°C 。

沉積條件之範例係如下：介於基底與靶材間之距離爲 60 mm；壓力爲 0.6 Pa；直流(DC)電源爲 0.5 kW；及周圍環境爲氧周圍環境(氧之流動率爲 100%)。最好是使用一種脈衝直流(DC)電源，因爲沉積時所產生的粉狀物質可被減少且膜厚度可爲均勻。氧化物半導體膜最好是具有 5 nm 至 30 nm 內之厚度。注意：適當厚度係取決於所使用的氧化物半導體材料，且厚度可依據材料而被適當地選擇。

接下來，氧化物半導體膜係透過第二光微影步驟而被處理成島狀氧化物半導體層 399(參見圖 10B)。此外，可利用一種噴墨法以形成一用於形成島狀氧化物半導體層 399 之抗蝕劑遮罩。藉由噴墨法以形成抗蝕劑遮罩時不需要光罩；因此，可減少製造成本。

於形成一接觸孔於閘極絕緣層 397 中之情況下，該步

驟可被執行於氧化物半導體層 399 之形成時。

注意：氧化物半導體膜 393 之蝕刻可為乾式蝕刻、濕式蝕刻、或乾式蝕刻和濕式蝕刻兩者。

最好是使用含氯氣體(諸如氯(Cl_2)、氯化硼(BCl_3)、氯化矽(SiCl_4)、或四氯化碳(CCl_4)等氯基氣體)來當作用於乾式蝕刻之蝕刻氣體。

此外，可使用：含氟氣體(諸如四氟化碳(CF_4)、氟化硫(SF_6)、氟化氮(NF_3)、或三氟甲烷(CHF_3)等氟基氣體)；溴化氫(HBr)；氧(O_2)；已加入諸如氦(He)或氬(Ar)等稀有氣體之任何這些氣體；等等。

可使用一種平行板 RIE(反應式離子蝕刻)法或一種 ICP(感應耦合電漿)蝕刻法來當作乾式蝕刻法。為了將膜蝕刻成所欲形狀，適當地調整蝕刻條件(施加至線圈狀電極之電力量、施加至基底側上之電極的電力量、基底側上之電極的溫度，等等)。

可使用磷酸、醋酸、及硝酸等之混合溶液來當作用於濕式蝕刻之蝕刻劑。此外，亦可使用 ITO07N(由 KANTO CHEMICAL CO., INC.所生產)。

濕式蝕刻後之蝕刻劑係藉由清潔而連同蝕刻掉的材料被移除。包括蝕刻劑和被蝕刻掉的材料之廢棄液體可被純化且其材料可被再利用。當氧化物半導體層中所含之諸如銦等材料被收集自蝕刻後之廢棄液體且被再利用時，可有效地使用資源且可減低成本。

蝕刻條件(諸如蝕刻劑、蝕刻時間、及溫度等)係根據

材料而被適當地調整，以致可將材料蝕刻成所欲的形狀。

注意：在後續步驟中形成導電膜之前，最好是執行反濺射，以致附著至氧化物半導體層 399 及閘極絕緣層 397 之表面的抗蝕劑殘渣等可被移除。

接下來，一導電膜被形成於絕緣層 397 和氧化物半導體層 399 之上。例如，導電膜可由濺射法或真空蒸鍍法來形成。當作導電膜之材料，可提供：選自 Al、Cr、Cu、Ta、Ti、Mo、及 W 之元素；包括任何這些元素為其成分的合金；包括任何這些元素之組合的合金；等等。再者，可使用選自錳、鎂、鋅、鈹、及釷之一或更多材料。再者，導電膜可具有單層結構或二以上層之疊層結構。例如，可提供：一種含有矽的鋁膜之單層結構；一種兩層結構，其中鈦膜被堆疊於鋁膜之上；一種三層結構，其中鈦膜、鋁膜、及鈦膜係依此順序被堆疊，等等。另一方面，可使用結合鋁 (Al) 之選自鈦 (Ti)、鉭 (Ta)、鎢 (W)、鉬 (Mo)、鉻 (Cr)、釹 (Nd)、及釷 (Sc) 的一者或複數元素之一膜；含有複數上述元素之合金膜；或其氮化物膜。

第三光微影步驟被執行。一抗蝕劑遮罩被形成於導電膜之上且選擇性蝕刻被執行，以致源極和汲極電極層 395a 及 395b 被形成。接著，抗蝕劑遮罩被移除(參見圖 10C)。

於第三光微影步驟中，紫外線、KrF 雷射光束、或 ArF 雷射光束被用於供形成抗蝕劑遮罩之曝光。稍後將形成之薄膜電晶體的通道長度 L 係取決於氧化物半導體層

399 上彼此相鄰之源極電極層的底部部分與汲極電極層的底部部分間之距離的寬度。注意：當曝光被執行於其中通道長度 L 短於 25 nm 之情況下時，則於第三光微影步驟中，具有數奈米至數十奈米之極短波長的超紫外線被用於供形成抗蝕劑遮罩之曝光。利用超紫外線之曝光導致高解析度及大聚焦深度。因此，稍後將形成之薄膜電晶體的通道長度 L 可被設為 10 nm 至 1000 nm 內。因此，可增加電路之操作速度，且進一步，可使關閉電流顯著地小以致可達成低功率耗損。

注意：材料及蝕刻條件被適當地調整，以致氧化物半導體層 399 不會由於導電膜之蝕刻而被移除。

於本實施例中，鈦膜被使用為導電膜，In-Ga-Zn-O 基的氧化物半導體被使用為氧化物半導體層 399，及氨水氫過氧化物溶液(氨水、水、及氫過氧化物溶液之混合物)被使用為蝕刻劑。

於第三光微影步驟中，僅有氧化物半導體層 399 之部分可被蝕刻掉，藉此可形成具有溝槽(凹陷部分)之氧化物半導體層。注意：用以形成源極和汲極電極層 395a 及 395b 之抗蝕劑遮罩可藉由噴墨法而被形成。藉由噴墨法來形成抗蝕劑遮罩時不需要光罩；因此，可減少製造成本。

為了減少光微影步驟中之光罩及步驟之數目，可利用一種使用多音調遮罩所形成之抗蝕劑遮罩來執行蝕刻，該多音調遮罩是一種曝光遮罩以使光透過該遮罩而傳輸以具

有複數強度。因為使用多音調遮罩所形成之抗蝕劑遮罩具有複數厚度且可藉由執行蝕刻而被進一步改變形狀，所以抗蝕劑遮罩可被用於複數蝕刻步驟以提供不同圖案。因此，可藉由使用一多音調遮罩以形成相應於至少兩種不同圖案之抗蝕劑遮罩。因此，可減少曝光遮罩之數目且亦可減少相應的光微影步驟之數目，藉此可實現製程之簡化。

使用諸如 N_2O 、 N_2 、或 Ar 等氣體之電漿處理，可移除氧化物半導體層之已曝光部分的表面上所吸附之水等。另一方面，可使用氧和氬之混合氣體以執行電漿處理。

在執行電漿處理之情況下，氧化物絕緣層 396 被形成(不暴露至空氣)為一氧化物絕緣層，其係作用為一保護絕緣膜並接觸與氧化物半導體層之部分(參見圖 10D)。於本實施例中，氧化物半導體層 399 被形成以接觸與氧化物絕緣層 396 於一區，其中氧化物半導體層 399 既不重疊與源極電極層 395a 亦不重疊與汲極電極層 395b。

於本實施例中，基底 394(其上已形成高達島狀氧化物半導體層 399、源極電極層 395a、及汲極電極層 395b 等各層)被加熱至室溫或低於 100°C 之溫度；且已移除氫及濕氣並含氧的高純度濺射氣體被引入；及矽半導體靶材被使用，藉此一具有缺陷之氧化矽層被形成為氧化物絕緣層 396。

例如，一氧化矽膜被形成以一脈衝 DC 濺射法，其中純度為 6N；使用一摻雜硼的矽靶材(電阻率為 $0.01\Omega\text{cm}$)；介於基底與靶材間之距離(T-S 距離)為 89 mm；壓力為 0.4

Pa；直流(DC)電源為 6 kW；及周圍環境為氧周圍環境(氧流動率為 100%)。氧化矽膜之厚度為 300 nm。注意：當形成氧化矽膜時，石英(最好是，合成石英)可被使用為靶材來取代矽靶材。氧或氧與氫之混合氣體被使用為濺射氣體。

於該情況下，最好是形成氧化物絕緣層 396 而移除處理室中所剩餘的濕氣。這是為了防止氫、氫氧根、或濕氣被含入氧化物半導體層 399 及氧化物絕緣層 396 中。

為了移除處理室中剩餘的濕氣，最好是使用一種陷阱真空泵。例如，最好是使用低溫泵、離子泵、或鈦昇華泵。此外，抽空單元可為一種設有冷阱之渦輪泵。於已利用低溫泵而被抽空之沉積室中，例如，氫原子、含氫原子之化合物(諸如水(H_2O))(更佳地，亦可使用含碳原子之化合物)等等被移除，藉此可減少沉積室中所形成之氧化物絕緣層 396 中所含的雜質之濃度。

注意：可使用氧氮化矽層、氧化鋁層、氧氮化鋁層等以取代氧化矽層來當作氧化物絕緣層 396。

此外，熱處理可被執行於 100℃ 至 400℃，同時氧化物絕緣層 396 與氧化物半導體層 399 係彼此接觸。因為本實施例中之氧化物絕緣層 396 具有許多缺陷，故利用此熱處理，氧化物半導體層 399 中所含的諸如氫、濕氣、氫氧根、或氫化物等雜質可被擴散至氧化物絕緣層 396 以致氧化物半導體層 399 中的雜質可被進一步減少。

透過上述步驟，可形成包括氧化物半導體層 392 之電

晶體 390，其中氫、濕氣、氫氧根、氫化物、或氫氧化物之濃度已減少。

在形成氧化物半導體膜時如上述移除反應周圍環境中剩餘之濕氣，藉此可減少氧化物半導體膜中之氫及氫化物之濃度。因此，可使氧化物半導體膜穩定。

一保護絕緣層可被設於氧化物絕緣層之上。於本實施例中，保護絕緣層 398 被形成於氧化物絕緣層 396 之上。使用氮化矽膜、氮氧化矽膜、氮化鋁膜、氮氧化鋁膜等來當作保護絕緣層 398。

基底 394(其中已形成直至氧化物絕緣層 396 之各層)被加熱至 100℃ 至 400℃ 之溫度；已移除氫及濕氣並含氮之含高純度的濺射氣體被引入；及矽半導體靶材被使用，藉一氮化矽膜被形成來當作保護絕緣層 398。於此情況下，最好是形成保護絕緣層 398 而移除處理室中之剩餘的濕氣，類似於氧化物絕緣層 396。

於其中形成保護絕緣層 398 之情況下，在保護絕緣層 398 之形成時加熱基底 394 到 100℃ 至 400℃，藉此氧化物半導體層 399 中所含之氫或濕氣可被擴散入氧化物絕緣層 396。於該情況下，在氧化物絕緣層 396 之形成後不一定要執行熱處理。

於其中氧化矽層被形成為氧化物絕緣層 396 且氮化矽層被堆疊於其上以當作保護絕緣層 398 之情況下，可使用一共同矽靶材以於相同處理室中形成氧化矽層及氮化矽層。首先在引入含氧之濺射氣體後，使用一置於處理室中

之矽靶材以形成氧化矽層，及接著，將濺射氣體切換為含氮之濺射氣體並使用相同矽靶材以形成氮化矽層。因為可依序形成氧化矽層及氮化矽層而不暴露至空氣，所以可防止諸如氫或濕氣等雜質被吸附於氧化矽層之表面上。於該情況下，在氧化矽層被形成為氧化物絕緣層 396 且氮化矽層被堆疊於其上以當作保護絕緣層 398 以後，最好是執行熱處理(於 100°C 至 400°C 之溫度)以將氧化物半導體層中所含之氫或濕氣擴散至氧化物絕緣層。

在保護絕緣層 398 被形成之後，可於空氣中進一步執行 100°C 至 200°C 內之熱處理一小時至 30 小時內。此熱處理可被執行於固定的加熱溫度。另一方面，可於加熱溫度下重複地執行下列改變數次：加熱溫度從室溫被增加至 100°C 到 200°C 內之溫度並接著減低至室溫。再者，此熱處理可被執行在減低壓力下於氧化物絕緣層 396 的形成以前。當熱處理被執行於減低的壓力下時，可縮短加熱時間。利用此熱處理，薄膜電晶體可為正常關(normally-off)。因此，可增進薄膜電晶體之可靠度。

在閘極絕緣層上形成包括一通道形成區之氧化物半導體層時移除反應周圍環境中之剩餘的濕氣，藉此可減少氧化物半導體層中之氫或氫化物之濃度。

因為上述步驟係執行在小於或等於 400°C 之溫度，所以上述步驟亦可被應用於製造步驟，其中係使用具有小於或等於 1 mm 之厚度及大於 1 m 之側的玻璃基底。此外，所有上述步驟可被執行在小於或等於 400°C 的處理溫度。

圖 11 為一包括氧化物半導體之反向交錯式薄膜電晶體的縱向橫斷面視圖。一氧化物半導體層 1003 被設於一閘極電極 1001 之上，以一閘極絕緣膜 1002 於其間；一源極電極 1004a 和一汲極電極 1004b 被設於其上；一氧化物絕緣層 1005 被設於源極電極 1004a 和汲極電極 1004b 之上；以及一導電層 1006 被設於氧化物半導體層 1003 之上，以氧化物絕緣層 1005 於其間。

圖 12A 及 12B 為圖 11 中所示之 A-A'斷面的能帶圖(概圖)。圖 12A 說明其中一施加至源極之電壓的電位係等於一施加至汲極之電壓的電位的情況($V_D=0V$)，而圖 12B 說明其中一相對於源極之正電位被施加至汲極的情況($V_D>0$)。

圖 13A 及 13B 為圖 11 中所示之 B-B'斷面的能帶圖(概圖)。圖 13A 顯示一開狀態，其中正電位($+V_G$)被施加至一閘極(G1)且載子(電洞)流動於源極與汲極之間。圖 13B 顯示一關狀態，其中負電位($-V_G$)被施加至閘極(G1)且少數載子不流動。

圖 14 說明介於真空位準與一金屬的工作函數(ϕ_M)之間的關係以及介於該真空位準與一氧化物半導體的電子親和力(χ)之間的關係。

因為金屬退化，所以一費米能階存在於導電帶中。另一方面，傳統的氧化物半導體通常為 n 型半導體，於此情況下費米能階(E_f)係遠離其位於一帶隙中間之本質費米能階(E_i)且被置於更接近導電帶。雖然其係取決於沉積方

法，但氧化物半導體層含有某量的氫或水，且氫或水之部分係作用為供應電子之施體，其係已知為使氧化物半導體層成 n 型之一因素。

另一方面，本發明之氧化物半導體為一種本質(i 型)或實質上本質的氧化物半導體，其係藉由從氧化物半導體移除氫(其為 n 型雜質)並高度地純化氧化物半導體所獲得，以致盡可能防止除了氧化物半導體之主成分以外的雜質被含入其中。換言之，一特徵在於：高度純化的 i 型(本質)氧化物半導體或接近高度純化的半導體之獲得並非藉由加入雜質而是藉由盡可能移除諸如氫或水等雜質。如此致能費米能階(E_f)處於與本質費米能階(E_i)相同的位準。

於其中一氧化物半導體之帶隙(E_g)為 3.15 eV 的情況下，電子親和力(χ)即為 4.3 eV。源極電極和汲極電極中所包括的鈦(Ti)之工作函數係實質上等於氧化物半導體之電子親和力(χ)。於該情況下，對於電子之肖特基能障不被形成於金屬與氧化物半導體之間的介面上。

換言之，於其中金屬之工作函數(ϕ_M)與氧化物半導體之電子親和力(χ)為彼此相等且金屬與氧化物半導體彼此接觸的情況下，獲得了圖 12A 中所示之能帶圖(概圖)。

於圖 12B 中，黑圈($\bullet$)代表電子，而當正電位被施加至汲極時，電子係透過能障(h)而被注入氧化物半導體且流向汲極。於該情況下，能障(h)之高度係根據閘極電壓和汲極電壓而改變；於其中施加正汲極電壓之情況下，能

障(h)之高度係小於圖 12A 中之能障(其中未施加電壓，亦即，帶隙(E_g)的 $1/2$)。

此刻，電子移動於底部(依能量而言其為穩定的)，於閘極絕緣膜與高度純化的氧化物半導體之間的介面上之氧化物半導體側上，如圖 13A 中所示者。

此外，於圖 13B 中，當施加負電位(反向偏壓)至閘極電極 1001 時，電流之值極接近零，因為電洞(其為少數載子)實質上為零。

例如，即使當薄膜電晶體具有 $1 \times 10^4 \mu\text{m}$ 之通道寬度 W 及 $3 \mu\text{m}$ 之通道長度時，關閉電流係小於或等於 10^{-13}A 且次臨限擺動(S 值)可為 0.1 V/dec 。(閘極絕緣膜之厚度： 100 nm)。

此外，一包括高度純化氧化物半導體之電晶體的關狀態電流被計算以較高的準確度。其結果被描述如下。

包括高度純化氧化物半導體之電晶體的關閉電流係小於或等於 $1 \times 10^{-13} \text{ A}$ ，其為測量裝置(如上所述)之檢測限制。製造一種用以評估特性之元件，並以較高準確度獲得關閉電流之值(小於或等於上述測量裝置之檢測限制)。其結果係描述如下。

首先，參考圖 15 以描述用以評估特性(其係用於測量電流之方法)之元件。

於圖 15 所示之用以評估特性之元件中，平行地電連接三個測量系統 800。測量系統 800 包括一電容 802、一電晶體 804、一電晶體 805、一電晶體 806、及一電晶體

808。例如，一依據實施例 4 所製造之電晶體被用於每一電晶體 804 及電晶體 808。

一電壓 V_{11} 被輸入至電晶體 808 的源極與汲極之一，而一電位 V_{ext_b1} 被輸入至電晶體 808 之閘極。電位 V_{ext_b1} 係控制電晶體 808 被開啓或關閉。

電晶體 804 的源極與汲極之一係電連接至電晶體 808 的源極與汲極之另一，一電壓 V_{12} 被輸入至電晶體 804 的源極與汲極之另一，而一電位 V_{ext_b2} 被輸入至電晶體 804 之閘極。電位 V_{ext_b2} 係控制電晶體 804 被開啓或關閉。

電容 802 具有第一終端及第二終端。第一終端係電連接至電晶體 804 的源極與汲極之一，而第二終端係電連接至電晶體 804 的源極與汲極之另一。其中電容 802 的第一終端、電晶體 808 的源極與汲極之另一、電晶體 804 的源極與汲極之一、及電晶體 805 的閘極被彼此連接之部分亦被稱為節點 A。

電壓 V_{11} 被輸入至電晶體 806 的源極與汲極之一，而電晶體 806 之閘極被電連接至其源極與汲極之一。

電晶體 805 的源極與汲極之一係電連接至電晶體 806 的源極與汲極之另一，而電壓 V_{12} 被輸入至電晶體 805 的源極與汲極之另一。

於測量系統 800 中，其中電晶體 806 的源極與汲極之另一與電晶體 805 的源極與汲極之一被彼此連接之部分為一輸出終端。測量系統 800 係透過輸出終端以輸出一電位

Vout。

接下來，描述一種利用圖 15 中所示之測量系統以測量電流之方法。

首先，簡單地描述一初始週期，其中係產生一電位差以測量關閉電流。於初始週期中，電位 Vext_b1 之值被設為使電晶體 808 被開啓之值，且電晶體 808 被開啓，以致電壓 V11 被施加至節點 A。於此，例如，電壓 V11 為高電位。此外，電晶體 804 被關閉。

之後，電位 Vext_b1 被設為使電晶體 808 被關閉之值，且電晶體 808 被關閉。此外，在電晶體 808 被關閉之後，電位 V11 被設為低電位。電晶體 804 被保持於關狀態。電位 V12 係等於電位 V11。透過上述方式，完成了初始週期。當初始週期完成後，一電位差被產生於節點 A 與電晶體 804 的源極與汲極之一之間。此外，一電位差被產生於節點 A 與電晶體 808 的源極與汲極之另一之間。另一方面，少量的電荷流經電晶體 804 及電晶體 808。亦即，關閉電流流動。

接下來，簡單地描述關閉電流之一測量週期。於測量週期中，電晶體 804 的源極與汲極之一的電位(亦即，電位 V12)及電晶體 808 的源極與汲極之另一的電位(亦即，電位 V11)被固定為低。另一方面，於測量週期中，節點 A 之電位未被固定(於一浮動狀態)。因此，電荷流經電晶體 804，且節點 A 中所儲存之電荷量係隨著時間經過而改變。節點 A 之電位係根據節點 A 中所儲存之電荷量的改

變而被改變。亦即，亦改變了電位 V_{out} ，其為輸出終端之輸出電位。

圖 16 說明介於初始週期(其中係產生電位差)與初始週期後的測量週期中的電位之間的關係之細節。

於初始週期中，首先，電位 V_{ext_b2} 被設為使電晶體 804 被開啓之電位(高電位)。因此，節點 A 之電位變為 V_{12} ，亦即，低電位(諸如 V_{SS})。之後，電位 V_{ext_b2} 被設為使電晶體 804 被關閉之電位(低電位)，以致電晶體 804 被關閉。接下來，電位 V_{ext_b1} 被設為使電晶體 808 被開啓之電位(高電位)。因此，節點 A 之電位變為 V_{11} ，亦即，高電位(諸如 V_{DD})。接著，電位 V_{ext_b1} 被設為使電晶體 808 被關閉之電位，其係將節點 A 置於浮動狀態並完成初始週期。

於初始週期後的測量週期中，設定電位 V_{11} 及電位 V_{12} 以致電荷流至節點 A 或電荷流出節點 A。於此，電位 V_{11} 及電位 V_{12} 為低電位(V_{SS})。注意：於輸出電位 V_{out} 被測量之時刻，必須操作輸出電路而因此使 V_{11} 為高電位(V_{DD})於某些情況下。使其中 V_{11} 為高電位(V_{DD})之週期很短以致測量不受影響。

當電位差被產生且測量週期被開始如上所述時，節點 A 中所儲存之電荷量係隨著時間經過而改變，其係改變節點 A 之電位。這表示電晶體 805 之閘極的電位被改變；因此，輸出終端之輸出電位 V_{out} 亦隨著時間經過而改變。

以下描述一種根據所獲得之輸出電位 V_{out} 以計算關

閉電流之方法。

在關狀態電流之計算前獲得介於節點 A 的電位 V_A 與輸出電位 V_{out} 之間的關係。以此方式，可使用輸出電位 V_{out} 以獲得節點 A 的電位 V_A 。依據上述關係，節點 A 的電位 V_A 可由下式表示為輸出電位 V_{out} 之函數。

$$V_A = F(V_{out})$$

節點 A 之電荷 Q_A 可由下式所表示，利用節點 A 之電位 V_A 、連接至節點 A 之電容值 C_A 、及一常數(const)。於此，連接至節點 A 之電容值 C_A 為電容 802 之電容值與其他電容值之總和。

$$Q_A = C_A V_A + \text{const}$$

節點 A 之電流 I_A 為流至節點 A 之電荷(或流出節點 A 之電荷)的時間微分，而因此由下式所表示。

$$I_A \equiv \frac{\Delta Q_A}{\Delta t} = \frac{C_A \cdot \Delta F(V_{out})}{\Delta t}$$

以此方式，節點 A 之電流 I_A 可獲得自連接至節點 A 之電容值 C_A 及輸出終端之輸出電位 V_{out} 。

依據上述方法，得以測量流動於關狀態下之電晶體的源極與汲極之間的漏電流(關閉電流)。

於本實施例中，電晶體 804 及電晶體 808 係利用高度純化的氧化物半導體來製造。電晶體之通道長度(L)與通道寬度(W)的比為 $L/W=1:5$ 。此外，於平行配置的測量系統 800 中電容 802 之電容值為 100 fF、1 pF、及 3 pF。

注意：於本實施例之測量中，VDD 為 5 V 而 VSS 為 0 V。於測量週期中，Vout 被測量於電位 V11 被基本上設為 VSS 並改變至 VDD 100 msec，以 10 sec 至 300 sec 之間隔。用於計算流經元件之電流 I 的 Δt 是約 30000 sec。

圖 17 顯示於測量電流時的經過時間 Time 與輸出電位 Vout 之間的關係。在約 90 小時之後電位被改變。

圖 18 顯示上述電流之測量時所計算的關閉電流。於圖 18 中，顯示介於源極-汲極電壓 V 與關閉電流 I 之間的關係。依據圖 18，關閉電流約為 40 zA/ μm ，於其中源極-汲極電壓為 4 V 之條件下。此外，關閉電流小於或等於 10 zA/ μm ，於其中源極-汲極電壓為 3.1 V 之條件下。注意：1 zA 代表 10^{-21} A。

圖 19 顯示上述電流之測量時所計算的關閉電流，當電晶體之溫度為 85°C 時。於圖 19 中，顯示在 85°C 介於源極-汲極電壓 V 與關閉電流 I 之間的關係。依據圖 18，關閉電流小於或等於 100 zA/ μm ，於其中源極-汲極電壓為 3.1 V 之條件下。

如上所述，已確認在包括高度純化的氧化物半導體之電晶體中關閉電流是足夠低的。

以此方式，當氧化物半導體被高度地純化以致除了氧

化物半導體之主成分以外的雜質被含入盡可能地少時，則薄膜電晶體之操作可為理想的。

依據本發明之一實施例的電壓調整器電路中之電容可透過如本實施例中之電晶體的相同製造步驟來形成。當透過相同製造步驟來形成電晶體及電容時，可減少製造步驟之數目。

利用上述結構，電晶體可具有穩定的電特性及高可靠度。因為藉由依據使用電晶體之本發明的實施例以形成電壓調整器電路，使電晶體中之漏電流小，所以可顯著地增加獲得所欲的電壓之速度。此外，當使用電晶體以形成依據本發明之實施例的電壓調整器電路時，電晶體可具有穩定的電特性及高可靠度。

本實施例可適當地結合與任何其他實施例而被實施。

(實施例 8)

於本實施例中，將描述一種可使用為包括在本說明書中所揭露之電壓調整器電路中的電晶體之薄膜電晶體的另一範例。

參考圖 20A 至 20E 以描述本實施例的一種薄膜電晶體及薄膜電晶體之一種製造方法的實施例。

圖 20A 至 20E 說明一種薄膜電晶體之製造方法的範例。20A 至 20E 中所示之電晶體 310 為一種底部閘極薄膜電晶體且亦稱為反向交錯式薄膜電晶體。

雖然電晶體 310 被描述為一種單閘極薄膜電晶體，但

包括複數通道形成區之多閘極薄膜電晶體亦可被形成(當需要時)。

以下參考圖 20A 至 20E 以描述一用以形成電晶體 310 於基底 300 上的程序。

首先，一導電膜被形成於具有絕緣表面之基底 300 上，且第一光微影步驟被執行於其上，以致形成一閘極電極層 311。注意：可藉由噴墨法以形成抗蝕劑遮罩。藉由噴墨法以形成抗蝕劑遮罩時不需要光罩；因此，可減少製造成本。

對於可使用為具有絕緣表面之基底 300 的基底無特別限制，只要該基底具有能耐受稍後執行之熱處理的熱抗性。可使用硼矽酸鋇玻璃、硼矽酸鋁玻璃等等所形成之玻璃基底。

於其中所將執行之熱處理的溫度高時，最好是使用其應變點為大於或等於 730°C 之玻璃基底。當作玻璃基底，係使用(例如)玻璃材料，諸如鋁矽酸鹽玻璃、硼矽酸鋁玻璃、或硼矽酸鋇玻璃。注意：藉由含有較氧化硼(B_2O_3)更大量的氧化鋇(BaO)，可獲得更實用的抗熱玻璃。因此，最好是使用含有較 B_2O_3 更大量的 BaO 之玻璃基底。

注意：使用絕緣體所形成的基底(諸如陶瓷基底、石英基底、或藍寶石基底)可被使用以取代上述玻璃基底。另一方面，亦可使用結晶化玻璃基底等。再另一方面，可使用矽等之半導體基底來當作基底。

此外，一作用為基礎膜之導電膜可被設於基底 300 與

閘極電極層 311 之間。該基礎膜具有防止來自基底 394 之雜質元素擴散的功能，且可被形成以具有一種單層結構或一種使用氮化矽膜、氧化矽膜、氮氧化矽膜、及氧氮化矽膜之一或更多的堆疊結構。

用以形成閘極電極層 311 之導電膜可被形成以一種單層或堆疊結構，其係使用金屬材料(諸如鉬、鈦、鉻、鉕、鎢、鋁、銅、鈹、或鈦)或包括任何這些材料為其主成分之合金材料。

例如，當作閘極電極層 311 之兩層結構，最好是：一兩層結構，其中一鉬層堆疊於一鋁層之上、一兩層結構，其中一鉬層堆疊於一銅層之上、一兩層結構，其中一氮化鈦層或氮化鉬層堆疊於一銅層之上、一兩層結構，其中一氮化鈦層和一鉬層被堆疊、或者一兩層結構，其中一氮化鎢層和一鎢層被堆疊。當作三層結構，最好是：一鎢層或氮化鎢層、鋁與矽之合金層或鋁與鈦之合金層、及一氮化鈦層或鈦層的堆疊。注意：閘極電極層亦可使用透光導電膜來形成。可提供一種透光導電氧化物來當作透光導電膜之範例。

接著，一閘極絕緣層 302 被形成於閘極電極層 311 之上。

一藉由移除雜質而變為 i 型或實質上 i 型的氧化物半導體(高度純化的氧化物半導體)對於介面狀態及介面電荷是高度敏感的；因此，介於氧化物半導體與閘極絕緣層之間的介面是重要的。因此，接觸與高度純化的氧化物半導

體層之閘極絕緣層(GI)需要高品質。

例如，使用微波(2.45 GHz)之高密度電漿 CVD 是較佳的，因為可形成具有高耐受電壓之一稠密的高品質絕緣膜。這是因為當高度純化的氧化物半導體層係緊密地接觸與高品質的閘極絕緣層時，介面狀態可被減少且介面性質可為理想的。於此，可使用一種可實現大於或等於 $1 \times 10^{11}/\text{cm}^3$ 之電漿密度的設備來當作高密度電漿設備。

例如，電漿係藉由施加 3 kW 至 6 kW 之微波電力而產生，且絕緣膜被形成。單矽烷氣體(SiH_4)、一氧化二氮(N_2O)、及稀有氣體被引入一室而成為用以產生高密度電漿(於 10 Pa 至 30 Pa 之壓力)之來源氣體，且絕緣膜被形成於一具有絕緣表面之基底(諸如玻璃基底)上。之後，停止單矽烷氣體之供應，且一氧化二氮(N_2O)、及稀有氣體被引入而不暴露至空氣，以致可執行電漿處理於絕緣膜之表面。藉由引入一氧化二氮(N_2O)及稀有氣體而執行於絕緣膜之表面上的電漿處理被執行至少在絕緣膜被形成之後。其被引入室中之單矽烷(SiH_4)與一氧化二氮(N_2O)的流動比係於 1:10 至 1:200 之範圍內。此外，可使用氦、氬、氪、氙等以當作被引入該室中之稀有氣體。特別地，最好是使用低價的氬。

無須贅述，諸如濺射法或電漿 CVD 法等不同的沉積方法亦可被使用，只要高品質的絕緣膜可被形成為閘極絕緣層 302。此外，任何絕緣膜均可被使用，只要膜品質和與閘極絕緣膜之氧化物半導體的介面之性質係由沉積後所

執行的熱處理來修改。於任何情況下，任何絕緣膜均可被使用，只要當作閘極絕緣膜之膜品質高、與氧化物半導體之介面狀態密度被減小、以及一理想的介面可被形成。

於 85°C 及 $2 \times 10^6 \text{ V/cm}$ 之閘極偏壓應力測試(BT 測試)12 小時中，假如雜質已被加至氧化物半導體，則介於雜質與氧化物半導體的主成分之間的鍵係由於高電場(B：偏壓)及高溫(T：溫度)而斷裂，以致所產生之懸鍵引發臨限電壓(V_{th})之偏移。當作應付此現象的對策，於本發明之一實施例中的電晶體中，於氧化物半導體中之雜質(特別是氫、水等)被盡可能移除，以致與閘極絕緣層之介面的性質是如上所述般理想的。因此，得以獲得一種針對 BT 測試為穩定的薄膜電晶體。

當作閘極絕緣層 302，可使用氧化矽層、氮化矽層、氧氮化矽層(亦稱為 SiO_xN_y ， $x > y > 0$)、氮氧化矽層(亦稱為 SiN_xO_y ， $x > y > 0$)、及氧化鋁層之一或更多來形成單層或堆疊層。

此外，閘極絕緣層 302 可具有一種結構，其中一氧化矽層與一氮化矽層被堆疊。於本實施例中，例如，一具有 100 nm 之厚度的氧氮化矽層被形成以一種高密度電漿 CVD 法，以 30 Pa 之壓力及 6 kW 之微波電力。其被引入該室中之單矽烷氣體(SiH_4)與一氧化二氮(N_2O)的流動比為 1：10。

接著，氧化物半導體膜 330 被形成到 2 nm 至 200 nm 內之厚度於閘極絕緣層 302 之上。

注意：在以濺射法形成氧化物半導體膜 330 之前，最好是藉由反濺射(其中氬氣被引入且電漿被產生)以移除附著至閘極絕緣層 302 之表面的灰塵。注意：可使用氮周圍環境、氬周圍環境、氧周圍環境等等以取代氬周圍環境。

以下之任一被使用為氧化物半導體膜 330：In-Ga-Zn-O 基的氧化物半導體膜；In-Sn-Zn-O 基的氧化物半導體膜；In-Al-Zn-O 基的氧化物半導體膜；Sn-Ga-Zn-O 基的氧化物半導體膜；Al-Ga-Zn-O 基的氧化物半導體膜；Sn-Al-Zn-O 基的氧化物半導體膜；In-Zn-O 基的氧化物半導體膜；Sn-Zn-O 基的氧化物半導體膜；Al-Zn-O 基的氧化物半導體膜；In-O 基的氧化物半導體膜；In-Sn-O 基的氧化物半導體膜；Sn-O 基的氧化物半導體膜；及 Zn-O 基的氧化物半導體膜。於本實施例中，氧化物半導體膜 330 係由一種利用 In-Ga-Zn-O 基的金屬氧化物靶材之濺射法來形成。此階段之橫斷面視圖係相應於圖 20A。此外，氧化物半導體膜 330 可被形成以一濺射法於：稀有氣體(典型為氬)周圍環境、氧周圍環境、或含稀有氣體(典型為氬)與氧之周圍環境。於利用濺射法之情況下，可使用一含 SiO_2 於 2 wt% 至 10 wt% 內的靶材於膜形成。

可使用一種含有氧化鋅之金屬氧化物靶材為其主要成分，來當作藉由濺射法以形成氧化物半導體膜 330 之靶材。可使用(例如)一種具有 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 1$ (莫耳比)之組成比的金屬氧化物靶材，來當作金屬氧化物靶材之另一範例。對上述靶材並無限制，可使用一種具

有 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 2$ (莫耳比) 之組成比的金屬氧化物靶材。金屬氧化物靶材之填充率為 90% 至 100% 以內，最好是 95% 至 99.9% 以內。利用具有高填充率之金屬氧化物靶材，則所形成的氧化物半導體膜為稠密的。

當形成氧化物半導體膜 330 時，濺射氣體最好是使用一種高純度的氣體，其中諸如氫、水、氫氧根、或氫化物等雜質被移除至數 ppm 之濃度或數 ppb 之濃度。

基底在減壓之下被保持於處理室中，且基底溫度被設為 100°C 至 600°C 內，最好是 200°C 至 400°C 內。膜形成被執行於基底被加熱時，藉此可減少所形成之氧化物半導體層中所含的雜質之濃度。此外，可減少由於濺射所生之損害。接著，已移除氫及濕氣的濺射氣體被引入處理室以便移除剩餘的濕氣，並使用金屬氧化物當作靶材以形成氧化物半導體膜 330 於基底 300 上。為了移除處理室中剩餘的濕氣，最好是使用一種陷阱真空泵。例如，最好是使用低溫泵、離子泵、或鈦昇華泵。此外，抽空單元可為一種設有冷阱之渦輪泵。於已利用低溫泵而被抽空之沉積室中，例如，氫原子、含氫原子之化合物 (諸如水 (H_2O)) (更佳地，亦可使用含碳原子之化合物) 等等被移除，藉此可減少沉積室中所形成之氧化物半導體膜中的雜質之濃度。

沉積條件之範例係如下：介於基底與靶材間之距離為 100 mm；壓力為 0.6 Pa；直流 (DC) 電力為 0.5 kW；及周圍環境為氧周圍環境 (氧之流動率為 100%)。最好是使用一種脈衝直流 (DC) 電源，因為灰塵可被減少且膜厚度可為

均勻。氧化物半導體膜最好是具有 5 nm 至 30 nm 內之厚度。注意：適當厚度係取決於所使用的氧化物半導體材料；且厚度可依據材料而被適當地選擇。

接著，氧化物半導體膜 330 係透過第二光微影步驟而被處理成島狀氧化物半導體層 331。可藉由一種噴墨法以形成一用於形成島狀氧化物半導體層 331 之抗蝕劑遮罩。藉由噴墨法以形成抗蝕劑遮罩時不需要光罩；因此，可減少製造成本。

接下來，氧化物半導體層接受第一熱處理。利用第一熱處理，可執行氧化物半導體層之脫水或脫氫。第一熱處理之溫度係高於或等於 400℃ 且低於或等於 750℃，最好是，高於或等於 400℃ 且低於基底之應變點。於此，基底被引入一電熔爐(其為一種熱處理設備)於 450℃ 之氮周圍環境中對氧化物半導體層執行熱處理一小時，且接著防止水及氫進入氧化物半導體層；因此，獲得氧化物半導體層 331(參見圖 20B)。

注意：熱處理設備不限於電熔爐，而可具有一種藉由來自加熱元件(諸如電阻加熱元件)之熱傳導或熱輻射以加熱一待處理物件之裝置。例如，可使用一種諸如 GRTA(氣體快速熱退火)設備或 LRTA(燈快速熱退火)設備之 RTA(快速熱退火)設備。LRTA 設備為一種藉由從一種燈(諸如鹵素燈、金屬鹵化物燈、氙弧光燈、碳弧光燈、高壓鈉燈、或高壓水銀燈)所發射出之光輻射(電磁波)以加熱一待處理物件之設備。GRTA 設備為一種使用高溫氣體以

執行熱處理之設備。氣體係使用一種惰性氣體，其不會與一待由熱處理所處理之物件互作用(諸如氮)、或一種稀有氣體，諸如氬。

例如，當作第一熱處理，GRTA 可被執行如下。基底被轉移並置入一惰性氣體(其已被加熱至 650°C 至 700°C 之高溫)、被加熱數分鐘、及被轉移且取出自該惰性氣體(其已被加熱至高溫)。GRTA 致能短時間之高溫熱處理。

注意：於第一熱處理中，最好是水、氫等不含氮或稀有氣體(諸如氮、氬、或氬)中。例如，被引入熱處理設備之氮或稀有氣體(諸如氮、氬、或氬)的純度最好是大於或等於 6N(99.9999%)，更佳的是大於或等於 7N(99.99999%)(亦即，雜質濃度最好是少於或等於 1 ppm，更佳的是少於或等於 0.1 ppm)。

於某些情況下，氧化物半導體層可被結晶化而成為微晶膜或多晶膜，根據第一熱處理之條件或氧化物半導體膜之材料。例如，氧化物半導體層可被結晶化以成為具有大於或等於 90%、或者大於或等於 80%之結晶性程度的微晶半導體膜。此外，根據第一熱處理之條件或氧化物半導體層之材料，則氧化物半導體層可為一種不含結晶成分之非晶氧化物半導體膜。氧化物半導體層可變為一種其中將微晶部分(具有 1 nm 至 20 nm 間之粒子直徑，通常為 2 nm 至 4 nm 內)混入非晶氧化物半導體之氧化物半導體層。

此外，第一熱處理可被執行在其被處理成島狀氧化物半導體層之前的氧化物半導體膜 330 上。於該情況下，在

第一熱處理後從加熱設備取出基底，並接著執行光微影步驟。

具有氧化物半導體層之脫水或脫氫效果的熱處理可被執行於任何下列時刻：在氧化物半導體層被形成後；在源極電極和汲極電極被形成於氧化物半導體層上之後；及在閘極絕緣層被形成於源極電極和汲極電極上之後。

此外，於其中一接觸孔被形成於閘極絕緣層 302 中之情況下，接觸孔之形成可被執行於氧化物半導體層 331 之脫水或脫氫以前或以後。

注意：氧化物半導體膜之蝕刻可為乾式蝕刻而不限制為濕式蝕刻。

蝕刻條件(諸如蝕刻劑、蝕刻時間、及溫度等)係根據材料而被適當地調整，以致可將材料蝕刻成所欲的形狀。

接著，一導電膜被形成於絕緣層 302 和氧化物半導體層 331 之上。例如，導電膜可由濺射法或真空蒸鍍法來形成。當作導電膜之材料，可提供：選自 Al、Cr、Cu、Ta、Ti、Mo、及 W 之元素；含有任何這些元素為其成分的合金；含有任何這些元素之組合的合金；等等。再者，可使用選自錳、鎂、鋅、鈹、及鈮之一或更多材料。再者，導電膜可具有單層結構或二以上層之堆疊結構。例如，可提供：一種包括矽的鋁膜之單層結構；一種兩層結構，其中鈦膜被堆疊於鋁膜之上；一種三層結構，其中鈦膜、鋁膜、及鈦膜係依此順序被堆疊，等等。另一方面，可使用結合鋁(Al)之選自鈦(Ti)、鉭(Ta)、鎢(W)、鉬

(Mo)、鉻(Cr)、釹(Nd)、及釷(Sc)的一者或複數元素之一膜；含有複數上述元素之合金膜；或其氮化物膜。

於其中在導電膜之形成後執行熱處理的情況下，該導電膜最好是具有抵擋熱處理之足夠高的熱抗性。

第三光微影步驟被執行。一抗蝕劑遮罩被形成於導電膜之上且選擇性蝕刻被執行，以致源極電極層 315a 及汲極電極層 315b 被形成。接著，抗蝕劑遮罩被移除(參見圖 20C)。

於第三光微影步驟中，紫外線、KrF 雷射光束、或 ArF 雷射光束被用於供形成抗蝕劑遮罩之曝光。稍後將形成之薄膜電晶體的通道長度 L 係取決於氧化物半導體層 331 上彼此相鄰之源極電極層的底部部分與汲極電極層的底部部分間之距離的寬度。注意：當曝光被執行於其中通道長度 L 短於 25 nm 之情況下時，則於第三光微影步驟中，具有數奈米至數十奈米之極短波長的超紫外線被用於供形成抗蝕劑遮罩之曝光。利用超紫外線之曝光導致高解析度及大聚焦深度。因此，稍後將形成之薄膜電晶體的通道長度 L 可被設為 10 nm 至 1000 nm 內。因此，可增加電路之操作速度，且進一步，可使關閉電流顯著地小以致可達成低功率耗損。

注意：各材料及蝕刻條件被適當地調整，以致藉由導電膜之蝕刻時不會移除氧化物半導體層 331。

於本實施例中，鈦膜被使用為導電膜，In-Ga-Zn-O 基的氧化物半導體被使用為氧化物半導體層 331，及氨水氫

過氧化物溶液(氨水、水、及氫過氧化物溶液之混合物)被使用為蝕刻劑。

注意：於某些情況下，於第三光微影步驟中，僅有氧化物半導體層 331 之部分可被蝕刻掉，藉此形成具有溝槽(凹陷部分)之氧化物半導體層。注意：用以形成源極電極層 315a 及汲極電極層 315b 之抗蝕劑遮罩可藉由噴墨法而被形成。藉由噴墨法來形成抗蝕劑遮罩時不需要光罩；因此，可減少製造成本。

此外，氧化物導電層可被形成於氧化物半導體層和源極與汲極層之間。可依序地形成氧化物導電層及一用以形成源極與汲極之導電層。氧化物導電層可作用為一源極區及一汲極區。

當氧化物導電層被提供為介於氧化物半導體層和源極與汲極層間之一源極區及一汲極區時，可減少源極區及汲極區之電阻且可實現電晶體之高速操作。

為了減少光微影步驟中之光罩及製造步驟之數目，可利用一種使用多音調遮罩所形成之抗蝕劑遮罩來執行蝕刻，該多音調遮罩是一種曝光遮罩以使光透過該遮罩而傳輸以具有複數強度。因為使用多音調遮罩所形成之抗蝕劑遮罩具有複數厚度且可藉由執行蝕刻而被進一步改變形狀，所以抗蝕劑遮罩可被用於複數蝕刻步驟以提供不同圖案。因此，可藉由使用一多音調遮罩以形成相應於至少兩種不同圖案之抗蝕劑遮罩。因此，可減少曝光遮罩之數目且亦可減少相應的光微影步驟之數目，藉此可實現製程之

簡化。

接下來，執行使用諸如 N_2O 、 N_2 、或 Ar 等氣體之電漿處理。此電漿處理係移除已曝光之氧化物半導體層的表面上所吸附之水等。此外，可使用氧和氬之混合氣體以執行電漿處理。

在電漿處理之後，形成一作用為保護絕緣膜之氧化物絕緣層 316，其接觸與氧化物半導體層之部分，而不暴露至空氣。

可適當地藉由濺射法等以形成氧化物絕緣層 316 達至少 1 nm 之厚度，該濺射法係一種使諸如水或氫等雜質不進入氧化物絕緣層 316 之方法。當氫被含入氧化物絕緣層 316 中時，造成氫進入氧化物半導體層或由於氫而提取氧化物半導體層中之氧，藉此使氧化物半導體層之背通道的電阻變低(n 型)，以致可能形成一寄生通道。因此，重要的是利用一種不使用氫之形成方法，以致氧化物絕緣層 316 含有盡可能少的氫。

於本實施例中，藉由濺射法來沉積 200 nm 厚之氧化矽膜以當作氧化物絕緣層 316。膜形成時之基底溫度可為室溫至 300℃ 內，而於本實施例中為 100℃。氧化矽膜可被形成以一濺射法於：稀有氣體(典型為氬)周圍環境、氧周圍環境、或稀有氣體(典型為氬)與氧之周圍環境。此外，氧化矽靶材或矽靶材可被使用為靶材。例如，可於氧與氮之周圍環境中以一種濺射法而使用矽靶材來形成氧化矽膜。使用一種不含諸如濕氣、氫離子及 OH^- 等雜質並阻

擋此等雜質從外部進入之無機絕緣膜(典型為氧化矽膜、氮化矽膜、氧化鋁膜、或氮化鋁膜)，形成接觸與氧化物半導體層於一區之氧化物絕緣層 316，該區係成為氧不足狀態而因此具有較低電阻，亦即變為 n 型。

於該情況下，氧化物絕緣層 316 最好是被形成而移除處理室中所剩餘的濕氣。此係為了防止氫、氫氧根、或濕氣被含入氧化物半導體層 331 及氧化物絕緣層 316 中。

為了移除處理室中剩餘的濕氣，最好是使用一種陷阱真空泵。例如，最好是使用低溫泵、離子泵、或鈦昇華泵。此外，抽空單元可為一種設有冷阱之渦輪泵。於已利用低溫泵而被抽空之沉積室中，例如，氫原子、含氫原子之化合物(諸如水(H_2O))(更佳地，亦可使用含碳原子之化合物)等等被移除，藉此可減少沉積室中所形成之氧化物絕緣層 316 中所含的雜質之濃度。

當形成氧化物絕緣層 316 時，濺射氣體最好是使用一種高純度的氣體，其中諸如氫、水、氫氧根、或氫化物等雜質被移除至數 ppm 之濃度或數 ppb 之濃度。

接下來，可於惰性氣體周圍環境或氧氣周圍環境中執行第二熱處理(最好是在 200°C 至 400°C 內，例如，從 250°C 至 300°C 內)。例如，於氮周圍環境中以 250°C 執行第二熱處理一小時。利用第二熱處理，熱被施加而同時氧化物半導體層(通道形成區)之部分接觸與氧化物絕緣層 316。

透過上述步驟，當用於脫水或脫氫之熱處理被執行於

所形成的氧化物半導體膜上時，氧化物半導體層變為氧不足狀態且具有較低電阻值(亦即，n 型)。接著，絕緣層被形成以接觸與氧化物半導體層。因此，氧化物半導體膜之部分係選擇性地為過氧狀態。結果，一重疊與閘極絕緣層 311 之通道形成區 313 變為 i 型。於該時刻，以一種自校準方式形成一高電阻源極區 314a，其具有較至少通道形成區 313 更高的載子濃度且重疊與源極電極層 315a；及一高電阻汲極區 314b，其具有較至少通道形成區 313 更高的載子濃度且重疊與汲極電極層 315b。透過上述步驟，形成薄膜電晶體 310(參見圖 20D)。

再者，可於空氣中執行熱處理於 100℃ 至 200℃ 內一小時至 30 小時內。於本實施例中，於 150℃ 執行熱處理 10 小時。此熱處理可被執行於一固定的加熱溫度。另一方面，可於加熱溫度下重複地執行下列改變數次：加熱溫度從室溫被增加至 100℃ 到 200℃ 內之溫度並接著減低至室溫。再者，此熱處理可被執行在減低壓力下之氧化物絕緣膜的形成以前。當熱處理被執行在減低壓力下時，可縮短熱處理時間。利用此熱處理，可獲得一種正常關(normally-off)薄膜電晶體。因此，可增進薄膜電晶體之可靠度。此外，當含有數個缺陷之矽氧化物層被使用為氧化物絕緣層時，可藉由上述熱處理以更有效地減少氧化物半導體層中所含之雜質。

藉由在重疊與汲極電極層 315b(或源極電極層 315a)之氧化物半導體層的部分中形成高電阻汲極區 314b(或高電

阻源極區 314a)，可增進薄膜電晶體之可靠度。明確地，藉由形成高電阻汲極區 314b，可獲得一種結構，其中可從汲極電極層 315b 至高電阻汲極區 314b、及通道形成區 313 步進地改變導電性。因此，於其中薄膜電晶體配合其連接至一佈線之汲極電極層 315b 而操作以供應高電源電位 VDD 的情況下，高電阻汲極區 314b 係作用為一緩衝器且不會局部地施加高電場(即使高電場被施加於閘極電極層 311 與汲極電極層 315b 之間)，以致可增進電晶體之耐受電壓。

此外，在其中氧化物半導體層之厚度小於或等於 15 nm 的情況下，氧化物半導體層中之高電阻源極區或高電阻汲極區被形成於整個厚度方向。在其中氧化物半導體層之厚度為 30 nm 至 50 nm 的情況下，於氧化物半導體層之部分中(亦即，於接觸與源極電極層或汲極電極層之氧化物半導體層中的一區以及其附近中)，減小了電阻值並可使接近於閘極絕緣膜之氧化物半導體層中的一區變為 i 型。

一保護絕緣層可被額外地形成於氧化物絕緣層 316 之上。例如，以 RF 濺射法形成一氮化矽膜。因為 RF 濺射法在大量生產上具有絕佳效果，而因此為一種用以形成保護絕緣層之較佳方法。保護絕緣層係使用一不含諸如濕氣、氫離子及 OH⁻等雜質並阻擋此等雜質從外部進入之無機絕緣膜(例如，氮化矽膜、氮化鋁膜、氮氧化矽膜、氮氧化鋁膜，等等)來形成。於本實施例中，保護絕緣層 303

係使用氮化矽膜爲保護絕緣層來形成(參見圖 20E)。

於本實施例中，一氮化矽膜係藉由下列方式被形成來當作保護絕緣層 303：加熱基底 300(其上已形成直至且包括氧化物絕緣層 316 之各層)到 100℃ 至 400℃ 之溫度；引入其已移除氫及濕氣之含氮的高純度濺射氣體；及使用矽半導體之靶材。於此情況下，最好是以類似於氧化物絕緣層 316 之方式，形成保護絕緣層 303 而從移除處理室中剩餘的濕氣。

一用於平坦化之平坦化絕緣層可被設於保護絕緣層 303 之上。

再者，一導電層可被形成以重疊與氧化物半導體層，於保護絕緣層 303 之上(於其中提供平坦化絕緣層之情況下，在平坦化絕緣層之上)。導電層的電位可相同於或不同於薄膜電晶體 310 之閘極電極層 311 的電位。導電層亦可作用爲第二閘極電極層。導電層之電位可爲諸如 GND 或 0 V 之固定電位。

電晶體 310 之電特性可由導電層控制。

依據本發明之一實施例的電壓調整器電路中之電容可透過如本實施例中之電晶體的相同製造步驟來形成。當透過相同製造步驟來形成電晶體及電容時，可減少製造步驟之數目。

利用上述結構，電晶體可具有穩定的電特性及高可靠度。因爲藉由依據使用電晶體之本發明的實施例以形成電壓調整器電路，使電晶體中之漏電流小，所以可顯著地增

加獲得所欲的電壓之速度。此外，當使用電晶體以形成依據本發明之實施例的電壓調整器電路時，電晶體可具有穩定的電特性及高可靠度。

本實施例可藉由適當地結合與任何其他實施例而被實施。

(實施例 9)

於本實施例中，將描述一種可使用為包括在本說明書中所揭露之電壓調整器電路中的電晶體之薄膜電晶體的另一範例。

參考圖 21A 至 21D 以描述本實施例之一種薄膜電晶體及薄膜電晶體之一種製造方法的實施例。

圖 21A 至 21D 說明一種薄膜電晶體之製造方法的範例。21A 至 21D 中所示之薄膜電晶體 360 為一種底部閘極結構，其被稱為通道保護型(通道停止型)且亦稱為反向交錯式薄膜電晶體。

雖然電晶體 360 被描述為一種單閘極電晶體，但包括複數通道形成區之多閘極電晶體亦可被形成(當需要時)。

以下參考圖 21A 至 21D 以描述一基底 320 上的薄膜電晶體 360 之製造方法。

首先，一導電膜被形成於具有絕緣表面之基底 320 上，且第一光微影步驟被執行於其上，以致形成一閘極電極層 361。注意：可藉由噴墨法以形成抗蝕劑遮罩。藉由噴墨法以形成抗蝕劑遮罩時不需要光罩；因此，可減少製

造成本。

用以形成閘極電極層 361 之導電膜可被形成以一種單層或堆疊結構，其係使用金屬材料(諸如鉬、鈦、鉻、鉬、鎢、鋁、銅、鈹、或鈦)或含有任何這些材料為其主成分之合金材料。

接下來，一閘極絕緣層 322 被形成於閘極電極層 361 之上。

一藉由移除雜質而變為 i 型或實質上 i 型的氧化物半導體(高度純化的氧化物半導體)對於介面狀態及介面電荷是高度敏感的；因此，介於氧化物半導體與閘極絕緣層之間的介面是重要的。因此，接觸與高度純化的氧化物半導體層之閘極絕緣層(GI)需要高品質。

例如，使用微波(2.45 GHz)之高密度電漿 CVD 是較佳的，因為可形成具有高耐受電壓之一稠密的高品質絕緣膜。這是因為當高度純化的氧化物半導體層係緊密地接觸與高品質的閘極絕緣層時，介面狀態可被減少且介面性質可為理想的。於此，可使用一種可實現大於或等於 $1 \times 10^{11}/\text{cm}^3$ 之電漿密度的設備來當作高密度電漿設備。

例如，電漿係藉由施加 3 kW 至 6 kW 之微波電力而產生，且絕緣膜被形成。單矽烷氣體(SiH_4)、一氧化二氮(N_2O)、及稀有氣體被引入一室而成為用以產生高密度電漿(於 10 Pa 至 30 Pa 之壓力)之來源氣體，且絕緣膜被形成於一具有絕緣表面之基底(諸如玻璃基底)上。之後，停止單矽烷氣體之供應，且一氧化二氮(N_2O)、及稀有氣體

被引入而不暴露至空氣，以致電漿處理可被執行於絕緣膜之表面上。藉由引入一氧化二氮(N_2O)及稀有氣體而執行於絕緣膜之表面上的電漿處理被執行至少在絕緣膜被形成之後。其被引入室中之單矽烷(SiH_4)與一氧化二氮(N_2O)的流動比係於 1 : 10 至 1 : 200 之範圍內。此外，可使用氫、氫、氮、氬等以當作被引入該室中之稀有氣體。特別地，最好是使用低價的氫。

無須贅述，諸如濺射法或電漿 CVD 法等不同的沉積方法亦可被使用，只要高品質的絕緣膜可被形成爲閘極絕緣層 322。此外，任何絕緣膜均可被使用，只要膜品質和與閘極絕緣膜之氧化物半導體的介面之性質係由沉積後所執行的熱處理來修改。於任何情況下，任何絕緣膜均可被使用，只要當作閘極絕緣膜之膜品質高、與氧化物半導體之介面狀態密度被減小、以及一理想的介面可被形成。

於 85°C 及 $2 \times 10^6 \text{ V/cm}$ 之閘極偏壓應力測試(BT 測試)12 小時中，假如雜質已被加至氧化物半導體，則介於雜質與氧化物半導體的主成分之間的鍵係由於高電場(B：偏壓)及高溫(T：溫度)而斷裂，以致所產生之懸鍵引發臨限電壓(V_{th})之偏移。當作應付此現象的對策，於本發明之一實施例中的電晶體中，於氧化物半導體中之雜質(特別是氫、水等)被盡可能移除，以致與閘極絕緣層之介面的性質是如上所述般理想的。因此，得以獲得一種針對 BT 測試爲穩定的薄膜電晶體。

當作閘極絕緣層 322，可使用氧化矽層、氮化矽層、

氧氮化矽層(亦稱為 SiO_xN_y , $x>y>0$)、氮氧化矽層(亦稱為 SiN_xO_y , $x>y>0$)、及氧化鋁層之一或更多來形成單層或堆疊層。

此外，閘極絕緣層 322 可具有一種結構，其中一氧化矽層與一氮化矽層被堆疊。於本實施例中，例如，一具有 100 nm 之厚度的氧氮化矽層被形成以一種高密度電漿 CVD 法，以 30 Pa 之壓力及 6 kW 之微波電力。其被引入該室中之單矽烷氣體(SiH_4)與一氧化二氮(N_2O)的流動比為 1 : 10。

接下來，氧化物半導體膜被形成到 2 nm 至 200 nm 之厚度於閘極絕緣層 322 之上，且接著，氧化物半導體膜係透過第二光微影步驟而被處理成島狀氧化物半導體層。於本實施例中，氧化物半導體膜係藉由一種利用 In-Ga-Zn-O 基的金屬氧化物靶材之濺射法來形成。

於該情況下，氧化物絕緣膜最好是被形成而移除處理室中所剩餘的濕氣。此係為了防止氫、氫氧根、或濕氣被含入氧化物半導體膜中。

為了移除處理室中剩餘的濕氣，最好是使用一種陷阱真空泵。例如，最好是使用低溫泵、離子泵、或鈦昇華泵。此外，抽空單元可為一種設有冷阱之渦輪泵。於已利用低溫泵而被抽空之沉積室中，例如，氫原子、含氫原子之化合物(諸如水(H_2O))等等被移除，藉此可減少沉積室中所形成之氧化物絕緣膜中所含的雜質之濃度。

當形成氧化物絕緣膜時，濺射氣體最好是使用一種高

純度的氣體，其中諸如氫、水、氫氧根、或氫化物等雜質被移除至數 ppm 之濃度或數 ppb 之濃度。

接下來，執行氧化物半導體層之脫水或脫氫。用於脫水或脫氫的第一熱處理之溫度係大於或等於 400°C 且小於或等於 750°C，最好是，大於或等於 400°C 且小於基底之應變點。於本實施例中，基底被置入一電熔爐(其為一種熱處理設備)並於 450°C 之氮周圍環境中對氧化物半導體層執行熱處理一小時，且接著防止水及氫進入氧化物半導體層。以此方式，獲得氧化物半導體層 332(參見圖 21A)。

接下來，執行使用諸如 N_2O 、 N_2 、或 Ar 等氣體之電漿處理。此電漿處理係移除已曝光之氧化物半導體層的表面上所吸附之水等。此外，可使用氧和氫之混合氣體以執行電漿處理。

接下來，氧化物導電膜被形成於閘極絕緣層 322 及氧化物半導體層 332 之上。之後，透過第三光微影步驟以形成一抗蝕劑遮罩，該氧化物絕緣膜被選擇性地蝕刻以形成氧化物絕緣層 366，且接著，抗蝕劑遮罩被移除。

於本實施例中，藉由濺射法來沉積 200 nm 厚之氧化矽膜以當作氧化物絕緣層 366。膜形成時之基底溫度可為室溫至 300°C 內，而於本實施例中為 100°C。氧化矽膜可被形成以一濺射法於：稀有氣體(典型為氬)周圍環境、氧周圍環境、或含稀有氣體(典型為氬)與氧之周圍環境。此外，氧化矽靶材或矽靶材可被使用為靶材。例如，可於含氧與氮之周圍環境中藉由一種濺射法而使用矽靶材來形成

氧化矽膜。使用一種不含諸如濕氣、氫離子及 OH^- 等雜質並阻擋此等雜質從外部進入之無機絕緣膜(典型為氧化矽膜、氧氮化矽膜、氧化鋁膜、或氧氮化鋁膜)，形成接觸與氧化物半導體層於一區之氧化物絕緣層 366，該區係於氧不足狀態而因此具有較低電阻，亦即變為 n 型。

於該情況下，氧化物絕緣層 366 最好是被形成而移除處理室中所剩餘的濕氣。此係為了防止氫、氫氧根、或濕氣被含入氧化物半導體層 332 及氧化物絕緣層 366 中。

為了移除處理室中剩餘的濕氣，最好是使用一種陷阱真空泵。例如，最好是使用低溫泵、離子泵、或鈦昇華泵。此外，抽空單元可為一種設有冷阱之渦輪泵。於已利用低溫泵而被抽空之沉積室中，例如，氫原子、含氫原子之化合物(諸如水(H_2O))(更佳地，亦可使用含碳原子之化合物)等等被移除，藉此可減少沉積室中所形成之氧化物絕緣層 366 中所含的雜質之濃度。

當形成氧化物絕緣層 366 時，濺射氣體最好是使用一種高純度的氣體，其中諸如氫、水、氫氧根、或氫化物等雜質被移除至數 ppm 之濃度或數 ppb 之濃度。

接下來，於惰性氣體周圍環境或氧氣周圍環境中執行第二熱處理(最好是 200°C 至 400°C 內，例如， 250°C 至 300°C 內)。例如，於氮周圍環境中以 250°C 執行第二熱處理一小時。當執行第二熱處理時，熱被施加而同時氧化物半導體層(一通道形成區)接觸與氧化物絕緣層 366。

於本實施例中，藉由提供氧化物絕緣層 366 而被部分

暴露之氧化物半導體層 332 係進一步接受熱處理於氮周圍環境或惰性氣體周圍環境中或者於減低的壓力下。藉由熱處理於氮周圍環境或惰性氣體周圍環境中或者於減低的壓力下，則可減少其未被氧化物絕緣層 366 所覆蓋之氧化物半導體層 332 之暴露區的電阻值。例如，於氮周圍環境中以 250°C 執行熱處理一小時。

利用於氮周圍環境中對設有氧化物絕緣層 366 之氧化物半導體層 332 的熱處理，減少了氧化物半導體層 332 之暴露區的電阻值，以致形成一氧化物半導體層 362，其包括具有不同電阻值之區(如圖 21B 中之陰影區及白色區所指示者)。

接下來，一導電膜被形成於閘極絕緣層 322、氧化物半導體層 362、及氧化物絕緣層 366 之上。之後，一抗蝕劑遮罩係透過第四光微影步驟而被形成，導電膜被選擇性地蝕刻以形成一源極電極層 365a 及一汲極電極層 365b，且接著，抗蝕劑遮罩被移除(參見圖 21C)。

當作源極和汲極電極層 365a 及 365b 之材料，可提供：選自 Al、Cr、Cu、Ta、Ti、Mo、及 W 之元素；含有任何上述元素為其成分的合金；含有任何這些元素之組合的合金；等等。再者，導電膜可具有單層結構或二以上層之堆疊結構。

透過上述步驟，氧化物半導體層係成為氧不足狀態而因此具有較低電阻值(亦即變為 n 型)，當用於脫水或脫氫之熱處理被執行於所形成的氧化物半導體膜上時。接著，

氧化物絕緣層被形成以接觸與氧化物半導體層。因此，氧化物半導體層之部分係選擇性地處於氧過量狀態。結果，一重疊與閘極電極層 361 之通道形成區 363 變為 i 型。於該時刻，以一種自校準方式形成一具有較至少通道形成區 363 更高之載子濃度且重疊與源極電極層 365a 之高電阻源極區 364a 及一具有較至少通道形成區 363 更高之載子濃度且重疊與源極電極層 365b 之高電阻汲極區 364b。透過上述程序，形成電晶體 360。

再者，可於空氣中執行熱處理於 100℃ 至 200℃ 內一小時至 30 小時內。於本實施例中，於 150℃ 執行熱處理 10 小時。此熱處理可被執行於一固定的加熱溫度。另一方面，可於加熱溫度下重複地執行下列改變數次：加熱溫度從室溫被增加至 100℃ 到 200℃ 內之溫度並接著減低至室溫。再者，此熱處理可被執行在減低壓力下之氧化物絕緣膜的形成以前。當熱處理被執行於減低的壓力下時，可縮短熱處理時間。利用此熱處理，氫係從氧化物半導體層被引入至氧化物絕緣層；因此，可獲得一種正常關 (normally-off) 薄膜電晶體。因此，可增進薄膜電晶體之可靠度。

藉由在重疊與汲極電極層 365b (或源極電極層 365a) 之氧化物半導體層的部分中形成高電阻汲極區 364b (或高電阻源極區 364a)，可增進薄膜電晶體之可靠度。明確地，利用形成高電阻汲極區 364b，導電性可被逐漸地改變從汲極電極層 365b 至高電阻汲極區 364b 及通道形成區

363。因此，於其中電晶體配合其連接至一佈線之汲極電極層 365b 而操作以供應高電源供應電位 VDD 的情況下，高電阻汲極區 364b 係作用為一緩衝器而因此不會局部地施加高電場(即使高電場被施加於閘極電極層 361 與汲極電極層 365b 之間)，以致可增進電晶體之耐受電壓。

一保護絕緣層 323 被形成於源極電極層 365a、汲極電極層 365b、及氧化物絕緣層 366 之上。於本實施例中，保護絕緣層 323 係使用氮化矽膜來形成(圖 21D)。

一氧化物絕緣層可形成於源極電極層 365a、汲極電極層 365b、及氧化物絕緣層 366 之上，而保護絕緣層 323 可被堆疊於該氧化物絕緣層之上。

利用上述結構，電晶體可具有穩定的電特性及高可靠度。因為藉由依據使用電晶體之本發明的實施例以形成電壓調整器電路，使電晶體中之漏電流小，所以可顯著地增加獲得所欲的電壓之速度。此外，當使用電晶體以形成依據本發明之實施例的電壓調整器電路時，電晶體可具有穩定的電特性及高可靠度。

依據本發明之一實施例的電壓調整器電路中之電容可透過如本實施例中之電晶體的相同製造步驟來形成。當透過相同製造步驟來形成電晶體及電容時，可減少製造步驟之數目。

注意：本實施例可藉由適當地結合與任何其他實施例而被實施。

(實施例 10)

於本實施例中，將描述一種可使用為包括在本說明書中所揭露之電壓調整器電路中的電晶體之薄膜電晶體的另一範例。

參考圖 22A 至 22D 以描述本實施例的一種薄膜電晶體及薄膜電晶體之一種製造方法的實施例。

電晶體 350 係使用一種單閘極電晶體而被描述；包括複數通道形成區之多閘極薄膜電晶體亦可被形成(當需要時)。

以下參考圖 22A 至 22D 以描述一基底 340 上的電晶體 350 之製造方法。

首先，一導電膜被形成於具有絕緣表面之基底 340 上，且一第一光微影步驟被執行於其上，以致形成一閘極電極層 351。於本實施例中，係藉由一濺射法以形成一 150 nm 厚度的鎢膜來當作閘極電極層 351。

接下來，一閘極絕緣層 342 被形成於閘極電極層 351 之上。

一藉由移除雜質而變為 i 型或實質上 i 型的氧化物半導體(高度純化的氧化物半導體)對於介面狀態及介面電荷是高度敏感的；因此，介於氧化物半導體與閘極絕緣層之間的介面是重要的。因此，接觸與高度純化的氧化物半導體層之閘極絕緣層(GI)需要高品質。

例如，使用微波(2.45 GHz)之高密度電漿 CVD 是較佳的，因為可形成具有高耐受電壓之一稠密的高品質絕緣

膜。這是因為當高度純化的氧化物半導體層係緊密地接觸與高品質的閘極絕緣層時，介面狀態可被減少且介面性質可為理想的。於此，可使用一種可實現大於或等於 $1 \times 10^{11}/\text{cm}^3$ 之電漿密度的設備來當作高密度電漿設備。

例如，電漿係藉由施加 3 kW 至 6 kW 之微波電力而產生，及絕緣膜被形成。單矽烷氣體(SiH_4)、一氧化二氮(N_2O)、及稀有氣體被引入一室而成為用以產生高密度電漿(於 10 Pa 至 30 Pa 之壓力)之來源氣體，及絕緣膜被形成於一具有絕緣表面之基底(諸如玻璃基底)上。之後，停止單矽烷氣體之供應，且一氧化二氮(N_2O)、及稀有氣體被引入而不暴露至空氣，以致電漿處理可被執行於絕緣膜之表面。藉由引入一氧化二氮(N_2O)及稀有氣體而執行於絕緣膜之表面上的電漿處理被執行至少在絕緣膜被形成之後。其被引入室中之單矽烷(SiH_4)與一氧化二氮(N_2O)的流動比係於 1 : 10 至 1 : 200 之範圍內。此外，可使用氫、氫、氬等以當作被引入該室中之稀有氣體。特別地，最好是使用低價的氫。

無須贅述，諸如濺射法或電漿 CVD 法等不同的沉積方法亦可被使用，只要高品質的絕緣膜可被形成為閘極絕緣層 342。此外，任何絕緣膜均可被使用，只要膜品質和與閘極絕緣膜之氧化物半導體的介面之性質係由沉積後所執行的熱處理來修改。於任何情況下，任何絕緣膜均可被使用，只要當作閘極絕緣膜之膜品質高、與氧化物半導體之介面狀態密度被減小、以及一理想的介面可被形成。

於 85°C 及 $2 \times 10^6 \text{ V/cm}$ 之閘極偏壓應力測試(BT 測試)12 小時中，假如雜質已被加至氧化物半導體，則介於雜質與氧化物半導體的主成分之間的鍵係由於高電場(B：偏壓)及高溫(T：溫度)而斷裂，以致所產生之懸鍵引發臨限電壓(V_{th})之偏移。當作應付此現象的對策，於本發明之一實施例中的電晶體中，於氧化物半導體中之雜質(特別是氫、水等)被盡可能移除，以致與閘極絕緣層之介面的性質是如上所述般理想的。因此，得以獲得一種針對 BT 測試為穩定的薄膜電晶體。

當作閘極絕緣層 342，可使用氧化矽層、氮化矽層、氧氮化矽層(亦稱為 SiO_xN_y ， $x > y > 0$)、氮氧化矽層(亦稱為 SiN_xO_y ， $x > y > 0$)、及氧化鋁層之一或更多來形成單層或堆疊層。

此外，閘極絕緣層 342 可具有一種結構，其中一氧化矽層與一氮化矽層被堆疊。於本實施例中，例如，一具有 100 nm 之厚度的氧氮化矽層被形成以一種高密度電漿 CVD 法，以 30 Pa 之壓力及 6 kW 之微波電力。其被引入該室中之單矽烷氣體(SiH_4)與一氧化二氮(N_2O)的流動比為 1：10。

接下來，一導電膜被形成於絕緣層 342 之上。之後，一抗蝕劑遮罩係透過第二光微影步驟而被形成於導電膜之上，該導電膜被選擇性地蝕刻以形成源極電極層 355a 及汲極電極層 355b，且接著，抗蝕劑遮罩被移除(參見圖 22A)。

接下來，一氧化物半導體膜 345 被形成(參見圖 22B)。於本實施例中，氧化物半導體膜 345 係藉由一種利用 In-Ga-Zn-O 基的金屬氧化物靶材之濺射法來形成。氧化物半導體膜 345 係透過第三光微影步驟而被處理成島狀氧化物半導體層。

於該情況下，氧化物半導體膜 345 最好是被形成而移除處理室中所剩餘的濕氣。此係爲了防止氫、氫氧根、或濕氣被含入氧化物半導體膜 345 中。

爲了移除處理室中剩餘的濕氣，最好是使用一種陷阱真空泵。例如，最好是使用低溫泵、離子泵、或鈦昇華泵。此外，抽空單元可爲一種設有冷阱之渦輪泵。於已利用低溫泵而被抽空之沉積室中，例如，氫原子、含氫原子之化合物(諸如水(H_2O))等等被移除，藉此可減少沉積室中所形成之氧化物半導體膜 345 中所含的雜質之濃度。

當形成氧化物半導體膜 345 時，濺射氣體最好是使用一種高純度的氣體，其中諸如氫、水、氫氧根、或氫化物等雜質被移除至數 ppm 之濃度或數 ppb 之濃度。

接下來，執行氧化物半導體層之脫水或脫氫。用於執行脫水或脫氫的第一熱處理之溫度係大於或等於 $400^{\circ}C$ 且小於或等於 $750^{\circ}C$ ，最好是，大於或等於 $400^{\circ}C$ 且小於基底之應變點。於本實施例中，基底被置入一電熔爐(其爲一種熱處理設備)並於 $450^{\circ}C$ 之氮周圍環境中對氧化物半導體層執行熱處理一小時，且接著防止水或氫進入氧化物半導體層。以此方式，獲得氧化物半導體層 346(參見圖

22C)。

例如，當作第一熱處理，GRTA 可被執行如下。基底被轉移並置入一惰性氣體(其已被加熱至 650℃ 至 700℃ 之高溫)、被加熱數分鐘、及被轉移且取出自該惰性氣體(其已被加熱至高溫)。GRTA 致能短時間之高溫熱處理。

接下來，形成一作用為保護絕緣膜之氧化物絕緣層 356，其接觸與氧化物半導體層 346。

氧化物絕緣層 356 具有至少 1 nm 之厚度且可適當地藉由一種方法(諸如濺射法)而被形成，藉此方法使諸如水或氫等雜質不進入氧化物絕緣層 316。當氫被含入氧化物絕緣層 356 中時，造成氫進入氧化物半導體層或由於氫而提取氧化物半導體層中之氧，藉此使氧化物半導體層之背通道的電阻變低(n 型)，以致可能形成一寄生通道。因此，重要的是利用一種不使用氫之形成方法，以致氧化物絕緣層 356 含有盡可能少的氫。

於本實施例中，藉由濺射法來沉積 200 nm 厚之氧化矽膜以當作氧化物絕緣層 356。膜形成時之基底溫度可為室溫至 300℃ 內，而於本實施例中為 100℃。氧化矽膜可被形成以一濺射法於：稀有氣體(典型為氬)周圍環境、氧周圍環境、或含稀有氣體(典型為氬)與氧之周圍環境。此外，氧化矽靶材或矽靶材可被使用為靶材。例如，可於氧與氮之周圍環境中以一種濺射法而使用矽靶材來形成氧化矽膜。使用一種不含諸如濕氣、氫離子及 OH⁻等雜質並阻擋此等雜質從外部進入之無機絕緣膜(典型為氧化矽膜、

氮化矽膜、氧化鋁膜、或氮化鋁膜)，形成接觸與氧化物半導體層之氧化物絕緣層 316，其被改變為氧不足狀態且具有較低電阻，亦即變為 n 型氧化物半導體層。

於該情況下，氧化物絕緣層 356 最好是被形成而移除處理室中所剩餘的濕氣。此係為了防止氫、氫氧根、或濕氣被含入氧化物半導體層 346 及氧化物絕緣層 356 中。

為了移除處理室中剩餘的濕氣，最好是使用一種陷阱真空泵。例如，最好是使用低溫泵、離子泵、或鈦昇華泵。此外，抽空單元可為一種設有冷阱之渦輪泵。於已利用低溫泵而被抽空之沉積室中，例如，氫原子、含氫原子之化合物(諸如水(H_2O))(更佳地，亦可使用含碳原子之化合物)等等被移除，藉此可減少沉積室中所形成之氧化物絕緣層 356 中所含的雜質之濃度。

當形成氧化物絕緣層 356 時，濺射氣體最好是使用一種高純度的氣體，其中諸如氫、水、氫氧根、或氫化物等雜質被移除至數 ppm 之濃度或數 ppb 之濃度。

接下來，於惰性氣體周圍環境或氧氣周圍環境中執行第二熱處理(最好是在 $200^{\circ}C$ 至 $400^{\circ}C$ 內，例如， $250^{\circ}C$ 至 $300^{\circ}C$ 內)。例如，於氮周圍環境中以 $250^{\circ}C$ 執行第二熱處理一小時。當執行第二熱處理時，熱被施加而同時氧化物半導體層接觸與氧化物絕緣層 356。

如上所述，藉由執行用於脫水或脫氫之熱處理，氧化物半導體層成為處於氧不足狀態，而因此，氧化物半導體層變為較低電阻型，亦即，n 型。當氧化物絕緣層被形成

以接觸與氧化物半導體層時，氧化物半導體層成為處於過氧狀態。結果，形成一高電阻 i 型氧化物半導體層 352。透過上述步驟，形成薄膜電晶體 350。

再者，可於空氣中執行熱處理於 100℃ 至 200℃ 內一小時至 30 小時內。於本實施例中，於 150℃ 執行熱處理 10 小時。此熱處理可被執行於一固定的加熱溫度。另一方面，可於加熱溫度下重複地執行下列改變數次：加熱溫度從室溫被增加至 100℃ 到 200℃ 內之溫度並接著減低至室溫。此熱處理可被執行在減低壓力下之氧化物絕緣膜的形成以前。當熱處理被執行在減低的壓力下時，可縮短熱處理時間。利用此熱處理，氫係從氧化物半導體層被引入至氧化物絕緣層；因此，可獲得一種正常關 (normally-off) 薄膜電晶體。因此，可增進薄膜電晶體之可靠度。

一保護絕緣層可被形成於氧化物絕緣層 356 之上。例如，一氮化矽膜係以 RF 濺射法來形成。於本實施例中，保護絕緣層 343 係使用氮化矽膜來形成以當作保護絕緣層 (參見圖 22D)。

一用於平坦化之平坦化絕緣層可被設於保護絕緣層 343 之上。

利用上述結構，電晶體可具有穩定的電特性及高可靠度。因為藉由依據使用電晶體之本發明的實施例以形成電壓調整器電路，使電晶體中之漏電流小，所以可顯著地增加獲得所欲的電壓之速度。此外，當使用電晶體以形成依據本發明之實施例的電壓調整器電路時，電晶體可具有穩

定的電特性及高可靠度。

依據本發明之一實施例的電壓調整器電路中之電容可透過如本實施例中之電晶體的相同製造步驟來形成。當透過相同製造步驟來形成電晶體及電容時，可減少製造步驟之數目。

本實施例可適當地結合與任何其他實施例而被執行。

(實施例 11)

於本實施例中，將描述一種可應用於包括在本說明書中所揭露之電壓調整器電路中的電晶體之薄膜電晶體的另一範例。

於本實施例中，將參考圖 23 以描述一種薄膜電晶體之製造方法的範例，其係部分地不同於實施例 8。因為圖 23 除了部分步驟之外係相同於圖 20A 至 20E。因此，所以由相同參考數字所表示之如圖 20A 至 20E 中的相同部分及關於該些部分之詳細描述被省略。

首先，一閘極電極層 381 被形成於一基底 370 之上，而一第一閘極絕緣層 372a 及一第二閘極絕緣層 372b 被堆疊於其上。於本實施例中，閘極絕緣層具有一種兩層結構，其中氮化物絕緣層及氧化物絕緣層被分別使用為第一閘極絕緣層 372a 及第二閘極絕緣層 372b。

可使用氧化矽層、氧氮化矽層、氧化鋁層、氧氮化鋁層等等來當作氧化物絕緣層。可使用氮化矽層、氮氧化矽層、氮化鋁層、氮氧化鋁層等等來當作氮化物絕緣層。

於本實施例中，閘極絕緣層可具有一種結構，其中一氮化矽層及一氧化矽層被堆疊自閘極電極層 381 側。一具有 50 nm 至 200 nm 內(於本實施例中為 50 nm)之厚度的氮化矽層(SiN_y ($y>0$))係藉由 RF 濺射法來形成為第一閘極絕緣層 372a，且一具有 5 nm 至 300 nm 內(於本實施例中為 100 nm)之厚度的氧化矽層(SiO_x ($x>0$))被堆疊而成為第一閘極絕緣層 372a 上之第二閘極絕緣層 372b；因此，形成具有 150 nm 之厚度的閘極絕緣層，

接下來，一氧化物半導體膜被形成，且透過光微影步驟而被處理成島狀氧化物半導體層。於本實施例中，氧化物半導體膜係藉由一種利用 In-Ga-Zn-O 基的金屬氧化物靶材之濺射法來形成。。

於該情況下，氧化物半導體膜最好是被形成而移除處理室中所剩餘的濕氣。此係為了防止氫、氫氧根、或濕氣被含入氧化物半導體膜中。

為了移除處理室中所剩餘的濕氣，最好是使用一種陷阱真空泵。例如，最好是使用低溫泵、離子泵、或鈦昇華泵。此外，抽空單元可為一種設有冷阱之渦輪泵。於已利用低溫泵而被抽空之沉積室中，例如，氫原子、含氫原子之化合物(諸如水(H_2O))等等被移除，藉此可減少沉積室中所形成之氧化物半導體膜中所含的雜質之濃度。

當形成氧化物半導體膜時，濺射氣體最好是使用一種高純度的氣體，其中諸如氫、水、氫氧根、或氫化物等雜質被移除至數 ppm 之濃度或數 ppb 之濃度。

接下來，執行氧化物半導體層之脫水或脫氫。用於執行脫水或脫氫的第一熱處理之溫度係高於或等於 400°C 且低於或等於 750°C ，最好是，高於或等於 400°C 且低於基底之應變點。注意：於其中溫度為大於或等於 425°C 之情況下，熱處理時間可為一小時或更少，而於其中溫度低於 425°C 之情況下，熱處理時間係較一小時更長。於此，基底被引入一電熔爐(其為一種熱處理設備)並於氮周圍環境中執行氧化物半導體層之熱處理。接著，防止水及氫進入氧化物半導體層。之後，藉由引入高純度氧氣、高純度 N_2O 氣或超乾空氣(具有低於或等於 -40°C 的露點，最好是低於或等於 -60°C)以執行冷卻。最好是水、氫等不含入氧氣或 N_2O 氣中。另一方面，被引入熱處理室之氧氣或 N_2O 氣的純度最好是大於或等於 $6\text{N}(99.9999\%)$ ，更佳的是大於或等於 $7\text{N}(99.99999\%)$ (亦即，氧氣或 N_2O 氣之雜質濃度是小於或等於 1 ppm ，更佳的是小於或等於 0.1 ppm)。

熱處理設備不限於電熔爐，且例如，可為一種諸如 GRTA(氣體快速熱退火)設備或 LRTA(燈快速熱退火)設備之 RTA(快速熱退火)設備。LRTA 設備為一種藉由從一種燈(諸如鹵素燈、金屬鹵化物燈、氙弧光燈、碳弧光燈、高壓鈉燈、或高壓水銀燈)所發射出之光輻射(電磁波)以加熱一待處理物件之設備。此外，不限於 LRTA 設備及燈，可使用一種藉由來自加熱器(諸如電阻加熱器)之熱傳導或熱輻射以加熱待處理物件之裝置。GRTA 設備為一種使用高溫氣體以執行熱處理之方法。氣體係使用一種惰性氣

體，其不會與一待由熱處理所處理之物件互作用(例如氮)、或一種稀有氣體，諸如氬。可用 RTA 方法以執行熱處理於 60°C 至 750°C 數分鐘。

此外，在用於脫水或脫氫之第一熱處理後，可在氧氣周圍環境或 N₂O 氣周圍環境下執行熱處理於 200°C 至 400°C 內，最好是 200°C 至 300°C 內。

氧化物半導體層之第一熱處理可被執行在氧化物半導體膜被處理成島狀氧化物半導體層之前。於該情況下，基底在第一熱處理後被取出加熱設備，並接著執行一光微影步驟。

透過上述程序，整個氧化物半導體膜變成含有過量的氧，藉此氧化物半導體膜具有較高的電阻值，亦即變為 i 型。因此，形成一氧化物半導體層 382，其整個區具有 i 型導電性。

接下來，一導電膜被形成於氧化物半導體層 382 之上，且一抗蝕劑遮罩係藉由光微影步驟而被形成，且導電膜被選擇性地蝕刻以形成一源極電極層 385a 及一汲極電極層 385b，而接著，藉由濺射法以形成一氧化物半導體層 386。

於該情況下，氧化物絕緣層 386 最好是被形成而移除處理室中所剩餘的濕氣。此係為了防止氫、氫氧根、或濕氣被含入氧化物半導體層 382 及氧化物絕緣層 386 中。

為了移除處理室中剩餘的濕氣，最好是使用一種陷阱真空泵。例如，最好是使用低溫泵、離子泵、或鈦昇華

泵。此外，抽空單元可為一種設有冷阱之渦輪泵。於已利用低溫泵而被抽空之沉積室中，例如，氫原子、含氫原子之化合物(諸如水(H_2O))(更佳地，亦可使用含碳原子之化合物)等等被移除，藉此可減少沉積室中所形成之氧化物絕緣層 386 中的雜質之濃度。

當形成氧化物絕緣層 386 時，濺射氣體最好是使用一種高純度的氣體，其中諸如氫、水、氫氧根、或氫化物等雜質被移除至數 ppm 之濃度或數 ppb 之濃度。

透過上述步驟，薄膜電晶體 380 可被形成。

接下來，為了減少薄膜電晶體之電特性的變異，可於惰性氣體周圍環境或氮氣周圍環境中執行熱處理(最好是以高於或等於 150°C 且低於 350°C)。例如，於氮周圍環境中以 250°C 執行熱處理一小時。

再者，可於空氣中執行熱處理於 100°C 至 200°C 內一小時至 30 小時內。於本實施例中，於 150°C 執行熱處理 10 小時。此熱處理可被執行於一固定的加熱溫度。另一方面，可於加熱溫度下重複地執行下列改變數次：加熱溫度從室溫被增加至 100°C 到 200°C 內之溫度並接著減低至室溫。當熱處理被執行於減低的壓力下時，可縮短熱處理時間。利用此熱處理，氫係從氧化物半導體層被引入至氧化物絕緣層；因此，可獲得一種正常關(normally-off)薄膜電晶體。因此，可增進薄膜電晶體之可靠度。

一保護絕緣層 373 被形成於氧化物絕緣層 386 之上。例如，係氮化矽形成。於本實施例中，一具有 100 nm 之氮化

矽膜係藉由 RF 濺射法來形成以當作保護絕緣層 373。

使用一氮化物絕緣層而各形成之作保護絕緣層 373 及第一閘極絕緣層 372a 不含有諸如濕氣、氫、氫化物、及氫氧化物等雜質，且具有阻擋這些雜質從外部進入之效果。

因此，於保護絕緣層 373 形成後之的製造程序中，可防止諸如濕氣等雜質從外部進入，以致可增進裝置之可靠度。

再者，介於使用氮化物絕緣層所形成的保護絕緣層 373 與第一閘極絕緣層 372a 之間的絕緣層之部分可被移除，以致保護絕緣層 373 與第一閘極絕緣層 372a 可彼此接觸。

因此，於氧化物半導體層中諸如濕氣、氫、氫化物、及氫氧化物等雜質被盡可能減少且防止此等雜質之進入，以致氧化物半導體層中之雜質的濃度可被保持為低。

一用於平坦化之平坦化絕緣層可被設於保護絕緣層 373 之上。

再者，一導電層可被形成以重疊與氧化物半導體層，於保護絕緣層 373 之上。導電層之電位可相同於或不同於電晶體 380 之閘極電極層 381 的電位。導電層亦可作用為第二閘極電極層。導電層之電位可為諸如 GND 或 0 V 之固定電位。

電晶體 380 之電特性可由導電層控制。

利用上述結構，電晶體可具有穩定的電特性及高可靠

度。因為藉由依據使用電晶體之本發明的實施例以形成電壓調整器電路，使電晶體中之漏電流小，所以可顯著地增加獲得所欲的電壓之速度。此外，當使用電晶體以形成依據本發明之實施例的電壓調整器電路時，電壓調整器電路可具有穩定的電特性及高可靠度。

注意：本實施例可藉由適當地結合與任何其他實施例而被實施。

(實施例 12)

於本實施例中，將參考圖 24A 及 24B 以描述依據本發明之實施例的電壓調整器電路可應用的電子裝置之範例。

圖 24A 顯示一筆記型個人電腦，其包括一主體 3001、一外殼 3002、一顯示部分 3003、一鍵盤 3004，等等。任何實施例 1 至 3 中所描述之電壓調整器電路可被使用以產生一電源電壓，其被供應至圖 25A 中所示之筆記型個人電腦。

圖 24B 顯示一行動電話，其包括兩外殼：一外殼 2800 及一外殼 2801。外殼 2801 包括一顯示面板 2802、一揚聲器 2803、一麥克風 2804、一指針裝置 2806、一相機鏡頭 2807、一外部連接終端 2808，等等。外殼 2800 包括一太陽能電池 2810(用以充電可攜式電話)、一外部記憶體槽 2811，等等。此外，一天線被結合入外殼 2801 中。

再者，顯示面板 2802 設有一觸控面板。複數操作鍵

2805(其被顯示為影像)係由圖 24B 中之虛線所表示。於圖 24B 所示之行動電話中，升壓電路(任何實施例 1 至 3 中所述之電壓調整器電路)被安裝以升壓一電壓，其係從太陽能電池 2810 被輸出至各電路所需之電壓。

如上所述，電壓調整器電路(其為本發明之一實施例)可被應用於多種電子裝置且可有效地供應一電源電壓至電子裝置。

注意：本實施例可適當地結合與任何其他實施例。

本申請案係基於日本專利申請案序號 2009-242758(於 2009 年十月 21 日對日本專利局申請)及日本專利申請案序號 2010-012617(於 2010 年一月 22 日對日本專利局申請)，其整體內容被納入於此以供參考。

【符號說明】

101：電晶體

102：電容

151：週期

152：週期

201：電晶體

202：電容

211：單元升壓電路

221：時脈信號線

222：時脈信號線

300：基底

302：閘極絕緣層
 303：保護絕緣層
 310：薄膜電晶體
 311：閘極電極層
 313：通道形成區
 314a：高電阻源極區
 314b：高電阻汲極區
 315a：源極電極層
 315b：汲極電極層
 316：氧化物絕緣層
 320：基底
 322：閘極絕緣層
 323：保護絕緣層
 330：氧化物半導體膜
 331：氧化物半導體層
 332：氧化物半導體層
 340：基底
 342：閘極絕緣層
 343：保護絕緣層
 345：氧化物半導體膜
 346：氧化物半導體層
 350：薄膜電晶體
 351：閘極電極層
 352：氧化物半導體層

355a：源極電極層
 355b：汲極電極層
 356：氧化物絕緣層
 360：薄膜電晶體
 361：閘極電極層
 362：氧化物半導體層
 363：通道形成區
 364a：高電阻源極區
 364b：高電阻汲極區
 365a：源極電極層
 365b：汲極電極層
 366：氧化物絕緣層
 370：基底
 372a：閘極絕緣層
 372b：閘極絕緣層
 373：保護絕緣層
 380：薄膜電晶體
 381：閘極電極層
 382：氧化物半導體層
 385a：源極電極層
 385b：汲極電極層
 386：氧化物絕緣層
 390：薄膜電晶體
 391：閘極電極層

- 392：氧化物半導體層
- 393：氧化物半導體膜
- 394：基底
- 395a：源極電極層
- 395b：汲極電極層
- 396：氧化物絕緣層
- 397：閘極絕緣層
- 398：保護絕緣層
- 399：氧化物半導體層
- 400：基底
- 402：閘極絕緣層
- 407：絕緣層
- 410：薄膜電晶體
- 411：閘極電極層
- 412：氧化物半導體層
- 414a：佈線層
- 414b：佈線層
- 415a：源極或汲極電極層
- 415b：源極或汲極電極層
- 420：矽基底
- 421a：開口
- 421b：開口
- 422：絕緣層
- 423：開口

424：導電層

425：薄膜電晶體

427：導電層

430：氧化物半導體膜

431：氧化物半導體層

450：基底

452：閘極絕緣層

457：絕緣層

460：薄膜電晶體

461：閘極電極層

462：氧化物半導體層

464：佈線層

465a：源極或汲極電極層

465b：源極或汲極電極層

465a1：源極或汲極電極層

465a2：源極或汲極電極層

468：佈線層

501：基底

502：電容

511：單元降壓電路

521：時脈信號線

522：時脈信號線

800：測量系統

802：電容

804：電晶體
805：電晶體
806：電晶體
808：電晶體
1001：閘極電極
1002：閘極絕緣膜
1003：氧化物半導體層
1004a：源極電極
1004b：汲極電極
1005：氧化物絕緣層
1006：導電層
2800：外殼
2801：外殼
2802：顯示面板
2803：揚聲器
2804：麥克風
2805：操作鍵
2806：指針裝置
2807：相機鏡頭
2808：外部記憶體槽
2810：太陽能電池
2811：外部記憶體槽
3001：主體
3002：外殼

3003：顯示部分

3004：鍵盤

發明摘要

※申請案號：105128483（由099135742分割）

※申請日：099 年 10 月 20 日

※IPC 分類：H01L 29/786 (2006.01)
H02M 3/07 (2006.01)

【發明名稱】(中文/英文)

電壓調整器電路及半導體裝置

Voltage regulator circuit and semiconductor device

【中文】

一電晶體包括一閘極、一源極、及一汲極，閘極係電連接至源極或汲極，一第一信號被輸入至源極與汲極之一，且一氧化物半導體層(其載子濃度為 $5 \times 10^{14}/\text{cm}^3$ 或更小)被用於一通道形成層。一電容包括一第一電極及一第二電極，該第一電極係電連接至該電晶體之源極與汲極之另一，且一第二信號(其為時脈信號)被輸入至第二電極。第一信號之電壓被升壓或降壓以獲得一第三信號，其係透過該電晶體之源極與汲極之另一而被輸出為一輸出信號。

【 英文 】

A transistor includes a gate, a source, and a drain, the gate is electrically connected to the source or the drain, a first signal is input to one of the source and the drain, and an oxide semiconductor layer whose carrier concentration is $5 \times 10^{14} / \text{cm}^3$ or less is used for a channel formation layer. A capacitor includes a first electrode and a second electrode, the first electrode is electrically connected to the other of the source and the drain of the transistor, and a second signal which is a clock signal is input to the second electrode. A voltage of the first signal is stepped up or down to obtain a third signal which is output as an output signal through the other of the source and the drain of the transistor.

圖式

圖1

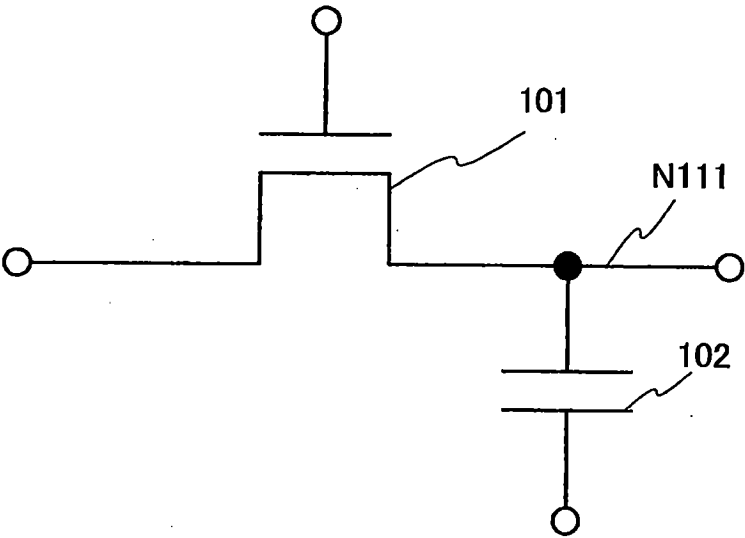


圖2

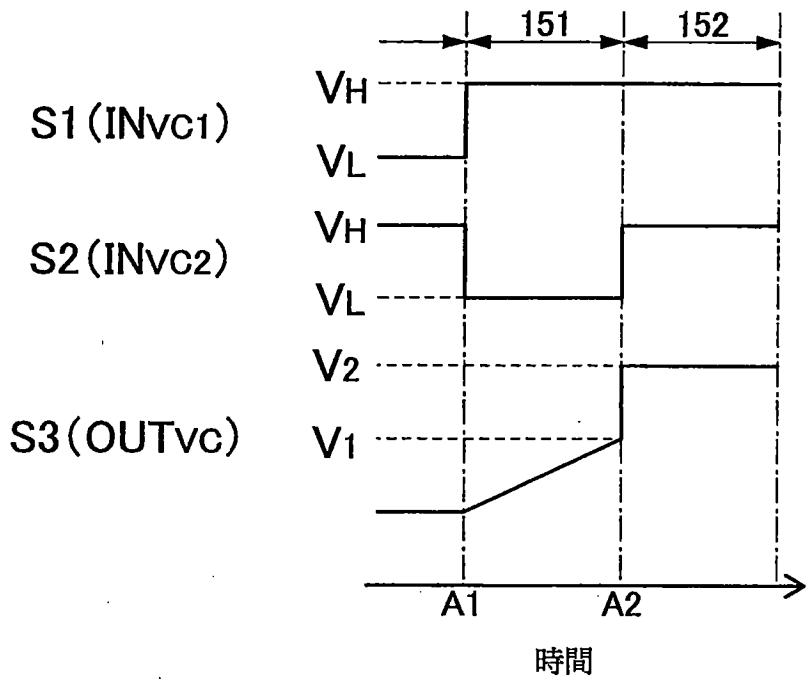


圖 3

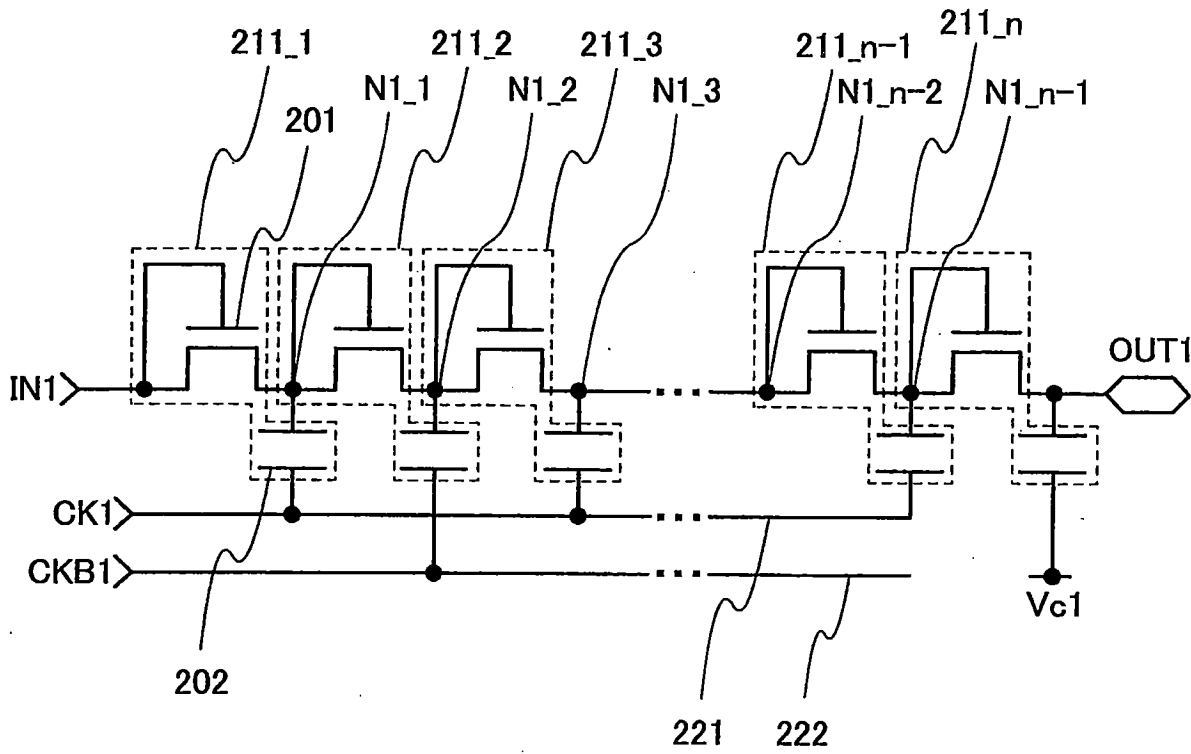


圖4

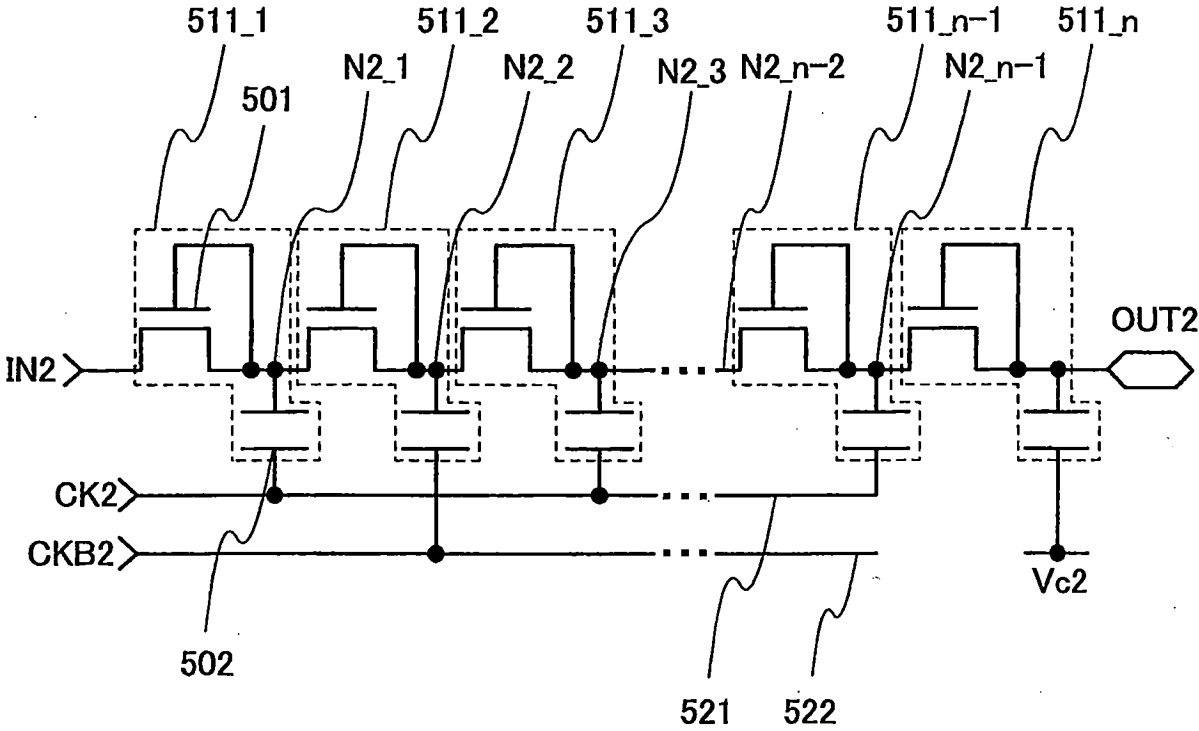


圖 5A

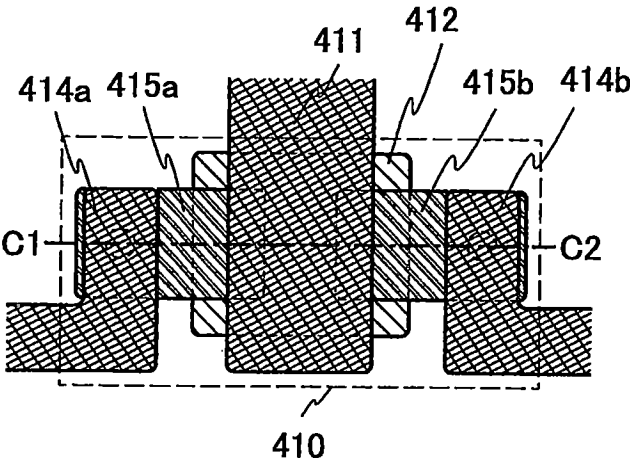


圖 5B

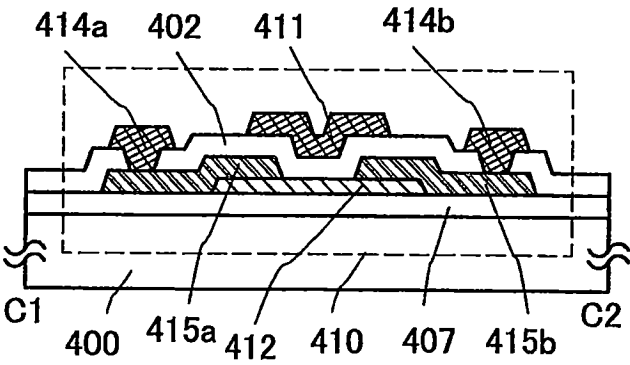


圖 6A

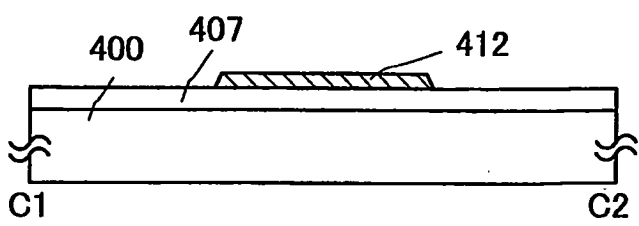


圖 6B

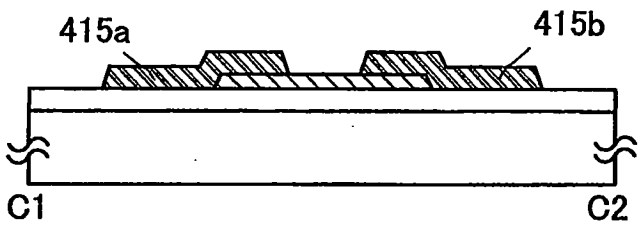


圖 6C

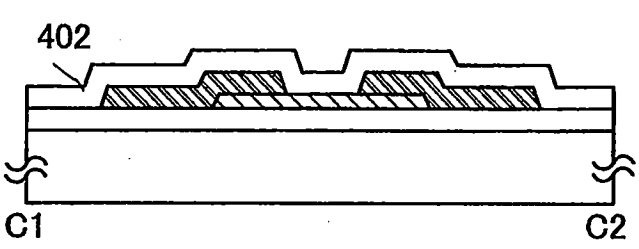


圖 6D

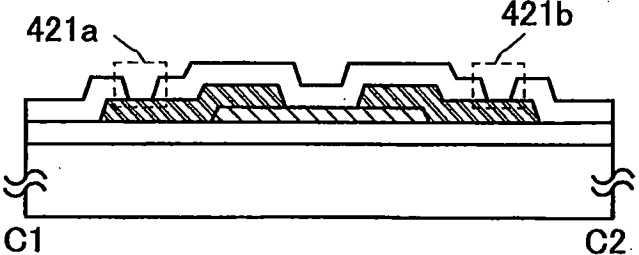


圖 6E

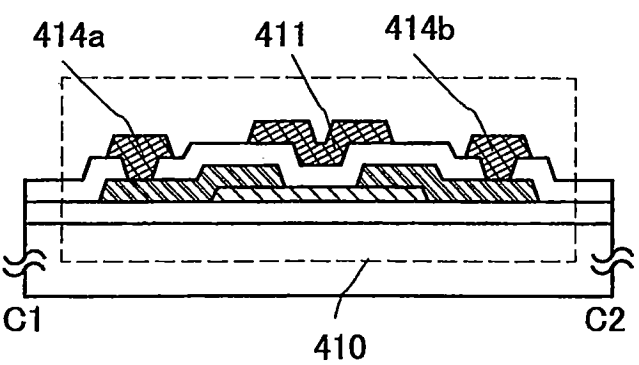


圖 7A

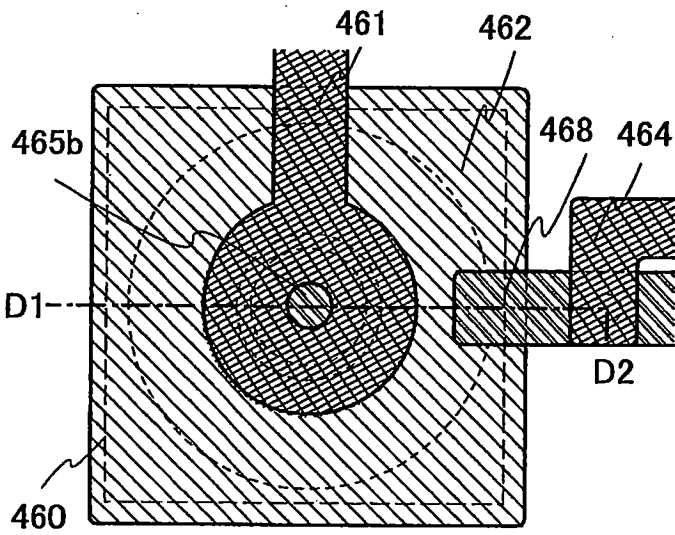


圖 7B

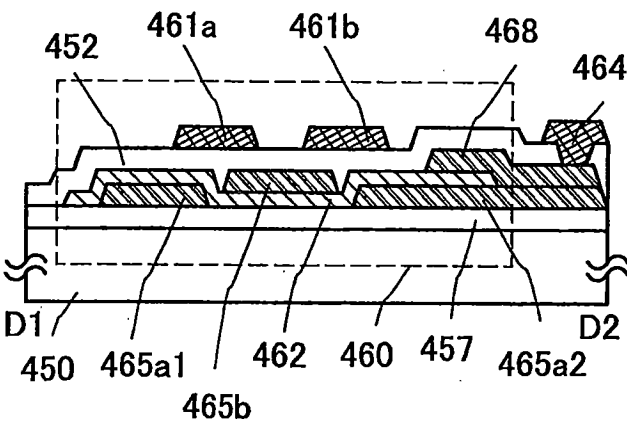


圖 8A

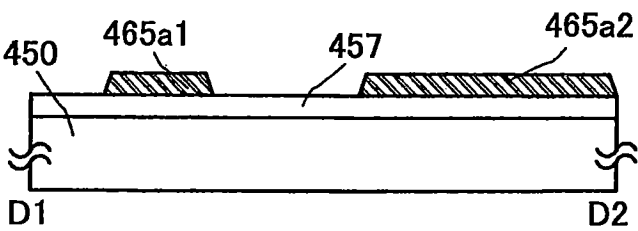


圖 8B

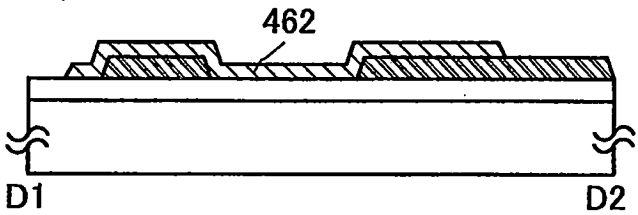


圖 8C

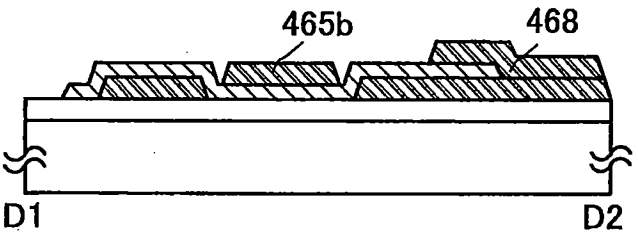


圖 8D

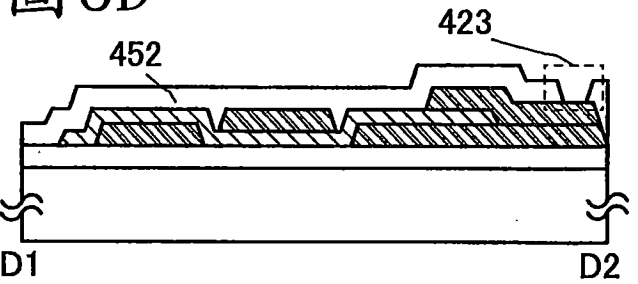


圖 8E

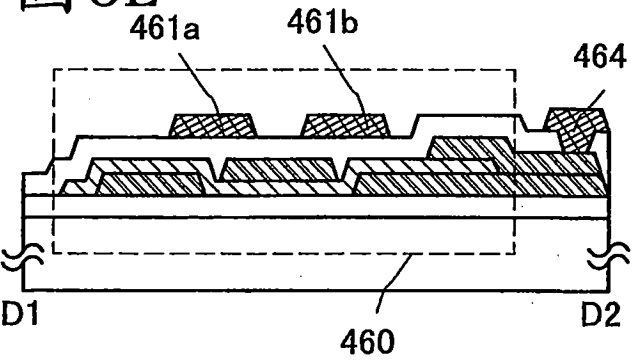


圖 9A

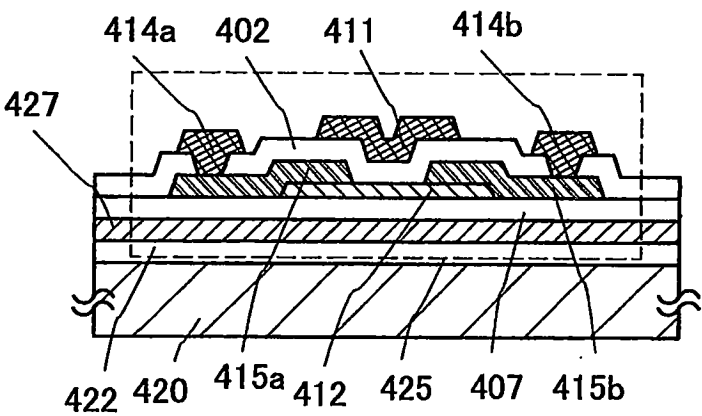


圖 9B

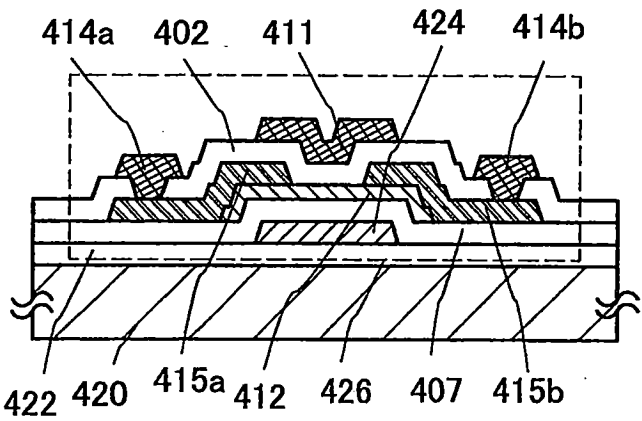


圖 10A

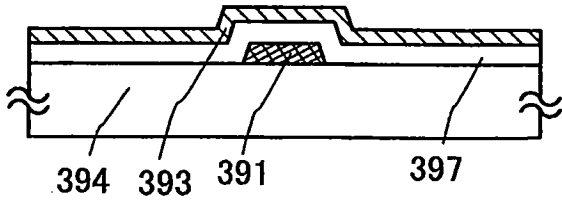


圖 10B

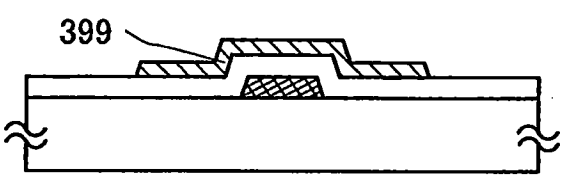


圖 10C

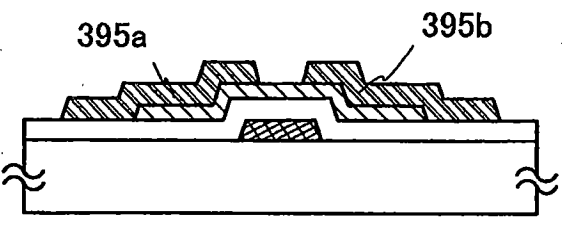


圖 10D

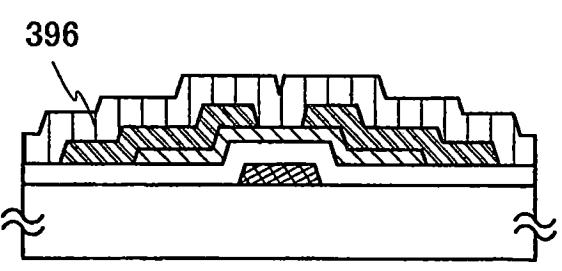


圖 10E

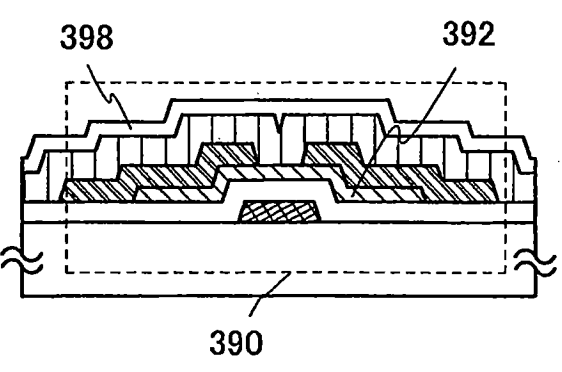


圖 11

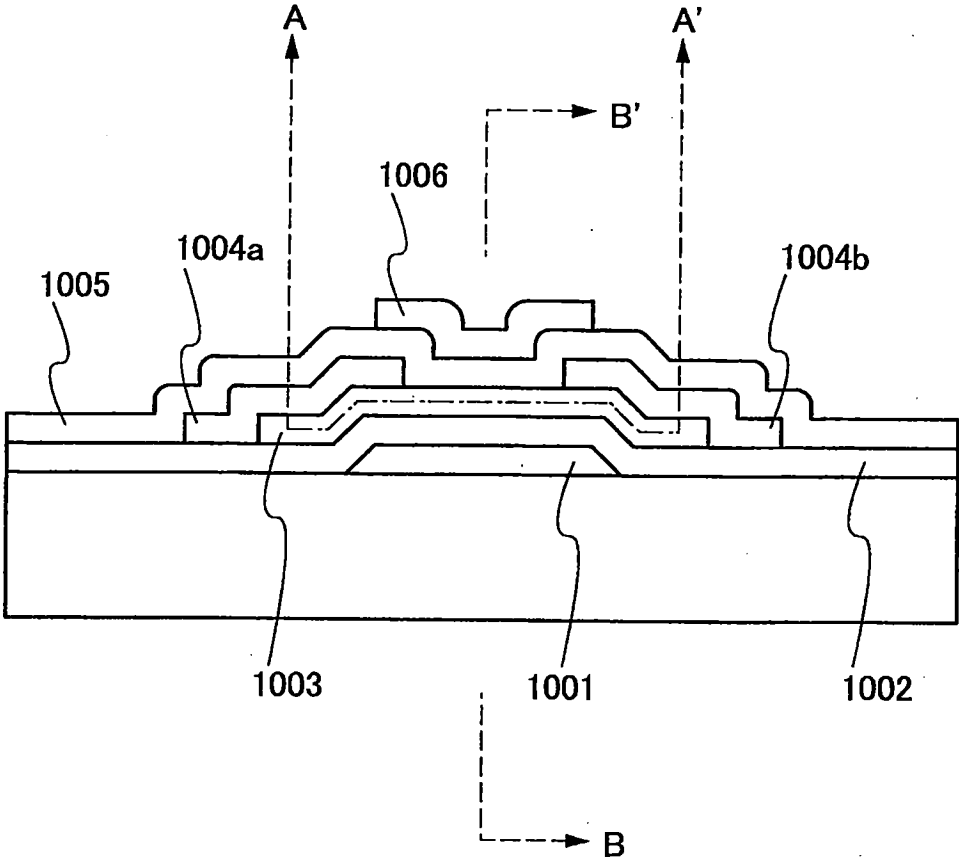


圖 12A

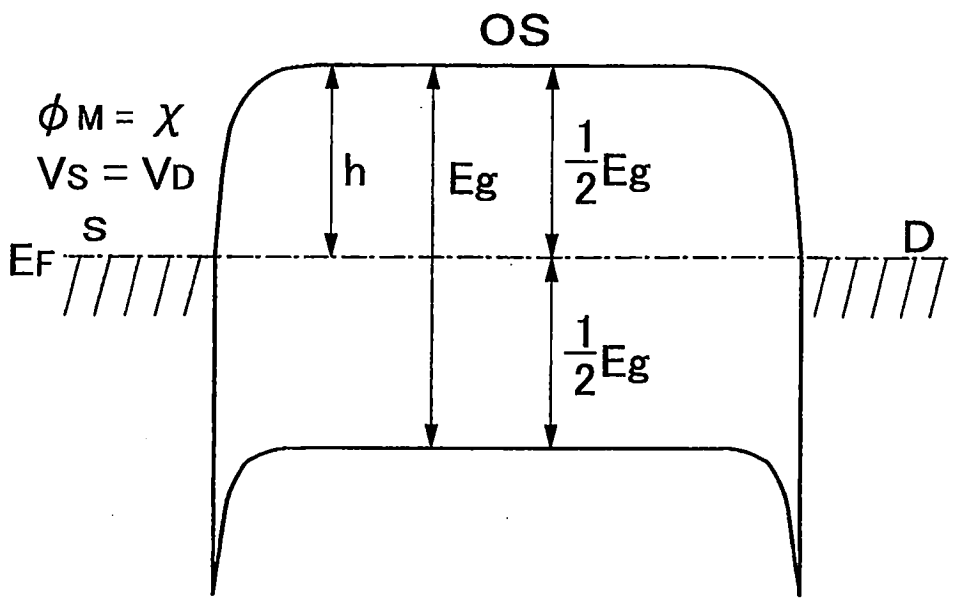


圖 12B

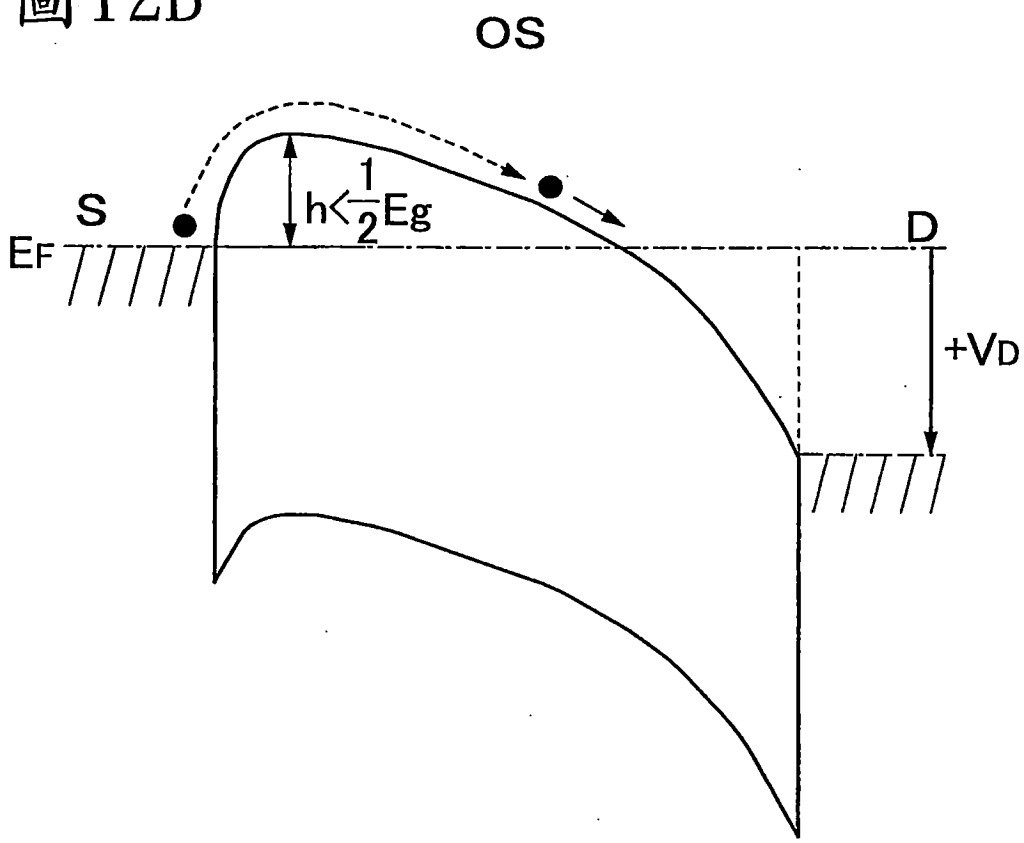


圖 13A

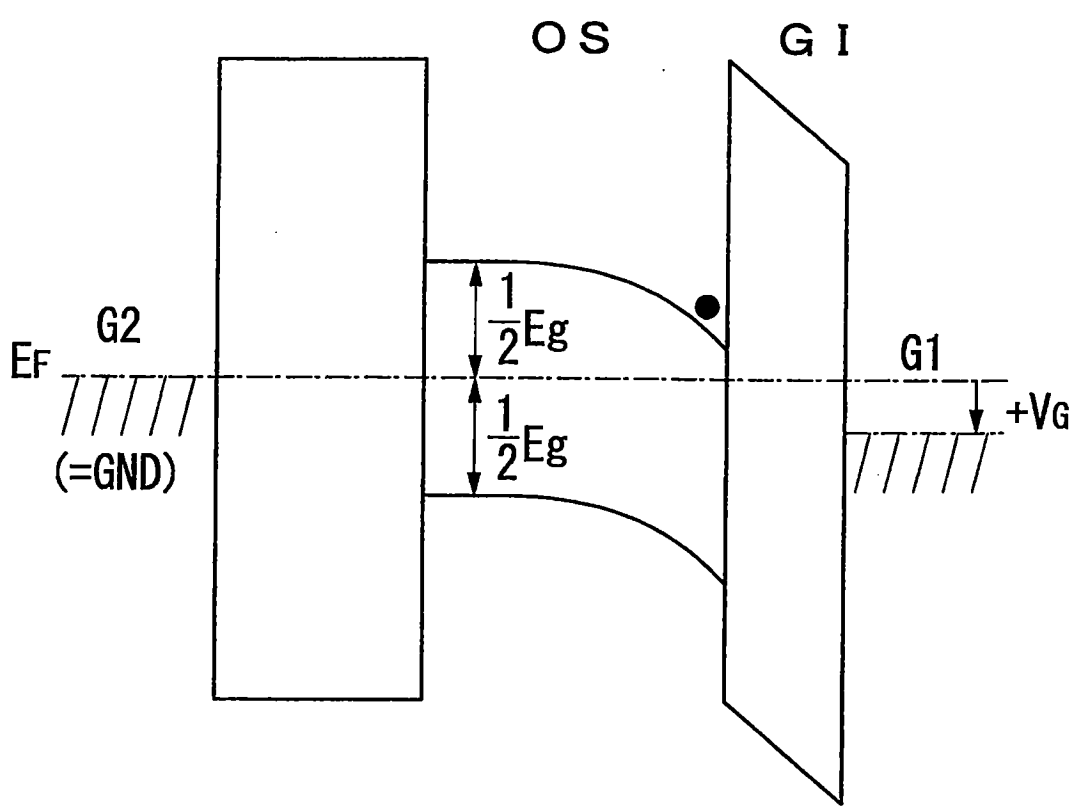


圖 13B

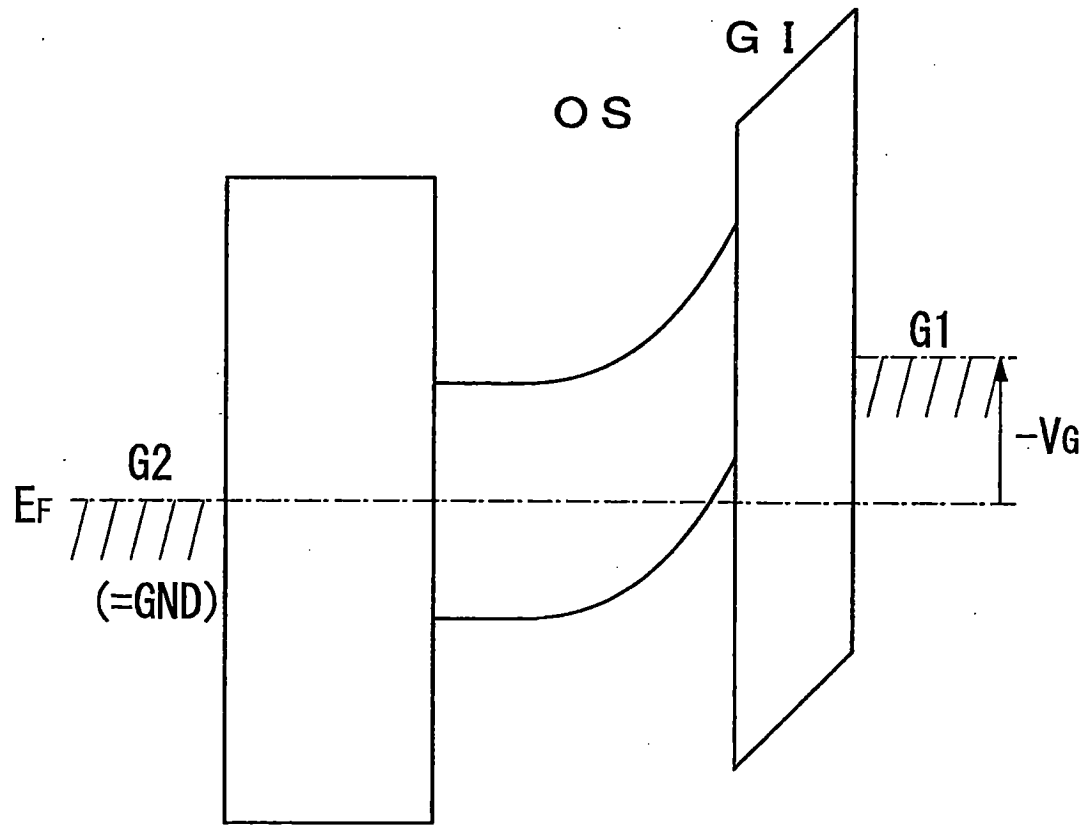


圖 14

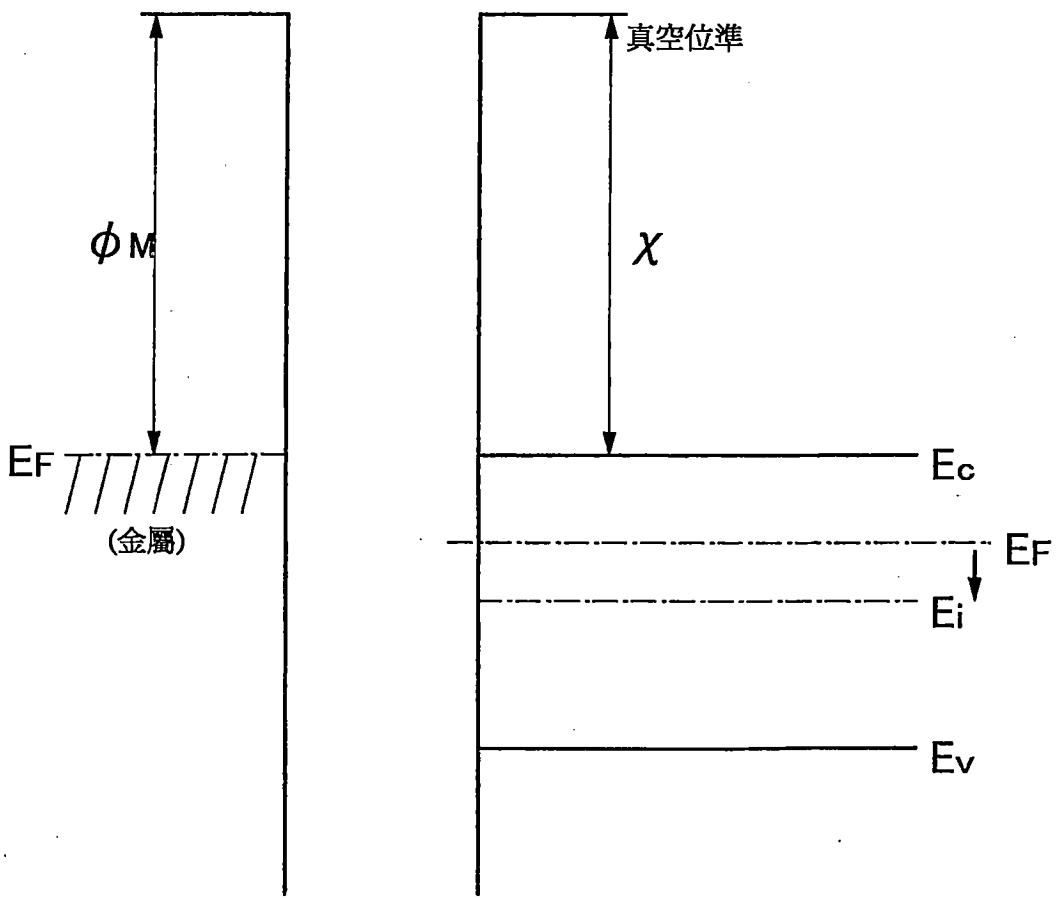


圖 15

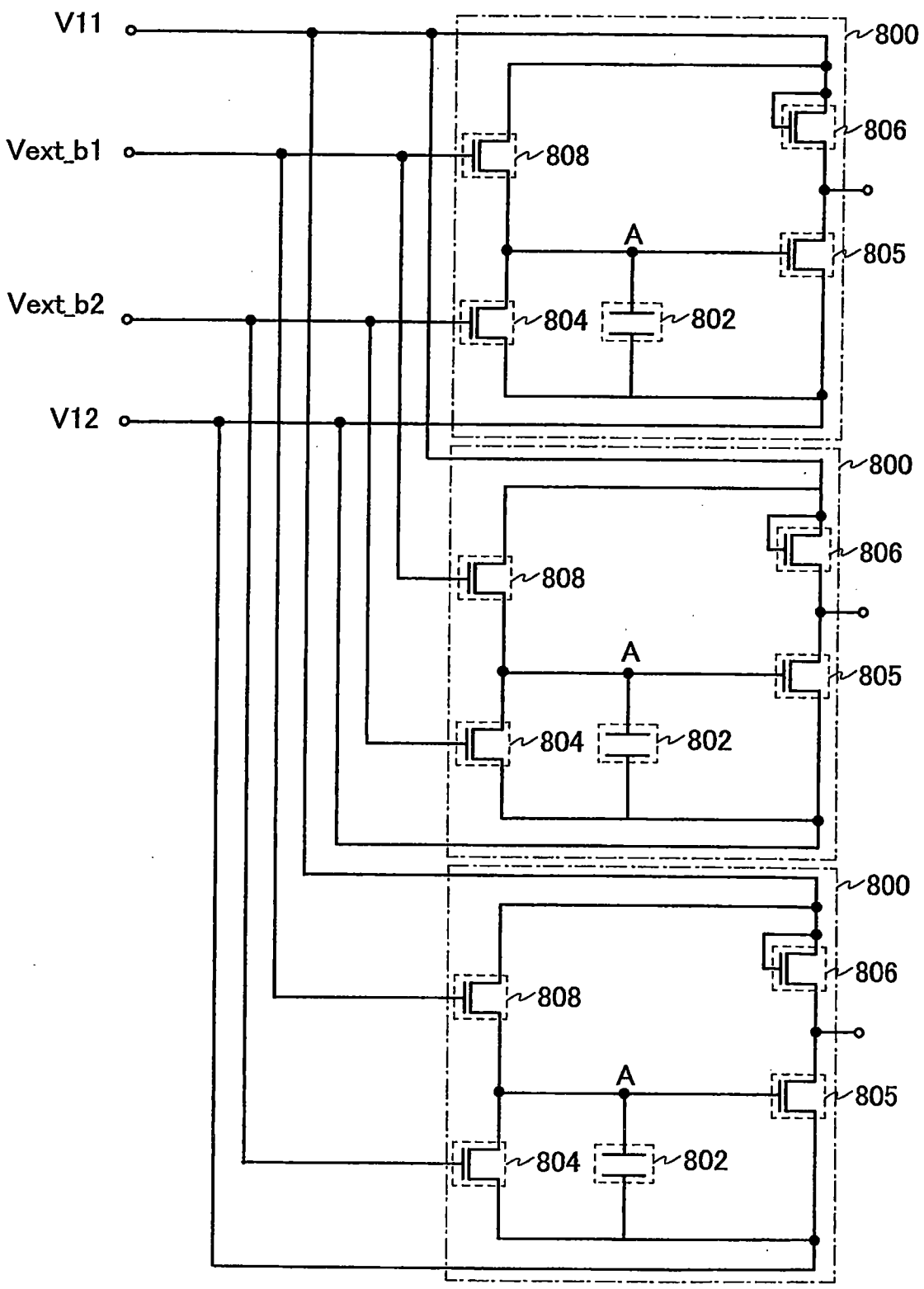


圖 16

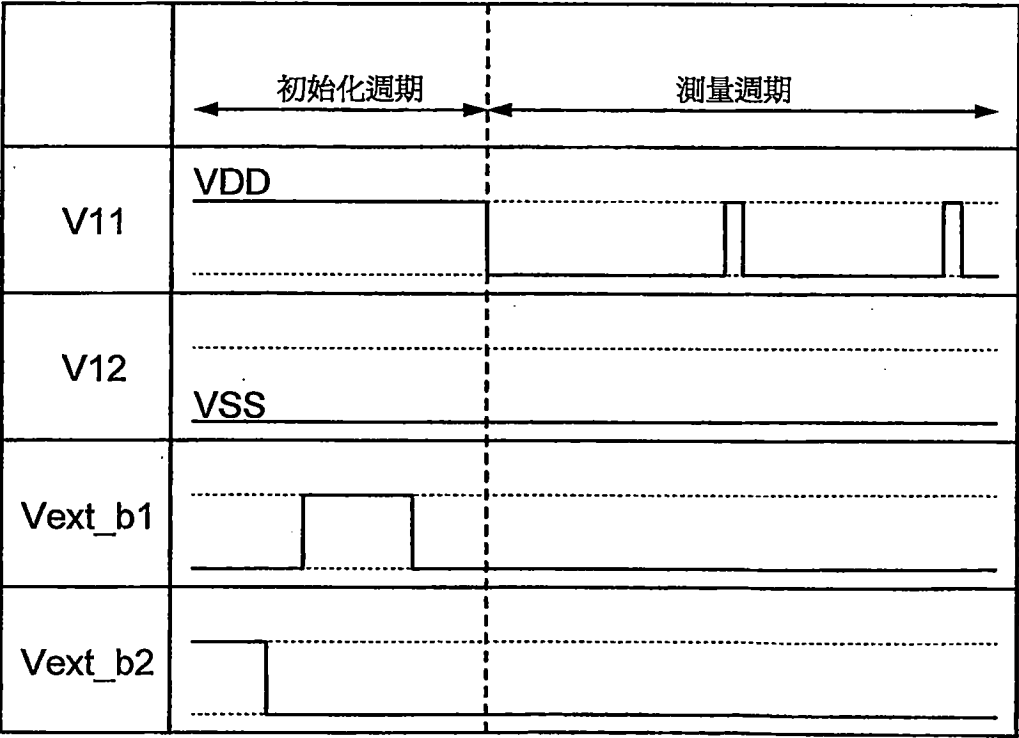


圖 17

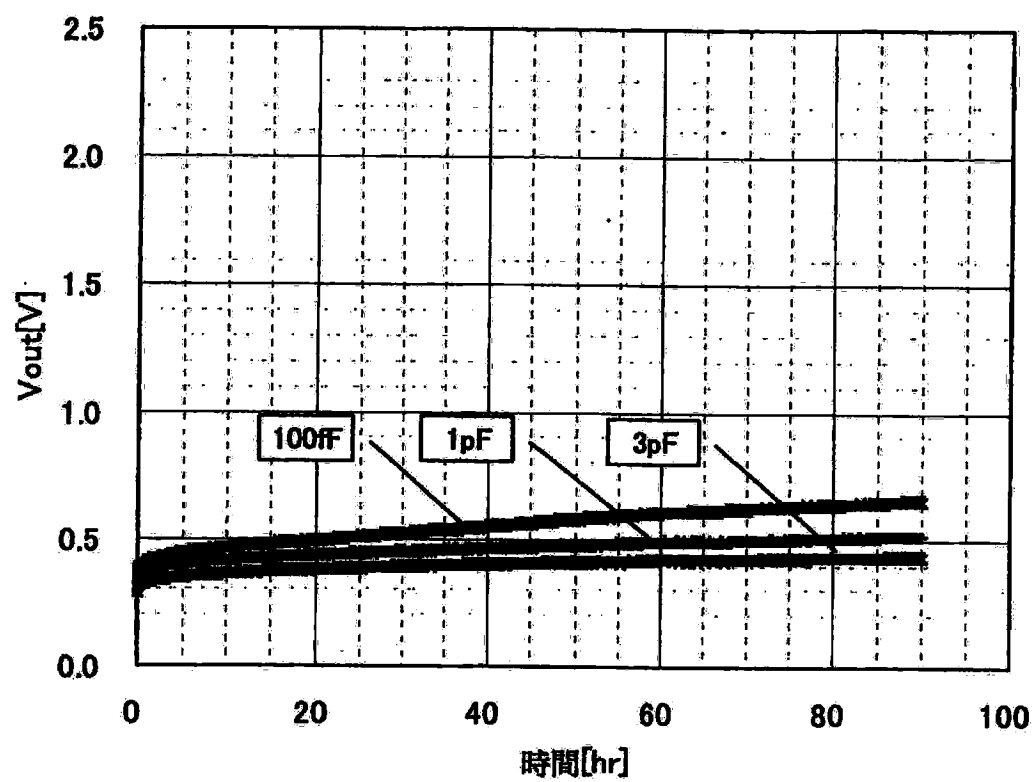


圖 18

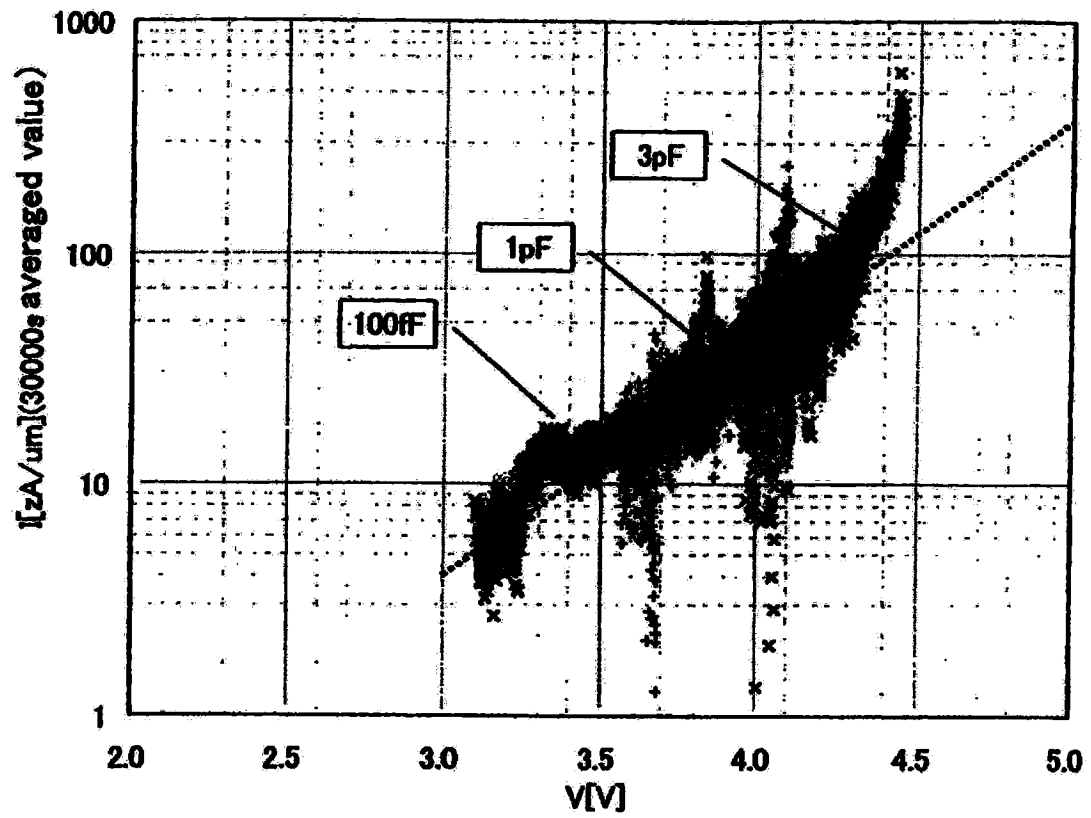


圖 19

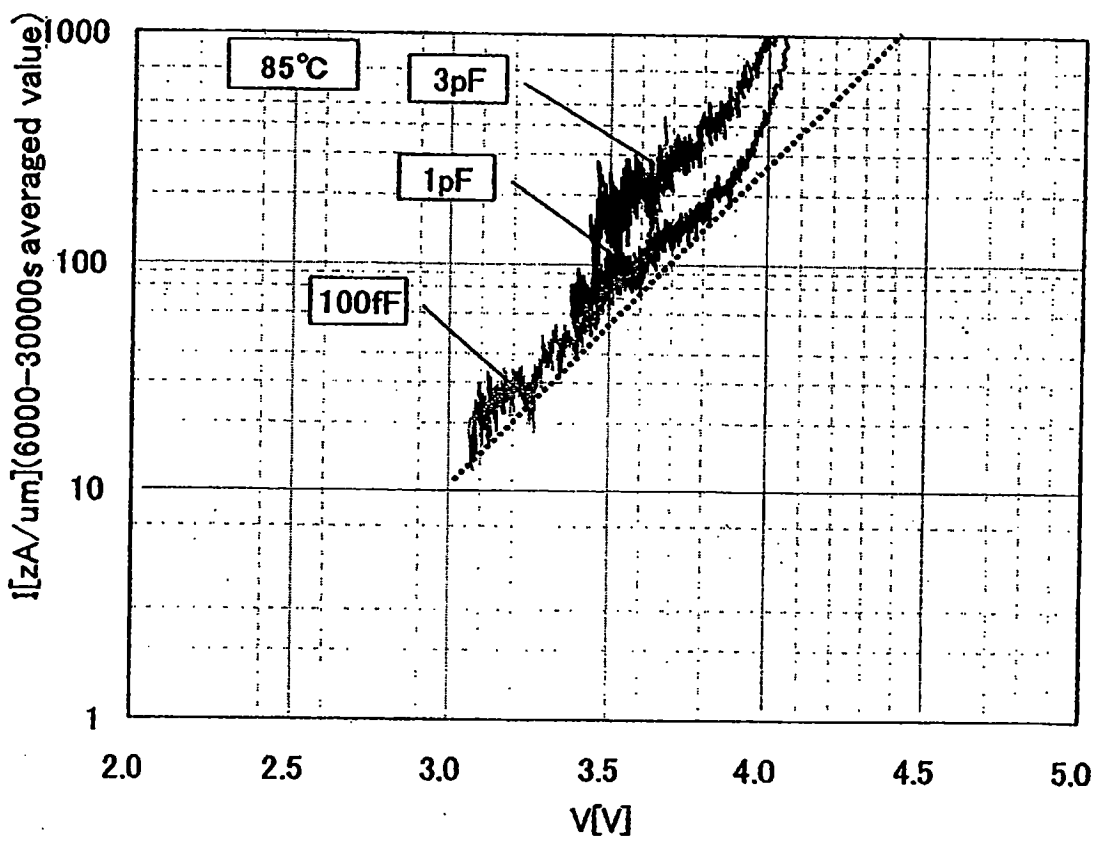


圖 20A

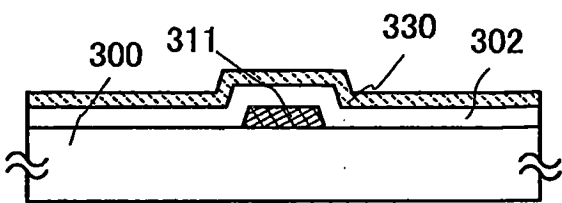


圖 20B

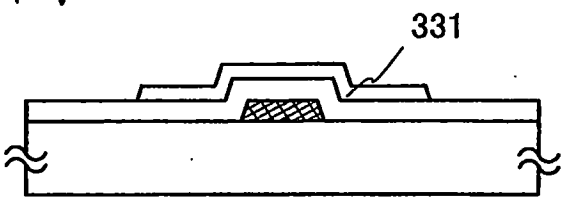


圖 20C

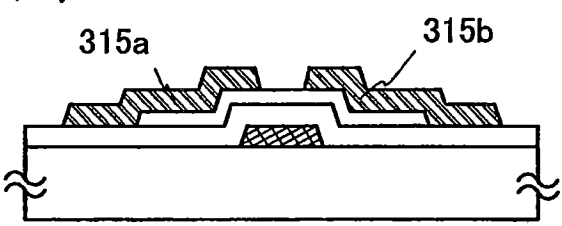


圖 20D

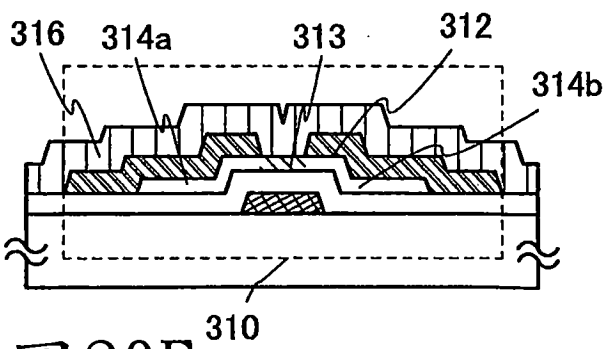


圖 20E

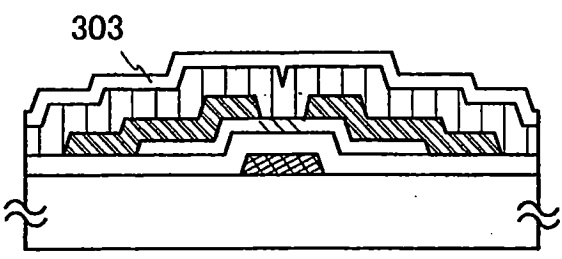


圖21A

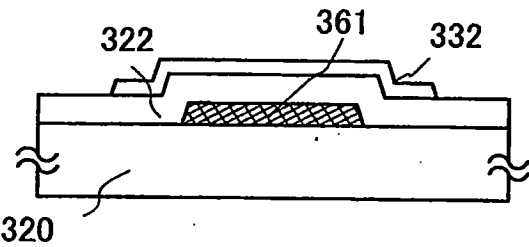


圖21B

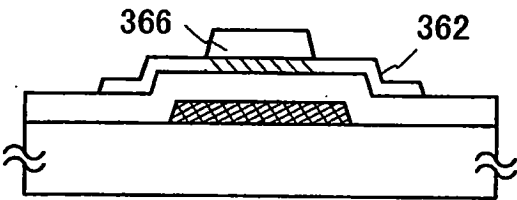


圖21C

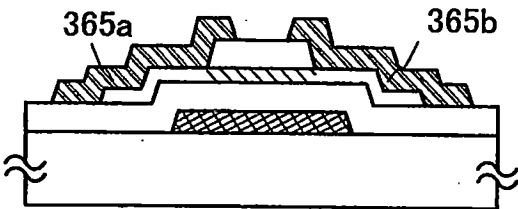


圖21D

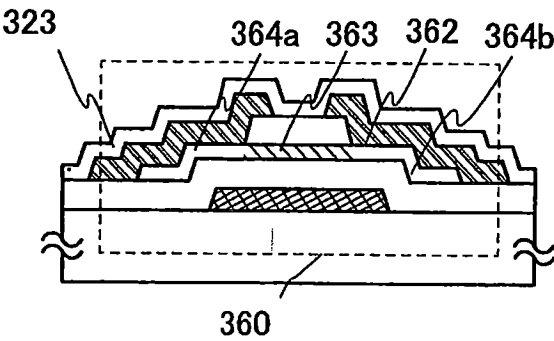


圖 22A

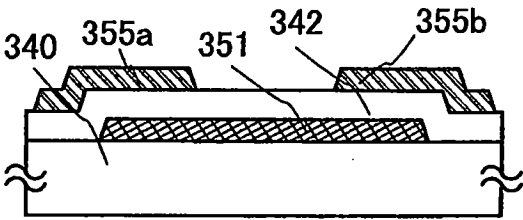


圖 22B

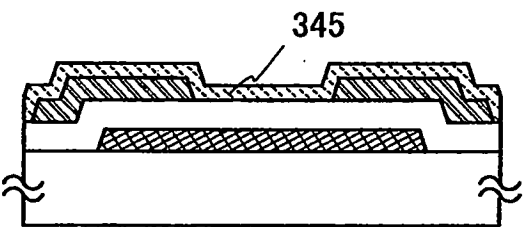


圖 22C

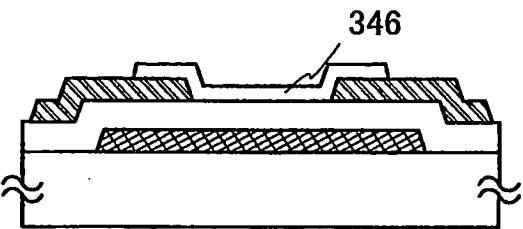


圖 22D

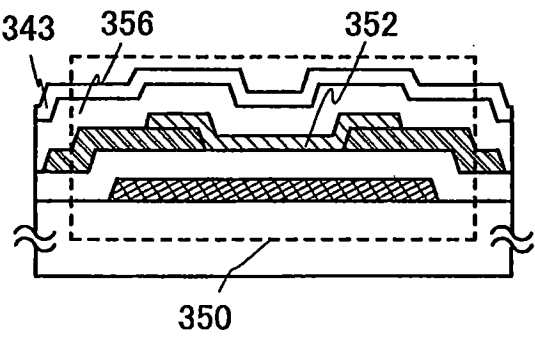


圖 23

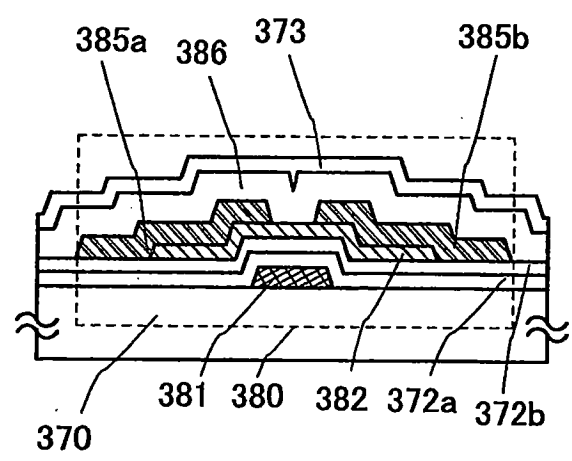


圖 24A

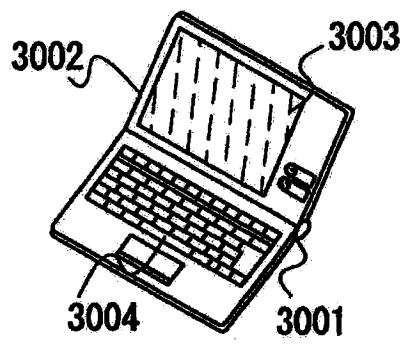
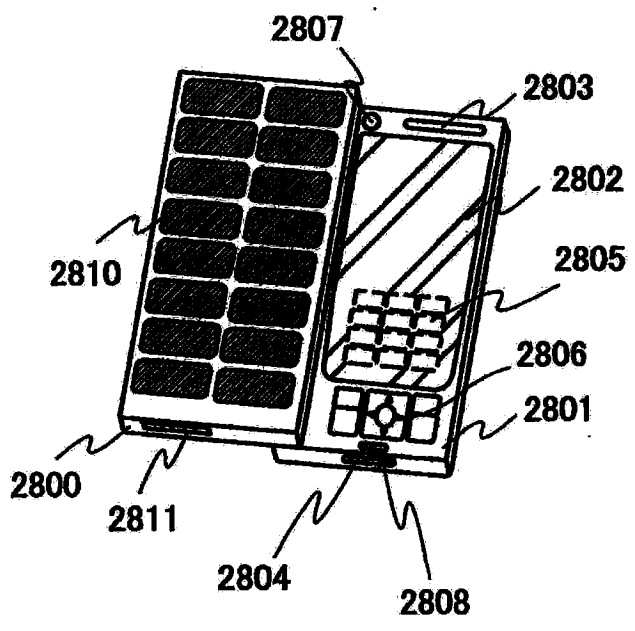


圖 24B



【代表圖】

【本案指定代表圖】：第(1)圖。

【本代表圖之符號簡單說明】：

101：電晶體

102：電容

N111：節點

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無

申請專利範圍

1. 一種半導體裝置，包含：

於基底上的第一電極；

於該第一電極上的氧化物半導體層；

於該氧化物半導體層上的第二電極；

於該氧化物半導體層上的第三電極；

於該氧化物半導體層上的第一絕緣層；及

於該第一絕緣層上的第四電極，

其中該第二電極與該氧化物半導體層接觸，

其中該第三電極與該氧化物半導體層及該第一電極接觸，

其中部分之該第四電極與該氧化物半導體層重疊，該第一絕緣層被夾置於其間，

其中該第四電極包含開口部，

其中該第二電極包含第一區域，該第一區域與該開口部重疊，

其中該氧化物半導體層包含第二區域，該第二區域介於該第一電極與該第三電極之間，

其中該第一電極與該第三電極於該第二區域部分地彼此重疊，以及

其中該第二電極與該第三電極之至少一者包含銅。

2. 如申請專利範圍第 1 項之半導體裝置，該半導體裝置為頂部閘極電晶體。

3. 如申請專利範圍第 1 項之半導體裝置，其中該第

二電極與該第三電極包含相同材料。

4. 如申請專利範圍第 1 項之半導體裝置，其中該氧化物半導體層包含銦、鎵和鋅。

5. 如申請專利範圍第 1 項之半導體裝置，其中該第一電極與該第二電極包含鈦。

6. 如申請專利範圍第 1 項之半導體裝置，其中該氧化物半導體層具有微晶膜或多晶膜。

7. 如申請專利範圍第 1 項之半導體裝置，其中該第四電極具有包含鉬、鈦和銅的堆疊電極層。