(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年12月24日(24.12.2020)

WIPO | PCT

(10) 国際公開番号
WO 2020/254909 A1

(51) 国際特許分類:
G06G 7/60 (2006.01) *G06N 3/063* (2006.01)
H01L 29/786 (2006.01)

(21) 国際出願番号： PCT/IB2020/055352

(22) 国際出願日： 2020年6月8日(08.06.2020)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(30) 優先権データ：
特願 2019-115347 2019年6月21日(21.06.2019) JP
特願 2019-137473 2019年7月26日(26.07.2019) JP
特願 2019-163598 2019年9月9日(09.09.2019) JP
特願 2019-200140 2019年11月1日(01.11.2019) JP
特願 2019-211005 2019年11月22日(22.11.2019) JP
特願 2019-221167 2019年12月6日(06.12.2019) JP

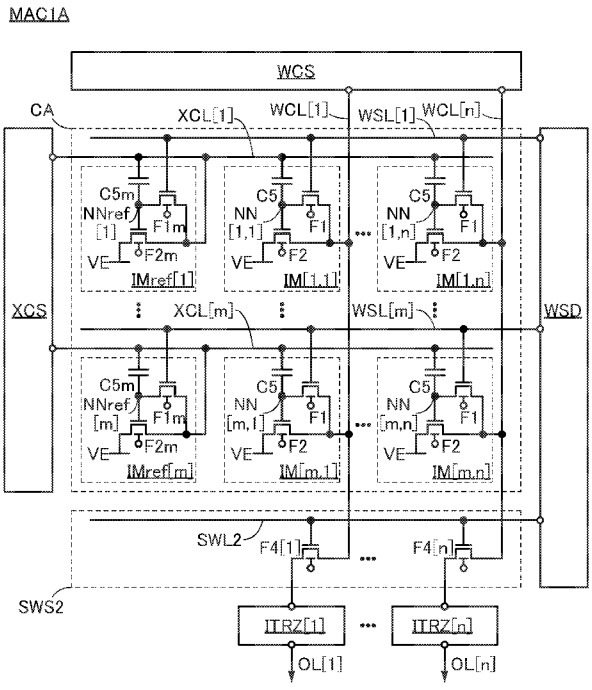
(71) 出願人: 株式会社半導体エネルギー研究所 (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) [JP/JP]; 〒2430036 神奈川県厚木市長谷３９８ Kanagawa (JP).

(72) 発明者: 黒川義元 (KUROKAWA, Yoshiyuki); 〒2430036 神奈川県厚木市長谷３９８株式会社半導体エネルギー研究所内 Kanagawa (JP). 上妻宗広 (KOZUMA, Munehiro); 〒2430036 神奈川県厚木市長谷３９８株式会社半導体エネルギー研究所内 Kanagawa (JP). 青木健 (AOKI, Takeshi); 〒2430036 神奈川県厚木市長谷３９８株式会社半導体エネルギー研究所内 Kanagawa (JP).

(54) **Title:** SEMICONDUCTOR DEVICE AND ELECTRONIC APPARATUS

(54) 発明の名称： 半導体装置、及び電子機器

図5



(57) **Abstract:** Provided is a semiconductor device that has low power consumption and is resistant to high temperatures. A semiconductor device that has first and second circuits, first and second cells, and first and second wirings. The first cell has a first transistor, and the second cell has a second transistor. The first and second transistors operate in a sub-threshold region. The first cell is electrically connected to the first circuit via the first wiring, the first cell is electrically connected to the second circuit via the second wiring, and the second cell is electrically connected to the second circuit via the second

WO 2020/254909 A1

[続葉有]

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

wiring. The first cell programs the current flowing in the first transistor to be a first current, and the second cell programs the current flowing in the second transistor to be a second current. Then, a potential that corresponds to the second current is inputted from the second wiring into the first cell. Then, as a result of a third current being passed from the second circuit to change the potential in the second wiring, the first cell outputs a fourth current that corresponds to the change in potential and the first current.

(57) 要約:消費電力が低く、高温に強い半導体装置を提供する。 第１、第２回路と、第１、第２セルと、第１、第２配線と、を有する半導体装置である。第１セル は第１トランジスタを有し、第２セルは第２トランジスタを有する。なお、第１、第２トランジス タは、サブスレッショルド領域で動作する。第１セルは第１配線を介して第１回路に電気的に接続 され、第１セルは第２配線を介して第２回路に電気的に接続され、第２セルは第２配線を介して第 ２回路に電気的に接続されている。第１セルは第１トランジスタに流れる電流を第１電流にプログ ラミングし、第２セルは第２トランジスタに流れる電流を第２電流にプログラミングする。このとき、第２電流に応じた電位が第２配線から第１セルに入力される。次に、第２回路から第３電流を 流して、第２配線の電位を変化させることで、第１セルは当該電位の変化量と第１電流に応じた第４電流を出力する。

発明の名称

半導体装置、及び電子機器

技術分野

［０００１］

本発明の一態様は、半導体装置、及び電子機器に関する。

［０００２］

なお本発明の一態様は、上記の技術分野に限定されない。本明細書等で開示する発明の技術分野は、物、駆動方法、又は、製造方法に関するものである。又は、本発明の一態様は、プロセス、マシン、マニュファクチャ、又は、組成物（コンポジション・オブ・マター）に関するものである。そのため、より具体的に本明細書で開示する本発明の一態様の技術分野としては、半導体装置、表示装置、液晶表示装置、発光装置、蓄電装置、撮像装置、記憶装置、信号処理装置、センサ、プロセッサ、電子機器、システム、それらの駆動方法、それらの製造方法、又はそれらの検査方法を一例として挙げることができる。

背景技術

［０００３］

現在、人間の脳の仕組みを模した集積回路の開発が盛んに進められている。当該集積回路は、脳の仕組みが電子回路として組み込まれており、人間の脳の「ニューロン」と「シナプス」に相当する回路を有する。そのため、そのような集積回路を、「ニューロモーフィック」、「ブレインモーフィック」、又は「ブレインインスパイア」と呼ぶこともある。当該集積回路は、非ノイマン型アーキテクチャを有し、処理速度の増加に伴って消費電力が大きくなるノイマン型アーキテクチャと比較して、極めて少ない消費電力で並列処理を行えると期待されている。

［０００４］

「ニューロン」と「シナプス」とを有する神経回路網を模した情報処理のモデルは、人工ニューラルネットワーク（ＡＮＮ）と呼ばれる。人工ニューラルネットワークを用いることで、人間並み、もしくは、人間を超える精度での推論も可能である。人工ニューラルネットワークでは、ニューロン出力の重み付け和の演算、すなわち、積和演算が主要な演算である。

［０００５］

非特許文献１には、不揮発性メモリ素子を用いた積和演算回路が提案されている。当該積和演算回路では、各メモリ素子において、チャネル形成領域にシリコンを有するトランジスタのサブスレッショルド領域での動作を利用して、各メモリ素子に格納した乗数に対応したデータと被乗数に対応した入力データとの乗算に対応した電流を出力する。また、各列のメモリ素子が出力する電流の和により、積和演算に対応したデータを取得する。当該積和演算回路は、内部にメモリ素子を有しているため、乗算、加算において外部のメモリからのデータ読み出し及び書き込みを行わなくすることができる。このため、読み出し及び書き込みなどに起因するデータ転送の回数を少なくすることができるため、消費電力を低くできると期待されている。

［先行技術文献］

［非特許文献］

［０００６］

［非特許文献１］Ｘ．Ｇｕｏ　ｅｔ　ａｌ．，“Ｆａｓｔ，　Ｅｎｅｒｇｙ－Ｅｆｆｉｃｉｅｎｔ，

Ｒｏｂｕｓｔ，　ａｎｄ　Ｒｅｐｒｏｄｕｃｉｂｌｅ　Ｍｉｘｅｄ－Ｓｉｇｎａｌ　Ｎｅｕｒｏｍｏｒｐｈｉｃ　Ｃｌａｓｓｉｆｉｅｒ　Ｂａｓｅｄ　ｏｎ　Ｅｍｂｅｄｄｅｄ　ＮＯＲ　Ｆｌａｓｈ　Ｍｅｍｏｒｙ　Ｔｅｃｈｎｏｌｏｇｙ”　ＩＥＤＭ２０１７，　ｐｐ．１５１－１５４．

発明の概要

発明が解決しようとする課題

［０００７］

チャネル形成領域にシリコンを有するトランジスタは、温度変化によって、トランジスタ特性や電界効果移動度などが変化しやすい。特に、積和演算回路などを集積回路として形成した場合、駆動した際の発熱によって集積回路の温度が上がり、集積回路に含まれているトランジスタの特性が変化し、正しい演算を行うことができない場合がある。

［０００８］

また、積和演算をデジタル回路で実行する場合、乗数となるデジタルデータ（乗数データ）と被乗数となるデジタルデータ（被乗数データ）の乗算をデジタル乗算回路にて実行する。その後、当該乗算で得られたデジタルデータ（積データ）の加算をデジタル加算回路にて実行し、当積和演算の結果としてデジタルデータ（積和データ）を取得する。デジタル乗算回路、及びデジタル加算回路は、多ビットの演算を取り扱える仕様であることが好ましい。しかしながら、この場合、デジタル乗算回路、及びデジタル加算回路のそれぞれの回路規模を大きくする必要があるため、回路面積が増大し、また、消費電力も大きくなる場合がある。

［０００９］

また、ニューラルネットワークの演算を行う演算回路とセンサとを組み合わせることで、電子機器などに様々な情報を認識させることができる場合がある。例えば、センサとして光センサ（例えば、フォトダイオードなど）を当該演算回路と組み合わせることで、光センサによって得られた画像データから、顔認識、画像認識などのパターン認識を行うことができる。また、例えば、センサとして音センサを当該演算回路と組み合わせることで、音センサによって得られた音声データから、声紋認識、異常音などの検知などを行うことができる。上記の通り、光センサと当該演算回路とを組み合わせることによって、人間の「視覚」に対応する電子機器、システムなどを構成することができる場合がある。また、音センサと当該演算回路とを組み合わせることによって、人間の「聴覚」に対応する電子機器、システムなどを構成することができる場合がある。

［００１０］

臭覚センサは、ガス漏れの検知などのように、特定のニオイ成分のみを検出するものがほとんどである。空気中に含まれているニオイ成分として、例えば、細菌、ウィルス、バイオエアロゾル、危険・有害物質などが挙げられるが、１個の臭覚センサで、それらのニオイ成分を検出して分類することは難しい。これは、ニオイを形成する分子が４０万種以上あって、そのうちの数百から数千までの分子が組み合わさって１つのニオイができているため、１つのニオイを判断するにはその分子の組み合わせ（種類、割合など）を的確に把握する必要があるからである。つまり、１個の臭覚センサで空気中のニオイを正確に判定するには、数多くのニオイ分子を検出するための検出用素子を設ける必要があるため、臭覚センサ自体が大きくなる場合がある。

［００１１］

また、ニオイ成分の検出用素子として、例えば、感応膜を用いた素子などが提案されている。当該感応膜は、ニオイ分子が吸着することで伸び縮みする性質を有する。当該感応膜を歪みゲージ上

に形成することで、ニオイ分子が当該感応膜に吸着した際の伸び縮みを歪みとして電気信号に変換することができるため、歪みゲージ上に形成した感応膜は、臭覚センサのニオイ分子の検出用素子として、利用することができる。但し、当該電気信号は、微弱であるため、例えば、増幅回路、アナログデジタル変換回路などが必要になるため、検出用素子の周辺回路が大きくなる場合がある。そのため、臭覚センサの小型化、低消費電力化が難しいとされている。

［００１２］

また、産業用のマニピュレータ（ロボットアームと呼ぶ場合がある）には、触覚センサなどが備えられている。マニピュレータで物体を掴む、という動作を確実に実行するには、マニピュレータのハンド部と物体との点接触の有無を制御するだけでなく、力を入れる方向、力の大きさ、接触する面積、などを制御する必要がある。また、医師の触診では、しこりの硬さの微妙な違いや大きさを判別する必要がある。これらの用途には、面内の圧力分布を精密に検出できる触覚センサが必要である。

［００１３］

触覚センサは、一例として、点圧力検出できる圧力センサが密に並べられた回路を有する。また、当該圧力センサは、歪みゲージを利用した構成が提案されている。つまり、当該圧力センサは、臭覚センサと同様に、圧力によって生じた歪みゲージの伸び縮みを電気信号に変換して、電気信号を出力する。なお、当該電気信号は、微弱であるため、例えば、増幅回路、アナログデジタル変換回路などが必要となり、検出用素子の周辺回路が大きくなる場合がある。そのため、触覚センサの小型化、低消費電力化が難しいとされている。

［００１４］

また、飲食物や飲み薬（本明細書等では、これらを被評価物質と呼称する）などの味を客観的に評価するために、味覚センサが設けられた、味を評価する装置の開発が進められている。味覚センサは、例えば、ポリ塩化ビニルに脂質を溶け込ませた脂質膜を取り付けた検知電極と、参照電極と、を有する。そして、当該検知電極に被評価物質を構成する呈味成分が吸着することによって、参照電極との間に電位差が生じる。味を決める要素としては、五基本味である甘味、苦味、酸味、旨味、塩味の５つ、痛覚を刺激する辛味、渋味など、各々対応する味覚センサを用いることで、各々の味覚センサにおける電位差を検出することができる。このとき、当該味覚センサは、当該電位差に応じた電気信号を出力することができ、当該電位差や当該電気信号を解析することで、味の違いを判定することができる。

［００１５］

ただし、例えば、甘味の呈味成分としては、ショ糖、ブドウ糖、果糖、オリゴ糖、キシリトール、ソルビトール、合成甘味料など様々あり、１個の味覚センサでこれらの呈味成分を定量的に評価することは難しい。つまり、甘味を判定するだけでも複数の味覚センサが必要となる。同様に、苦味、酸味、旨味、塩味のそれぞれについても同様に、呈味成分の種類に応じて、複数個の味覚センサを用意する必要がある。

［００１６］

また、当該味覚センサから出力される電気信号は、臭覚センサ、圧力センサと同様に微弱であるため、例えば、増幅回路、アナログデジタル変換回路などを用いる必要がある。このため、味覚センサを備える機器の小型化、機器の低消費電力化が難しいとされている。

［００１７］

なお、痛覚を刺激する辛味、渋味などは、味覚神経で感じ取る味ではないが、本明細書等では、便宜上、辛味、渋味などを判定するセンサも味覚センサと呼称するものとする。

［００１８］

本発明の一態様は、積和演算が可能な半導体装置を提供することを課題の一とする。又は、本発明の一態様は、消費電力が低い半導体装置を提供することを課題の一とする。又は、本発明の一態様は、回路面積が低減された半導体装置を提供することを課題の一とする。又は、本発明の一態様は、熱による動作能力の低下を抑えた半導体装置を提供することを課題の一とする。

［００１９］

又は、本発明の一態様は、新規な半導体装置などを提供することを課題の一とする。又は、本発明の一態様は、上記半導体装置を有する電子機器を提供することを課題の一とする。

［００２０］

又は、本発明の一態様は、様々なニオイ分子の検出が可能な臭覚センサを提供することを課題の一とする。又は、本発明の一態様は、消費電力が低い臭覚センサを提供することを課題の一とする。又は、本発明の一態様は、回路面積が低減された臭覚センサを提供することを課題の一とする。

［００２１］

又は、本発明の一態様は、様々な面内の圧力分布の検出が可能な圧力センサを提供することを課題の一とする。又は、本発明の一態様は、消費電力が低い圧力センサを提供することを課題の一とする。又は、本発明の一態様は、回路面積が低減された圧力センサを提供することを課題の一とする。

［００２２］

又は、本発明の一態様は、複数の呈味成分を含む物質の味の評価が可能な味覚センサを提供することを課題の一とする。又は、本発明の一態様は、消費電力が低い味覚センサを提供することを課題の一とする。又は、本発明の一態様は、回路面積が低減された味覚センサを提供することを課題の一とする。

［００２３］

なお、本発明の一態様の課題は、上記列挙した課題に限定されない。上記列挙した課題は、他の課題の存在を妨げるものではない。なお他の課題は、以下の記載で述べる、本項目で言及していない課題である。本項目で言及していない課題は、当業者であれば明細書又は図面等の記載から導き出せるものであり、これらの記載から適宜抽出することができる。なお、本発明の一態様は、上記列挙した課題、及び他の課題のうち、少なくとも一つの課題を解決するものである。なお、本発明の一態様は、上記列挙した課題、及び他の課題の全てを解決する必要はない。

課題を解決するための手段

［００２４］

（１）

本発明の一態様は、第１回路と、第２回路と、第１セルと、第２セルと、第１配線と、第２配線と、を有する半導体装置である。第１セルは、第１トランジスタを有し、第２セルは、第２トランジスタを有する。第１セルは、第１配線を介して、第１回路に電気的に接続され、第１セルは、第２配線を介して、第２回路に電気的に接続され、第２セルは、第２配線を介して、第２回路に電気的に接続されている。第１回路は、第１回路から第１配線を介して、第１セルに第１電流を流す機能を有し、第２回路は、第２回路から第２配線を介して、第２セルに第２電流を流す機能と、第２

回路から第２配線を介して、第１セル及び第２セルのそれぞれに第２電流に応じた第１電位を与える機能と、を有する。第１セルは、第１トランジスタの第１端子と第２端子との間に流れる電流を第１電流に設定する機能を有し、第２セルは、第２トランジスタの第１端子と第２端子との間に流れる電流を第２電流に設定する機能を有する。第２回路は、第２配線に流れる第２電流を第３電流に変化させることで、第１セル及び第２セルのそれぞれに与えられている第１電位を第２電位に変化させる機能を有する。第１セルは、第１トランジスタの第１端子と第２端子との間に流れる第１電流を、第１電位と第２電位との差に応じた、第４電流に変化させる機能を有する。なお、第１電流、及び第４電流のそれぞれの量は、第１トランジスタがサブスレッショルド領域で動作するときに流れる電流量であって、第２電流、及び第３電流のそれぞれの量は、第２トランジスタがサブスレッショルド領域で動作するときに流れる電流量である。

［００２５］

（２）

又は、本発明の一態様は、上記（１）において、第１トランジスタ、及び第２トランジスタのそれぞれは、チャネル形成領域に金属酸化物を有する構成としてもよい。

［００２６］

（３）

又は、本発明の一態様は、第１回路と、第２回路と、第１セルと、第２セルと、第１配線と、第２配線と、を有する半導体装置である。第１セルは、第１トランジスタと、第３トランジスタと、第１容量と、を有し、第２セルは、第２トランジスタと、第４トランジスタと、第２容量と、を有する。第１回路は、第１配線に電気的に接続され、第２回路は、第２配線に電気的に接続されている。また、第３トランジスタの第１端子は、第１トランジスタの第１端子と、第１配線と、に電気的に接続され、第３トランジスタの第２端子は、第１トランジスタのゲートと、第１容量の第１端子と、に電気的に接続され、第１容量の第２端子は、第２配線に電気的に接続されている。また、第４トランジスタの第１端子は、第２トランジスタの第１端子と、第２配線と、に電気的に接続され、第４トランジスタの第２端子は、第２トランジスタのゲートと、第２容量の第１端子と、に電気的に接続され、第２容量の第２端子は、第２配線に電気的に接続されている。第１回路は、第１回路から第１配線を介して、第１トランジスタの第１端子に第１電流を流す機能を有する。第２回路は、第２回路から第２配線を介して、第２トランジスタの第１端子に第２電流を流す機能と、第２回路から第２配線を介して、第１容量の第２端子及び第２容量の第２端子のそれぞれに第２電流に応じた第１電位を与える機能と、を有する。第１セルは、第１トランジスタの第１端子と第２端子との間に流れる第１電流を設定する機能を有し、第２セルは、第２トランジスタの第１端子と第２端子との間に流れる第２電流を設定する機能を有する。第２回路は、第２配線に流れる第２電流を第３電流に変化させることで、第１容量の第２端子及び第２容量の第２端子のそれぞれに与えられている第１電位を第２電位に変化させる機能を有する。第１セルは、第１トランジスタの第１端子と第２端子との間に流れる第１電流を、第１電位と第２電位との差に応じた、第４電流に変化させて流す機能を有する。なお、第１電流、及び第４電流のそれぞれの量は、第１トランジスタがサブスレッショルド領域で動作するときに流れる電流量であり、第２電流、及び第３電流のそれぞれの量は、第２トランジスタがサブスレッショルド領域で動作するときに流れる電流量である。

［００２７］

（４）

又は、本発明の一態様は、上記（３）において、第１乃至第４トランジスタのそれぞれは、チャネル形成領域に金属酸化物を有する構成としてもよい。

［００２８］

（５）

又は、本発明の一態様は、上記（１）乃至（４）のいずれか一において、第１回路は、第５トランジスタと、第６トランジスタと、を有する構成としてもよい。第６トランジスタは、第１ゲートと、第２ゲートと、を有し、第５トランジスタの第１端子は、第１配線に電気的に接続され、第５トランジスタの第２端子は、第６トランジスタの第１端子と、第６トランジスタの第１ゲートと、第６トランジスタの第２ゲートと、に電気的に接続されていることが好ましい。

［００２９］

（６）

又は、本発明の一態様は、上記（５）において、第５トランジスタ、及び第６トランジスタのそれぞれは、チャネル形成領域に金属酸化物を有する構成としてもよい。

［００３０］

（７）

又は、本発明の一態様は、上記（１）乃至（６）のいずれか一において、第２回路は、第７トランジスタと、第８トランジスタと、を有し、第８トランジスタは、第３ゲートと、第４ゲートと、を有し、第７トランジスタの第１端子は、第２配線に電気的に接続され、第７トランジスタの第２端子は、第８トランジスタの第１端子と、第８トランジスタの第３ゲートと、第８トランジスタの第４ゲートと、に電気的に接続されていることが好ましい。

［００３１］

（８）

又は、本発明の一態様は、上記（７）において、第７トランジスタ、及び第８トランジスタのそれぞれは、チャネル形成領域に金属酸化物を有する構成としてもよい。

［００３２］

（９）

又は、本発明の一態様は、上記（１）乃至（６）のいずれか一において、第２回路は、光センサを有する構成としてもよい。光センサは、第２配線に電気的に接続されている。また、光センサは、第１センシングを行うことで、光センサから第２配線に第２電流を流す機能と、第２センシングを行うことで、第２電流の量を第３電流の量に変化させる機能と、を有する。

［００３３］

（１０）

又は、本発明の一態様は、上記（１）乃至（６）のいずれか一において、第２回路は、センサを有する構成としてもよい。センサは、第２配線に電気的に接続されている。特に、センサは、ニオイ成分を検知する機能と、ニオイ成分を検知していない場合に、センサから第２配線に第２電流を流し、ニオイ成分を検知した場合に、第２電流の量を第３電流の量に変化させる機能と、を有する。

［００３４］

（１１）

又は、本発明の一態様は、上記（１）乃至（６）のいずれか一において、第２回路は、センサを

有する構成としてもよい。センサは、第２配線に電気的に接続されている。特に、センサは、物体の接触を検知する機能と、物体の接触を検知していない場合に、センサから第２配線に第２電流を流し、物体の接触を検知した場合に、第２電流の量を第３電流の量に変化させる機能と、を有する。

［００３５］

（１２）

又は、本発明の一態様は、上記（１）乃至（６）のいずれか一において、第２回路は、センサを有する構成としてもよい。センサは、第２配線に電気的に接続されている。特に、センサは、呈味成分を検知する機能と、呈味成分を検知していないときに、センサから第２配線に第２電流を流し、呈味成分を検知したときに、第２電流の量が第３電流の量に変化する機能と、を有する。

［００３６］

（１３）

又は、本発明の一態様は、上記（１）乃至（１２）のいずれか一の半導体装置と、筐体と、を有する電子機器である。なお、半導体装置は、積和演算を行う機能を有する。

［００３７］

なお、本明細書等において、半導体装置とは、半導体特性を利用した装置であり、半導体素子（トランジスタ、ダイオード、フォトダイオード等）を含む回路、同回路を有する装置等をいう。また、半導体特性を利用することで機能しうる装置全般をいう。例えば、集積回路、集積回路を備えたチップや、パッケージにチップを収納した電子部品は半導体装置の一例である。また、記憶装置、表示装置、発光装置、照明装置及び電子機器等は、それ自体が半導体装置であり、半導体装置を有している場合がある。

［００３８］

また、本明細書等において、ＸとＹとが接続されていると記載されている場合は、ＸとＹとが電気的に接続されている場合と、ＸとＹとが機能的に接続されている場合と、ＸとＹとが直接接続されている場合とが、本明細書等に開示されているものとする。したがって、所定の接続関係、例えば、図又は文章に示された接続関係に限定されず、図又は文章に示された接続関係以外のものも、図又は文章に開示されているものとする。Ｘ、Ｙは、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層など）であるとする。

［００３９］

ＸとＹとが電気的に接続されている場合の一例としては、ＸとＹとの電気的な接続を可能とする素子（例えば、スイッチ、トランジスタ、容量素子、インダクタ、抵抗素子、ダイオード、表示デバイス、発光デバイス、負荷など）が、ＸとＹとの間に１個以上接続されることが可能である。なお、スイッチは、オンオフが制御される機能を有している。つまり、スイッチは、導通状態（オン状態）、又は、非導通状態（オフ状態）になり、電流を流すか流さないかを制御する機能を有している。

［００４０］

ＸとＹとが機能的に接続されている場合の一例としては、ＸとＹとの機能的な接続を可能とする回路（例えば、論理回路（インバータ、ＮＡＮＤ回路、ＮＯＲ回路など）、信号変換回路（デジタルアナログ変換回路、アナログデジタル変換回路、ガンマ補正回路など）、電位レベル変換回路（電源回路（昇圧回路、降圧回路など）、信号の電位レベルを変えるレベルシフタ回路など）、電圧源、電流源、切り替え回路、増幅回路（信号振幅又は電流量などを大きく出来る回路、オペアン

プ、差動増幅回路、ソースフォロワ回路、バッファ回路など）、信号生成回路、記憶回路、制御回路など）が、ＸとＹとの間に１個以上接続されることが可能である。なお、一例として、ＸとＹとの間に別の回路を挟んでいても、Ｘから出力された信号がＹへ伝達される場合は、ＸとＹとは機能的に接続されているものとする。

［００４１］

なお、ＸとＹとが電気的に接続されている、と明示的に記載する場合は、ＸとＹとが電気的に接続されている場合（つまり、ＸとＹとの間に別の素子又は別の回路を挟んで接続されている場合）と、ＸとＹとが直接接続されている場合（つまり、ＸとＹとの間に別の素子又は別の回路を挟まずに接続されている場合）とを含むものとする。

［００４２］

また、例えば、「ＸとＹとトランジスタのソース（又は第１の端子など）とドレイン（又は第２の端子など）とは、互いに電気的に接続されており、Ｘ、トランジスタのソース（又は第１の端子など）、トランジスタのドレイン（又は第２の端子など）、Ｙの順序で電気的に接続されている。」と表現することができる。又は、「トランジスタのソース（又は第１の端子など）は、Ｘと電気的に接続され、トランジスタのドレイン（又は第２の端子など）はＹと電気的に接続され、Ｘ、トランジスタのソース（又は第１の端子など）、トランジスタのドレイン（又は第２の端子など）、Ｙは、この順序で電気的に接続されている」と表現することができる。又は、「Ｘは、トランジスタのソース（又は第１の端子など）とドレイン（又は第２の端子など）とを介して、Ｙと電気的に接続され、Ｘ、トランジスタのソース（又は第１の端子など）、トランジスタのドレイン（又は第２の端子など）、Ｙは、この接続順序で設けられている」と表現することができる。これらの例と同様な表現方法を用いて、回路構成における接続の順序について規定することにより、トランジスタのソース（又は第１の端子など）と、ドレイン（又は第２の端子など）とを、区別して、技術的範囲を決定することができる。なお、これらの表現方法は、一例であり、これらの表現方法に限定されない。ここで、Ｘ、Ｙは、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など）であるとする。

［００４３］

なお、回路図上は独立している構成要素同士が電気的に接続しているように図示されている場合であっても、１つの構成要素が、複数の構成要素の機能を併せ持っている場合もある。例えば配線の一部が電極としても機能する場合は、一の導電膜が、配線の機能、及び電極の機能の両方の構成要素の機能を併せ持っている。したがって、本明細書における電気的に接続とは、このような、一の導電膜が、複数の構成要素の機能を併せ持っている場合も、その範疇に含める。

［００４４］

また、本明細書等において、「抵抗素子」とは、例えば、０Ωよりも高い抵抗値を有する回路素子、配線などとすることができる。そのため、本明細書等において、「抵抗素子」は、抵抗値を有する配線、ソースードレイン間に電流が流れるトランジスタ、ダイオード、コイルなどを含むものとする。そのため、「抵抗素子」という用語は、「抵抗」、「負荷」、「抵抗値を有する領域」などの用語に言い換えることができ、逆に「抵抗」、「負荷」、「抵抗値を有する領域」という用語は、「抵抗素子」などの用語に言い換えることができる。抵抗値としては、例えば、好ましくは１ｍΩ以上１０Ω以下、より好ましくは５ｍΩ以上５Ω以下、更に好ましくは１０ｍΩ以上１Ω以下とすることができる。また、例えば、１Ω以上１×１０^{9}Ω以下としてもよい。

［００４５］

また、本明細書等において、「容量素子」とは、例えば、０Ｆよりも高い静電容量の値を有する回路素子、静電容量の値を有する配線の領域、寄生容量、トランジスタのゲート容量などとすることができる。そのため、本明細書等において、「容量素子」は、１対の電極と、当該電極の間に含まれている誘電体と、を含む回路素子だけでなく、配線と配線との間に現れる寄生容量、トランジスタのソース又はドレインの一方とゲートとの間に現れるゲート容量などを含むものとする。また、「容量素子」、「寄生容量」、「ゲート容量」などという用語は、「容量」などの用語に言い換えることができ、逆に、「容量」という用語は、「容量素子」、「寄生容量」、「ゲート容量」などの用語に言い換えることができる。また、「容量」の「一対の電極」という用語は、「一対の導電体」、「一対の導電領域」、「一対の領域」などに言い換えることができる。なお、静電容量の値としては、例えば、０．０５ｆＦ以上１０ｐＦ以下とすることができる。また、例えば、１ｐＦ以上１０μＦ以下としてもよい。

［００４６］

また、本明細書等において、トランジスタは、ゲート、ソース、及びドレインと呼ばれる３つの端子を有する。ゲートは、トランジスタの導通状態を制御する制御端子である。ソース又はドレインとして機能する２つの端子は、トランジスタの入出力端子である。２つの入出力端子は、トランジスタの導電型（ｎチャネル型、ｐチャネル型）及びトランジスタの３つの端子に与えられる電位の高低によって、一方がソースとなり他方がドレインとなる。このため、本明細書等においては、ソースやドレインの用語は、言い換えることができるものとする。また、本明細書等では、トランジスタの接続関係を説明する際、「ソース又はドレインの一方」（又は第１電極、又は第１端子）、「ソース又はドレインの他方」（又は第２電極、又は第２端子）という表記を用いる。なお、トランジスタの構造によっては、上述した３つの端子に加えて、バックゲートを有する場合がある。この場合、本明細書等において、トランジスタのゲート又はバックゲートの一方を第１ゲートと呼称し、トランジスタのゲート又はバックゲートの他方を第２ゲートと呼称することがある。更に、同じトランジスタにおいて、「ゲート」と「バックゲート」の用語は互いに入れ換えることができる場合がある。また、トランジスタが、３以上のゲートを有する場合は、本明細書等においては、それぞれのゲートを第１ゲート、第２ゲート、第３ゲートなどと呼称することがある。

［００４７］

また、本明細書等において、ノードは、回路構成やデバイス構造等に応じて、端子、配線、電極、導電層、導電体、不純物領域等と言い換えることが可能である。また、端子、配線等をノードと言い換えることが可能である。

［００４８］

また、本明細書等において、「電圧」と「電位」は、適宜言い換えることができる。「電圧」は、基準となる電位からの電位差のことであり、例えば基準となる電位をグラウンド電位（接地電位）とすると、「電圧」を「電位」に言い換えることができる。なお、グラウンド電位は必ずしも０Ｖを意味するとは限らない。また、電位は相対的なものであり、基準となる電位が変わることによって、配線に与えられる電位、回路などに印加される電位、回路などから出力される電位なども変化する。

［００４９］

また、本明細書等において、「高レベル電位」、「低レベル電位」という用語は、特定の電位を

意味するものではない。例えば、２本の配線において、両方とも「高レベル電位を供給する配線として機能する」と記載されていた場合、両方の配線が与えるそれぞれの高レベル電位は、互いに等しくなくてもよい。また、同様に、２本の配線において、両方とも「低レベル電位を供給する配線として機能する」と記載されていた場合、両方の配線が与えるそれぞれの低レベル電位は、互いに等しくなくてもよい。

［００５０］

「電流」とは、電荷の移動現象（電気伝導）のことであり、例えば、「正の荷電体の電気伝導が起きている」という記載は、「その逆向きに負の荷電体の電気伝導が起きている」と換言することができる。そのため、本明細書等において、「電流」とは、特に断らない限り、キャリアの移動に伴う電荷の移動現象（電気伝導）をいうものとする。ここでいうキャリアとは、電子、正孔、アニオン、カチオン、錯イオン等が挙げられ、電流の流れる系（例えば、半導体、金属、電解液、真空中など）によってキャリアが異なる。また、配線等における「電流の向き」は、正電荷となるキャリアが移動する方向とし、正の電流量で記載する。換言すると、負電荷となるキャリアが移動する方向は、電流の向きと逆の方向となり、負の電流量で表現される。そのため、本明細書等において、電流の正負（又は電流の向き）について断りがない場合、「素子Ａから素子Ｂに電流が流れる」等の記載は「素子Ｂから素子Ａに電流が流れる」等に言い換えることができるものとする。また、「素子Ａに電流が入力される」等の記載は「素子Ａから電流が出力される」等に言い換えることができるものとする。

［００５１］

また、本明細書等において、「第１」、「第２」、「第３」という序数詞は、構成要素の混同を避けるために付したものである。従って、構成要素の数を限定するものではない。また、構成要素の順序を限定するものではない。例えば、本明細書等の実施の形態の一において「第１」に言及された構成要素が、他の実施の形態、あるいは特許請求の範囲において「第２」に言及された構成要素とすることもありうる。また例えば、本明細書等の実施の形態の一において「第１」に言及された構成要素を、他の実施の形態、あるいは特許請求の範囲において省略することもありうる。

［００５２］

また、本明細書等において、「上に」、「下に」などの配置を示す語句は、構成同士の位置関係を、図面を参照して説明するために、便宜上用いている場合がある。また、構成同士の位置関係は、各構成を描写する方向に応じて適宜変化するものである。従って、明細書等で説明した語句に限定されず、状況に応じて適切に言い換えることができる。例えば、「導電体の上面に位置する絶縁体」の表現では、示している図面の向きを１８０度回転することによって、「導電体の下面に位置する絶縁体」と言い換えることができる。

［００５３］

また、「上」や「下」の用語は、構成要素の位置関係が直上又は直下で、かつ、直接接していることを限定するものではない。例えば、「絶縁層Ａ上の電極Ｂ」の表現であれば、絶縁層Ａの上に電極Ｂが直接接して形成されている必要はなく、絶縁層Ａと電極Ｂとの間に他の構成要素を含むものを除外しない。

［００５４］

また、本明細書等において、「膜」、「層」などの語句は、状況に応じて、互いに入れ替えることが可能である。例えば、「導電層」という用語を、「導電膜」という用語に変更することが可能

な場合がある。又は、例えば、「絶縁膜」という用語を、「絶縁層」という用語に変更することが可能な場合がある。又は、場合によっては、又は、状況に応じて、「膜」、「層」などの語句を使わずに、別の用語に入れ替えることが可能である。例えば、「導電層」又は「導電膜」という用語を、「導電体」という用語に変更することが可能な場合がある。又は、例えば、「絶縁層」、「絶縁膜」という用語を、「絶縁体」という用語に変更することが可能な場合がある。

［００５５］

また、本明細書等において「電極」、「配線」、「端子」などの用語は、これらの構成要素を機能的に限定するものではない。例えば、「電極」は「配線」の一部として用いられることがあり、その逆もまた同様である。さらに、「電極」や「配線」の用語は、複数の「電極」や「配線」が一体となって形成されている場合なども含む。また、例えば、「端子」は「配線」や「電極」の一部として用いられることがあり、その逆もまた同様である。更に、「端子」の用語は、複数の「電極」「配線」「端子」などが一体となって形成されている場合なども含む。そのため、例えば、「電極」は「配線」又は「端子」の一部とすることができ、また、例えば、「端子」は「配線」又は「電極」の一部とすることができる。また、「電極」、「配線」、「端子」などの用語は、場合によって、「領域」などの用語に置き換える場合がある。

［００５６］

また、本明細書等において、「配線」、「信号線」、「電源線」などの用語は、場合によっては、又は、状況に応じて、互いに入れ替えることが可能である。例えば、「配線」という用語を、「信号線」という用語に変更することが可能な場合がある。また、例えば、「配線」という用語を、「電源線」などの用語に変更することが可能な場合がある。また、その逆も同様で、「信号線」、「電源線」などの用語を、「配線」という用語に変更することが可能な場合がある。「電源線」などの用語は、「信号線」などの用語に変更することが可能な場合がある。また、その逆も同様で「信号線」などの用語は、「電源線」などの用語に変更することが可能な場合がある。また、配線に印加されている「電位」という用語を、場合によっては、又は、状況に応じて、「信号」などという用語に変更することが可能な場合がある。また、その逆も同様で、「信号」などの用語は、「電位」という用語に変更することが可能な場合がある。

［００５７］

本明細書等において、半導体の不純物とは、例えば、半導体層を構成する主成分以外をいう。例えば、濃度が０．１原子％未満の元素は不純物である。不純物が含まれることにより、例えば、半導体に欠陥準位密度が高くなることや、キャリア移動度が低下することや、結晶性が低下することなどが起こる場合がある。半導体が酸化物半導体である場合、半導体の特性を変化させる不純物としては、例えば、第１族元素、第２族元素、第１３族元素、第１４族元素、第１５族元素、主成分以外の遷移金属などがあり、特に、例えば、水素（水も含まれる）、リチウム、ナトリウム、シリコン、ホウ素、リン、炭素、窒素などがある。具体的には、半導体がシリコン層である場合、半導体の特性を変化させる不純物としては、例えば、第１族元素、第２族元素、第１３族元素、第１５族元素（但し、酸素、水素は含まない。）などがある。

［００５８］

本明細書等において、スイッチとは、導通状態（オン状態）、又は、非導通状態（オフ状態）になり、電流を流すか流さないかを制御する機能を有するものをいう。又は、スイッチとは、電流を流す経路を選択して切り替える機能を有するものをいう。一例としては、電気的なスイッチ、機械

的なスイッチなどを用いることができる。つまり、スイッチは、電流を制御できるものであればよく、特定のものに限定されない。

［００５９］

電気的なスイッチの一例としては、トランジスタ（例えば、バイポーラトランジスタ、ＭＯＳトランジスタなど）、ダイオード（例えば、ＰＮダイオード、ＰＩＮダイオード、ショットキーダイオード、ＭＩＭ（Ｍｅｔａｌ　Ｉｎｓｕｌａｔｏｒ　Ｍｅｔａｌ）ダイオード、ＭＩＳ（Ｍｅｔａｌ　Ｉｎｓｕｌａｔｏｒ　Ｓｅｍｉｃｏｎｄｕｃｔｏｒ）ダイオード、ダイオード接続のトランジスタなど）、又はこれらを組み合わせた論理回路などがある。なお、スイッチとしてトランジスタを用いる場合、トランジスタの「導通状態」とは、トランジスタのソース電極とドレイン電極が電気的に短絡されているとみなせる状態をいう。また、トランジスタの「非導通状態」とは、トランジスタのソース電極とドレイン電極が電気的に遮断されているとみなせる状態をいう。なおトランジスタを単なるスイッチとして動作させる場合には、トランジスタの極性（導電型）は特に限定されない。

［００６０］

機械的なスイッチの一例としては、ＭＥＭＳ（マイクロ・エレクトロ・メカニカル・システム）技術を用いたスイッチがある。そのスイッチは、機械的に動かすことが可能な電極を有し、その電極が動くことによって、導通と非導通とを制御して動作する。

［００６１］

本明細書において、「平行」とは、二つの直線が－１０°以上１０°以下の角度で配置されている状態をいう。したがって、－５°以上５°以下の場合も含まれる。また、「略平行」又は「概略平行」とは、二つの直線が－３０°以上３０°以下の角度で配置されている状態をいう。また、「垂直」とは、二つの直線が８０°以上１００°以下の角度で配置されている状態をいう。したがって、８５°以上９５°以下の場合も含まれる。また、「略垂直」又は「概略垂直」とは、二つの直線が６０°以上１２０°以下の角度で配置されている状態をいう。

発明の効果

［００６２］

本発明の一態様によって、積和演算が可能な半導体装置を提供することができる。又は、本発明の一態様によって、消費電力が低い半導体装置を提供することができる。又は、本発明の一態様によって、回路面積が低減された半導体装置を提供することができる。又は、本発明の一態様によって、熱による動作能力の低下を抑えた半導体装置を提供することができる。

［００６３］

又は、本発明の一態様によって、新規な半導体装置などを提供することができる。又は、本発明の一態様によって、上記半導体装置を有する電子機器を提供することができる。

［００６４］

又は、本発明の一態様によって、様々なニオイ分子の検出が可能な臭覚センサを提供することができる。又は、本発明の一態様によって、消費電力が低い臭覚センサを提供することができる。又は、本発明の一態様によって、回路面積が低減された臭覚センサを提供することができる。

［００６５］

又は、本発明の一態様によって、様々な面内の圧力分布の検出が可能な圧力センサを提供することができる。又は、本発明の一態様によって、消費電力が低い圧力センサを提供することができる。

又は、本発明の一態様によって、回路面積が低減された圧力センサを提供することができる。

［００６６］

又は、本発明の一態様によって、複数の呈味成分を含む物質の味の評価が可能な味覚センサを提供することができる。又は、本発明の一態様によって、消費電力が低い味覚センサを提供することができる。又は、本発明の一態様によって、回路面積が低減された味覚センサを提供することができる。

［００６７］

なお、本発明の一態様の効果は、上記列挙した効果に限定されない。上記列挙した効果は、他の効果の存在を妨げるものではない。なお他の効果は、以下の記載で述べる、本項目で言及していない効果である。本項目で言及していない効果は、当業者であれば明細書又は図面等の記載から導き出せるものであり、これらの記載から適宜抽出することができる。なお、本発明の一態様は、上記列挙した効果、及び他の効果のうち、少なくとも一つの効果を有するものである。従って本発明の一態様は、場合によっては、上記列挙した効果を有さない場合もある。

図面の簡単な説明

［００６８］

図１は、半導体装置の構成例を示すブロック図である。

図２Ａ乃至図２Ｃは、半導体装置に含まれている回路の構成例を示すブロック図である。

図３Ａ乃至図３Ｄは、半導体装置に含まれている回路の構成例を示す回路図である。

図４Ａ乃至図４Ｃは、半導体装置に含まれている回路の構成例を示す回路図である。

図５は、半導体装置の構成例を示すブロック図である。

図６は、半導体装置の動作例を示すタイミングチャートである。

図７は、半導体装置の構成例を示すブロック図である。

図８Ａ乃至図８Ｃは、半導体装置に含まれている回路の構成例を示すブロック図である。

図９は、半導体装置に含まれている回路の構成例を示すブロック図である。

図１０Ａは半導体装置に含まれている回路の構成例を示す回路図であり、図１０Ｂは、半導体装置に含まれている回路の構成例を示すブロック図である。

図１１Ａ、及び図１１Ｂは、半導体装置に含まれている回路の構成例を示すブロック図であり、図１１Ｃは、半導体装置に含まれている回路の構成例を示す回路図である。

図１２は、半導体装置の構成例を示すブロック図である。

図１３Ａ、及び図１３Ｂは、半導体装置に含まれている回路の構成例を示すブロック図である。

図１４は、半導体装置に含まれている回路の構成例を示すブロック図である。

図１５は、臭覚センサの構成例を示すブロック図である。

図１６Ａは、臭覚センサに含まれている検出用素子の一例を示す上面図であり、図１６Ｂ、及び図１６Ｃは、臭覚センサに含まれている検出用素子の一例を示す断面図である。

図１７は、圧力センサ、又は触覚センサを備える電子機器の構成例を示すブロック図である。

図１８Ａは、圧力センサに含まれている検出用素子の一例を示す上面図であり、図１８Ｂ、及び図１８Ｃは、圧力センサに含まれている検出用素子の一例を示す断面図である。

図１９Ａ乃至図１９Ｃは、圧力センサに含まれている回路構成の一例を示す回路図である。

図２０Ａ、及び図２０Ｂは、触覚センサの構成例を示す断面模式図である。

図２１Ａ乃至図２１Ｃは、マニピュレータなどに備えられているハンド部の構成例を示す模式図で

ある。

図２２Ａ、及び図２２Ｂは、マニピュレータなどに備えられているハンド部の構成例を示す模式図である。

図２３は、味覚センサを備える電子機器の構成例を示すブロック図である。

図２４Ａは味覚センサの構成例を示す斜視図であり、図２４Ｂは味覚センサの構成例を示す断面図であり、図２４Ｃは、電子機器に含まれている回路の構成例を示すブロック図である。

図２５Ａは味覚センサを備える電子機器の構成例を示す斜視図であり、図２５Ｂ、及び図２５Ｃは電子機器に備えられる複数の味覚センサの構成例を示す斜視図である。

図２６Ａ、及び図２６Ｂは、階層型のニューラルネットワークを説明する図である。

図２７は、半導体装置の構成例を示すブロック図である。

図２８は、半導体装置の構成例を示すブロック図である。

図２９は、半導体装置の構成例を示す断面模式図である。

図３０は、半導体装置の構成例を示す断面模式図である。

図３１Ａ乃至図３１Ｃは、トランジスタの構成例を示す断面模式図である。

図３２Ａ、及び図３２Ｂは、トランジスタの構成例を示す断面模式図である。

図３３は、半導体装置の構成例を示す断面模式図である。

図３４Ａ、及び図３４Ｂは、トランジスタの構成例を示す断面模式図である。

図３５は、半導体装置の構成例を示す断面模式図である。

図３６Ａは容量素子の構成例を示す上面図であり、図３６Ｂ、及び図３６Ｃは容量素子の構成例を示す断面斜視図である。

図３７Ａは容量素子の構成例を示す上面図であり、図３７Ｂは容量の構成例を示す断面図であり、図３７Ｃは容量素子の構成例を示す断面斜視図である。

図３８ＡはＩＧＺＯの結晶構造の分類を説明する図であり、図３８Ｂは結晶性ＩＧＺＯのＸＲＤスペクトルを説明する図であり、図３８Ｃは結晶性ＩＧＺＯの極微電子線回折パターンを説明する図である。

図３９Ａは半導体ウェハの一例を示す斜視図であり、図３９Ｂはチップの一例を示す斜視図であり、図３９Ｃ及び図３９Ｄは電子部品の一例を示す斜視図である。

図４０は、電子機器の一例を示す斜視図である。

図４１Ａ乃至図４１Ｃは、電子機器の一例を示す斜視図である。

図４２Ａ乃至図４２Ｃは、電子機器の一例を示す模式図である。

図４３は、試作した演算回路を説明する回路図である。

図４４Ａは試作した演算回路の乗算特性を示したグラフであり、図４４Ｂは試作した演算回路の保持特性を示したグラフである。

図４５Ａは電圧書き込み方式（Ｖｏｌｔａｇｅ　ｗｒｉｔｅ）と電流書き込み方式（Ｃｕｒｒｅｎｔ　ｗｒｉｔｅ）とによる、試作した演算回路の乗算特性を示すグラフであり、図４５Ｂは電圧書き込み方式（Ｖｏｌｔａｇｅ　ｗｒｉｔｅ）と電流書き込み方式（Ｃｕｒｒｅｎｔ　ｗｒｉｔｅ）とによる、試作した演算回路における、しきい値電圧の差と出力電流の関係を示したグラフである。

図４６Ａ、及び図４６Ｂは、試作した演算回路に含まれている回路を説明する回路図である。

図４７Ａは電流回路の出力特性を示すグラフであり、図４７Ｂは電流回路が出力した電流ＩＮＬ、及びＤＮＬを示したグラフである。

図４８は、回路計算の条件を説明する回路図である。

図４９は、演算回路の出力特性を示したグラフである。

発明を実施するための形態

［００６９］

人工ニューラルネットワーク（以後、ニューラルネットワークと呼称する。）において、シナプスの結合強度は、ニューラルネットワークに既存の情報を与えることによって、変化することができる。このように、ニューラルネットワークに既存の情報を与えて、結合強度を決める処理を「学習」と呼称する場合がある。

［００７０］

また、「学習」を行った（結合強度を定めた）ニューラルネットワークに対して、何らかの情報を与えることにより、その結合強度に基づいて新たな情報を出力することができる。このように、ニューラルネットワークにおいて、与えられた情報と結合強度に基づいて新たな情報を出力する処理を「推論」又は「認知」と呼称する場合がある。

［００７１］

ニューラルネットワークのモデルとしては、例えば、ホップフィールド型、階層型などが挙げられる。特に、多層構造としたニューラルネットワークを「ディープニューラルネットワーク」（ＤＮＮ）と呼称し、ディープニューラルネットワークによる機械学習を「ディープラーニング」と呼称する場合がある。

［００７２］

本明細書等において、金属酸化物（ｍｅｔａｌ　ｏｘｉｄｅ）とは、広い意味での金属の酸化物である。金属酸化物は、酸化物絶縁体、酸化物導電体（透明酸化物導電体を含む）、酸化物半導体（Ｏｘｉｄｅ　Ｓｅｍｉｃｏｎｄｕｃｔｏｒ又は単にＯＳともいう）などに分類される。例えば、トランジスタの活性層に金属酸化物を用いた場合、当該金属酸化物を酸化物半導体と呼称する場合がある。つまり、金属酸化物が増幅作用、整流作用、及びスイッチング作用の少なくとも１つを有するトランジスタのチャネル形成領域を構成し得る場合、当該金属酸化物を、金属酸化物半導体（ｍｅｔａｌ　ｏｘｉｄｅ　ｓｅｍｉｃｏｎｄｕｃｔｏｒ）と呼称することができる。また、ＯＳトランジスタと記載する場合においては、金属酸化物又は酸化物半導体を有するトランジスタと換言することができる。

［００７３］

また、本明細書等において、窒素を有する金属酸化物も金属酸化物（ｍｅｔａｌ　ｏｘｉｄｅ）と総称する場合がある。また、窒素を有する金属酸化物を、金属酸窒化物（ｍｅｔａｌ　ｏｘｙｎｉｔｒｉｄｅ）と呼称してもよい。

［００７４］

また、本明細書等において、各実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせて、本発明の一態様とすることができる。また、１つの実施の形態の中に、複数の構成例が示される場合は、互いに構成例を適宜組み合わせることが可能である。

［００７５］

なお、ある一つの実施の形態の中で述べる内容（一部の内容でもよい）は、その実施の形態で述べる別の内容（一部の内容でもよい）と、一つ若しくは複数の別の実施の形態で述べる内容（一部の内容でもよい）との少なくとも一つの内容に対して、適用、組み合わせ、又は置き換えなどを行

うことができる。

［００７６］

なお、実施の形態の中で述べる内容とは、各々の実施の形態（又は実施例）において、様々な図を用いて述べる内容、又は明細書に記載される文章を用いて述べる内容のことである。

［００７７］

なお、ある一つの実施の形態において述べる図（一部でもよい）は、その図の別の部分、その実施の形態において述べる別の図（一部でもよい）と、一つ若しくは複数の別の実施の形態において述べる図（一部でもよい）との少なくとも一つの図に対して、組み合わせることにより、さらに多くの図を構成させることができる。

［００７８］

本明細書に記載の実施の形態については、図面を参照しながら説明する。但し、実施の形態は多くの異なる態様で実施することが可能であり、趣旨及びその範囲から逸脱することなく、その形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は、実施の形態の記載内容に限定して解釈されるものではない。なお、実施の形態の発明の構成において、同一部分又は同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する場合がある。また、斜視図などにおいて、図面の明確性を期すために、一部の構成要素の記載を省略している場合がある。

［００７９］

本明細書等において、複数の要素に同じ符号を用いる場合、特に、それらを区別する必要があるときには、符号に“＿１”、“［ｎ］”、“［ｍ，ｎ］”等の識別用の符号を付記して記載する場合がある。

［００８０］

また、本明細書の図面において、大きさ、層の厚さ、又は領域は、明瞭化のために誇張されている場合がある。よって、必ずしもそのスケールに限定されない。なお図面は、理想的な例を模式的に示したものであり、図面に示す形状又は値などに限定されない。例えば、ノイズによる信号、電圧、若しくは電流のばらつき、又は、タイミングのずれによる信号、電圧、若しくは電流のばらつきなどを含むことが可能である。

［００８１］

（実施の形態１）

本実施の形態では、本発明の一態様の半導体装置である、積和演算が可能な回路の一例について説明する。

［００８２］

＜演算回路の構成例１＞

図１は、正、又は“０”の第１データと、正、又は“０”の第２データと、の積和演算を行う演算回路の構成例を示している。図１に示す演算回路ＭＡＣ１は、各セルに保持した電位に応じた第１データと、入力された第２データと、の積和演算を行い、かつ当該積和演算の結果を用いて活性化関数の演算を行う回路である。なお、第１データ、及び第２データは、一例としては、アナログデータ、又は多値のデータ（離散的なデータ）とすることができる。

［００８３］

演算回路ＭＡＣ１は、回路ＷＣＳと、回路ＸＣＳと、回路ＷＳＤと、回路ＳＷＳ１と、回路ＳＷ

Ｓ２と、セルアレイＣＡと、変換回路ＩＴＲＺ［１］乃至変換回路ＩＴＲＺ［ｎ］と、を有する。

［００８４］

セルアレイＣＡは、セルＩＭ［１，１］乃至セルＩＭ［ｍ，ｎ］（ここでのｍは１以上の整数であり、また、ここでのｎは１以上の整数である。）と、セルＩＭｒｅｆ［１］乃至セルＩＭｒｅｆ［ｍ］と、を有する。セルＩＭ［１，１］乃至セルＩＭ［ｍ，ｎ］のそれぞれは、第１データに応じた電流量に相当する電位を保持する機能を有し、セルＩＭｒｅｆ［１］乃至セルＩＭｒｅｆ［ｍ］は、保持した第１データとの積和演算を行うために必要になる第２データに応じた電位を配線ＸＣＬ［１］乃至配線ＸＣＬ［ｍ］に供給する機能を有する。

［００８５］

なお、図１のセルアレイＣＡは、セルが行方向にｎ＋１個、列方向にｍ個、マトリクス状に配置されているが、セルアレイＣＡは、セルが行方向に２個以上、列方向に１個以上、マトリクス状に配置されている構成であればよい。

［００８６］

セルＩＭ［１，１］乃至セルＩＭ［ｍ，ｎ］のそれぞれは、一例として、トランジスタＦ１と、トランジスタＦ２と、容量Ｃ５と、を有し、セルＩＭｒｅｆ［１］乃至セルＩＭｒｅｆ［ｍ］のそれぞれは、一例として、トランジスタＦ１ｍと、トランジスタＦ２ｍと、容量Ｃ５ｍと、を有する。

［００８７］

特に、セルＩＭ［１，１］乃至セルＩＭ［ｍ，ｎ］のそれぞれに含まれているトランジスタＦ１のサイズ（例えば、チャネル長、チャネル幅、トランジスタの構成など）は互いに等しいことが好ましく、また、セルＩＭ［１，１］乃至セルＩＭ［ｍ，ｎ］のそれぞれに含まれているトランジスタＦ２のサイズは互いに等しいことが好ましい。また、セルＩＭｒｅｆ［１］乃至セルＩＭｒｅｆ［ｍ］のそれぞれに含まれているトランジスタＦ１ｍのサイズは互いに等しいことが好ましく、セルＩＭｒｅｆ［１］乃至セルＩＭｒｅｆ［ｍ］のそれぞれに含まれているトランジスタＦ２ｍのサイズは互いに等しいことが好ましい。また、トランジスタＦ１とトランジスタＦ１ｍのサイズは互いに等しいことが好ましく、トランジスタＦ２とトランジスタＦ２ｍのサイズは互いに等しいことが好ましい。

［００８８］

トランジスタのサイズを互いに等しくすることによって、それぞれのトランジスタの電気特性をほぼ等しくすることができる。そのため、セルＩＭ［１，１］乃至セルＩＭ［ｍ，ｎ］のそれぞれに含まれているトランジスタＦ１のサイズを等しくし、セルＩＭ［１，１］乃至セルＩＭ［ｍ，ｎ］のそれぞれに含まれているトランジスタＦ２のサイズを等しくすることによって、セルＩＭ［１，１］乃至セルＩＭ［ｍ，ｎ］のそれぞれは、互いに同一の条件である場合において、ほぼ同じ動作を行うことができる。ここでの同一の条件とは、例えば、トランジスタＦ１のソース、ドレイン、ゲートなどへの入力電位、トランジスタＦ２のソース、ドレイン、ゲートなどへの入力電位、セルＩＭ［１，１］乃至セルＩＭ［ｍ，ｎ］のそれぞれに入力されている電圧などを指す。また、セルＩＭｒｅｆ［１］乃至セルＩＭｒｅｆ［ｍ］のそれぞれに含まれているトランジスタＦ１ｍのサイズを等しくし、セルＩＭｒｅｆ［１］乃至セルＩＭｒｅｆ［ｍ］のそれぞれに含まれているトランジスタＦ２ｍのサイズを等しくすることによって、例えば、セルＩＭｒｅｆ［１］乃至セルＩＭｒｅｆ［ｍ］は、動作、及び当該動作の結果をほぼ同一にすることができる。互いに同一の条件である場合において、ほぼ同じ動作を行うことができる。ここでの同一の条件とは、例えば、トランジ

スタＦ１ｍのソース、ドレイン、ゲートなどへの入力電位、トランジスタＦ２ｍのソース、ドレイン、ゲートなどへの入力電位、セルＩＭｒｅｆ［１］乃至セルＩＭｒｅｆ［ｍ］のそれぞれに入力されている電圧などを指す。

［００８９］

なお、トランジスタＦ１及びトランジスタＦ１ｍは、特に断りの無い場合は、オン状態の場合は最終的に線形領域で動作する場合を含むものとする。すなわち、上述したそれぞれのトランジスタのゲート電圧、ソース電圧、及びドレイン電圧のそれぞれは、線形領域で動作する電圧範囲である場合を含むものとする。ただし、本発明の一態様は、これに限定されない。例えば、トランジスタＦ１、トランジスタＦ１ｍは、オン状態のときは飽和領域で動作してもよく、また、線形領域で動作する場合と飽和領域で動作する場合とが混在してもよい。

［００９０］

また、トランジスタＦ２及びトランジスタＦ２ｍは、特に断りの無い場合は、サブスレッショルド領域で動作する場合（つまり、トランジスタＦ２又はトランジスタＦ２ｍにおいて、ゲートーソース間電圧がしきい値電圧よりも低い場合、より好ましくは、ドレイン電流がゲートーソース間電圧に対して指数関数的に増大する場合）を含むものとする。すなわち、上述したそれぞれのトランジスタのゲート電圧、ソース電圧、及びドレイン電圧のそれぞれは、サブスレッショルド領域で動作する電圧範囲である場合を含むものとする。このため、トランジスタＦ２及びトランジスタＦ２ｍは、ソースードレイン間にオフ電流が流れるように動作する場合を含む。

［００９１］

また、トランジスタＦ１、及び／又はトランジスタＦ１ｍは、一例として、ＯＳトランジスタであることが好ましい。加えて、トランジスタＦ１、及び／又はトランジスタＦ１ｍのチャネル形成領域は、インジウム、ガリウム、亜鉛の少なくとも一を含む酸化物であることがより好ましい。また、当該酸化物の代わりとしては、インジウム、元素Ｍ（元素Ｍとしては、例えば、アルミニウム、ガリウム、イットリウム、銅、バナジウム、ベリリウム、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、又はマグネシウムなどから選ばれた一種、又は複数種などが挙げられる。）、亜鉛の少なくとも一を含む酸化物を用いてもよい。トランジスタＦ１、及び／又はトランジスタＦ１ｍは、特に実施の形態６に記載するトランジスタの構造であることが更に好ましい。

［００９２］

トランジスタＦ１、及び／又はトランジスタＦ１ｍとして、ＯＳトランジスタを用いることにより、トランジスタＦ１、及び／又はトランジスタＦ１ｍのリーク電流を抑えることができるため、演算回路の消費電力を低減することができる。具体的には、トランジスタＦ１、及び／又はトランジスタＦ１ｍが非導通状態である場合における、保持ノードから書き込みワード線へのリーク電流を非常に小さくすることができるため、保持ノードの電位のリフレッシュ動作を少なくすることができる。また、リフレッシュ動作を少なくすることによって、演算回路の消費電力を低減することができる。また、保持ノードから配線ＷＣＬ、又は配線ＸＣＬへのリーク電流を非常に小さくすることによって、セルは保持ノードの電位を長い時間保持できるため、演算回路の演算精度を高くすることができる。

［００９３］

また、トランジスタＦ２、及び／又はトランジスタＦ２ｍに対しても、ＯＳトランジスタを用い

ることにより、サブスレッショルド領域の広い電流範囲で動作させることができるため、消費電流を低減することができる。また、トランジスタＦ２、及び／又はトランジスタＦ２ｍに対しても、ＯＳトランジスタを用いることで、トランジスタＦ１、トランジスタＦ１ｍと同時に作製することができるため、演算回路の作製工程を短縮することができる場合がある。また、トランジスタＦ２、及び／又はトランジスタＦ２ｍは、ＯＳトランジスタ以外としては、チャネル形成領域にシリコンを含むトランジスタ（以下、Ｓｉトランジスタと呼称する）とすることができる。シリコンとしては、例えば、非晶質シリコン（水素化アモルファスシリコンと呼称する場合がある）、微結晶シリコン、多結晶シリコン、単結晶シリコンなどを用いることができる。

［００９４］

ところで、半導体装置などをチップなどに高集積化した場合、当該チップには、回路の駆動による熱が発生する場合がある。この発熱により、トランジスタの温度が上がることで、当該トランジスタの特性が変化して、電界効果移動度の変化や動作周波数の低下などが起こることがある。ＯＳトランジスタは、Ｓｉトランジスタよりも熱耐性が高いため、温度変化による電界効果移動度の変化が起こりにくく、また動作周波数の低下も起こりにくい。さらに、ＯＳトランジスタは、温度が高くなっても、ドレイン電流がゲート－ソース間電圧に対して指数関数的に増大する特性を維持しやすい。そのため、ＯＳトランジスタを用いることにより、高い温度環境下でも、演算、処理などを実施しやすい。そのため、駆動による発熱に強い半導体装置を構成する場合、トランジスタとしては、ＯＳトランジスタを適用するのが好ましい。

［００９５］

セルＩＭ［１，１］乃至セルＩＭ［ｍ，ｎ］のそれぞれにおいて、トランジスタＦ１の第１端子は、トランジスタＦ２のゲートと電気的に接続されている。トランジスタＦ２の第１端子は、配線ＶＥと電気的に接続されている。容量Ｃ５の第１端子は、トランジスタＦ２のゲートと電気的に接続されている。

［００９６］

また、セルＩＭｒｅｆ［１］乃至セルＩＭｒｅｆ［ｍ］のそれぞれにおいて、トランジスタＦ１ｍの第１端子は、トランジスタＦ２ｍのゲートと電気的に接続されている。トランジスタＦ２ｍの第１端子は、配線ＶＥと電気的に接続されている。容量Ｃ５ｍの第１端子は、トランジスタＦ２ｍのゲートと電気的に接続されている。

［００９７］

図１において、トランジスタＦ１、トランジスタＦ２、トランジスタＦ１ｍ、及びトランジスタＦ２ｍには、バックゲートが図示され、当該バックゲートの接続構成については図示されていないが、当該バックゲートの電気的な接続先は、設計の段階で決めることができる。例えば、バックゲートを有するトランジスタにおいて、そのトランジスタのオン電流を高めるために、ゲートとバックゲートとを電気的に接続してもよい。つまり、例えば、トランジスタＦ１のゲートとバックゲートとを電気的に接続してもよいし、また、トランジスタＦ１ｍのゲートとバックゲートとを電気的に接続してもよい。また、例えば、バックゲートを有するトランジスタにおいて、そのトランジスタのしきい値電圧を変動させるため、又は、そのトランジスタのオフ電流を小さくするために、そのトランジスタのバックゲートと外部回路などとを電気的に接続するための配線を設けて、当該外部回路などによってそのトランジスタのバックゲートに電位を与える構成としてもよい。

［００９８］

また、図１に図示しているトランジスタＦ１、及びトランジスタＦ２は、バックゲートを有しているが、本発明の一態様の半導体装置は、これに限定されない。例えば、図１に図示しているトランジスタＦ１、及びトランジスタＦ２は、バックゲートを有さないような構成、つまり、シングルゲート構造のトランジスタとしてもよい。また、一部のトランジスタはバックゲートを有している構成であり、別の一部のトランジスタは、バックゲートを有さない構成であってもよい。

［００９９］

また、図１に図示しているトランジスタＦ１、及びトランジスタＦ２は、ｎチャネル型トランジスタとしているが、本発明の一態様の半導体装置は、これに限定されない。例えば、トランジスタＦ１、及びトランジスタＦ２の一部、又は全部をｐチャネル型トランジスタに置き換えてもよい。なお、トランジスタＦ１、及びトランジスタＦ２の一部、又は全部をｐチャネル型トランジスタに置き換える場合、トランジスタＦ１、及びトランジスタＦ２が所望の動作をするように、必要に応じて明細書等に記載している、配線が与える電圧、ノードＮＮの電位、ノードＮＮｒｅｆの電位などを変更してもよい。

［０１００］

なお、上記のトランジスタの構造、極性に関する変更例は、トランジスタＦ１、及びトランジスタＦ２だけに限定されない。例えば、トランジスタＦ１ｍ、トランジスタＦ２ｍ、後述するトランジスタＦ３［１］乃至トランジスタＦ３［ｎ］、トランジスタＦ４［１］乃至トランジスタＦ４［ｎ］、更に、明細書の他の箇所に記載されているトランジスタ、又は他の図面に図示されているトランジスタについても同様に構造や極性などを変更してもよい。

［０１０１］

配線ＶＥは、セルＩＭ［１，１］、セルＩＭ［ｍ，１］、セルＩＭ［１，ｎ］、及びセルＩＭ［ｍ，ｎ］のそれぞれのトランジスタＦ２の第１端子ー第２端子間に電流を流すための配線であって、また、セルＩＭｒｅｆ［１］、及びセルＩＭｒｅｆ［ｍ］のそれぞれのトランジスタＦ２ｍの第１端子ー第２端子間に電流を流すための配線として機能する。一例としては、配線ＶＥは、定電圧を供給する配線として機能する。当該定電圧としては、例えば、低レベル電位、接地電位などとすることができる。

［０１０２］

セルＩＭ［１，１］において、トランジスタＦ１の第２端子は、配線ＷＣＬ［１］と電気的に接続され、トランジスタＦ１のゲートは、配線ＷＳＬ［１］と電気的に接続されている。トランジスタＦ２の第２端子は、配線ＷＣＬ［１］と電気的に接続され、容量Ｃ５の第２端子は、配線ＸＣＬ［１］と電気的に接続されている。なお、図１では、セルＩＭ［１，１］において、トランジスタＦ１の第１端子と、トランジスタＦ２のゲートと、容量Ｃ５の第１端子と、の接続箇所をノードＮＮ［１，１］としている。

［０１０３］

セルＩＭ［ｍ，１］において、トランジスタＦ１の第２端子は、配線ＷＣＬ［１］と電気的に接続され、トランジスタＦ１のゲートは、配線ＷＳＬ［ｍ］と電気的に接続されている。トランジスタＦ２の第２端子は、配線ＷＣＬ［１］と電気的に接続され、容量Ｃ５の第２端子は、配線ＸＣＬ［ｍ］と電気的に接続されている。なお、図１では、セルＩＭ［ｍ，１］において、トランジスタＦ１の第１端子と、トランジスタＦ２のゲートと、容量Ｃ５の第１端子と、の接続箇所をノードＮＮ［ｍ，１］としている。

［０１０４］

セルＩＭ［１，ｎ］において、トランジスタＦ１の第２端子は、配線ＷＣＬ［ｎ］と電気的に接続され、トランジスタＦ１のゲートは、配線ＷＳＬ［１］と電気的に接続されている。トランジスタＦ２の第２端子は、配線ＷＣＬ［ｎ］と電気的に接続され、容量Ｃ５の第２端子は、配線ＸＣＬ［１］と電気的に接続されている。なお、図１では、セルＩＭ［１，ｎ］において、トランジスタＦ１の第１端子と、トランジスタＦ２のゲートと、容量Ｃ５の第１端子と、の接続箇所をノードＮＮ［１，ｎ］としている。

［０１０５］

セルＩＭ［ｍ，ｎ］において、トランジスタＦ１の第２端子は、配線ＷＣＬ［ｎ］と電気的に接続され、トランジスタＦ１のゲートは、配線ＷＳＬ［ｍ］と電気的に接続されている。トランジスタＦ２の第２端子は、配線ＷＣＬ［ｎ］と電気的に接続され、容量Ｃ５の第２端子は、配線ＸＣＬ［ｍ］と電気的に接続されている。なお、図１では、セルＩＭ［ｍ，ｎ］において、トランジスタＦ１の第１端子と、トランジスタＦ２のゲートと、容量Ｃ５の第１端子と、の接続箇所をノードＮＮ［ｍ，ｎ］としている。

［０１０６］

セルＩＭｒｅｆ［１］において、トランジスタＦ１ｍの第２端子は、配線ＸＣＬ［１］と電気的に接続され、トランジスタＦ１ｍのゲートは、配線ＷＳＬ［１］と電気的に接続されている。トランジスタＦ２ｍの第２端子は、配線ＸＣＬ［１］と電気的に接続され、容量Ｃ５の第２端子は、配線ＸＣＬ［１］と電気的に接続されている。なお、図１では、セルＩＭｒｅｆ［１］において、トランジスタＦ１ｍの第１端子と、トランジスタＦ２ｍのゲートと、容量Ｃ５の第１端子と、の接続箇所をノードＮＮｒｅｆ［１］としている。

［０１０７］

セルＩＭｒｅｆ［ｍ］において、トランジスタＦ１ｍの第２端子は、配線ＸＣＬ［ｍ］と電気的に接続され、トランジスタＦ１ｍのゲートは、配線ＷＳＬ［ｍ］と電気的に接続されている。トランジスタＦ２ｍの第２端子は、配線ＸＣＬ［ｍ］と電気的に接続され、容量Ｃ５の第２端子は、配線ＸＣＬ［ｍ］と電気的に接続されている。なお、図１では、セルＩＭｒｅｆ［ｍ］において、トランジスタＦ１ｍの第１端子と、トランジスタＦ２ｍのゲートと、容量Ｃ５の第１端子と、の接続箇所をノードＮＮｒｅｆ［ｍ］としている。

［０１０８］

なお、ノードＮＮ［１，１］乃至ノードＮＮ［ｍ，ｎ］、及びノードＮＮｒｅｆ［１］乃至ノードＮＮｒｅｆ［ｍ］は、それぞれのセルの保持ノードとして機能する。

［０１０９］

セルＩＭ［１，１］乃至セルＩＭ［ｍ，ｎ］において、例えば、トランジスタＦ１がオン状態となっているとき、トランジスタＦ２はダイオード接続の構成となる。配線ＶＥが与える定電圧を接地電位（ＧＮＤ）として、トランジスタＦ１がオン状態で、かつ配線ＷＣＬからトランジスタＦ２の第２端子に電流量Ｉの電流が流れた時、トランジスタＦ２のゲート（ノードＮＮ）の電位は、電流量Ｉに応じて決まる。なお、トランジスタＦ２の第２端子の電位は、トランジスタＦ１がオン状態であるため、理想的には、トランジスタＦ２のゲート（ノードＮＮ）と等しくなる。ここで、トランジスタＦ１をオフ状態にすることによって、トランジスタＦ２のゲート（ノードＮＮ）の電位は保持される。これにより、トランジスタＦ２は、トランジスタＦ２の第１端子の接地電位と、ト

ランジスタＦ２のゲート（ノードＮＮ）の電位に応じた電流量Ｉの電流をトランジスタＦ２のソースードレイン間に流すことができる。本明細書等では、このような動作を「セルＩＭのトランジスタＦ２のソースードレイン間に流れる電流量をＩに設定する（プログラミングする）」などと呼称する。

［０１１０］

回路ＳＷＳ１は、一例として、トランジスタＦ３［１］乃至トランジスタＦ３［ｎ］を有する。トランジスタＦ３［１］の第１端子は、配線ＷＣＬ［１］に電気的に接続され、トランジスタＦ３［１］の第２端子は、回路ＷＣＳに電気的に接続され、トランジスタＦ３［１］のゲートは、配線ＳＷＬ１に電気的に接続されている。トランジスタＦ３［ｎ］の第１端子は、配線ＷＣＬ［ｎ］に電気的に接続され、トランジスタＦ３［ｎ］の第２端子は、回路ＷＣＳに電気的に接続され、トランジスタＦ３［ｎ］のゲートは、配線ＳＷＬ１に電気的に接続されている。

［０１１１］

トランジスタＦ３［１］乃至トランジスタＦ３［ｎ］のそれぞれとしては、例えば、トランジスタＦ１、及び／又はトランジスタＦ２に適用できるトランジスタを用いることができる。特に、トランジスタＦ３［１］乃至トランジスタＦ３［ｎ］のそれぞれとしては、ＯＳトランジスタを用いることが好ましい。

［０１１２］

回路ＳＷＳ１は、回路ＷＣＳと、配線ＷＣＬ［１］乃至配線ＷＣＬ［ｎ］のそれぞれと、の間を、導通状態又は非導通状態にする回路として機能する。

［０１１３］

回路ＳＷＳ２は、一例として、トランジスタＦ４［１］乃至トランジスタＦ４［ｎ］を有する。トランジスタＦ４［１］の第１端子は、配線ＷＣＬ［１］に電気的に接続され、トランジスタＦ４［１］の第２端子は、変換回路ＩＴＲＺ［１］の入力端子に電気的に接続され、トランジスタＦ４［１］のゲートは、配線ＳＷＬ２に電気的に接続されている。トランジスタＦ４［ｎ］の第１端子は、配線ＷＣＬ［ｎ］に電気的に接続され、トランジスタＦ４［ｎ］の第２端子は、変換回路ＩＴＲＺ［ｎ］の入力端子に電気的に接続され、トランジスタＦ４［ｎ］のゲートは、配線ＳＷＬ２に電気的に接続されている。

［０１１４］

トランジスタＦ４［１］乃至トランジスタＦ４［ｎ］のそれぞれとしては、例えば、トランジスタＦ１、及び／又はトランジスタＦ２に適用できるトランジスタを用いることができる。特に、トランジスタＦ４［１］乃至トランジスタＦ４［ｎ］のそれぞれとしては、ＯＳトランジスタを用いることが好ましい。

［０１１５］

回路ＳＷＳ２は、配線ＷＣＬ［１］と変換回路ＩＴＲＺ［１］との間、及び配線ＷＣＬ［ｎ］と変換回路ＩＴＲＺ［ｎ］との間を、導通状態又は非導通状態にする機能を有する。

［０１１６］

回路ＷＣＳは、セルアレイＣＡが有するそれぞれのセルに格納するためのデータを供給する機能を有する。

［０１１７］

回路ＸＣＳは、配線ＸＣＬ［１］乃至配線ＸＣＬ［ｍ］に電気的に接続されている。回路ＸＣＳ

は、セルアレイＣＡが有するセルＩＭｒｅｆ［１］乃至セルＩＭｒｅｆ［ｍ］のそれぞれに対して、後述する参照データに応じた電流量、又は第２データに応じた電流量を流す機能を有する。

［０１１８］

回路ＷＳＤは、配線ＷＳＬ［１］乃至配線ＷＳＬ［ｍ］に電気的に接続されている。回路ＷＳＤは、セルＩＭ［１，１］乃至セルＩＭ［ｍ，ｎ］に第１データを書き込む際に、配線ＷＳＬ［１］乃至配線ＷＳＬ［ｍ］に所定の信号を供給することによって、第１データの書き込み先となるセルアレイＣＡの行を選択する機能を有する。つまり、配線ＷＳＬ［１］乃至配線ＷＳＬ［ｍ］は、書き込みワード線として機能する。

［０１１９］

また、回路ＷＳＤは、一例として、配線ＳＷＬ１と、配線ＳＷＬ２と、に電気的に接続されている。回路ＷＳＤは、配線ＳＷＬ１に所定の信号を供給することによって、回路ＷＣＳとセルアレイＣＡとの間を導通状態又は非導通状態にする機能と、配線ＳＷＬ２に所定の信号を供給することによって、変換回路ＩＴＲＺ［１］乃至変換回路ＩＴＲＺ［ｎ］とセルアレイＣＡとの間を導通状態又は非導通状態にする機能と、を有する。

［０１２０］

変換回路ＩＴＲＺ［１］乃至変換回路ＩＴＲＺ［ｎ］のそれぞれは、一例として、入力端子と、出力端子と、を有する。例えば、変換回路ＩＴＲＺ［１］の出力端子は、配線ＯＬ［１］に電気的に接続され、変換回路ＩＴＲＺ［ｎ］の出力端子は、配線ＯＬ［ｎ］に電気的に接続されている。

［０１２１］

変換回路ＩＴＲＺ［１］乃至変換回路ＩＴＲＺ［ｎ］のそれぞれは、入力端子に電流が入力されることで、当該電流の量に応じた電圧に変換して、出力端子から当該電圧を出力する機能を有する。当該電圧としては、例えば、アナログ電圧、デジタル電圧などとすることができる。また、変換回路ＩＴＲＺ［１］乃至変換回路ＩＴＲＺ［ｎ］のそれぞれは、関数系の演算回路を有してもよい。この場合、例えば、変換された電圧を用いて、当該演算回路によって関数の演算を行って、演算の結果を配線ＯＬ［１］乃至配線ＯＬ［ｎ］に出力してもよい。

［０１２２］

特に、階層型のニューラルネットワークの演算を行う場合、上述した関数としては、例えば、シグモイド関数、ｔａｎｈ関数、ソフトマックス関数、ＲｅＬＵ関数、しきい値関数などを用いることができる。

［０１２３］

＜＜回路ＷＣＳ、回路ＸＣＳ＞＞

ここでは、回路ＷＣＳ、及び回路ＸＣＳの具体例について説明する。

［０１２４］

初めに、回路ＷＣＳについて説明する。図２Ａは、回路ＷＣＳの一例を示したブロック図である。なお、図２Ａには、回路ＷＣＳの周辺の回路との電気的な接続を示すため、回路ＳＷＳ１、トランジスタＦ３、配線ＳＷＬ１、配線ＷＣＬも図示している。また、トランジスタＦ３は、図１の演算回路ＭＡＣ１に含まれているトランジスタＦ３［１］乃至トランジスタＦ３［ｎ］のいずれか一であり、配線ＷＣＬは、図１の演算回路ＭＡＣ１に含まれている配線ＷＣＬ［１］乃至配線ＷＣＬ［ｎ］のいずれか一である。

［０１２５］

図２Ａに示す回路ＷＣＳは、一例として、スイッチＳＷＷを有する。スイッチＳＷＷの第１端子は、トランジスタＦ３の第２端子に電気的に接続され、スイッチＳＷＷの第２端子は、配線ＶＩＮＩＬ１に電気的に接続されている。配線ＶＩＮＩＬ１は、配線ＷＣＬに初期化用の電位を与える配線として機能し、初期化用の電位としては、接地電位（ＧＮＤ）、低レベル電位、高レベル電位などとすることができる。なお、スイッチＳＷＷは、配線ＷＣＬに初期化用の電位を与えるときのみオン状態となり、それ以外のときはオフ状態となるものとする。

［０１２６］

スイッチＳＷＷとしては、例えば、アナログスイッチやトランジスタなどの電気的なスイッチなどを適用することができる。なお、スイッチＳＷＷとして、例えば、トランジスタを適用する場合、当該トランジスタは、トランジスタＦ１、トランジスタＦ２と同様の構造のトランジスタとすることができる。また、電気的なスイッチ以外では、機械的なスイッチを適用してもよい。

［０１２７］

また、図２Ａの回路ＷＣＳは、一例として、複数の電流源ＣＳを有する。具体的には、回路ＷＣＳはＫビット（2^{K}値）（Ｋは１以上の整数）の第１データを電流量として出力する機能を有し、この場合、回路ＷＣＳは、$2^{K}-1$個の電流源ＣＳを有する。なお、回路ＷＣＳは、１ビット目の値に相当する情報を電流として出力する電流源ＣＳを１個有し、２ビット目の値に相当する情報を電流として出力する電流源ＣＳを２個有し、Ｋビット目の値に相当する情報を電流として出力する電流源ＣＳを2^{K-1}個有する。

［０１２８］

図２Ａにおいて、それぞれの電流源ＣＳは、端子Ｔ１と、端子Ｔ２と、を有する。それぞれの電流源ＣＳの端子Ｔ１は、回路ＳＷＳ１が有するトランジスタＦ３の第２端子に電気的に接続されている。また、１個の電流源ＣＳの端子Ｔ２は配線ＤＷ［１］に電気的に接続され、２個の電流源ＣＳの端子Ｔ２のそれぞれは配線ＤＷ［２］に電気的に接続され、2^{K-1}個の電流源ＣＳの端子Ｔ２のそれぞれは配線ＤＷ［Ｋ］に電気的に接続されている。

［０１２９］

回路ＷＣＳが有する複数の電流源ＣＳは、それぞれ同一の定電流I_{Wut}を端子Ｔ１から出力する機能を有する。なお、実際には、演算回路ＭＡＣ１の作製段階において、それぞれの電流源ＣＳに含まれているトランジスタの電気特性のバラツキによって誤差が現れることがある。そのため、複数の電流源ＣＳの端子Ｔ１のそれぞれから出力される定電流I_{Wut}の誤差は１０％以内が好ましく、５％以内であることがより好ましく、１％以内であることがより好ましい。なお、本実施の形態では、回路ＷＣＳに含まれている複数の電流源ＣＳの端子Ｔ１から出力される定電流I_{Wut}の誤差は無いものとして説明する。

［０１３０］

配線ＤＷ［１］乃至配線ＤＷ［Ｋ］は、電気的に接続されている電流源ＣＳから定電流I_{Wut}を出力するための制御信号を送信する配線として機能する。具体的には、例えば、配線ＤＷ［１］に高レベル電位が与えられているとき、配線ＤＷ［１］に電気的に接続されている電流源ＣＳは、定電流としてI_{Wut}をトランジスタＦ３の第２端子に流し、また、配線ＤＷ［１］に低レベル電位が与えられているとき、配線ＤＷ［１］に電気的に接続されている電流源ＣＳは、I_{Wut}を出力しない。また、例えば、配線ＤＷ［２］に高レベル電位が与えられているとき、配線ＤＷ［２］に電気的に接続されている２個の電流源ＣＳは、合計$2I_{Wut}$の定電流をトランジスタＦ３の第２端子に

流し、また、配線ＤＷ［２］に低レベル電位が与えられているとき、配線ＤＷ［２］に電気的に接続されている電流源ＣＳは、合計２I_{Wut}の定電流を出力しない。また、例えば、配線ＤＷ［Ｋ］に高レベル電位が与えられているとき、配線ＤＷ［Ｋ］に電気的に接続されている2^{K-1}個の電流源ＣＳは、合計$2^{K-1}I_{Wut}$の定電流をトランジスタＦ３の第２端子に流し、また、配線ＤＷ［Ｋ］に低レベル電位が与えられているとき、配線ＤＷ［Ｋ］に電気的に接続されている電流源ＣＳは、合計$2^{K-1}I_{Wut}$の定電流を出力しない。

［０１３１］

配線ＤＷ［１］に電気的に接続されている１個の電流源ＣＳが流す電流は、１ビット目の値に相当し、配線ＤＷ［２］に電気的に接続されている２個の電流源ＣＳが流す電流は、２ビット目の値に相当し、配線ＤＷ［Ｋ］に電気的に接続されているＫ個の電流源ＣＳが流す電流量は、Ｋビット目の値に相当する。ここで、Ｋを２とした場合の回路ＷＣＳを考える。例えば、１ビット目の値が“１”、２ビット目の値が“０”とき、配線ＤＷ［１］には高レベル電位が与えられ、配線ＤＷ［２］には低レベル電位が与えられる。このとき、回路ＷＣＳから、回路ＳＷＳ１のトランジスタＦ３の第２端子に定電流としてI_{Wut}が流れる。また、例えば、１ビット目の値が“０”、２ビット目の値が“１”のとき、配線ＤＷ［１］には低レベル電位が与えられ、配線ＤＷ［２］には高レベル電位が与えられる。このとき、回路ＷＣＳから、回路ＳＷＳ１のトランジスタＦ３の第２端子に定電流として２I_{Wut}が流れる。また、例えば、１ビット目の値が“１”、２ビット目の値が“１”のとき、配線ＤＷ［１］及び配線ＤＷ［２］には高レベル電位が与えられる。このとき、回路ＷＣＳから、回路ＳＷＳ１のトランジスタＦ３の第２端子に定電流として３I_{Wut}が流れる。また、例えば、１ビット目の値が“０”、２ビット目の値が“０”のとき、配線ＤＷ［１］及び配線ＤＷ「２」には低レベル電位が与えられる。このとき、回路ＷＣＳから、回路ＳＷＳ１のトランジスタＦ３の第２端子に定電流は流れない。

［０１３２］

なお、図２ＡではＫが３以上の整数である場合の回路ＷＣＳを図示しているが、Ｋが１である場合は、図２Ａの回路ＷＣＳを、配線ＤＷ［２］乃至配線ＤＷ［Ｋ］に電気的に接続されている電流源ＣＳを設けない構成にすればよい。また、Ｋが２である場合は、図２Ａの回路ＷＣＳを、配線ＤＷ［３］乃至配線ＤＷ［Ｋ］に電気的に接続されている電流源ＣＳを設けない構成にすればよい。

［０１３３］

次に、電流源ＣＳの具体的な構成例について説明する。

［０１３４］

図３Ａに示す電流源ＣＳ１は、図２Ａの回路ＷＣＳに含まれる電流源ＣＳに適用できる回路であって、電流源ＣＳ１は、トランジスタＴｒ１と、トランジスタＴｒ２と、を有する。

［０１３５］

トランジスタＴｒ１の第１端子は、配線ＶＤＤＬに電気的に接続され、トランジスタＴｒ１の第２端子は、トランジスタＴｒ１のゲートと、トランジスタＴｒ１のバックゲートと、トランジスタＴｒ２の第１端子と、に電気的に接続されている。トランジスタＴｒ２の第２端子は、端子Ｔ１に電気的に接続され、トランジスタＴｒ２のゲートは、端子Ｔ２に電気的に接続されている。また、端子Ｔ２は、配線ＤＷに電気的に接続されている。

［０１３６］

配線ＤＷは、図２Ａの配線ＤＷ［１］乃至配線ＤＷ［ｎ］のいずれか一である。

［０１３７］

配線ＶＤＤＬは、定電圧を与える配線として機能する。当該定電圧としては、例えば、高レベル電位とすることができる。

［０１３８］

配線ＶＤＤＬが与える定電圧を高レベル電位としたとき、トランジスタＴｒ１の第１端子には高レベル電位が入力される。また、トランジスタＴｒ１の第２端子の電位は、当該高レベル電位よりも低い電位とする。このとき、トランジスタＴｒ１の第１端子はドレインとして機能し、トランジスタＴｒ１の第２端子はソースとして機能する。また、トランジスタＴｒ１のゲートと、トランジスタＴｒ１の第２端子と、は、電気的に接続されているため、トランジスタＴｒ１のゲートーソース間電圧は０Ｖとなる。このため、トランジスタＴｒ１のしきい値電圧が適切な範囲内である場合、トランジスタＴｒ１の第１端子ー第２端子間には、サブスレッショルド領域の電流範囲の電流（ドレイン電流）が流れる。当該電流の量としては、トランジスタＴｒ１がＯＳトランジスタである場合、例えば、１．０×１０$^{-8}$Ａ以下であることが好ましく、また、１．０×１０$^{-12}$Ａ以下であることがより好ましく、また、１．０×１０$^{-15}$Ａ以下であることがより好ましい。また、例えば、当該電流はゲートーソース間電圧に対して指数関数的に増大する範囲内であることがより好ましい。つまり、トランジスタＴｒ１は、サブスレッショルド領域で動作するときの電流範囲の電流を流すための電流源として機能する。なお、当該電流は上述したI_{Wut}、又は後述するI_{Xut}に相当する。

［０１３９］

トランジスタＴｒ２は、スイッチング素子として機能する。ところで、トランジスタＴｒ２の第１端子の電位がトランジスタＴｒ２の第２端子の電位よりも高い場合、トランジスタＴｒ２の第１端子はドレインとして機能し、トランジスタＴｒ２の第２端子はソースとして機能する。また、トランジスタＴｒ２のバックゲートと、トランジスタＴｒ２の第２端子と、は、電気的に接続されているため、バックゲートーソース間電圧は０Ｖとなる。このため、トランジスタＴｒ２のしきい値電圧が適切な範囲内である場合、トランジスタＴｒ２のゲートに高レベル電位が入力されることで、トランジスタＴｒ２はオン状態となるものとし、トランジスタＴｒ２のゲートに低レベル電位が入力されることで、トランジスタＴｒ２はオフ状態となるものとする。具体的には、トランジスタＴｒ２がオン状態のとき、上述したサブスレッショルド領域の電流範囲の電流がトランジスタＴｒ１の第２端子から端子Ｔ１に流れ、トランジスタＴｒ２がオフ状態のとき、当該電流はトランジスタＴｒ１の第２端子から端子Ｔ１に流れないものとする。

［０１４０］

なお、図２Ａの回路ＷＣＳに含まれる電流源ＣＳに適用できる回路は、図３Ａの電流源ＣＳ１に限定されない。例えば、電流源ＣＳ１は、トランジスタＴｒ２のバックゲートとトランジスタＴｒ２の第２端子とが電気的に接続されている構成となっているが、トランジスタＴｒ２のバックゲートは別の配線に電気的に接続されている構成としてもよい。このような構成例を図３Ｂに示す。図３Ｂに示す電流源ＣＳ２は、トランジスタＴｒ２のバックゲートが配線ＶＴＨＬに電気的に接続されている構成となっている。電流源ＣＳ２は、配線ＶＴＨＬが外部回路などと電気的に接続されることで、当該外部回路などによって配線ＶＴＨＬに所定の電位を与えて、トランジスタＴｒ２のバックゲートに当該所定の電位を与えることができる。これにより、トランジスタＴｒ２のしきい値電圧を変動させることができる。特に、トランジスタＴｒ２のしきい値電圧を高くすることによって、トランジスタＴｒ２のオフ電流を小さくすることができる。

［０１４１］

また、例えば、電流源ＣＳ１は、トランジスタＴｒ１のバックゲートとトランジスタＴｒ１の第２端子とが電気的に接続されている構成となっているが、トランジスタＴｒ２のバックゲートと第２端子との間は容量によって電圧を保持する構成としてもよい。このような構成例を図３Ｃに示す。図３Ｃに示す電流源ＣＳ３は、トランジスタＴｒ１、及びトランジスタＴｒ２に加えて、トランジスタＴｒ３と、容量Ｃ６と、を有する。電流源ＣＳ３は、トランジスタＴｒ１の第２端子とトランジスタＴｒ１のバックゲートとが容量Ｃ６を介して電気的に接続されている点と、トランジスタＴｒ１のバックゲートとトランジスタＴｒ３の第１端子とが電気的に接続されている点で電流源ＣＳ１と異なる。また、電流源ＣＳ３は、トランジスタＴｒ３の第２端子が配線ＶＴＬに電気的に接続され、トランジスタＴｒ３のゲートが配線ＶＷＬに電気的に接続されている構成となっている。電流源ＣＳ３は、配線ＶＷＬに高レベル電位を与えて、トランジスタＴｒ３をオン状態にすることによって、配線ＶＴＬとトランジスタＴｒ１のバックゲートとの間を導通状態にすることができる。このとき、配線ＶＴＬからトランジスタＴｒ１のバックゲートに所定の電位を入力することができる。そして、配線ＶＷＬに低レベル電位を与えて、トランジスタＴｒ３をオフ状態にすることによって、容量Ｃ６により、トランジスタＴｒ１の第２端子とトランジスタＴｒ１のバックゲートとの間の電圧を保持することができる。つまり、配線ＶＴＬがトランジスタＴｒ１のバックゲートに与える電圧を定めることによって、トランジスタＴｒ１のしきい値電圧を変動させることができ、かつトランジスタＴｒ３と容量Ｃ６とによって、トランジスタＴｒ１のしきい値電圧を固定することができる。

［０１４２］

また、例えば、図２Ａの回路ＷＣＳに含まれる電流源ＣＳに適用できる回路としては、図３Ｄに示す電流源ＣＳ４としてもよい。電流源ＣＳ４は、図３Ｃの電流源ＣＳ３において、トランジスタＴｒ２のバックゲートをトランジスタＴｒ２の第２端子でなく、配線ＶＴＨＬに電気的に接続した構成となっている。つまり、電流源ＣＳ４は、図３Ｂの電流源ＣＳ２と同様に、配線ＶＴＨＬが与える電位によって、トランジスタＴｒ２のしきい値電圧を変動させることができる。

［０１４３］

電流源ＣＳ４において、トランジスタＴｒ１の第１端子－第２端子間に大きな電流が流れる場合、端子Ｔ１から電流源ＣＳ４の外部に当該電流を流すために、トランジスタＴｒ２のオン電流を大きくする必要がある。この場合、電流源ＣＳ４は、配線ＶＴＨＬに高レベル電位を与えて、トランジスタＴｒ２のしきい値電圧を低くして、トランジスタＴｒ２のオン電流を高くすることによって、トランジスタＴｒ１の第１端子－第２端子間に流れる大きな電流を、端子Ｔ１から電流源ＣＳ４の外部に流すことができる。

［０１４４］

図２Ａの回路ＷＣＳに含まれる電流源ＣＳとして、図３Ａ乃至図３Ｄに示した電流源ＣＳ１乃至電流源ＣＳ４を適用することによって、回路ＷＣＳは、Ｋビットの第１データに応じた電流を出力することができる。また、当該電流の量は、例えば、トランジスタＦ１がサブスレッショルド領域で動作する範囲内における第１端子－第２端子間に流れる電流量とすることができる。

［０１４５］

また、図２Ａの回路ＷＣＳとしては、図２Ｂに示す回路ＷＣＳを適用してもよい。図２Ｂの回路ＷＣＳは、配線ＤＷ［１］乃至配線ＤＷ［Ｋ］のそれぞれに、図３Ａの電流源ＣＳが１つずつ接続

された構成となっている。また、トランジスタＴｒ１［１］のチャネル幅をｗ［１］、トランジスタＴｒ１［２］のチャネル幅をｗ［２］、トランジスタＴｒ１［Ｋ］のチャネル幅をｗ［Ｋ］としたとき、それぞれのチャネル幅の比は、ｗ［１］：ｗ［２］：ｗ［Ｋ］＝１：２：2^{K-1}となっている。サブスレッショルド領域で動作するトランジスタのソースードレイン間に流れる電流は、チャネル幅に比例するため、図２Ｂに示す回路ＷＣＳは、図２Ａの回路ＷＣＳと同様に、Ｋビットの第１データに応じた電流を出力することができる。

［０１４６］

なお、トランジスタＴｒ１（トランジスタＴｒ１［１］乃至トランジスタＴｒ２［Ｋ］を含む）、トランジスタＴｒ２（トランジスタＴｒ２［１］乃至トランジスタＴｒ２［Ｋ］を含む）、及びトランジスタＴｒ３は、例えば、トランジスタＦ１、及び／又はトランジスタＦ２に適用できるトランジスタを用いることができる。特に、トランジスタＴｒ１（トランジスタＴｒ１［１］乃至トランジスタＴｒ２［Ｋ］を含む）、トランジスタＴｒ２（トランジスタＴｒ２［１］乃至トランジスタＴｒ２［Ｋ］を含む）、及びトランジスタＴｒ３としては、ＯＳトランジスタを用いることが好ましい。

［０１４７］

次に、回路ＸＣＳの具体例について説明する。

［０１４８］

図２Ｃは、回路ＸＣＳの一例を示したブロック図である。なお、図２Ｃには、回路ＷＣＳの周辺の回路との電気的な接続を示すため、配線ＸＣＬも図示している。また、配線ＸＣＬは、図１の演算回路ＭＡＣ１に含まれている配線ＸＣＬ［１］乃至配線ＸＣＬ［ｍ］のいずれか一である。

［０１４９］

図２Ｃに示す回路ＸＣＳは、一例として、スイッチＳＷＸを有する。スイッチＳＷＸの第１端子は、配線ＸＣＬと、複数の電流源ＣＳと、に電気的に接続され、スイッチＳＷＸの第２端子は、配線ＶＩＮＩＬ２に電気的に接続されている。配線ＶＩＮＩＬ２は、配線ＸＣＬに初期化用の電位を与える配線として機能し、初期化用の電位としては、接地電位（ＧＮＤ）、低レベル電位、高レベル電位などとすることができる。また、配線ＶＩＮＩＬ２が与える初期化用の電位は、配線ＶＩＮＩＬ１が与える電位と等しくしてもよい。なお、スイッチＳＷＸは、配線ＸＣＬに初期化用の電位を与えるときのみオン状態となり、それ以外のときはオフ状態となるものとする。

［０１５０］

スイッチＳＷＸとしては、例えば、スイッチＳＷＷに適用できるスイッチとすることができる。

［０１５１］

また、図２Ｃの回路ＸＣＳの回路構成は、図３Ａの回路ＷＣＳとほぼ同様の構成にすることができる。具体的には、回路ＸＣＳは、参照データを電流量として出力する機能と、Ｌビット（2^{L}値）（Ｌは１以上の整数）の第２データを電流量として出力する機能と、を有し、この場合、回路ＸＣＳは、$2^{L}-1$個の電流源ＣＳを有する。なお、回路ＸＣＳは、１ビット目の値に相当する情報を電流として出力する電流源ＣＳを１個有し、２ビット目の値に相当する情報を電流として出力する電流源ＣＳを２個有し、Ｌビット目の値に相当する情報を電流として出力する電流源ＣＳを2^{L-1}個有している。

［０１５２］

ところで、回路ＸＣＳが電流として出力する参照データとしては、例えば、１ビット目の値が

“１”、２ビット目以降の値が“０”の情報とすることができる。

［０１５３］

図２Ｃにおいて、１個の電流源ＣＳの端子Ｔ２は配線ＤＸ［１］に電気的に接続され、２個の電流源ＣＳの端子Ｔ２のそれぞれは配線ＤＸ［２］に電気的に接続され、$２^{Ｌ－１}$個の電流源ＣＳの端子Ｔ２のそれぞれは配線ＤＸ［Ｌ］に電気的に接続されている。

［０１５４］

回路ＸＣＳが有する複数の電流源ＣＳは、それぞれ同一の定電流として$Ｉ_{Ｘｕｔ}$を端子Ｔ１から出力する機能を有する。また、配線ＤＸ［１］乃至配線ＤＸ［Ｌ］は、電気的に接続されている電流源ＣＳから$Ｉ_{Ｘｕｔ}$を出力するための制御信号を送信する配線として機能する。つまり、回路ＸＣＳは、配線ＤＸ［１］乃至配線ＤＸ［Ｌ］から送られるＬビットの情報に応じた電流量を、配線ＸＣＬに流す機能を有する。

［０１５５］

具体的には、ここで、Ｌを２とした場合の回路ＸＣＳを考える。例えば、１ビット目の値が“１”、２ビット目の値が“０”とき、配線ＤＸ［１］には高レベル電位が与えられ、配線ＤＸ［２］には低レベル電位が与えられる。このとき、回路ＸＣＳから、配線ＸＣＬに定電流として$Ｉ_{Ｘｕｔ}$が流れる。また、例えば、１ビット目の値が“０”、２ビット目の値が“１”のとき、配線ＤＸ［１］には低レベル電位が与えられ、配線ＤＸ［２］には高レベル電位が与えられる。このとき、回路ＸＣＳから、配線ＸＣＬに定電流として$２Ｉ_{Ｘｕｔ}$が流れる。また、例えば、１ビット目の値が“１”、２ビット目の値が“１”のとき、配線ＤＸ［１］及び配線ＤＸ［２］には高レベル電位が与えられる。このとき、回路ＸＣＳから、配線ＸＣＬに定電流として$３Ｉ_{Ｘｕｔ}$が流れる。また、例えば、１ビット目の値が“０”、２ビット目の値が“０”のとき、配線ＤＸ［１］及び配線ＤＸ［２］には低レベル電位が与えられる。このとき、回路ＸＣＳから、配線ＸＣＬに定電流は流れない。なお、このとき、本明細書などにおいて、回路ＸＣＳから配線ＸＣＬに電流量０の電流が流れると言い換える場合がある。また、回路ＸＣＳが出力する電流量０、$Ｉ_{Ｘｕｔ}$、$２Ｉ_{Ｘｕｔ}$、$３Ｉ_{Ｘｕｔ}$などは、回路ＸＣＳが出力する第２データとすることができ、特に、回路ＸＣＳが出力する電流量$Ｉ_{Ｘｕｔ}$は、回路ＸＣＳが出力する参照データとすることができる。

［０１５６］

なお、回路ＸＣＳが有する、それぞれの電流源ＣＳに含まれているトランジスタの電気特性のバラツキによって誤差が生じている場合、複数の電流源ＣＳの端子Ｔ１のそれぞれから出力される定電流$Ｉ_{Ｘｕｔ}$の誤差は１０％以内が好ましく、５％以内であることがより好ましく、１％以内であることがより好ましい。なお、本実施の形態では、回路ＸＣＳに含まれている複数の電流源ＣＳの端子Ｔ１から出力される定電流$Ｉ_{Ｘｕｔ}$の誤差は無いものとして説明する。

［０１５７］

また、回路ＸＣＳの電流源ＣＳとしては、回路ＷＣＳの電流源ＣＳと同様に、図３Ａ乃至図３Ｄの電流源ＣＳ１乃至電流源ＣＳ４のいずれかを適用することができる。この場合、図３Ａ乃至図３Ｄに図示している配線ＤＷを配線ＤＸに置き換えればよい。これにより、回路ＸＣＳは、参照データ、又はＬビットの第２データとして、サブスレッショルド領域の電流範囲の電流を配線ＸＣＬに流すことができる。

［０１５８］

また、図２Ｃの回路ＸＣＳとしては、図２Ｂに示す回路ＷＣＳと同様の回路構成を適用すること

ができる。この場合、図２Ｂに示す回路ＷＣＳを回路ＸＣＳに置き換え、配線ＤＷ［１］を配線ＤＸ［１］に置き換え、配線ＤＷ［２］を配線ＤＸ［２］に置き換え、配線ＤＷ［Ｋ］を配線ＤＸ［Ｌ］に置き換え、スイッチＳＷＷをスイッチＳＷＸに置き換え、配線ＶＩＮＩＬ１を配線ＶＩＮＩＬ２に置き換えて考えればよい。

［０１５９］

＜＜変換回路ＩＴＲＺ［１］乃至変換回路ＩＴＲＺ［ｎ］＞＞

ここでは、図１の演算回路ＭＡＣ１に含まれる変換回路ＩＴＲＺ［１］乃至変換回路ＩＴＲＺ［ｎ］に適用できる回路の具体例について説明する。

［０１６０］

図４Ａに示す変換回路ＩＴＲＺ１は、図１の変換回路ＩＴＲＺ［１］乃至変換回路ＩＴＲＺ［ｎ］に適用できる回路の一例である。なお、図４Ａには、変換回路ＩＴＲＺ１の周辺の回路との電気的な接続を示すため、回路ＳＷＳ２、配線ＷＣＬ、配線ＳＷＬ２、トランジスタＦ４も図示している。また、配線ＷＣＬは、図１の演算回路ＭＡＣ１に含まれている配線ＷＣＬ［１］乃至配線ＷＣＬ［ｎ］のいずれか一であり、トランジスタＦ４は、図１の演算回路ＭＡＣ１に含まれているトランジスタＦ４［１］乃至トランジスタＦ４［ｎ］のいずれか一である。

［０１６１］

図４Ａの変換回路ＩＴＲＺ１は、トランジスタＦ４を介して配線ＷＣＬに電気的に接続されている。また、変換回路ＩＴＲＺ１は、配線ＯＬに電気的に接続されている。変換回路ＩＴＲＺ１は、変換回路ＩＴＲＺ１から配線ＷＣＬに流れる電流量、又は配線ＷＣＬから変換回路ＩＴＲＺ１に流れる電流量をアナログ電圧に変換して、配線ＯＬに当該アナログ電圧を出力する機能を有する。つまり、変換回路ＩＴＲＺ１は、電流電圧変換回路を有する。

［０１６２］

図４Ａの変換回路ＩＴＲＺ１は、一例として、抵抗Ｒ５と、オペアンプＯＰ１と、を有する。

［０１６３］

オペアンプＯＰ１の反転入力端子は、抵抗Ｒ５の第１端子と、トランジスタＦ４の第２端子と、に電気的に接続されている。オペアンプＯＰ１の非反転入力端子は、配線ＶＲＬに電気的に接続されている。オペアンプＯＰ１の出力端子は、抵抗Ｒ５の第２端子と、配線ＯＬに電気的に接続されている。

［０１６４］

配線ＶＲＬは、定電圧を与える配線として機能する。当該定電圧としては、例えば、接地電位（ＧＮＤ）、低レベル電位などとすることができる。

［０１６５］

変換回路ＩＴＲＺ１は、図４Ａの構成にすることによって、配線ＷＣＬから、トランジスタＦ４を介して、変換回路ＩＴＲＺ１に流れる電流量、又は、変換回路ＩＴＲＺ１から、トランジスタＦ４を介して、配線ＷＣＬに流れる電流量を、アナログ電圧に変換して配線ＯＬに出力することができる。

［０１６６］

特に、配線ＶＲＬが与える定電圧を接地電位（ＧＮＤ）とすることによって、オペアンプＯＰ１の反転入力端子は仮想接地となるため、配線ＯＬに出力されるアナログ電圧は接地電位（ＧＮＤ）を基準とした電圧とすることができる。

［０１６７］

また、図４Ａの変換回路ＩＴＲＺ１は、アナログ電圧を出力する構成となっているが、図１の変換回路ＩＴＲＺ［１］乃至変換回路ＩＴＲＺ［ｎ］に適用できる回路構成は、これに限定されない。例えば、変換回路ＩＴＲＺ１は、図４Ｂに示すとおり、アナログデジタル変換回路ＡＤＣを有する構成としてもよい。具体的には、図４Ｂの変換回路ＩＴＲＺ２は、アナログデジタル変換回路ＡＤＣの入力端子がオペアンプＯＰ１の出力端子と、抵抗Ｒ５の第２端子と、に電気的に接続され、アナログデジタル変換回路ＡＤＣの出力端子が配線ＯＬに電気的に接続されている構成となっている。このような構成にすることによって、図４Ｂの変換回路ＩＴＲＺ２は、配線ＯＬにデジタル信号を出力することができる。

［０１６８］

また、変換回路ＩＴＲＺ２において、配線ＯＬに出力されるデジタル信号を１ビット（２値）とする場合、変換回路ＩＴＲＺ２は、図４Ｃに示す変換回路ＩＴＲＺ３に置き換えてもよい。図４Ｃの変換回路ＩＴＲＺ３は、図４Ａの変換回路ＩＴＲＺ１にコンパレータＣＭＰ１を設けた構成となっている。具体的には、変換回路ＩＴＲＺ３は、コンパレータＣＭＰ１の第１入力端子がオペアンプＯＰ１の出力端子と、抵抗Ｒ５の第２端子と、に電気的に接続され、コンパレータＣＭＰ１の第２入力端子が配線ＶＲＬ２に電気的に接続され、コンパレータＣＭＰ１の出力端子が配線ＯＬに電気的に接続されている構成となっている。配線ＶＲＬ２は、コンパレータＣＭＰ１の第１端子の電位と比較するための電位を与える配線として機能する。このような構成にすることによって、図４Ｃの変換回路ＩＴＲＺ３は、電流電圧変換回路によってトランジスタＦ４のソースードレイン間に流れる電流量から変換された電圧と、配線ＶＲＬ２が与える電圧と、との大小に応じて、配線ＯＬに低レベル電位又は高レベル電位（２値のデジタル信号）を出力することができる。

［０１６９］

また、図１の演算回路ＭＡＣ１に適用できる変換回路ＩＴＲＺ［１］乃至変換回路ＩＴＲＺ［ｎ］は、図４Ａ乃至図４Ｃのそれぞれに示した変換回路ＩＴＲＺ１乃至変換回路ＩＴＲＺ３に限定されない。例えば、階層型のニューラルネットワークの演算として、演算回路ＭＡＣ１を用いる場合、変換回路ＩＴＲＺ１乃至変換回路ＩＴＲＺ３には、関数系の演算回路を有することが好ましい。また、関数系の演算回路としては、シグモイド関数、ｔａｎｈ関数、ソフトマックス関数、ＲｅＬＵ関数、しきい値関数などの演算回路とすることができる。

［０１７０］

なお、本発明の一態様は、本実施の形態で述べた演算回路ＭＡＣ１の回路構成に限定されない。演算回路ＭＡＣ１は、状況に応じて、回路構成を変更することができる。例えば、演算回路ＭＡＣ１は、図５に示す演算回路ＭＡＣ１Ａの通り、回路ＳＷＳ１を設けない構成に変更してもよい。演算回路ＭＡＣ１の場合、回路ＳＷＳ１によって、回路ＷＣＳから配線ＷＣＬ［１］乃至配線ＷＣＬ［ｎ］に流れる電流を停止することができるが、演算回路ＭＡＣ１Ａの場合、回路ＷＣＳによって、回路ＷＣＳから配線ＷＣＬ［１］乃至配線ＷＣＬ［ｎ］に流れる電流を停止すればよい。具体的には、例えば、演算回路ＭＡＣ１Ａに含まれる回路ＷＣＳとして図２Ａの回路ＷＣＳを適用し、電流源ＣＳとして図３Ａの電流源ＣＳ１を適用したとき、配線ＤＷ［１］乃至配線ＤＷ［Ｋ］のそれぞれに低レベル電位を入力し、かつスイッチＳＷＷをオフ状態にすればよい。回路ＷＣＳをこのように動作を行うことで、回路ＷＣＳから配線ＷＣＬ［１］乃至配線ＷＣＬ［ｎ］に流れる電流を停止することができる。このように回路ＷＣＳを、回路ＷＣＳから配線ＷＣＬ［１］乃至配線ＷＣＬ

［ｎ］に流れる電流を停止することにより、演算回路ＭＡＣ１の代わりに演算回路ＭＡＣ１Ａを用いて演算を行うことができる。

［０１７１］

＜演算回路の動作例１＞

次に、演算回路ＭＡＣ１の動作例について説明する。

［０１７２］

図６に演算回路ＭＡＣ１の動作例のタイミングチャートを示す。図６のタイミングチャートは、時刻Ｔ１１から時刻Ｔ２３までの間、及びそれらの近傍における、配線ＳＷＬ１、配線ＳＷＬ２、配線ＷＳＬ［ｉ］（ｉは１以上ｍ－１以下の整数とする。）、配線ＷＳＬ［ｉ＋１］、配線ＸＣＬ［ｉ］、配線ＸＣＬ［ｉ＋１］、ノードＮＮ［ｉ，ｊ］（ｊは１以上ｎ－１以下の整数とする。）、ノードＮＮ［ｉ＋１，ｊ］、ノードＮＮｒｅｆ［ｉ］、ノードＮＮｒｅｆ［ｉ＋１］の電位の変動を示している。更に、図６のタイミングチャートには、セルＩＭ［ｉ，ｊ］に含まれているトランジスタＦ２の第１端子－第２端子間に流れる電流量I_{F2}［ｉ，ｊ］と、セルＩＭｒｅｆ［ｉ］に含まれているトランジスタＦ２ｍの第１端子－第２端子間に流れる電流量I_{F2m}［ｉ］と、セルＩＭ［ｉ＋１，ｊ］に含まれているトランジスタＦ２の第１端子－第２端子間に流れる電流量I_{F2}［ｉ＋１，ｊ］と、セルＩＭｒｅｆ［ｉ＋１］に含まれているトランジスタＦ２ｍの第１端子－第２端子間に流れる電流量I_{F2m}［ｉ＋１］と、のそれぞれの変動についても示している。

［０１７３］

なお、演算回路ＭＡＣ１の回路ＷＣＳとしては、図２Ａの回路ＷＣＳを適用し、演算回路ＭＡＣ１の回路ＸＣＳとしては、図２Ｃの回路ＸＣＳを適用するものとする。

［０１７４］

なお、本動作例において、配線ＶＥの電位は接地電位ＧＮＤとする。また、時刻Ｔ１１より前では、初期設定として、ノードＮＮ［ｉ，ｊ］、ノードＮＮ［ｉ＋１，ｊ］、ノードＮＮｒｅｆ［ｉ］、及びノードＮＮｒｅｆ［ｉ＋１］のそれぞれの電位を、接地電位ＧＮＤにしているものとする。具体的には、例えば、図２Ａの配線ＶＩＮＩＬ１の初期化用の電位を接地電位ＧＮＤとし、スイッチＳＷＷ、トランジスタＦ３、及びセルＩＭ［ｉ，ｊ］、セルＩＭ［ｉ＋１，ｊ］に含まれているそれぞれのトランジスタＦ１をオン状態にすることによって、ノードＮＮ［ｉ，ｊ］、ノードＮＮ［ｉ＋１，ｊ］の電位を接地電位ＧＮＤにすることができる。また、例えば、図２Ｃの配線ＶＩＮＩＬ２の初期化用の電位を接地電位ＧＮＤとし、スイッチＳＷＸ、及びセルＩＭｒｅｆ［ｉ，ｊ］、セルＩＭｒｅｆ［ｉ＋１，ｊ］に含まれているそれぞれのトランジスタＦ１ｍをオン状態にすることによって、ノードＮＮｒｅｆ［ｉ，ｊ］、ノードＮＮｒｅｆ［ｉ＋１，ｊ］の電位を接地電位ＧＮＤにすることができる。

［０１７５］

＜＜時刻Ｔ１１から時刻Ｔ１２まで＞＞

時刻Ｔ１１から時刻Ｔ１２までの間において、配線ＳＷＬ１に高レベル電位（図６ではＨｉｇｈと表記している。）が印加され、配線ＳＷＬ２に低レベル電位（図６ではＬｏｗと表記している。）が印加されている。これにより、トランジスタＦ３［１］乃至トランジスタＦ３［ｎ］のそれぞれのゲートに高レベル電位が印加されて、トランジスタＦ３［１］乃至トランジスタＦ３［ｎ］のそれぞれがオン状態となり、トランジスタＦ４［１］乃至トランジスタＦ４［ｎ］のそれぞれのゲートに低レベル電位が印加されて、トランジスタＦ４［１］乃至トランジスタＦ４［ｎ］のそれぞれ

がオフ状態となる。

［０１７６］

また、時刻Ｔ１１から時刻Ｔ１２までの間では、配線ＷＳＬ［ｉ］、配線ＷＳＬ［ｉ＋１］には低レベル電位が印加されている。これにより、セルアレイＣＡのｉ行目のセルＩＭ［ｉ，１］乃至セルＩＭ［ｉ，ｎ］に含まれているトランジスタＦ１のゲートと、セルＩＭｒｅｆ［ｉ］に含まれているトランジスタＦ１ｍのゲートと、に低レベル電位が印加されて、それぞれのトランジスタＦ１とトランジスタＦ１ｍとがオフ状態となる。また、セルアレイＣＡのｉ＋１行目のセルＩＭ［ｉ＋１，１］乃至セルＩＭ［ｉ＋１，ｎ］に含まれているトランジスタＦ１のゲートと、セルＩＭｒｅｆ［ｉ＋１］に含まれているトランジスタＦ１ｍのゲートと、に低レベル電位が印加されて、それぞれのトランジスタＦ１とトランジスタＦ１ｍとがオフ状態となる。

［０１７７］

また、時刻Ｔ１１から時刻Ｔ１２までの間では、配線ＸＣＬ［ｉ］、及び配線ＸＣＬ［ｉ＋１］には接地電位ＧＮＤが印加されている。具体的には、例えば、図２Ｃに記載の配線ＸＣＬが配線ＸＣＬ［ｉ］、配線ＸＣＬ［ｉ＋１］のそれぞれである場合において、配線ＶＩＮＩＬ２の初期化用の電位を接地電位ＧＮＤとし、スイッチＳＷＸをオン状態にすることにより、配線ＸＣＬ［ｉ］、及び配線ＸＣＬ［ｉ＋１］の電位を接地電位ＧＮＤにすることができる。

［０１７８］

また、時刻Ｔ１１から時刻Ｔ１２までの間では、図２Ａに記載の配線ＷＣＬが配線ＷＣＬ［１］乃至配線ＷＣＬ［Ｋ］のそれぞれである場合において、配線ＤＷ［１］乃至配線ＤＷ［Ｋ］には第１データが入力されていない。また、図２Ｃに記載の配線ＸＣＬが配線ＸＣＬ［１］乃至配線ＸＣＬ［Ｋ］のそれぞれである場合において、配線ＤＸ［１］乃至配線ＤＸ［Ｌ］には第２データが入力されていない。ここでは、図２Ａの回路ＷＣＳにおいて、配線ＤＷ［１］乃至配線ＤＷ［Ｋ］のそれぞれには低レベル電位が入力されているものとし、また、図２Ｃの回路ＸＣＳにおいて、配線ＤＸ［１］乃至配線ＤＸ［Ｌ］のそれぞれには低レベル電位が入力されているものとする。

［０１７９］

また、時刻Ｔ１１から時刻Ｔ１２までの間では、配線ＷＣＬ［ｊ］、配線ＸＣＬ［ｉ］、配線ＸＣＬ［ｉ＋１］には電流が流れない。そのため、I_{F2}［ｉ，ｊ］、I_{F2m}［ｉ］I_{F2}［ｉ＋１，ｊ］、I_{F2m}［ｉ＋１］は０となる。

［０１８０］

＜＜時刻Ｔ１２から時刻Ｔ１３まで＞＞

時刻Ｔ１２から時刻Ｔ１３までの間において、配線ＷＳＬ［ｉ］に高レベル電位が印加される。これにより、セルアレイＣＡのｉ行目のセルＩＭ［ｉ，１］乃至セルＩＭ［ｉ，ｎ］に含まれているトランジスタＦ１のゲートと、セルＩＭｒｅｆ［ｉ］に含まれているトランジスタＦ１ｍのゲートと、に高レベル電位が印加されて、それぞれのトランジスタＦ１とトランジスタＦ１ｍとがオン状態になる。また、時刻Ｔ１２から時刻Ｔ１３までの間において、配線ＷＳＬ［ｉ］を除く配線ＷＳＬ［１］乃至配線ＷＳＬ［ｍ］には低レベル電位が印加されており、セルアレイＣＡのｉ行目以外のセルＩＭ［１，１］乃至セルＩＭ［ｍ，ｎ］に含まれているトランジスタＦ１と、ｉ行目以外のセルＩＭｒｅｆ［１］乃至セルＩＭｒｅｆ［ｍ］に含まれているトランジスタＦ１ｍは、オフ状態になっているものとする。

［０１８１］

更に、配線ＸＣＬ［１］乃至配線ＸＣＬ［ｍ］には時刻Ｔ１２以前から引き続き接地電位ＧＮＤが印加されている。

［０１８２］

＜＜時刻Ｔ１３から時刻Ｔ１４まで＞＞

時刻Ｔ１３から時刻Ｔ１４までの間において、回路ＷＣＳから、トランジスタＦ３［ｊ］を介してセルアレイＣＡに第１データとして電流量I_0［ｉ，ｊ］の電流が流れる。具体的には、図２Ａに記載の配線ＷＣＬが配線ＷＣＬ［ｊ］である場合において、配線ＤＷ［１］乃至配線ＤＷ［Ｋ］のそれぞれに第１データに応じた信号が入力されることによって、回路ＷＣＳからトランジスタＦ３［ｊ］の第２端子に電流I_0［ｉ，ｊ］が流れる。つまり、第１データとして入力されたＫビットの信号の値をα［ｉ，ｊ］（α［ｉ，ｊ］を０以上2^K-1以下の整数とする）としたとき、I_0［ｉ，ｊ］＝α［ｉ，ｊ］×I_{Wut}となる。

［０１８３］

なお、α［ｉ，ｊ］が０のとき、I_0［ｉ，ｊ］＝０となるので、厳密には、回路ＷＣＳから、トランジスタＦ３［ｊ］を介してセルアレイＣＡに電流は流れないが、本明細書などでは、「I_0［ｉ，ｊ］＝０の電流が流れる」などと記載する場合がある。

［０１８４］

時刻Ｔ１３から時刻Ｔ１４までの間において、セルアレイＣＡのｉ行目のセルＩＭ［ｉ，ｊ］に含まれているトランジスタＦ１の第１端子と配線ＷＣＬ［ｊ］との間が導通状態となっており、かつセルアレイＣＡのｉ行目以外のセルＩＭ［１，ｊ］乃至セルＩＭ［ｍ，ｊ］に含まれているトランジスタＦ１の第１端子と配線ＷＣＬ［ｊ］との間が非導通状態となっているので、配線ＷＣＬ［ｊ］からセルＩＭ［ｉ，ｊ］に電流量I_0［ｉ，ｊ］の電流が流れる。

［０１８５］

ところで、セルＩＭ［ｉ，ｊ］に含まれているトランジスタＦ１がオン状態になることによって、セルＩＭ［ｉ，ｊ］に含まれているトランジスタＦ２はダイオード接続の構成となる。そのため、配線ＷＣＬ［ｊ］からセルＩＭ［ｉ，ｊ］に電流が流れるとき、トランジスタＦ２のゲートと、トランジスタＦ２の第２端子と、のそれぞれの電位はほぼ等しくなる。当該電位は、配線ＷＣＬ［ｊ］からセルＩＭ［ｉ，ｊ］に流れる電流量とトランジスタＦ２の第１端子の電位（ここではＧＮＤ）などによって定められる。本動作例では、配線ＷＣＬ［ｊ］からセルＩＭ［ｉ，ｊ］に電流量I_0［ｉ，ｊ］の電流が流れることによって、トランジスタＦ２のゲート（ノードＮＮ［ｉ，ｊ］）の電位は、V_g［ｉ，ｊ］になるものとする。つまり、トランジスタＦ２において、ゲート－ソース間電圧がV_g［ｉ，ｊ］－ＧＮＤとなり、トランジスタＦ２の第１端子－第２端子間に流れる電流として、電流量I_0［ｉ，ｊ］が設定される。

［０１８６］

ここで、トランジスタＦ２のしきい値電圧をV_{th}［ｉ，ｊ］としたとき、トランジスタＦ２がサブスレッショルド領域で動作する場合の電流量I_0［ｉ，ｊ］は次の式の通りに記述できる。

［０１８７］

［数１］

$$I_0[i,j] = I_\alpha \exp\{J(V_g[i,j] - V_{th}[i,j])\} \quad \cdots(1.1)$$

［０１８８］

なお、I_aはV_g［ｉ，ｊ］がV_{th}［ｉ，ｊ］であるときのドレイン電流であって、Ｊは温度、デバイス構造などによって定められる補正係数である。

［０１８９］

また、時刻Ｔ１３から時刻Ｔ１４までの間において、回路ＸＣＳから、配線ＸＣＬ［ｉ］に、参照データとして電流量I_{ref0}の電流が流れる。具体的には、図２Ｃに記載の配線ＸＣＬが配線ＸＣＬ［ｉ］である場合において、配線ＤＸ［１］に高レベル電位、配線ＤＸ［２］乃至配線ＤＸ［Ｋ］のそれぞれに低レベル電位が入力されて、回路ＸＣＳから配線ＸＣＬ［ｉ］に電流I_{ref0}が流れる。つまり、$I_{ref0}=I_{Xut}$となる。

［０１９０］

時刻Ｔ１３から時刻Ｔ１４までの間において、セルＩＭｒｅｆ［ｉ］に含まれているトランジスタＦ１ｍの第１端子と配線ＸＣＬ［ｉ］との間が導通状態となっているので、配線ＸＣＬ［ｉ］からセルＩＭｒｅｆ［ｉ］に電流量I_{ref0}の電流が流れる。

［０１９１］

セルＩＭ［ｉ，ｊ］と同様に、セルＩＭｒｅｆ［ｉ］に含まれているトランジスタＦ１ｍがオン状態になることによって、セルＩＭｒｅｆ［ｉ］に含まれているトランジスタＦ２ｍはダイオード接続の構成となる。そのため、配線ＸＣＬ［ｉ］からセルＩＭｒｅｆ［ｉ］に電流が流れるとき、トランジスタＦ２ｍのゲートと、トランジスタＦ２ｍの第２端子と、のそれぞれの電位はほぼ等しくなる。当該電位は、配線ＸＣＬ［ｉ］からセルＩＭｒｅｆ［ｉ］に流れる電流量とトランジスタＦ２ｍの第１端子の電位（ここではＧＮＤ）などによって定められる。本動作例では、配線ＸＣＬ［ｉ］からセルＩＭｒｅｆ［ｉ］に電流量I_{ref0}の電流が流れることによって、トランジスタＦ２のゲート（ノードＮＮｒｅｆ［ｉ］）はV_{gm}［ｉ］になるものとし、また、このときの配線ＸＣＬ［ｉ］の電位もV_{gm}［ｉ］とする。つまり、トランジスタＦ２ｍにおいて、ゲートーソース間電圧がV_{gm}［ｉ］－ＧＮＤとなり、トランジスタＦ２ｍの第１端子－第２端子間に流れる電流として、電流量I_{ref0}が設定される。

［０１９２］

ここで、トランジスタＦ２ｍのしきい値電圧をV_{thm}［ｉ］としたとき、トランジスタＦ２ｍがサブスレッショルド領域で動作する場合の電流量I_{ref0}は次の式の通りに記述できる。なお、補正係数Ｊは、セルＩＭ［ｉ，ｊ］に含まれているトランジスタＦ２と同一とする。例えば、トランジスタのデバイス構造、サイズ（チャネル長、チャネル幅）を同一とする。また、製造上のばらつきにより、各トランジスタの補正係数Ｊはばらつくが、後述の議論が実用上十分な精度で成り立つ程度にばらつきが抑えられているものとする。

［０１９３］

［数２］

$$I_{ref0}=I_a\exp\{J(V_{gm}[i]-V_{thm}[i])\} \quad \cdots(1.2)$$

［０１９４］

ここで、第１データである重み係数ｗ［ｉ，ｊ］を次の通りに定義する。

［０１９５］

［数３］

$$w[i,j] = \exp\{J(V_g[i,j] - V_{th}[i,j] - V_{gm}[i] + V_{thm}[i])\} \quad \cdots(1.3)$$

［０１９６］

したがって、式（１．１）は、次の式に書き換えることができる。

［０１９７］

［数４］

$$I_0[i,j] = w[i,j]I_{ref0} \quad \cdots(1.4)$$
$$\leftrightarrow \alpha[i,j]I_{Wut} = w[i,j]I_{Xut}$$

［０１９８］

なお、図２Ａの回路ＷＣＳの電流源ＣＳが出力する電流I_{Wut}と、図２Ｃの回路ＸＣＳの電流源ＣＳが出力する電流I_{Xut}と、が等しい場合、ｗ［ｉ，ｊ］＝α［ｉ，ｊ］となる。つまり、I_{Wut}と、I_{Xut}と、が等しい場合、α［ｉ，ｊ］は、第１データの値に相当するため、I_{Wut}と、I_{Xut}と、は互いに等しいことが好ましい。

［０１９９］

＜＜時刻Ｔ１４から時刻Ｔ１５まで＞＞

時刻Ｔ１４から時刻Ｔ１５までの間において、配線ＷＳＬ［ｉ］に低レベル電位が印加される。これにより、セルアレイＣＡのｉ行目のセルＩＭ［ｉ，１］乃至セルＩＭ［ｉ，ｎ］に含まれているトランジスタＦ１のゲートと、セルＩＭｒｅｆ［ｉ］に含まれているトランジスタＦ１ｍのゲートと、に低レベル電位が印加されて、それぞれのトランジスタＦ１とトランジスタＦ１ｍとがオフ状態となる。

［０２００］

セルＩＭ［ｉ，ｊ］に含まれているトランジスタＦ１がオフ状態になることによって、容量Ｃ５には、トランジスタＦ２のゲート（ノードＮＮ［ｉ，ｊ］）の電位と、配線ＸＣＬ［ｉ］の電位と、の差であるV_g［ｉ，ｊ］－V_{gm}［ｉ］が保持される。また、セルＩＭｒｅｆ［ｉ］に含まれているトランジスタＦ１がオフ状態になることによって、容量Ｃ５ｍには、トランジスタＦ２ｍのゲート（ノードＮＮｒｅｆ［ｉ］）の電位と、配線ＸＣＬ［ｉ］の電位と、の差である０が保持される。なお、容量Ｃ５ｍが保持する電圧は、時刻Ｔ１３から時刻Ｔ１４までの動作においてトランジスタＦ１ｍやトランジスタＦ２ｍのトランジスタ特性などに応じて０ではない電圧（ここでは、例えば、V_{ds}とする）となる場合もある。この場合、ノードＮＮｒｅｆ［ｉ］の電位は、配線ＸＣＬ［ｉ］の電位にV_{ds}を加えた電位として考えればよい。

［０２０１］

＜＜時刻Ｔ１５から時刻Ｔ１６まで＞＞

時刻Ｔ１５から時刻Ｔ１６までの間において、配線ＸＣＬ［ｉ］にＧＮＤが印加される。具体的には、例えば、図２Ｃに記載の配線ＸＣＬが配線ＸＣＬ［ｉ］である場合において、配線ＶＩＮＩＬ２の初期化用の電位を接地電位ＧＮＤとし、スイッチＳＷＸをオン状態にすることにより、配線ＸＣＬ［ｉ］の電位を接地電位ＧＮＤにすることができる。

［０２０２］

このため、ｉ行目のセルＩＭ［ｉ，１］乃至セルＩＭ［ｉ，ｎ］のそれぞれに含まれている容量Ｃ５による容量結合によってノードＮＮ［ｉ，１］乃至ノードＮＮ［ｉ，ｎ］の電位が変化し、セルＩＭｒｅｆ［ｉ］に含まれている容量Ｃ５ｍによる容量結合によってノードＮＮｒｅｆ［ｉ］の電位が変化する。

［０２０３］

ノードＮＮ［ｉ，１］乃至ノードＮＮ［ｉ，ｎ］の電位の変化量は、配線ＸＣＬ［ｉ］の電位の変化量に、セルアレイＣＡに含まれているそれぞれのセルＩＭ［ｉ，１］乃至セルＩＭ［ｉ，ｎ］の構成によって決まる容量結合係数を乗じた電位となる。該容量結合係数は、容量Ｃ５の容量、トランジスタＦ２のゲート容量、寄生容量などによって算出される。セルＩＭ［ｉ，１］乃至セルＩＭ［ｉ，ｎ］のそれぞれにおいて、容量Ｃ５による容量結合係数をｐとしたとき、セルＩＭ［ｉ，ｊ］のノードＮＮ［ｉ，ｊ］の電位は、時刻Ｔ１４から時刻Ｔ１５までの間の時点おける電位から、ｐ（V_{gm}［ｉ］－ＧＮＤ）低下する。

［０２０４］

同様に、配線ＸＣＬ［ｉ］の電位が変化することによって、セルＩＭｒｅｆ［ｉ］に含まれている容量Ｃ５ｍによる容量結合によって、ノードＮＮｒｅｆ［ｉ］の電位も変化する。容量Ｃ５ｍによる容量結合係数を、容量Ｃ５と同様にｐとしたとき、セルＩＭｒｅｆ［ｉ］のノードＮＮｒｅｆ［ｉ］の電位は、時刻Ｔ１４から時刻Ｔ１５までの間における電位から、ｐ（V_{gm}［ｉ］－ＧＮＤ）低下する。なお、図６のタイミングチャートでは、一例として、ｐ＝１としている。このため、時刻Ｔ１５から時刻Ｔ１６までの間におけるノードＮＮｒｅｆ［ｉ］の電位は、ＧＮＤとなる。

［０２０５］

これによって、セルＩＭ［ｉ，ｊ］のノードＮＮ［ｉ，ｊ］の電位が低下するため、トランジスタＦ２はオフ状態となり、同様に、セルＩＭｒｅｆ［ｉ］のノードＮＮｒｅｆ［ｉ］の電位が低下するため、トランジスタＦ２ｍもオフ状態となる。そのため、時刻Ｔ１５から時刻Ｔ１６までの間において、I_{F2}［ｉ，ｊ］、I_{F2m}［ｉ］のそれぞれは０となる。

［０２０６］

＜＜時刻Ｔ１６から時刻Ｔ１７まで＞＞

時刻Ｔ１６から時刻Ｔ１７までの間において、配線ＷＳＬ［ｉ＋１］に高レベル電位が印加される。これにより、セルアレイＣＡのｉ＋１行目のセルＩＭ［ｉ＋１，１］乃至セルＩＭ［ｉ＋１，ｎ］に含まれているトランジスタＦ１のゲートと、セルＩＭｒｅｆ［ｉ＋１］に含まれているトランジスタＦ１ｍのゲートと、に高レベル電位が印加されて、それぞれのトランジスタＦ１とトランジスタＦ１ｍとがオン状態となる。また、時刻Ｔ１６から時刻Ｔ１７までの間において、配線ＷＳＬ［ｉ＋１］を除く配線ＷＳＬ［１］乃至配線ＷＳＬ［ｍ］には低レベル電位が印加されており、セルアレイＣＡのｉ＋１行目以外のセルＩＭ［１，１］乃至セルＩＭ［ｍ，ｎ］に含まれているトランジスタＦ１と、ｉ＋１行目以外のセルＩＭｒｅｆ［１］乃至セルＩＭｒｅｆ［ｍ］に含まれているトランジスタＦ１ｍは、オフ状態になっているものとする。

［０２０７］

更に、配線ＸＣＬ［１］乃至配線ＸＣＬ［ｍ］には時刻Ｔ１６以前から引き続き接地電位ＧＮＤが印加されている。

［０２０８］

＜＜時刻Ｔ１７から時刻Ｔ１８まで＞＞

時刻Ｔ１７から時刻Ｔ１８までの間において、回路ＷＣＳから、トランジスタＦ３［ｊ］を介してセルアレイＣＡに第１データとして電流量$Ｉ_{0}$［ｉ＋１，ｊ］の電流が流れる。具体的には、図２Ａに記載の配線ＷＣＬが配線ＷＣＬ［ｊ＋１］である場合において、配線ＤＷ［１］乃至配線ＤＷ［Ｋ］のそれぞれに第１データに応じた信号が入力されることによって、回路ＷＣＳからトランジスタＦ３［ｊ］の第２端子に電流$Ｉ_{0}$［ｉ＋１，ｊ］が流れる。つまり、第１データとして入力されたＫビットの信号の値をα［ｉ＋１，ｊ］（α［ｉ＋１，ｊ］は０以上$2^{K}-1$以下の整数とする。）としたとき、$Ｉ_{0}$［ｉ＋１，ｊ］＝α［ｉ＋１，ｊ］×$Ｉ_{Wut}$となる。

［０２０９］

なお、α［ｉ＋１，ｊ］が０のとき、$Ｉ_{0}$［ｉ＋１，ｊ］＝０となるので、厳密には、回路ＷＣＳから、トランジスタＦ３［ｊ］を介してセルアレイＣＡに電流は流れないが、本明細書などでは、$Ｉ_{0}$［ｉ，ｊ］＝０の場合と同様に、「$Ｉ_{0}$［ｉ＋１，ｊ］＝０の電流が流れる」などと記載する場合がある。

［０２１０］

このとき、セルアレイＣＡのｉ＋１行目のセルＩＭ［ｉ＋１，ｊ］に含まれているトランジスタＦ１の第１端子と配線ＷＣＬ［ｊ］との間が導通状態となっており、かつセルアレイＣＡのｉ＋１行目以外のセルＩＭ［１，ｊ］乃至セルＩＭ［ｍ，ｊ］に含まれているトランジスタＦ１の第１端子と配線ＷＣＬ［ｊ］との間が非導通状態となっているので、配線ＷＣＬ［ｊ］からセルＩＭ［ｉ＋１，ｊ］に電流量$Ｉ_{0}$［ｉ＋１，ｊ］の電流が流れる。

［０２１１］

ところで、セルＩＭ［ｉ＋１，ｊ］に含まれているトランジスタＦ１がオン状態になることによって、セルＩＭ［ｉ＋１，ｊ］に含まれているトランジスタＦ２はダイオード接続の構成となる。そのため、配線ＷＣＬ［ｊ］からセルＩＭ［ｉ＋１，ｊ］に電流が流れるとき、トランジスタＦ２のゲートと、トランジスタＦ２の第２端子と、のそれぞれの電位はほぼ等しくなる。当該電位は、配線ＷＣＬ［ｊ］からセルＩＭ［ｉ＋１，ｊ］に流れる電流量とトランジスタＦ２の第１端子の電位（ここではＧＮＤ）などによって定められる。本動作例では、配線ＷＣＬ［ｊ］からセルＩＭ［ｉ＋１，ｊ］に電流量$Ｉ_{0}$［ｉ＋１，ｊ］の電流が流れることによって、トランジスタＦ２のゲート（ノードＮＮ［ｉ＋１，ｊ］）の電位は、$Ｖ_{g}$［ｉ＋１，ｊ］になるものとする。つまり、トランジスタＦ２において、ゲートーソース間電圧が$Ｖ_{g}$［ｉ＋１，ｊ］－ＧＮＤとなり、トランジスタＦ２の第１端子ー第２端子間に流れる電流として、電流量$Ｉ_{0}$［ｉ＋１，ｊ］が設定される。

［０２１２］

ここで、トランジスタＦ２のしきい値電圧を$Ｖ_{th}$［ｉ＋１，ｊ］としたとき、トランジスタＦ２がサブスレッショルド領域で動作する場合の電流量$Ｉ_{0}$［ｉ＋１，ｊ］は次の式の通りに記述できる。なお、補正係数は、セルＩＭ［ｉ，ｊ］に含まれているトランジスタＦ２、セルＩＭｒｅｆ［ｉ］に含まれているトランジスタＦ２ｍと同様のＪとしている。

［０２１３］

［数５］

$$I_0[i+1,j] = I_\alpha \exp\{J(V_g[i+1,j] - V_{th}[i+1,j])\} \quad \cdots(1.5)$$

［０２１４］

また、時刻Ｔ１７から時刻Ｔ１８までの間において、回路ＸＣＳから、配線ＸＣＬ［ｉ＋１］に参照データとして電流量$Ｉ_{ｒｅｆ０}$の電流が流れる。具体的には、時刻Ｔ１３から時刻Ｔ１４までの間と同様に、図２Ｃに記載の配線ＸＣＬが配線ＸＣＬ［ｉ＋１］である場合において、配線ＤＸ［１］に高レベル電位、配線ＤＸ［２］乃至配線ＤＸ［Ｋ］のそれぞれに低レベル電位が入力されて、回路ＸＣＳから配線ＸＣＬ［ｉ＋１］に電流$Ｉ_{ｒｅｆ０}＝Ｉ_{Ｘｕｔ}$が流れる。

［０２１５］

時刻Ｔ１７から時刻Ｔ１８までの間において、セルＩＭｒｅｆ［ｉ＋１］に含まれているトランジスタＦ１ｍの第１端子と配線ＸＣＬ［ｉ＋１］との間が導通状態となるので、配線ＸＣＬ［ｉ＋１］からセルＩＭｒｅｆ［ｉ＋１］に電流量$Ｉ_{ｒｅｆ０}$の電流が流れる。

［０２１６］

セルＩＭ［ｉ＋１，ｊ］と同様に、セルＩＭｒｅｆ［ｉ＋１］に含まれているトランジスタＦ１ｍがオン状態になることによって、セルＩＭｒｅｆ［ｉ＋１，ｊ］に含まれているトランジスタＦ２ｍはダイオード接続の構成となる。そのため、配線ＸＣＬ［ｉ＋１］からセルＩＭｒｅｆ［ｉ＋１］に電流が流れるとき、トランジスタＦ２ｍのゲートと、トランジスタＦ２ｍの第２端子と、のそれぞれの電位はほぼ等しくなる。当該電位は、配線ＸＣＬ［ｉ＋１］からセルＩＭｒｅｆ［ｉ＋１］に流れる電流量とトランジスタＦ２ｍの第１端子の電位（ここではＧＮＤ）などによって定められる。本動作例では、配線ＸＣＬ［ｉ＋１］からセルＩＭｒｅｆ［ｉ＋１］に電流量$Ｉ_{ｒｅｆ０}$の電流が流れることによって、トランジスタＦ２のゲート（ノードＮＮｒｅｆ［ｉ＋１］）は$Ｖ_{ｇｍ}$［ｉ＋１］になるものとし、また、このときの配線ＸＣＬ［ｉ＋１］の電位も$Ｖ_{ｇｍ}$［ｉ＋１］とする。つまり、トランジスタＦ２ｍにおいて、ゲートーソース間電圧が$Ｖ_{ｇｍ}$［ｉ＋１］－ＧＮＤとなり、トランジスタＦ２ｍの第１端子ー第２端子間に流れる電流として、電流量$Ｉ_{ｒｅｆ０}$が設定される。

［０２１７］

ここで、トランジスタＦ２ｍのしきい値電圧を$Ｖ_{ｔｈｍ}$［ｉ＋１，ｊ］としたとき、トランジスタＦ２ｍがサブスレッショルド領域で動作する場合の電流量$Ｉ_{ｒｅｆ０}$は次の式の通りに記述できる。なお、補正係数Ｊは、セルＩＭ［ｉ＋１，ｊ］に含まれているトランジスタＦ２と同一とする。

［０２１８］

［数６］

$$I_{\mathrm{ref0}} = I_{\alpha}\exp\{J(V_{\mathrm{gm}}[i+1] - V_{\mathrm{thm}}[i+1])\} \qquad \cdots(1.6)$$

［０２１９］

ここで、第１データである重み係数ｗ［ｉ＋１，ｊ］を次の通りに定義する。

［０２２０］

［数７］

$$w[i+1,j] = \exp\{J(V_{\mathrm{g}}[i+1,j] - V_{\mathrm{th}}[i+1,j] - V_{\mathrm{gm}}[i+1] + V_{\mathrm{thm}}[i+1])\} \qquad \cdots(1.7)$$

［０２２１］

したがって、式（１．５）は、次の式に書き換えることができる。

［０２２２］

［数８］

$$I_0[i+1,j] = w[i+1,j]I_{\mathrm{ref0}} \quad \cdots(1.8)$$
$$\leftrightarrow \alpha[i+1,j]I_{\mathrm{Wut}} = w[i+1,j]I_{\mathrm{Xut}}$$

［０２２３］

なお、図２Ａの回路ＷＣＳの電流源ＣＳが出力する電流I_{Wut}と、図２Ｃの回路ＸＣＳの電流源ＣＳが出力する電流I_{Xut}と、が等しい場合、ｗ［ｉ＋１，ｊ］＝α［ｉ＋１，ｊ］となる。つまり、I_{Wut}と、I_{Xut}と、が等しい場合、α［ｉ＋１，ｊ］は、第１データの値に相当するため、I_{Wut}と、I_{Xut}と、は互いに等しいことが好ましい。

［０２２４］

＜＜時刻Ｔ１８から時刻Ｔ１９まで＞＞

時刻Ｔ１８から時刻Ｔ１９までの間において、配線ＷＳＬ［ｉ＋１］に低レベル電位が印加される。これにより、セルアレイＣＡのｉ＋１行目のセルＩＭ［ｉ＋１，１］乃至セルＩＭ［ｉ＋１，ｎ］に含まれているトランジスタＦ１のゲートと、セルＩＭｒｅｆ［ｉ＋１］に含まれているトランジスタＦ１ｍのゲートと、に低レベル電位が印加されて、それぞれのトランジスタＦ１とトランジスタＦ１ｍとがオフ状態となる。

［０２２５］

セルＩＭ［ｉ＋１，ｊ］に含まれているトランジスタＦ１がオフ状態になることによって、容量Ｃ５には、トランジスタＦ２のゲート（ノードＮＮ［ｉ＋１，ｊ］）の電位と、配線ＸＣＬ［ｉ＋１］の電位と、の差であるV_g［ｉ＋１，ｊ］－V_{gm}［ｉ＋１］が保持される。また、セルＩＭｒｅｆ［ｉ＋１］に含まれているトランジスタＦ１がオフ状態になることによって、容量Ｃ５ｍには、トランジスタＦ２ｍのゲート（ノードＮＮｒｅｆ［ｉ＋１］）の電位と、配線ＸＣＬ［ｉ＋１］の電位と、の差である０が保持される。なお、容量Ｃ５ｍが保持する電圧は、時刻Ｔ１８から時刻Ｔ１９までの動作においてトランジスタＦ１ｍやトランジスタＦ２ｍのトランジスタ特性などに応じて０ではない電圧（ここでは、例えば、V_{ds}とする）となる場合もある。この場合、ノードＮＮｒｅｆ［ｉ＋１］の電位は、配線ＸＣＬ［ｉ＋１］の電位にV_{ds}を加えた電位として考えればよい。

［０２２６］

＜＜時刻Ｔ１９から時刻Ｔ２０まで＞＞

時刻Ｔ１９から時刻Ｔ２０までの間において、配線ＸＣＬ［ｉ＋１］に接地電位ＧＮＤが印加される。具体的には、例えば、図２Ｃに記載の配線ＸＣＬが配線ＸＣＬ［ｉ＋１］である場合において、配線ＶＩＮＩＬ２の初期化用の電位を接地電位ＧＮＤとし、スイッチＳＷＸをオン状態にすることにより、配線ＸＣＬ［ｉ＋１］の電位を接地電位ＧＮＤにすることができる。

［０２２７］

このため、ｉ＋１行目のセルＩＭ［ｉ＋１，１］乃至セルＩＭ［ｉ＋１，ｎ］のそれぞれに含まれている容量Ｃ５による容量結合によってノードＮＮ［ｉ，１］乃至ノードＮＮ［ｉ＋１，ｎ］の電位が変化し、セルＩＭｒｅｆ［ｉ＋１］に含まれている容量Ｃ５ｍによる容量結合によってノードＮＮｒｅｆ［ｉ＋１］の電位が変化する。

［０２２８］

ノードＮＮ［ｉ＋１，１］乃至ノードＮＮ［ｉ＋１，ｎ］の電位の変化量は、配線ＸＣＬ［ｉ＋１］の電位の変化量に、セルアレイＣＡに含まれているそれぞれのセルＩＭ［ｉ＋１，１］乃至セルＩＭ［ｉ＋１，ｎ］の構成によって決まる容量結合係数を乗じた電位となる。該容量結合係数は、容量Ｃ５の容量、トランジスタＦ２のゲート容量、寄生容量などによって算出される。セルＩＭ［ｉ＋１，１］乃至セルＩＭ［ｉ＋１，ｎ］のそれぞれにおいて、容量Ｃ５による容量結合係数を、セルＩＭ［ｉ，１］乃至セルＩＭ［ｉ，ｎ］のそれぞれにおける容量Ｃ５による容量結合係数と同様の、ｐとしたとき、セルＩＭ［ｉ＋１，ｊ］のノードＮＮ［ｉ＋１，ｊ］の電位は、時刻Ｔ１８から時刻Ｔ１９までの間の時点おける電位から、ｐ（V_{gm}［ｉ＋１］－ＧＮＤ）低下する。

［０２２９］

同様に、配線ＸＣＬ［ｉ＋１］の電位が変化することによって、セルＩＭｒｅｆ［ｉ＋１］に含まれている容量Ｃ５ｍによる容量結合によって、ノードＮＮｒｅｆ［ｉ＋１］の電位も変化する。容量Ｃ５ｍによる容量結合係数を、容量Ｃ５と同様にｐとしたとき、セルＩＭｒｅｆ［ｉ＋１］のノードＮＮｒｅｆ［ｉ＋１］の電位は、時刻Ｔ１８から時刻Ｔ１９までの間における電位から、ｐ（V_{gm}［ｉ＋１］－ＧＮＤ）低下する。なお、図６のタイミングチャートでは、一例として、ｐ＝１としている。このため、時刻Ｔ２０から時刻Ｔ２１までの間におけるノードＮＮｒｅｆ［ｉ＋１］の電位は、ＧＮＤとなる。

［０２３０］

これによって、セルＩＭ［ｉ＋１，ｊ］のノードＮＮ［ｉ＋１，ｊ］の電位が低下するため、トランジスタＦ２はオフ状態となり、同様に、セルＩＭｒｅｆ［ｉ＋１］のノードＮＮｒｅｆ［ｉ＋１］の電位が低下するため、トランジスタＦ２ｍもオフ状態となる。そのため、時刻Ｔ１９から時刻Ｔ２０までの間において、I_{F2}［ｉ＋１，ｊ］、I_{F2m}［ｉ＋１］のそれぞれは０となる。

［０２３１］

＜＜時刻Ｔ２０から時刻Ｔ２１まで＞＞

時刻Ｔ２０から時刻Ｔ２１までの間において、配線ＳＷＬ１に低レベル電位が印加されている。これにより、トランジスタＦ３［１］乃至トランジスタＦ３［ｎ］のそれぞれのゲートに低レベル電位が印加されて、トランジスタＦ３［１］乃至トランジスタＦ３［ｎ］のそれぞれがオフ状態となる。

［０２３２］

＜＜時刻Ｔ２１から時刻Ｔ２２まで＞＞

時刻Ｔ２１から時刻Ｔ２２までの間において、配線ＳＷＬ２に高レベル電位が印加されている。これにより、トランジスタＦ４［１］乃至トランジスタＦ４［ｎ］のそれぞれのゲートに高レベル電位が印加されて、トランジスタＦ４［１］乃至トランジスタＦ４［ｎ］のそれぞれがオン状態となる。

［０２３３］

＜＜時刻Ｔ２２から時刻Ｔ２３まで＞＞

時刻Ｔ２２から時刻Ｔ２３までの間において、回路ＸＣＳから、配線ＸＣＬ［ｉ］に第２データとして電流量I_{ref0}のｘ［ｉ］倍であるｘ［ｉ］I_{ref0}の電流が流れる。具体的には、例えば、図２Ｃに記載の配線ＸＣＬが配線ＸＣＬ［ｉ］である場合において、配線ＤＸ［１］乃至配線ＤＸ［Ｋ］のそれぞれに、ｘ［ｉ］の値に応じて、高レベル電位又は低レベル電位が入力されて、回路

ＸＣＳから配線ＸＣＬ［ｉ］に電流量としてｘ［ｉ］I_{ref0}＝ｘ［ｉ］I_{Xut}が流れる。なお、本動作例では、ｘ［ｉ］は、第２データの値に相当する。このとき、配線ＸＣＬ［ｉ］の電位は、０からV_{gm}［ｉ］＋ΔＶ［ｉ］に変化するものとする。

［０２３４］

配線ＸＣＬ［ｉ］の電位が変化することによって、セルアレイＣＡのｉ行目のセルＩＭ［ｉ，１］乃至セルＩＭ［ｉ，ｎ］のそれぞれに含まれている容量Ｃ５による容量結合によって、ノードＮＮ［ｉ，１］乃至ノードＮＮ［ｉ，ｎ］の電位も変化する。そのため、セルＩＭ［ｉ，ｊ］のノードＮＮ［ｉ，ｊ］の電位は、V_g［ｉ，ｊ］＋ｐΔＶ［ｉ］となる。

［０２３５］

同様に、配線ＸＣＬ［ｉ］の電位が変化することによって、セルＩＭｒｅｆ［ｉ］に含まれている容量Ｃ５ｍによる容量結合によって、ノードＮＮｒｅｆ［ｉ］の電位も変化する。そのため、セルＩＭｒｅｆ［ｉ］のノードＮＮｒｅｆ［ｉ］の電位は、V_{gm}［ｉ］＋ｐΔＶ［ｉ］となる。

［０２３６］

これによって、時刻Ｔ２２から時刻Ｔ２３までの間において、トランジスタＦ２の第１端子－第２端子間に流れる電流量I_1［ｉ，ｊ］、トランジスタＦ２ｍの第１端子－第２端子間に流れる電流量I_{ref1}［ｉ，ｊ］は、次の通りに記述できる。

［０２３７］

［数９］

$$I_1[i,j] = I_a \exp\{J(V_g[i,j] + p\Delta V[i] - V_{th}[i,j])\}$$

$$= I_0[i,j]\exp(JP\Delta V[i]) \quad \cdots(1.9)$$

［０２３８］

［数１０］

$$I_{ref1}[i] = I_a \exp\{J(V_{gm}[i] + p\Delta V[i] - V_{thm}[i])\}$$

$$= x[i]I_{ref0} \quad \cdots(1.10)$$

［０２３９］

式（１．９）、式（１．１０）より、ｘ［ｉ］は次の式で表すことができる。

［０２４０］

［数１１］

$$x[i] = \exp(JP\Delta V[i]) \quad \cdots(1.11)$$

［０２４１］

そのため、式（１．９）は、次の式に書き換えることができる。

［０２４２］

［数１２］

$$I_1[i,j] = x[i]w[i,j]I_{ref0} \quad \cdots(1.12)$$

［０２４３］

つまり、セルＩＭ［ｉ，ｊ］に含まれているトランジスタＦ２の第１端子－第２端子間に流れる電流量は、第１データｗ［ｉ，ｊ］と、第２データｘ［ｉ］と、の積に比例する。

［０２４４］

また、時刻Ｔ２２から時刻Ｔ２３までの間において、回路ＸＣＳから、配線ＸＣＬ［ｉ＋１］に第２データとして電流量I_{ref0}のｘ［ｉ＋１］倍であるｘ［ｉ＋１］I_{ref0}の電流が流れる。具体的には、例えば、図２Ｃに記載の配線ＸＣＬが配線ＸＣＬ［ｉ＋１］である場合において、配線ＤＸ［１］乃至配線ＤＸ［Ｋ］のそれぞれに、ｘ［ｉ＋１］の値に応じて、高レベル電位又は低レベル電位が入力されて、回路ＸＣＳから配線ＸＣＬ［ｉ＋１］に電流量としてｘ［ｉ＋１］I_{ref0}＝ｘ［ｉ＋１］I_{Xut}が流れる。なお、本動作例では、ｘ［ｉ＋１］は、第２データの値に相当する。このとき、配線ＸＣＬ［ｉ＋１］の電位は、０からV_{gm}［ｉ＋１］＋ΔＶ［ｉ＋１］に変化するものとする。

［０２４５］

配線ＸＣＬ［ｉ＋１］の電位が変化することによって、セルアレイＣＡのｉ＋１行目のセルＩＭ［ｉ＋１，１］乃至セルＩＭ［ｉ＋１，ｎ］のそれぞれに含まれている容量Ｃ５による容量結合によって、ノードＮＮ［ｉ＋１，１］乃至ノードＮＮ［ｉ＋１，ｎ］の電位も変化する。そのため、セルＩＭ［ｉ＋１，ｊ］のノードＮＮ［ｉ＋１，ｊ］の電位は、V_g［ｉ＋１，ｊ］＋ｐΔＶ［ｉ＋１］となる。

［０２４６］

同様に、配線ＸＣＬ［ｉ＋１］の電位が変化することによって、セルＩＭｒｅｆ［ｉ＋１］に含まれている容量Ｃ５ｍによる容量結合によって、ノードＮＮｒｅｆ［ｉ＋１］の電位も変化する。そのため、セルＩＭｒｅｆ［ｉ＋１］のノードＮＮｒｅｆ［ｉ＋１］の電位は、V_{gm}［ｉ＋１］＋ｐΔＶ［ｉ＋１］となる。

［０２４７］

これによって、時刻Ｔ２２から時刻Ｔ２３までの間において、トランジスタＦ２の第１端子－第２端子間に流れる電流量I_1［ｉ＋１，ｊ］、トランジスタＦ２ｍの第１端子－第２端子間に流れる電流量I_{ref1}［ｉ＋１，ｊ］は、次の通りに記述できる。

［０２４８］

［数１３］

$$\begin{aligned} & I_1[i+1,j] \\ = \; & I_a \exp\{J(V_g[i+1,j] + p\Delta V[i+1] - V_{th}[i+1,j])\} \\ = \; & I_0[i+1,j]\exp(\ JpV[i+1]\ ) \end{aligned} \quad \cdots(1.13)$$

［０２４９］

［数１４］

$$I_{\mathrm{ref1}}[i+1]$$

$$= I_a \exp\{J(V_{\mathrm{gm}}[i+1] + p\Delta V[i+1] - V_{\mathrm{thm}}[i+1])\}$$

$$= x[i+1] I_{\mathrm{ref0}} \quad \cdots(1.14)$$

［０２５０］

式（１．１３）、式（１．１４）より、ｘ［ｉ＋１］は次の式で表すことができる。

［０２５１］

［数１５］

$$x[i+1] = \exp(\ Jp\Delta V[i+1]\ ) \quad \cdots(1.15)$$

［０２５２］

そのため、式（１．１３）は、次の式に書き換えることができる。

［０２５３］

［数１６］

$$I_1[i+1, j] = x[i+1] w[i+1, j] I_{\mathrm{ref0}} \quad \cdots(1.16)$$

［０２５４］

つまり、セルＩＭ［ｉ＋１，ｊ］に含まれているトランジスタＦ２の第１端子－第２端子間に流れる電流量は、第１データであるｗ［ｉ＋１，ｊ］と、第２データであるｘ［ｉ＋１］と、の積に比例する。

［０２５５］

ここで、変換回路ＩＴＲＺ［ｊ］から、トランジスタＦ４［ｊ］と配線ＷＣＬ［ｊ］とを介して、セルＩＭ［ｉ，ｊ］及びセルＩＭ［ｉ＋１，ｊ］に流れる電流量の総和を考える。当該電流量の総和をＩｓ［ｊ］とすると、Ｉｓ［ｊ］は、式（１．１２）と式（１．１６）より、次の式で表すことができる。

［０２５６］

［数１７］

$$I_S[j] = I_1[i, j] + I_1[i+1, j]$$

$$= I_{\mathrm{ref0}}(x[i] w[i, j] + x[i+1] w[i+1, j]) \quad \cdots(1.17)$$

［０２５７］

したがって、変換回路ＩＴＲＺ［ｊ］から出力される電流量は、第１データである重み係数ｗ［ｉ，ｊ］及びｗ［ｉ＋１，ｊ］と、第２データであるニューロンの信号の値ｘ［ｉ］及びｘ［ｉ＋１］と、の積和に比例した電流量となる。

［０２５８］

なお、上述の動作例では、セルＩＭ［ｉ，ｊ］、及びセルＩＭ［ｉ＋１，ｊ］に流れる電流量の

総和について扱ったが、複数のセルとして、セルＩＭ［１，ｊ］乃至セルＩＭ［ｍ，ｊ］のそれぞれに流れる電流量の総和についても扱ってもよい。この場合、式（１．１７）は、次の式に書き直すことができる。

［０２５９］

［数１８］

$$I_S[j] = I_{ref0} \sum_{i=1}^{m} x[i]w[i,j] \quad \cdots(1.18)$$

［０２６０］

このため、３行以上且つ２列以上のセルアレイＣＡを有する演算回路ＭＡＣ１の場合でも、上記の通り、積和演算を行うことができる。この場合の演算回路ＭＡＣ１は、複数列のうち１列を、電流量としてＩ$_{ref0}$、及びｘＩ$_{ref0}$を保持するセルとすることで、複数列のうち残りの列の数だけ積和演算処理を同時に実行することができる。つまり、メモリセルアレイの列の数を増やすことで、高速な積和演算処理を実現する半導体装置を提供することができる。

［０２６１］

なお、上述した演算回路ＭＡＣ１の動作例は、正の第１データと正の第２データとの積和を演算する場合に好適である。なお、正又は負の第１データと、正の第２データとの積和を演算する動作例、また、正又は負の第１データと、正又は負の第２データと、の積和を演算する動作例については、実施の形態２で説明する。

［０２６２］

また、本実施の形態では、演算回路ＭＡＣ１に含まれているトランジスタをＯＳトランジスタ、又はＳｉトランジスタとした場合について説明したが、本発明の一態様は、これに限定されない。演算回路ＭＡＣ１に含まれているトランジスタは、例えば、Ｇｅなどがチャネル形成領域に含まれるトランジスタ、ＺｎＳｅ、ＣｄＳ、ＧａＡｓ、ＩｎＰ、ＧａＮ、ＳｉＧｅなどの化合物半導体がチャネル形成領域に含まれるトランジスタ、カーボンナノチューブがチャネル形成領域に含まれるトランジスタ、有機半導体がチャネル形成領域に含まれるトランジスタ等を用いることができる。

［０２６３］

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

［０２６４］

（実施の形態２）

実施の形態１では、正又は“０”の第１データと正又は“０”の第２データとの積和を行う演算回路、及びその動作例について説明したが、本実施の形態では、正、負、又は“０”の第１データと、正、又は“０”の第２データと、の積和演算、及び、正、負、又は“０”の第１データと、正、負、又は“０”の第２データと、の積和演算が可能な演算回路について説明する。

［０２６５］

＜演算回路の構成例１＞

図７は、正、負、又は“０”の第１データと、正、又は“０”の第２データとの積和演算を行う演算回路の構成例を示している。図７に示す演算回路ＭＡＣ２は、図１の演算回路ＭＡＣ１を変更した構成となっている。そのため、演算回路ＭＡＣ２の説明において、演算回路ＭＡＣ１の説明と

重複する部分については省略する。

［０２６６］

図７に示すセルアレイＣＡは、回路ＣＥＳ［１，ｊ］乃至回路ＣＥＳ［ｍ，ｊ］を有し、回路ＣＥＳ［１，ｊ］は、セルＩＭ［１，ｊ］と、セルＩＭｒ［１，ｊ］と、を有し、回路ＣＥＳ［ｍ，ｊ］は、セルＩＭ［ｍ，ｊ］と、セルＩＭｒ［ｍ，ｊ］と、を有する。なお、図７では、回路ＣＥＳ［１，ｊ］と回路ＣＥＳ［ｍ，ｊ］とを抜粋して図示している。また、本明細書等では、回路ＣＥＳ［１，ｊ］乃至回路ＣＥＳ［ｍ，ｊ］、セルＩＭ［１，ｊ］、セルＩＭｒ［１，ｊ］、セルＩＭ［ｍ，ｊ］、セルＩＭｒ［ｍ，ｊ］などを説明する際、それぞれの符号に付記している［ｍ，ｎ］などを省略する場合がある。

［０２６７］

セルＩＭは、図１の演算回路ＭＡＣ１のセルアレイＣＡに含まれているセルＩＭ［１，１］乃至セルＩＭ［ｍ，ｎ］と同様の構成とすることができる。

［０２６８］

また、セルＩＭｒは、セルＩＭと同様の構成とすることができる。図７のセルＩＭｒは、一例として、セルＩＭと同様の構成として図示している。また、セルＩＭとセルＩＭｒとのそれぞれに含まれているトランジスタ、容量などを互いに区別できるように、セルＩＭｒに含まれているトランジスタ、容量を示す符号には「ｒ」を付している。

［０２６９］

具体的には、セルＩＭｒは、トランジスタＦ１ｒと、トランジスタＦ２ｒと、容量Ｃ５ｒと、を有する。なお、トランジスタＦ１ｒはセルＩＭのトランジスタＦ１に相当し、トランジスタＦ２ｒはセルＩＭのトランジスタＦ２に相当し、容量Ｃ５ｒはセルＩＭの容量Ｃ５に相当する。そのため、トランジスタＦ１ｒと、トランジスタＦ２ｒと、容量Ｃ５ｒと、のそれぞれの電気的な接続構成については、実施の形態１のＩＭ［１，１］乃至セルＩＭ［ｍ，ｎ］の説明を参酌する。

［０２７０］

また、セルＩＭｒにおいて、トランジスタＦ１ｒの第１端子と、トランジスタＦ２ｒのゲートと、容量Ｃ５ｒの第１端子と、の接続箇所をノードＮＮｒとしている。

［０２７１］

回路ＣＥＳ［１，ｊ］において、容量Ｃ５の第２端子は、配線ＸＣＬ［１］に電気的に接続され、トランジスタＦ１のゲートは、配線ＷＳＬ［１］に電気的に接続され、トランジスタＦ１の第２端子とトランジスタＦ２の第２端子とは、配線ＷＣＬ［ｊ］に電気的に接続されている。また、容量Ｃ５ｒの第２端子は、配線ＸＣＬ［１］に電気的に接続され、トランジスタＦ１ｒのゲートは、配線ＷＳＬ［１］に電気的に接続され、トランジスタＦ１ｒの第２端子とトランジスタＦ２ｒの第２端子とは、配線ＷＣＬｒ［ｊ］に電気的に接続されている。

［０２７２］

同様に、回路ＣＥＳ［ｍ，ｊ］において、容量Ｃ５の第２端子は、配線ＸＣＬ［ｍ］に電気的に接続され、トランジスタＦ１のゲートは、配線ＷＳＬ［ｍ］に電気的に接続され、トランジスタＦ１の第２端子とトランジスタＦ２の第２端子とは、配線ＷＣＬ［ｊ］に電気的に接続されている。また、容量Ｃ５ｒの第２端子は、配線ＸＣＬ［ｍ］に電気的に接続され、トランジスタＦ１ｒのゲートは、配線ＷＳＬ［ｍ］に電気的に接続され、トランジスタＦ１ｒの第２端子とトランジスタＦ２ｒの第２端子とは、配線ＷＣＬｒ［ｊ］に電気的に接続されている。

［０２７３］

配線ＷＣＬ［ｊ］及び配線ＷＣＬｒ［ｊ］のそれぞれは、実施の形態１で説明した配線ＷＣＬ［１］乃至配線ＷＣＬ［ｎ］と同様に、一例として、回路ＷＣＳから回路ＣＥＳに含まれているセルＩＭとセルＩＭｒに電流を流す配線として機能する。また、一例として、変換回路ＩＴＲＺＤ［ｊ］から回路ＣＥＳに含まれているセルＩＭとセルＩＭｒに電流を流す配線として機能する。

［０２７４］

また、図７の演算回路ＭＡＣ２において、回路ＳＷＳ１は、トランジスタＦ３［ｊ］と、トランジスタＦ３ｒ［ｊ］と、を有する。トランジスタＦ３［ｊ］の第１端子は、配線ＷＣＬ［ｊ］に電気的に接続され、トランジスタＦ３［ｊ］の第２端子は、回路ＷＣＳに電気的に接続され、トランジスタＦ３［ｊ］のゲートは、配線ＳＷＬ１に電気的に接続されている。また、トランジスタＦ３ｒ［ｊ］の第１端子は、配線ＷＣＬｒ［ｊ］に電気的に接続され、トランジスタＦ３ｒ［ｊ］の第２端子は、回路ＷＣＳに電気的に接続され、トランジスタＦ３ｒ［ｊ］のゲートは、配線ＳＷＬ１に電気的に接続されている。

［０２７５］

また、図７の演算回路ＭＡＣ２において、回路ＳＷＳ２は、トランジスタＦ４［ｊ］と、トランジスタＦ４ｒ［ｊ］と、を有する。トランジスタＦ４［ｊ］の第１端子は、配線ＷＣＬ［ｊ］に電気的に接続され、トランジスタＦ４［ｊ］の第２端子は、変換回路ＩＴＲＺＤ［ｊ］に電気的に接続され、トランジスタＦ４［ｊ］のゲートは、配線ＳＷＬ２に電気的に接続されている。また、トランジスタＦ４ｒ［ｊ］の第１端子は、配線ＷＣＬｒ［ｊ］に電気的に接続され、トランジスタＦ４ｒ［ｊ］の第２端子は、変換回路ＩＴＲＺＤ［ｊ］に電気的に接続され、トランジスタＦ４ｒ［ｊ］のゲートは、配線ＳＷＬ２に電気的に接続されている。

［０２７６］

変換回路ＩＴＲＺＤ［ｊ］は、演算回路ＭＡＣ１における変換回路ＩＴＲＺ［１］乃至変換回路ＩＴＲＺ［ｎ］に相当する回路であって、例えば、変換回路ＩＴＲＺＤ［ｊ］から配線ＷＣＬ［ｊ］に流れる電流の量と、変換回路ＩＴＲＺＤ［ｊ］から配線ＷＣＬｒ［ｊ］に流れる電流の量と、の差分に応じた電圧を生成して、配線ＯＬ［ｊ］に出力する機能を有する。

［０２７７］

変換回路ＩＴＲＺＤ［ｊ］の具体的な構成例を図８Ａに示す。図８Ａに示す変換回路ＩＴＲＺＤ１は、図７の変換回路ＩＴＲＺＤ［ｊ］に適用できる回路の一例である。なお、図８Ａには、変換回路ＩＴＲＺＤ１の周辺の回路との電気的な接続を示すため、回路ＳＷＳ２、配線ＷＣＬ、配線ＷＣＬｒ、配線ＳＷＬ２、トランジスタＦ４、トランジスタＦ４ｒも図示している。また、配線ＷＣＬ及び配線ＷＣＬｒのそれぞれは、一例として、図７の演算回路ＭＡＣ２に含まれている配線ＷＣＬ［ｊ］及び配線ＷＣＬｒ［ｊ］とし、トランジスタＦ４及びトランジスタＦ４ｒは、一例として、図７の演算回路ＭＡＣ２に含まれているトランジスタＦ４［ｊ］及びトランジスタＦ４ｒ［ｊ］とすることができる。

［０２７８］

図８Ａの変換回路ＩＴＲＺＤ１は、トランジスタＦ４を介して配線ＷＣＬに電気的に接続されている。また、変換回路ＩＴＲＺＤ１は、トランジスタＦ４ｒを介して配線ＷＣＬｒに電気的に接続されている。また、変換回路ＩＴＲＺＤ１は、配線ＯＬに電気的に接続されている。変換回路ＩＴＲＺＤ１は、変換回路ＩＴＲＺＤ１から配線ＷＣＬに流れる電流量、又は配線ＷＣＬから変換回路

ＩＴＲＺＤ１に流れる電流量を第１の電圧に変換する機能と、変換回路ＩＴＲＺＤ１から配線ＷＣＬｒに流れる電流量、又は配線ＷＣＬｒから変換回路ＩＴＲＺＤ１に流れる電流量を第２の電圧に変換する機能と、第１の電圧と第２の電圧との差に応じたアナログ電圧を配線ＯＬに出力する機能と、を有する。

［０２７９］

図８Ａの変換回路ＩＴＲＺＤ１は、一例として、抵抗ＲＰと、抵抗ＲＭと、オペアンプＯＰＰと、オペアンプＯＰＭと、オペアンプＯＰ２と、を有する。

［０２８０］

オペアンプＯＰＰの反転入力端子は、抵抗ＲＰの第１端子と、トランジスタＦ４の第２端子と、に電気的に接続されている。オペアンプＯＰＰの非反転入力端子は、配線ＶＲＰＬに電気的に接続されている。オペアンプＯＰＰの出力端子は、抵抗ＲＰの第２端子と、オペアンプＯＰ２の非反転入力端子に電気的に接続されている。また、オペアンプＯＰＭの反転入力端子は、抵抗ＲＭの第１端子と、トランジスタＦ４ｒの第２端子と、に電気的に接続されている。オペアンプＯＰＭの非反転入力端子は、配線ＶＲＭＬに電気的に接続されている。オペアンプＯＰＭの出力端子は、抵抗ＲＭの第２端子と、オペアンプＯＰ２の反転入力端子に電気的に接続されている。オペアンプＯＰ２の出力端子は、配線ＯＬに電気的に接続されている。

［０２８１］

配線ＶＲＰＬは、定電圧を与える配線として機能する。当該定電圧としては、例えば、接地電位（ＧＮＤ）、低レベル電位などとすることができる。また、配線ＶＲＭＬは、定電圧を与える配線として機能する。当該定電圧としては、例えば、接地電位（ＧＮＤ）、低レベル電位などとすることができる。また、配線ＶＲＰＬ及び配線ＶＲＭＬのそれぞれが与える定電圧は、互いに等しくてもよいし、互いに異なっていてもよい。特に、配線ＶＲＰＬ及び配線ＶＲＭＬのそれぞれが与える定電圧を接地電位（ＧＮＤ）にすることによって、オペアンプＯＰＰの反転入力端子、及びオペアンプＯＰＭの反転入力端子のそれぞれを仮想接地にすることができる。

［０２８２］

変換回路ＩＴＲＺＤ１は、図８Ａの構成にすることによって、配線ＷＣＬから、トランジスタＦ４を介して、変換回路ＩＴＲＺＤ１に流れる電流量、又は、変換回路ＩＴＲＺＤ１から、トランジスタＦ４を介して、配線ＷＣＬに流れる電流量を、第１の電圧に変換することができる。また、配線ＷＣＬｒから、トランジスタＦ４ｒを介して、変換回路ＩＴＲＺＤ１に流れる電流量、又は、変換回路ＩＴＲＺＤ１から、トランジスタＦ４ｒを介して、配線ＷＣＬｒに流れる電流量を、第２の電圧に変換することができる。そして、第１の電圧と第２の電圧との差に応じたアナログ電圧を配線ＯＬに出力することができる。

［０２８３］

また、図８Ａの変換回路ＩＴＲＺＤ１は、アナログ電圧を出力する構成となっているが、図７の変換回路ＩＴＲＺＤ［ｊ］に適用できる回路構成は、これに限定されない。例えば、変換回路ＩＴＲＺＤ１は、図４Ｂと同様に、図８Ｂに示すとおり、アナログデジタル変換回路ＡＤＣを有する構成としてもよい。具体的には、図８Ｂの変換回路ＩＴＲＺＤ２は、アナログデジタル変換回路ＡＤＣの入力端子がオペアンプＯＰ２の出力端子に電気的に接続され、アナログデジタル変換回路ＡＤＣの出力端子が配線ＯＬに電気的に接続されている構成となっている。このような構成にすることによって、図８Ｂの変換回路ＩＴＲＺＤ２は、配線ＯＬにデジタル信号を出力することができる。

［０２８４］

また、変換回路ＩＴＲＺＤ２において、配線ＯＬに出力されるデジタル信号を１ビット（２値）とする場合、変換回路ＩＴＲＺ２は、図８Ｃに示す変換回路ＩＴＲＺＤ３に置き換えてもよい。図８Ｃの変換回路ＩＴＲＺ３は、図４Ｃと同様に、図８Ａの変換回路ＩＴＲＺＤ１にコンパレータＣＭＰ２を設けた構成となっている。具体的には、変換回路ＩＴＲＺＤ３は、コンパレータＣＭＰ２の第１入力端子がオペアンプＯＰ２の出力端子に電気的に接続され、コンパレータＣＭＰ２の第２入力端子が配線ＶＲＬ３に電気的に接続され、コンパレータＣＭＰ２の出力端子が配線ＯＬに電気的に接続されている構成となっている。配線ＶＲＬ３は、コンパレータＣＭＰ２の第１端子の電位と比較するための電位を与える配線として機能する。このような構成にすることによって、図８Ｃの変換回路ＩＴＲＺＤ３は、トランジスタＦ４のソースードレイン間に流れる電流量から変換された第１の電圧とトランジスタＦ４ｒのソースードレイン間に流れる電流量から変換された第２の電圧との差と、配線ＶＲＬ３が与える電圧と、との大小に応じて、配線ＯＬに低レベル電位又は高レベル電位（２値のデジタル信号）を出力することができる。

［０２８５］

＜＜第１データの保持の例＞＞

次に、図７の演算回路ＭＡＣ２において、正、負、又は“０”の第１データと、正、又は“０”の第２データとの積和演算を行うための、第１データを回路ＣＥＳに保持する一例について説明する。

［０２８６］

回路ＣＥＳは、セルＩＭと、セルＩＭｒと、を有するため、回路ＣＥＳは、第１データの保持として、セルＩＭと、セルＩＭｒと、の２つの回路を用いることができる。つまり、回路ＣＥＳは、２つの電流量を設定して、それぞれの電流量に応じた電位をセルＩＭと、セルＩＭｒと、に保持することができる。このため、第１データを、セルＩＭで設定される電流量と、セルＩＭｒで設定される電流量と、で表すことができる。ここで、回路ＣＥＳに保持される、正の第１データ、負の第１データ、又は“０”の第１データを次の通りに定義する。

［０２８７］

回路ＣＥＳ［１，ｊ］に正の第１データを保持する場合、セルＩＭ［１，ｊ］には、一例として、セルＩＭ［１，ｊ］のトランジスタＦ２の第１端子－第２端子間に正の第１データの値の絶対値に応じた電流量が流れるように設定する。具体的には、トランジスタＦ２のゲート（ノードＮＮ［１，ｊ］）に当該電流量に応じた電位を保持する。一方、セルＩＭｒ［１，ｊ］には、一例として、セルＩＭｒ［１，ｊ］のトランジスタＦ２ｒの第１端子－第２端子間に電流が流れないように設定する。具体的には、トランジスタＦ２ｒのゲート（ノードＮＮｒ［１，ｊ］）には、配線ＶＥが与える電位、図２Ａの回路ＷＣＳの配線ＶＩＮＩＬ１が与える初期化用の電位などが保持されていればよい。

［０２８８］

また、回路ＣＥＳ［１，ｊ］に負の第１データを保持する場合、セルＩＭｒ［１，ｊ］には、一例として、セルＩＭｒ［１，ｊ］のトランジスタＦ２ｒには負の第１データの値の絶対値に応じた電流量が流れるように設定する。具体的には、トランジスタＦ２ｒのゲート（ノードＮＮｒ［１，ｊ］）に当該電流量に応じた電位を保持する。一方、セルＩＭ［１，ｊ］は、一例として、セルＩＭ［１，ｊ］のトランジスタＦ２には電流が流れないように設定する。具体的には、トランジスタ

Ｆ２のゲート（ノードＮＮ［１，ｊ］）には、配線ＶＥが与える電位、図２Ａの回路ＷＣＳの配線ＶＩＮＩＬ１が与える初期化用の電位などが保持されていればよい。

［０２８９］

また、回路ＣＥＳ［１，ｊ］に“０”の第１データを保持する場合、一例として、セルＩＭ［１，ｊ］のトランジスタＦ２、及びセルＩＭｒ［１，ｊ］のトランジスタＦ２ｒのそれぞれには電流が流れないように設定する。具体的には、トランジスタＦ２のゲート（ノードＮＮ［１，ｊ］）とトランジスタＦ２ｒのゲート（ノードＮＮｒ［１，ｊ］）には、配線ＶＥが与える電位、図２Ａの回路ＷＣＳの配線ＶＩＮＩＬ１が与える初期化用の電位などが保持されていればよい。

［０２９０］

なお、他の回路ＣＥＳについても、正の第１データ、又は負の第１データを保持するとき、上述した回路ＣＥＳ［１，ｊ］と同様に、セルＩＭと配線ＷＣＬとの間、セルＩＭｒと配線ＷＣＬｒとの間、の一方には第１データに応じた電流量が流れるように設定し、セルＩＭと配線ＷＣＬとの間、セルＩＭｒと配線ＷＣＬｒとの間、の他方には電流が流れないように設定すればよい。また、他の回路ＣＥＳに、“０”の第１データを保持するとき、上述した回路ＣＥＳ［１，ｊ］と同様に、セルＩＭと配線ＷＣＬとの間、及びセルＩＭｒと配線ＷＣＬｒとの間には電流が流れないように設定すればよい。

［０２９１］

一例として、“＋３”、“＋２”、“＋１”、“０”、“－１”、“－２”、“－３”のそれぞれの場合を第１データとして回路ＣＥＳに保持するとき、配線ＷＣＬからセルＩＭに流れる電流量の設定、及び配線ＷＣＬｒからセルＩＭｒに流れる電流量の設定を上記のとおりに従うことで、第１データ“＋３”、“＋２”、“＋１”、“０”、“－１”、“－２”、“－３”のそれぞれは、例えば、次表のとおりに定義することができる。

［０２９２］

［表１］

第１データ	配線ＷＣＬから セルＩＭに流れる電流	配線ＷＣＬｒから セルＩＭｒに流れる電流
＋３	$3I_{Wut}$	０
＋２	$2I_{Wut}$	０
＋１	I_{Wut}	０
０	０	０
－１	０	I_{Wut}
－２	０	$2I_{Wut}$
－３	０	$3I_{Wut}$

［０２９３］

ここで、図７の演算回路ＭＡＣ２において、回路ＣＥＳ［１，ｊ］乃至回路ＣＥＳ［ｍ，ｊ］のそれぞれに第１データが保持され、配線ＸＣＬ［１］乃至配線ＸＣＬ［ｍ］のそれぞれに第２データが入力された場合を考える。このとき、配線ＳＷＬ１に低レベル電位を与えてトランジスタＦ３［ｊ］、及びトランジスタＦ３ｒ［ｊ］をオフ状態にし、このとき、配線ＳＷＬ２に高レベル電位

を与えてトランジスタＦ４［ｊ］、及びトランジスタＦ４ｒ［ｊ］をオン状態にする。これにより、変換回路ＩＴＲＺＤ［ｊ］と配線ＷＣＬ［ｊ］との間が導通状態となるので、変換回路ＩＴＲＺＤ［ｊ］から配線ＷＣＬ［ｊ］に電流が流れる場合がある。また、変換回路ＩＴＲＺＤ［ｊ］と配線ＷＣＬｒ［ｊ］との間が導通状態となるので、変換回路ＩＴＲＺＤ［ｊ］から配線ＷＣＬｒ［ｊ］に電流が流れる場合がある。変換回路ＩＴＲＺＤ［ｊ］から配線ＷＣＬ［ｊ］に流れる電流量の総和をI_S［ｊ］とし、及び変換回路ＩＴＲＺＤ［ｊ］から配線ＷＣＬｒ［ｊ］に流れる電流量の総和をI_{Sr}［ｊ］として、実施の形態１で説明した演算回路ＭＡＣ１の動作例を参酌すると、I_S［ｊ］及びI_{Sr}［ｊ］は、次の式で表すことができる。

［０２９４］

［数１９］

$$I_S[j] = I_{refo}\sum_{i=1}^{m} x[i]w[i,j] \quad \cdots(2.1)$$

$$I_{Sr}[j] = I_{refo}\sum_{i=1}^{m} x[i]w_r[i,j] \quad \cdots(2.2)$$

［０２９５］

なお、式（２．１）に示すｗ［ｉ，ｊ］は、セルＩＭ［ｉ，ｊ］に書き込まれる第１データの値であり、式（２．２）に示すw_r［ｉ，ｊ］は、セルＩＭｒ［ｉ，ｊ］に書き込まれる第１データの値である。なお、ｗ［ｉ，ｊ］、又はw_r［ｉ，ｊ］の一方が“０”でない値であるとき、ｗ［ｉ，ｊ］、又はw_r［ｉ，ｊ］の他方は“０”の値とすることによって、回路ＣＥＳ［ｉ，ｊ］に保持される第１データは、例えば、表１に示した定義などに従うことができる。

［０２９６］

変換回路ＩＴＲＺＤ［ｊ］は、例えば、配線ＷＣＬに流れる電流量の総和I_S［ｊ］を第１の電圧に変換し、配線ＷＣＬｒに流れる電流量の総和I_{Sr}［ｊ］を第２の電圧に変換する。そして、変換回路ＩＴＲＺＤ［ｊ］は、第１の電圧と第２の電圧との差に応じた電圧を配線ＯＬに出力することができる。

［０２９７］

ところで、図８Ａ乃至図８Ｃのそれぞれに示した変換回路ＩＴＲＺＤ１乃至変換回路ＩＴＲＺＤ３は、配線ＯＬに電圧を出力する回路構成としたが、本発明の一態様は、これに限定されない。例えば、図７の演算回路ＭＡＣ２に含まれている変換回路ＩＴＲＺＤ［ｊ］は、電流を出力する回路構成としてもよい。

［０２９８］

図９に示す変換回路ＩＴＲＺＤ４は、図７の演算回路ＭＡＣ２に含まれている変換回路ＩＴＲＺＤ［ｊ］に適用することができる回路であり、積和演算及び活性化関数の演算の結果を電流量として出力する回路構成となっている。

［０２９９］

なお、図９には、変換回路ＩＴＲＺＤ４の周辺の回路との電気的な接続を示すため、回路ＳＷＳ２、配線ＷＣＬ、配線ＷＣＬｒ、配線ＯＬ、トランジスタＦ４、トランジスタＦ４ｒも図示している。また、配線ＷＣＬ及び配線ＷＣＬｒのそれぞれは、一例として、図７の演算回路ＭＡＣ２に含

まれている配線ＷＣＬ［ｊ］及び配線ＷＣＬｒ［ｊ］とし、トランジスタＦ４及びトランジスタＦ４ｒは、一例として、図７の演算回路ＭＡＣ２に含まれているトランジスタＦ４［ｊ］及びトランジスタＦ４ｒ［ｊ］とすることができる。

［０３００］

図９の変換回路ＩＴＲＺＤ４は、トランジスタＦ４を介して配線ＷＣＬに電気的に接続されている。また、変換回路ＩＴＲＺＤ４は、トランジスタＦ４ｒを介して配線ＷＣＬｒに電気的に接続されている。また、変換回路ＩＴＲＺＤ４は、配線ＯＬに電気的に接続されている。変換回路ＩＴＲＺＤ４は、変換回路ＩＴＲＺＤ４から配線ＷＣＬに流れる電流量、又は配線ＷＣＬから変換回路ＩＴＲＺＤ４に流れる電流量の一方と、変換回路ＩＴＲＺＤ４から配線ＷＣＬｒに流れる電流量、又は配線ＷＣＬｒから変換回路ＩＴＲＺＤ４に流れる電流量の一方と、の差分電流を取得する機能を有する。また、当該差分電流を、変換回路ＩＴＲＺＤ４と配線ＯＬとの間に流す機能を有する。

［０３０１］

図９の変換回路ＩＴＲＺＤ４は、一例として、トランジスタＦ５と、電流源ＣＩと、電流源ＣＩｒと、カレントミラー回路ＣＭ１と、を有する。

［０３０２］

トランジスタＦ４の第２端子は、カレントミラー回路ＣＭ１の第１端子と、電流源ＣＩの出力端子と、に電気的に接続され、トランジスタＦ４ｒの第２端子は、カレントミラー回路ＣＭ１の第２端子と、電流源ＣＩｒの出力端子と、トランジスタＦ５の第１端子と、に電気的に接続されている。また、電流源ＣＩの入力端子は、配線ＶＨＥに電気的に接続され、電流源ＣＩｒの入力端子は、配線ＶＨＥに電気的に接続されている。また、カレントミラー回路ＣＭ１の第３端子は、配線ＶＳＥに電気的に接続され、カレントミラー回路ＣＭ１の第４端子は、配線ＶＳＥに電気的に接続されている。

［０３０３］

トランジスタＦ５の第２端子は、配線ＯＬに電気的に接続され、トランジスタＦ５のゲートは、配線ＯＥＬに電気的に接続されている。

［０３０４］

カレントミラー回路ＣＭ１は、一例として、カレントミラー回路ＣＭ１の第１端子の電位に応じた電流量を、カレントミラー回路ＣＭ１の第１端子と第３端子との間と、カレントミラー回路ＣＭ１の第２端子と第４端子との間と、に流す機能を有する。

［０３０５］

配線ＶＨＥは、例えば、定電圧を与える配線として機能する。具体的には、例えば、当該定電圧としては、高レベル電位などとすることができる。

［０３０６］

配線ＶＳＥは、例えば、定電圧を与える配線として機能する。具体的には、例えば、当該定電圧としては、低レベル電位、接地電位などとすることができる。

［０３０７］

配線ＯＥＬは、例えば、トランジスタＦ５のオン状態、又はオフ状態に切り替えるための信号を送信するための配線として機能する。具体的には、例えば、配線ＯＥＬには、高レベル電位、又は低レベル電位を入力すればよい。

［０３０８］

電流源ＣＩは、電流源ＣＩの入力端子と出力端子との間に定電流を流す機能を有する。また、電流源ＣＩｒは、電流源ＣＩｒの入力端子と出力端子との間に定電流を流す機能を有する。なお、図９の変換回路ＩＴＲＺＤ４において、電流源ＣＩが流す電流の大きさと、電流源ＣＩｒが流す電流の大きさと、は等しいことが好ましい。

［０３０９］

ここで、図９の変換回路ＩＴＲＺＤ４の動作例について、説明する。

［０３１０］

初めに、変換回路ＩＴＲＺＤ４からトランジスタＦ４を介して配線ＷＣＬに流れる電流の量をI_Sとし、変換回路ＩＴＲＺＤ４からトランジスタＦ４ｒを介して配線ＷＣＬｒに流れる電流の量をI_{Sr}とする。また、電流源ＣＩ及び電流源ＣＩｒのそれぞれが流す電流の量をI_0とする。

［０３１１］

I_Sは、図７の演算回路ＭＡＣ２において、例えば、ｊ列目に位置するセルＩＭ［１，ｊ］乃至セルＩＭ［ｍ，ｊ］に流れる電流量の総和とする。また、I_{Sr}は、図７の演算回路ＭＡＣ２において、例えば、ｊ列目に位置するセルＩＭｒ［１，ｊ］乃至セルＩＭｒ［ｍ，ｊ］に流れる電流量の総和とする。

［０３１２］

配線ＳＷＬ２に高レベル電位が入力されることによって、トランジスタＦ４、及びトランジスタＦ４ｒはオン状態となる。このため、カレントミラー回路ＣＭ１の第１端子から第３端子に流れる電流量は、I_0-I_Sとなる。また、カレントミラー回路ＣＭ１によって、カレントミラー回路ＣＭ１の第２端子から第２端子にI_0-I_Sの電流量が流れる。

［０３１３］

次に、配線ＯＥＬに高レベル電位が入力されて、トランジスタＦ５がオン状態となる。このとき、配線ＯＬに流れる電流量をI_{out}とすると、$I_{out}=I_0-(I_0-I_S)-I_{Sr}=I_S-I_{Sr}$となる。

［０３１４］

ここで、図７の演算回路ＭＡＣ２において、正、負、又は“０”の第１データと、正、又は“０”の第２データとの積和演算を行うための、第１データの回路ＣＥＳへの保持については、上記の第１データの保持の例を参酌する。

［０３１５］

つまり、回路ＣＥＳ［ｉ，ｊ］に正の第１データを保持する場合、セルＩＭ［ｉ，ｊ］には、セルＩＭ［ｉ，ｊ］のトランジスタＦ２の第１端子－第２端子間に正の第１データの値の絶対値に応じた電流量が流れるように設定し、セルＩＭｒ［ｉ，ｊ］には、セルＩＭｒ［ｉ，ｊ］のトランジスタＦ２ｒの第１端子－第２端子間に電流が流れないように設定する。また、回路ＣＥＳ［ｉ，ｊ］に負の第１データを保持する場合、セルＩＭ［ｉ，ｊ］には、セルＩＭ［ｉ，ｊ］のトランジスタＦ２の第１端子－第２端子間に電流が流れないように設定し、セルＩＭｒ［ｉ，ｊ］には、セルＩＭｒ［ｉ，ｊ］のトランジスタＦ２ｒの第１端子－第２端子間に負の第１データの値の絶対値に応じた電流量が流れるように設定する。また、回路ＣＥＳ［ｉ，ｊ］に“０”の第１データを保持する場合、セルＩＭ［ｉ，ｊ］には、セルＩＭ［ｉ，ｊ］のトランジスタＦ２の第１端子－第２端子間に電流が流れないように設定し、セルＩＭｒ［ｉ，ｊ］には、セルＩＭｒ［ｉ，ｊ］のトランジスタＦ２ｒの第１端子－第２端子間に電流が流れないように設定する。

［０３１６］

ここで、図７の演算回路ＭＡＣ２の配線ＸＣＬ［１］乃至配線ＸＣＬ［ｍ］のそれぞれに第２データが入力された場合、セルＩＭ［ｉ，ｊ］のトランジスタＦ２の第１端子－第２端子間に流れる電流量、及びセルＩＭｒ［ｉ，ｊ］のトランジスタＦ２の第１端子－第２端子間に流れる電流量のそれぞれは、第２データに比例する。

［０３１７］

I_Sはｊ列目に位置するセルＩＭ［１，ｊ］乃至セルＩＭ［ｍ，ｊ］に流れる電流量の総和である。そのため、I_Sは、回路ＣＥＳ［１，ｊ］乃至回路ＣＥＳ［ｍ，ｊ］のうち、正の第１データが保持された回路ＣＥＳに含まれている、セルＩＭに流れる電流量の総和となり、例えば、式（２．１）と同様に表すことができる。つまり、I_Sは、正の第１データの絶対値と第２データとの積和演算の結果に対応する。また、I_{Sr}はｊ列目に位置するセルＩＭｒ［１，ｊ］乃至セルＩＭｒ［ｍ，ｊ］に流れる電流量の総和である。そのため、I_{Sr}は、回路ＣＥＳ［１，ｊ］乃至回路ＣＥＳ［ｍ，ｊ］のうち、負の第１データが保持された回路ＣＥＳに含まれている、セルＩＭｒに流れる電流量の総和となり、例えば、式（２．２）と同様に表すことができる。つまり、I_{Sr}は、負の第１データの絶対値と第２データとの積和演算の結果に対応する。

［０３１８］

このため、配線ＯＬに流れる電流量$I_{out}=I_S-I_{Sr}$は、正の第１データの絶対値と第２データとの積和演算の結果と、負の第１データの絶対値と第２データとの積和演算の結果と、の差に対応する。つまり、$I_{out}=I_S-I_{Sr}$は、回路ＣＥＳ［１，ｊ］乃至回路ＣＥＳ［ｍ，ｊ］に保持されている、負、“０”、又は正の第１データと、配線ＸＣＬ［１］乃至配線ＸＣＬ［ｍ］のそれぞれに入力される第２データとの積和演算の結果に対応する。

［０３１９］

ところで、セルＩＭ［１，ｊ］乃至セルＩＭ［ｍ，ｊ］に流れる電流量の総和が、セルＩＭｒ［１，ｊ］乃至セルＩＭｒ［ｍ，ｊ］に流れる電流量の総和よりも大きいとき、すなわちI_SがI_{Sr}よりも大きいとき、I_{out}は０よりも大きい電流量となり、変換回路ＩＴＲＺＤ４から配線ＯＬに流れる。一方、セルＩＭ［１，ｊ］乃至セルＩＭ［ｍ，ｊ］に流れる電流量の総和が、セルＩＭｒ［１，ｊ］乃至セルＩＭｒ［ｍ，ｊ］に流れる電流量の総和よりも小さいとき、すなわちI_SがI_{Sr}よりも小さいとき、配線ＯＬから変換回路ＩＴＲＺＤ４に電流が流れない場合がある。つまり、I_SがI_{Sr}よりも小さいとき、I_{out}は概ね０とすることができる。このため、変換回路ＩＴＲＺＤ４は、例えば、ＲｅＬＵ関数として作用するとみなすことができる。

［０３２０］

ＲｅＬＵ関数は、例えば、ニューラルネットワークの活性化関数に利用することができる。ニューラルネットワークの演算では、前層のニューロンのそれぞれの信号の値（例えば、第２データとすることができる）と、対応する重み係数（例えば、第１データとすることができる）と、の積和を算出する必要がある。また、積和の結果に応じて活性化関数の値を計算する必要がある。このため、ニューラルネットワークの活性化関数をＲｅＬＵ関数とした場合、当該ニューラルネットワークの演算は、変換回路ＩＴＲＺＤ４を含む演算回路ＭＡＣ２を用いることによって行うことができる。

［０３２１］

なお、階層型のニューラルネットワークについては、実施の形態５で後述する。

［０３２２］

次に、図９の変換回路ＩＴＲＺＤ４の具体的な回路構成の例について説明する。

［０３２３］

図１０Ａに示す変換回路ＩＴＲＺＤ４は、図９の変換回路ＩＴＲＺＤ４の一例である。具体的には、図１０Ａでは、カレントミラー回路ＣＭ１、電流源ＣＩ、及び電流源ＣＩｒのそれぞれの構成の例を示している。

［０３２４］

図１０Ａの変換回路ＩＴＲＺＤ４において、カレントミラー回路ＣＭ１は、一例として、トランジスタＦ６と、トランジスタＦ６ｒと、を有し、電流源ＣＩは、一例として、トランジスタＦ７を有し、電流源ＣＩｒは、一例として、トランジスタＦ７ｒを有する。なお、トランジスタＦ６、トランジスタＦ６ｒ、トランジスタＦ７、及びトランジスタＦ７ｒは、ｎチャネル型トランジスタとしている。

［０３２５］

例えば、カレントミラー回路ＣＭ１の第１端子は、トランジスタＦ６の第１端子と、トランジスタＦ６のゲートと、トランジスタＦ６ｒのゲートと、に電気的に接続され、カレントミラー回路ＣＭ１の第３端子は、トランジスタＦ６の第２端子に電気的に接続されている。また、カレントミラー回路ＣＭ１の第２端子は、トランジスタＦ６ｒの第１端子に電気的に接続され、カレントミラー回路ＣＭ１の第４端子は、トランジスタＦ６ｒの第２端子に電気的に接続されている。

［０３２６］

また、例えば、電流源ＣＩの出力端子は、トランジスタＦ７の第１端子と、トランジスタＦ７のゲートと、に電気的に接続され、電流源ＣＩの入力端子は、トランジスタＦ７の第２端子に電気的に接続されている。

［０３２７］

また、例えば、電流源ＣＩｒの出力端子は、トランジスタＦ７ｒの第１端子と、トランジスタＦ７ｒのゲートと、に電気的に接続され、電流源ＣＩｒの入力端子は、トランジスタＦ７ｒの第２端子に電気的に接続されている。

［０３２８］

トランジスタＦ７、及びトランジスタＦ７ｒのそれぞれは、ゲートと第１端子とが電気的に接続されており、かつ第２端子と配線ＶＨＥとが電気的に接続されている。したがって、トランジスタＦ７、及びトランジスタＦ７ｒのそれぞれのゲートーソース間電圧は０Ｖとなり、トランジスタＦ７、及びトランジスタＦ７ｒのそれぞれのしきい値電圧が適切な範囲内である場合、トランジスタＦ７、及びトランジスタＦ７ｒのそれぞれの第１端子ー第２端子間には定電流が流れる。つまり、トランジスタＦ７、及びトランジスタＦ７ｒのそれぞれは電流源として機能する。

［０３２９］

なお、図９の変換回路ＩＴＲＺＤ４に含まれる電流源ＣＩ、及び電流源ＣＩｒの構成は、図１０Ａに示した電流源ＣＩ、及び電流源ＣＩｒに限定されない。変換回路ＩＴＲＺＤ４に含まれる電流源ＣＩ、及び電流源ＣＩｒのそれぞれの構成は、状況に応じて、変更を行ってもよい。

［０３３０］

例えば、図９の変換回路ＩＴＲＺＤ４に含まれる電流源ＣＩ、及び電流源ＣＩｒのそれぞれは、図１０Ｂに示す電流源ＣＩ（電流源ＣＩｒ）としてもよい。

［０３３１］

図１０Ｂの電流源ＣＩ（電流源ＣＩｒ）は、一例として、複数の電流源ＣＳＡを有する。また、複数の電流源ＣＳＡのそれぞれは、トランジスタＦ７と、トランジスタＦ７ｓと、端子Ｕ１と、端子Ｕ２と、端子Ｕ３と、を有する。

［０３３２］

電流源ＣＳＡは、一例として、端子Ｕ２と端子Ｕ１との間に電流量としてI_{CSA}を流す機能を有する。また、電流源ＣＩ（電流源ＣＩｒ）は、例えば、$2^{P}-1$個（Ｐは１以上の整数である）の電流源ＣＳＡを有するものとしたとき、電流源ＣＩ（電流源ＣＩｒ）は、出力端子に電流量として$s\times I_{CSA}$（ｓは０以上$2^{P}-1$以下の整数である）を流すことができる。

［０３３３］

なお、実際には、電流源ＣＩ（電流源ＣＩｒ）の作製段階において、それぞれの電流源ＣＳＡに含まれているトランジスタの電気特性のバラツキによって誤差が現れることがある。そのため、複数の電流源ＣＳＡの端子Ｕ１のそれぞれから出力される定電流I_{CSA}の誤差は１０％以内が好ましく、５％以内であることがより好ましく、１％以内であることがより好ましい。なお、本実施の形態では、電流源ＣＩ（電流源ＣＩｒ）に含まれている複数の電流源ＣＳＡの端子Ｕ１から出力される定電流I_{CSA}の誤差は無いものとして説明する。

［０３３４］

複数の電流源ＣＳＡの一において、トランジスタＦ７ｓの第１端子は、端子Ｕ１に電気的に接続され、トランジスタＦ７ｓのゲートは、端子Ｕ３に電気的に接続されている。トランジスタＦ７の第１端子は、トランジスタＦ７のゲートと、トランジスタＦ７ｓの第２端子と、に電気的に接続されている。トランジスタＦ７の第２端子は、端子Ｕ２に電気的に接続されている。

［０３３５］

複数の電流源ＣＳＡのそれぞれの端子Ｕ１は、電流源ＣＩ（電流源ＣＩｒ）の出力端子に電気的に接続されている。また、複数の電流源ＣＳＡのそれぞれの端子Ｕ２は、電流源ＣＩ（電流源ＣＩｒ）の入力端子に電気的に接続されている。つまり、複数の電流源ＣＳＡのそれぞれの端子Ｕ２と、配線ＶＨＥと、の間は導通となっている。

［０３３６］

また、１個の電流源ＣＳＡの端子Ｕ３は配線ＣＬ［１］に電気的に接続され、２個の電流源ＣＳＡの端子Ｕ３のそれぞれは配線ＣＬ［２］に電気的に接続され、2^{P-1}個の電流源ＣＳの端子Ｕ３のそれぞれは配線ＣＬ［Ｐ］に電気的に接続されている。

［０３３７］

配線ＣＬ［１］乃至配線ＣＬ［Ｐ］は、電気的に接続されている電流源ＣＳＡから定電流I_{CSA}を出力するための制御信号を送信する配線として機能する。具体的には、例えば、配線ＣＬ［１］に高レベル電位が与えられているとき、配線ＣＬ［１］に電気的に接続されている電流源ＣＳＡは、定電流としてI_{CSA}を端子Ｕ１に流し、また、配線ＣＬ［１］に低レベル電位が与えられているとき、配線ＣＬ［１］に電気的に接続されている電流源ＣＳＡは、I_{CSA}を出力しない。また、例えば、配線ＣＬ［２］に高レベル電位が与えられているとき、配線ＣＬ［２］に電気的に接続されている２個の電流源ＣＳＡは、合計$2I_{CSA}$を定電流として端子Ｕ１に流し、また、配線ＣＬ［２］に低レベル電位が与えられているとき、配線ＣＬ［２］に電気的に接続されている電流源ＣＳＡは、合計$2I_{CSA}$の定電流を出力しない。また、例えば、配線ＣＬ［Ｐ］に高レベル電位が与えられて

いるとき、配線ＣＬ［Ｐ］に電気的に接続されている$２^{Ｐ－１}$個の電流源ＣＳＡは、合計$２^{Ｐ－１}Ｉ_{ＣＳＡ}$を定電流として端子Ｕ１に流し、また、配線ＣＬ［Ｐ］に低レベル電位が与えられているとき、配線ＣＬ［Ｐ］に電気的に接続されている電流源ＣＳＡは、合計$２^{Ｐ－１}Ｉ_{ＣＳＡ}$の定電流を出力しない。

［０３３８］

このため、電流源ＣＩ（電流源ＣＩｒ）は、配線ＣＬ［１］乃至配線ＣＬ［Ｐ］から選ばれた一本以上の配線に高レベル電位を与えることによって、電流源ＣＩ（電流源ＣＩｒ）の出力端子に電流を流すことができる。また、当該電流の量は、高レベル電位を入力する、配線ＣＬ［１］乃至配線ＣＬ［Ｐ］から選ばれた一本以上の配線の組み合わせによって定めることができる。例えば、配線ＣＬ［１］及び配線ＣＬ［２］に高レベル電位が与えられ、配線ＣＬ［３］乃至配線ＣＬ［Ｐ］に低レベル電位が与えられているとき、電流源ＣＩ（電流源ＣＩｒ）は、電流源ＣＩ（電流源ＣＩｒ）の出力端子に合計$３Ｉ_{ＣＳＡ}$の電流を流すことができる。

［０３３９］

上記の通り、図１０Ｂの電流源ＣＩ（電流源ＣＩｒ）を用いることによって、状況に応じて、電流源ＣＩ（電流源ＣＩｒ）が出力端子に流す電流量を変化させることができる。

［０３４０］

また、図９の変換回路ＩＴＲＺＤ４として、図１０Ａの変換回路ＩＴＲＺＤ４を適用することによって、変換回路ＩＴＲＺＤ４に含まれるすべてのトランジスタをＯＳトランジスタとすることができる。また、演算回路ＭＡＣ２のセルアレイＣＡ、回路ＷＣＳ、回路ＸＣＳなどは、ＯＳトランジスタのみで構成することができるため、変換回路ＩＴＲＺＤ４は、セルアレイＣＡ、回路ＷＣＳ、回路ＸＣＳなどと同時に作製することができる。そのため、演算回路ＭＡＣ２の作製工程を短縮することができる場合がある。なお、これは、図１０Ａの変換回路ＩＴＲＺＤ４の電流源ＣＩ及び電流源ＣＩｒに図１０Ｂの電流源ＣＩ（電流源ＣＩｒ）を適用した場合についても同様である。

［０３４１］

例えば、図９の変換回路ＩＴＲＺＤ４に含まれる電流源ＣＩ、及び電流源ＣＩｒのそれぞれは、互いに同じ電流を流す必要があるため、電流源ＣＩ、及び電流源ＣＩｒのそれぞれをカレントミラー回路に置き換えてもよい。

［０３４２］

図１１Ａに示す変換回路ＩＴＲＺＤ４は、図９の変換回路ＩＴＲＺＤ４に含まれる電流源ＣＩ、及び電流源ＣＩｒのそれぞれをカレントミラー回路ＣＭ２に置き換えた構成となっている。カレントミラー回路ＣＭ２は、一例として、トランジスタＦ８と、トランジスタＦ８ｒと、を有する。なお、トランジスタＦ８、及びトランジスタＦ８ｒは、ｐチャネル型トランジスタとしている。

［０３４３］

トランジスタＦ８の第１端子は、トランジスタＦ８のゲートと、トランジスタＦ８ｒのゲートと、トランジスタＦ４の第２端子と、カレントミラー回路ＣＭ１の第１端子と、に電気的に接続されている。トランジスタＦ８の第２端子は、配線ＶＨＥに電気的に接続されている。トランジスタＦ８ｒの第１端子は、トランジスタＦ４ｒの第２端子と、カレントミラー回路ＣＭ１の第２端子と、に電気的に接続されている。トランジスタＦ８ｒの第２端子は、配線ＶＨＥに電気的に接続されている。

［０３４４］

図１１Ａの変換回路ＩＴＲＺＤ４のとおり、図９の変換回路ＩＴＲＺＤ４に含まれる電流源ＣＩ、及び電流源ＣＩｒのそれぞれをカレントミラー回路ＣＭ２に置き換えることによって、トランジスタＦ４の第２端子とカレントミラー回路ＣＭ１の第１端子との接続点、及びトランジスタＦ４ｒの第２端子とカレントミラー回路ＣＭ１の第２端子とトランジスタＦ５の第１端子との接続点のそれぞれに互いにほぼ等しい電流量を流すことができる。

［０３４５］

なお、図１１Ａでは、カレントミラー回路ＣＭ２をトランジスタＦ８と、トランジスタＦ８ｒと、からなる構成として図示したが、カレントミラー回路ＣＭ２の回路構成は、これに限定されない。例えば、カレントミラー回路ＣＭ２は、後述する図１１Ｃと同様に、カレントミラー回路ＣＭ２に含まれるトランジスタをカスコード接続した構成としてもよい。このように、図１１Ａのカレントミラー回路ＣＭ２の回路構成は、状況に応じて変更を行ってもよい。

［０３４６］

なお、図１１Ａの変換回路ＩＴＲＺＤ４は、図１１Ｂに示す変換回路ＩＴＲＺＤ４に構成のとおり、カレントミラー回路ＣＭ１を設けない構成としてもよい。図１１Ｂに示す変換回路ＩＴＲＺＤ４は、カレントミラー回路ＣＭ２の第１端子からトランジスタＦ４の第２端子に流れる電流量と、カレントミラー回路ＣＭ２の第２端子からトランジスタＦ４ｒの第２端子と配線ＶＳＥとトランジスタＦ５の第１端子との接続点に流れる電流量と、を互いにほぼ等しくすることができる。そのため、I_SがI_{Sr}よりも大きい場合に、図１１Ｂの配線ＯＬに流れる電流量I_{out}は、図９の変換回路ＩＴＲＺＤ４と同様に$I_S - I_{Sr}$とすることができる。

［０３４７］

図１１Ｂの変換回路ＩＴＲＺＤ４は、カレントミラー回路ＣＭ１を設けない構成となっているため、図１１Ａの変換回路ＩＴＲＺＤ４よりも回路面積を低減することができる。また、カレントミラー回路ＣＭ２からカレントミラー回路ＣＭ１に流れる定常電流が無くなるため、図１１Ｂの変換回路ＩＴＲＺＤ４は、図１１Ａの変換回路ＩＴＲＺＤ４よりも消費電力を低減することができる。

［０３４８］

なお、図１１Ｂでは、トランジスタＦ８、及びトランジスタＦ８ｒを図示せず、カレントミラー回路ＣＭ２をブロック図として図示している。そのため、図１１Ｂのカレントミラー回路ＣＭ２は、図１１Ａのカレントミラー回路ＣＭ２と同様に、状況に応じて、構成を決めることができる。

［０３４９］

また、図９の変換回路ＩＴＲＺＤ４に含まれるカレントミラー回路ＣＭ１は、図１０Ａに示したカレントミラー回路ＣＭ１に限定されない。図１０Ａの変換回路ＩＴＲＺＤ４に含まれるカレントミラー回路ＣＭ１の構成は、状況に応じて、変更を行ってもよい。

［０３５０］

例えば、図９の変換回路ＩＴＲＺＤ４に含まれるカレントミラー回路ＣＭ１は、図１１Ｃに示すカレントミラー回路ＣＭ１としてもよい。図１１Ｃに示すカレントミラー回路ＣＭ１は、図１０Ａに示すカレントミラー回路ＣＭ１に更にｎチャネル型トランジスタであるトランジスタＦ６ｓ及びトランジスタＦ６ｓｒを設けて、トランジスタＦ６とトランジスタＦ６ｓとでカスコード接続し、トランジスタＦ６ｒとトランジスタＦ６ｓｒとでカスコード接続した構成となっている。図１１Ｃのとおり、カレントミラー回路に含まれるトランジスタをカスコード接続することによって、当該カレントミラー回路の動作をより安定させることができる。

［０３５１］

＜演算回路の構成例２＞

図１２は、正、負、又は“０”の第１データと、正、負、又は“０”の第２データと、の積和演算を行う演算回路の構成例を示している。図１２に示す演算回路ＭＡＣ３は、図７の演算回路ＭＡＣ２を変更した構成となっている。そのため、演算回路ＭＡＣ３の説明において、演算回路ＭＡＣ１及び演算回路ＭＡＣ２の説明と重複する部分については省略する。

［０３５２］

図１２に示す回路ＣＥＳ［ｉ，ｊ］は、セルＩＭ［ｉ，ｊ］と、セルＩＭｒ［ｉ，ｊ］と、に加え、セルＩＭｓ［ｉ，ｊ］と、セルＩＭｓｒ［ｉ，ｊ］と、を有する。なお、図１２では、回路ＣＥＳ［ｉ，ｊ］を図示しており、それ以外の回路ＣＥＳについては省略する。また、本明細書等では、回路ＣＥＳ［ｉ，ｊ］、セルＩＭ［ｉ，ｊ］、セルＩＭｒ［ｉ，ｊ］、セルＩＭｓ［ｉ，ｊ］、セルＩＭｓｒ［ｉ，ｊ］などを説明する際、それぞれの符号に付記している［ｉ，ｊ］などを省略する場合がある。

［０３５３］

セルＩＭｓ及びセルＩＭｓｒは、セルＩＭと同様の構成とすることができる。図１２のセルＩＭｓ及びセルＩＭｓｒは、一例として、セルＩＭと同様の構成として図示している。また、セルＩＭとセルＩＭｓとセルＩＭｓｒとのそれぞれに含まれているトランジスタ、容量などを互いに区別できるように、セルＩＭｓに含まれているトランジスタ、容量を示す符号には「ｓ」を付し、セルＩＭｓｒに含まれているトランジスタ、容量を示す符号には「ｓｒ」を付している。

［０３５４］

具体的には、セルＩＭｓは、トランジスタＦ１ｓと、トランジスタＦ２ｓと、容量Ｃ５ｓと、を有する。なお、トランジスタＦ１ｓはセルＩＭのトランジスタＦ１に相当し、トランジスタＦ２ｓはセルＩＭのトランジスタＦ２に相当し、容量Ｃ５ｓはセルＩＭの容量Ｃ５に相当する。そのため、トランジスタＦ１ｓと、トランジスタＦ２ｓと、容量Ｃ５ｓと、のそれぞれの電気的な接続構成については、実施の形態１のＩＭ［１，１］乃至セルＩＭ［ｍ，ｎ］の説明を参酌する。

［０３５５］

また、セルＩＭｓｒは、トランジスタＦ１ｓｒと、トランジスタＦ２ｓｒと、容量Ｃ５ｓｒと、を有する。なお、トランジスタＦ１ｓｒはセルＩＭのトランジスタＦ１に相当し、トランジスタＦ２ｓｒはセルＩＭのトランジスタＦ２に相当し、容量Ｃ５ｓｒはセルＩＭの容量Ｃ５に相当する。そのため、トランジスタＦ１ｓｒと、トランジスタＦ２ｓｒと、容量Ｃ５ｓｒと、のそれぞれの電気的な接続構成については、セルＩＭｓと同様に、実施の形態１のＩＭ［１，１］乃至セルＩＭ［ｍ，ｎ］の説明を参酌する。

［０３５６］

また、セルＩＭｓにおいて、トランジスタＦ１ｓの第１端子と、トランジスタＦ２ｓのゲートと、容量Ｃ５ｓの第１端子と、の接続箇所をノードＮＮｓとし、セルＩＭｓにおいて、トランジスタＦ１ｓｒの第１端子と、トランジスタＦ２ｓｒのゲートと、容量Ｃ５ｓｒの第１端子と、の接続箇所をノードＮＮｓｒとしている。

［０３５７］

回路ＣＥＳ［ｉ，ｊ］において、容量Ｃ５の第２端子は、配線ＸＣＬ［ｉ］に電気的に接続され、トランジスタＦ１のゲートは、配線ＷＳＬ［ｉ］に電気的に接続され、トランジスタＦ１の第２端

子とトランジスタＦ２の第２端子とは、配線ＷＣＬ［ｊ］に電気的に接続されている。また、容量Ｃ５ｒの第２端子は、配線ＸＣＬ［ｉ］に電気的に接続され、トランジスタＦ１ｒのゲートは、配線ＷＳＬ［ｉ］に電気的に接続され、トランジスタＦ１ｒの第２端子とトランジスタＦ２ｒの第２端子とは、配線ＷＣＬｒ［ｊ］に電気的に接続されている。

［０３５８］

また、容量Ｃ５ｓの第２端子は、配線ＸＣＬｓ［ｉ］に電気的に接続され、トランジスタＦ１ｓのゲートは、配線ＷＳＬｓ［ｉ］に電気的に接続され、トランジスタＦ１ｓの第２端子とトランジスタＦ２ｓの第２端子とは、配線ＷＣＬ［ｊ］に電気的に接続されている。また、容量Ｃ５ｓｒの第２端子は、配線ＸＣＬｓ［m］に電気的に接続され、トランジスタＦ１ｓｒのゲートは、配線ＷＳＬｓ［m］に電気的に接続され、トランジスタＦ１ｓｒの第２端子とトランジスタＦ２ｓｒの第２端子とは、配線ＷＣＬｒ［ｊ］に電気的に接続されている。

［０３５９］

図１２に示す回路ＣＥＳｒｅｆ［ｉ］は、セルＩＭｒｅｆ［ｉ］に加え、セルＩＭｒｅｆｓ［ｉ］を有する。なお、図１２では、回路ＣＥＳｒｅｆ［ｉ］を図示しており、それ以外の回路ＣＥＳｒｅｆについては省略する。また、本明細書等では、回路ＣＥＳｒｅｆ［ｉ］、セルＩＭｒｅｆ［ｉ］、セルＩＭｒｅｆｓ［ｉ］などを説明する際、それぞれの符号に付記している［ｉ］などを省略する場合がある。

［０３６０］

セルＩＭｒｅｆｓは、セルＩＭｒｅｆと同様の構成とすることができる。図１２のセルＩＭｒｅｆｓは、一例として、セルＩＭｒｅｆと同様の構成として図示している。また、セルＩＭｒｅｆとセルＩＭｒｅｆｓとのそれぞれに含まれているトランジスタ、容量などを互いに区別できるように、セルＩＭｒｅｆｓに含まれているトランジスタ、容量を示す符号には「ｓ」を付している。

［０３６１］

具体的には、セルＩＭｒｅｆｓは、トランジスタＦ１ｍｓと、トランジスタＦ２ｍｓと、容量Ｃ５ｍｓと、を有する。なお、トランジスタＦ１ｍｓはセルＩＭｒｅｆのトランジスタＦ１ｍに相当し、トランジスタＦ２ｍｓはセルＩＭｒｅｆのトランジスタＦ２ｍに相当し、容量Ｃ５ｍｓはセルＩＭｒｅｆの容量Ｃ５ｍに相当する。そのため、トランジスタＦ１ｍｓと、トランジスタＦ２ｍｓと、容量Ｃ５ｍｓと、のそれぞれの電気的な接続構成については、実施の形態１のＩＭｒｅｆ［1］乃至セルＩＭｒｅｆ［m］の説明を参酌する。

［０３６２］

また、セルＩＭｒｅｆｓにおいて、トランジスタＦ１ｍｓの第１端子と、トランジスタＦ２ｍｓのゲートと、容量Ｃ５ｍｓの第１端子と、の接続箇所をノードＮＮｒｅｆｓとしている。

［０３６３］

回路ＣＥＳｒｅｆ［ｉ］において、容量Ｃ５ｍの第２端子は、配線ＸＣＬ［ｉ］に電気的に接続され、トランジスタＦ１ｍのゲートは、配線ＷＳＬ［ｉ］に電気的に接続され、トランジスタＦ１ｍの第２端子とトランジスタＦ２ｍの第２端子とは、配線ＸＣＬ［ｉ］に電気的に接続されている。また、容量Ｃ５ｍｓの第２端子は、配線ＸＣＬｓ［ｉ］に電気的に接続され、トランジスタＦ１ｍｓのゲートは、配線ＷＳＬｓ［ｉ］に電気的に接続され、トランジスタＦ１ｍｓの第２端子とトランジスタＦ２ｍｓの第２端子とは、配線ＸＣＬｓ［ｉ］に電気的に接続されている。

［０３６４］

配線ＸＣＬ［ｉ］及び配線ＸＣＬｓ［ｉ］のそれぞれは、実施の形態１で説明した配線ＸＣＬ［１］乃至配線ＸＣＬ［ｎ］と同様に、一例として、回路ＸＣＳから回路ＣＥＳに含まれているセルＩＭとセルＩＭｒとセルＩＭｓとセルＩＭｓｒとに電流を流す配線、また、一例として、回路ＸＣＳから回路ＣＥＳｒｅｆに含まれているセルＩＭｒｅｆ［ｉ］とセルＩＭｒｅｆｓ［ｉ］とに電流を流す配線として機能する。

［０３６５］

配線ＷＳＬ［ｊ］及び配線ＷＳＬｓ［ｊ］のそれぞれは、実施の形態１で説明した配線ＷＳＬ［１］乃至配線ＷＳＬ［ｍ］と同様に、一例として、回路ＷＳＤから回路ＣＥＳに含まれているセルＩＭ及びセルＩＭｒに対して、第１データを書き込むための選択信号を送信する配線、また、一例として、回路ＷＳＤから回路ＣＥＳｒｅｆに含まれているセルＩＭｒｅｆ及びセルＩＭｒｅｆｓに対して、参照データを書き込むための選択信号を送信する配線として機能する。

［０３６６］

図１２の演算回路ＭＡＣ３に含まれる変換回路ＩＴＲＺＤ［ｊ］としては、図７の演算回路ＭＡＣ２に含まれる変換回路ＩＴＲＺＤ［ｊ］に適用できる回路を用いることができる。つまり、演算回路ＭＡＣ３に含まれる変換回路ＩＴＲＺＤ［ｊ］としては、例えば、図８Ａ乃至図８Ｃに示す変換回路ＩＴＲＺＤ１乃至変換回路ＩＴＲＺＤ３を適用することができる。

［０３６７］

次に、図１２の演算回路ＭＡＣ３において、正、負、又は“０”の第１データと、正、負、又は“０”の第２データとの積和演算を行うための、第１データを回路ＣＥＳに保持する一例、及び第２データを回路ＣＥＳに入力する一例について説明する。

［０３６８］

回路ＣＥＳは、セルＩＭと、セルＩＭｒと、セルＩＭｓと、セルＩＭｓｒと、を有するため、回路ＣＥＳは、第１データの保持として、セルＩＭと、セルＩＭｒと、セルＩＭｓと、セルＩＭｓｒと、の４つの回路を用いることができる。つまり、回路ＣＥＳは、４つの電流量を設定して、それぞれの電流量に応じた電位をセルＩＭと、セルＩＭｒと、セルＩＭｓと、セルＩＭｓｒと、に保持することができる。このため、第１データを、セルＩＭで設定される電流量と、セルＩＭｒで設定される電流量と、セルＩＭｓで設定される電流量と、セルＩＭｓｒで設定される電流量と、で表すことができる。ここで、回路ＣＥＳに保持される、正の第１データ、負の第１データ、又は“０”の第１データを次の通りに定義する。

［０３６９］

回路ＣＥＳ［ｉ，ｊ］に正の第１データを保持する場合、セルＩＭ［ｉ，ｊ］には、一例として、セルＩＭ［ｉ，ｊ］のトランジスタＦ２には正の第１データの値の絶対値に応じた電流量が流れるように設定し、また、セルＩＭｓｒ［ｉ，ｊ］のトランジスタＦ２ｓｒには、一例として、正の第１データの値の絶対値に応じた電流量が流れるように設定する。具体的には、トランジスタＦ２のゲート（ノードＮＮ［ｉ，ｊ］）及びトランジスタＦ２ｓｒのゲート（ノードＮＮｓｒ［ｉ，ｊ］）に当該電流量に応じた電位を保持する。また、セルＩＭｒ［ｉ，ｊ］には、一例として、セルＩＭｒ［ｉ，ｊ］のトランジスタＦ２ｒには電流が流れないように設定し、また、セルＩＭｓ［ｉ，ｊ］には、一例として、セルＩＭｓ［ｉ，ｊ］のトランジスタＦ２ｓには電流が流れないように設定する。具体的には、トランジスタＦ２ｒのゲート（ノードＮＮｒ［ｉ，ｊ］）及びトランジスタＦ２ｓのゲート（ノードＮＮｓ［ｉ，ｊ］）には、配線ＶＥが与える電位、図２の回路ＷＣＳの配線Ｖ

ＩＮＩＬ１が与える初期化用の電位などが保持されればよい。

［０３７０］

また、回路ＣＥＳ［ｉ，ｊ］に負の第１データを保持する場合、セルＩＭｒ［ｉ，ｊ］には、一例として、セルＩＭｒ［１，ｊ］のトランジスタＦ２ｒには負の第１データの値の絶対値に応じた電流量が流れるように設定し、また、セルＩＭｓ［ｉ，ｊ］のトランジスタＦ２ｓには、一例として、負の第１データの値の絶対値に応じた電流量が流れるように設定する。具体的には、トランジスタＦ２ｒのゲート（ノードＮＮｒ［ｉ，ｊ］）及びトランジスタＦ２ｓのゲート（ノードＮＮｓ［ｉ，ｊ］）に当該電流量に応じた電位を保持する。また、セルＩＭ［ｉ，ｊ］には、一例として、セルＩＭ［ｉ，ｊ］のトランジスタＦ２には電流が流れないように設定し、また、セルＩＭｓｒ［ｉ，ｊ］には、一例として、セルＩＭｓｒ［ｉ，ｊ］のトランジスタＦ２ｓｒには電流が流れないように設定する。具体的には、トランジスタＦ２のゲート（ノードＮＮ［ｉ，ｊ］）及びトランジスタＦ２ｓｒのゲート（ノードＮＮｓｒ［ｉ，ｊ］）には、配線ＶＥが与える電位、図２の回路ＷＣＳの配線ＶＩＮＩＬ１が与える初期化用の電位などが保持されればよい。

［０３７１］

また、回路ＣＥＳ［ｉ，ｊ］に“０”の第１データを保持する場合、一例として、セルＩＭ［ｉ，ｊ］のトランジスタＦ２、セルＩＭｒ［ｉ，ｊ］のトランジスタＦ２ｒ、セルＩＭｓ［ｉ，ｊ］のトランジスタＦ２ｓ、及びセルＩＭｓｒ［ｉ，ｊ］のトランジスタＦ２ｓｒのそれぞれには電流が流れないように設定する。具体的には、トランジスタＦ２のゲート（ノードＮＮ［ｉ，ｊ］）とトランジスタＦ２ｒのゲート（ノードＮＮｒ［ｉ，ｊ］）とトランジスタＦ２ｓのゲート（ノードＮＮｓ［ｉ，ｊ］）とトランジスタＦ２ｓｒのゲート（ノードＮＮｓｒ［ｉ，ｊ］）には、配線ＶＥが与える電位、図２の回路ＷＣＳの配線ＶＩＮＩＬ１が与える初期化用の電位などが保持されればよい。

［０３７２］

なお、他の回路ＣＥＳについても、正の第１データ、又は負の第１データを保持するとき、上述した回路ＣＥＳ［ｉ，ｊ］と同様に、セルＩＭと配線ＷＣＬとの間とセルＩＭｓｒと配線ＷＣＬｒとの間、又はセルＩＭｒと配線ＷＣＬｒとの間とセルＩＭｓと配線ＷＣＬとの間、の一方には第１データに応じた電流量が流れるように設定し、その他方には電流が流れないように設定すればよい。また、他の回路ＣＥＳに、“０”の第１データを保持するとき、上述した回路ＣＥＳ［ｉ，ｊ］と同様に、セルＩＭと配線ＷＣＬとの間、セルＩＭｒと配線ＷＣＬｒとの間、セルＩＭｓと配線ＷＣＬとの間、及びセルＩＭｓｒと配線ＷＣＬｓｒとの間、には電流が流れないように設定すればよい。

［０３７３］

一例として、第１データとして“＋３”、“＋２”、“＋１”、“０”、“－１”、“－２”、“－３”のそれぞれの場合において回路ＣＥＳに保持する場合、配線ＷＣＬからセルＩＭに流れる電流量の設定、配線ＷＣＬｒからセルＩＭｒに流れる電流量の設定、配線ＷＣＬからセルＩＭｓに流れる電流量の設定、及び配線ＷＣＬｓｒからセルＩＭｓｒに流れる電流量の設定を上記のとおりに従うことで、第１データ“＋３”、“＋２”、“＋１”、“０”、“－１”、“－２”、“－３”のそれぞれは、例えば、次表のとおりに定義することができる。

［０３７４］

［表２］

第１データ	配線ＷＣＬからセルＩＭに流れる電流	配線ＷＣＬｒからセルＩＭｒに流れる電流	配線ＷＣＬからセルＩＭｓに流れる電流	配線ＷＣＬｒからセルＩＭｓｒに流れる電流
＋３	$3I_{wt}$	０	０	$3I_{wt}$
＋２	$2I_{wt}$	０	０	$2I_{wt}$
＋１	I_{wt}	０	０	I_{wt}
０	０	０	０	０
－１	０	I_{wt}	I_{wt}	０
－２	０	$2I_{wt}$	$2I_{wt}$	０
－３	０	$3I_{wt}$	$3I_{wt}$	０

［０３７５］

一方、回路ＣＥＳには、第２データを入力する配線として、配線ＸＣＬと配線ＸＣＬｓとが電気的に接続されている。このため、回路ＣＥＳには、第２データとして、２つの信号を入力することができる。つまり、第２データを、配線ＸＣＬに入力される信号と、配線ＸＣＬｓに入力される信号と、で表して、回路ＣＥＳに入力することができる。ここで、回路ＣＥＳに入力される、正の第２データ、負の第２データ、又は“０”の第２データを次の通りに定義する。

［０３７６］

回路ＣＥＳ［ｉ，ｊ］に正の第２データを入力する場合、セルＩＭｒｅｆ［ｉ］には、一例として、セルＩＭｒｅｆ［ｉ］のトランジスタＦ２ｍには正の第２データの値の絶対値に応じた電流量が流れるように設定する。具体的には、トランジスタＦ２ｍのゲート（ノードＮＮｒｅｆ［ｉ］）に当該電流量に応じた電位を保持する。一方、セルＩＭｒｅｆｓ［ｉ］には、一例として、セルＩＭｒｅｆｓ［ｉ］のトランジスタＦ２ｍｓには電流が流れないように設定する。具体的には、トランジスタＦ２ｍｓのゲート（ノードＮＮｒｅｆｓ［ｉ］）には、配線ＶＥが与える電位、図２Ｃの回路ＸＣＳの配線ＶＩＮＩＬ２が与える初期化用の電位などが保持されればよい。

［０３７７］

また、回路ＣＥＳ［ｉ，ｊ］に負の第２データを入力する場合、セルＩＭｒｅｆｓ［ｉ］には、一例として、セルＩＭｒｅｆｓ［ｉ］のトランジスタＦ２ｍｓには負の第２データの値の絶対値に応じた電流量が流れるように設定する。具体的には、トランジスタＦ２ｍｓのゲート（ノードＮＮｒｅｆｓ［ｉ］）に当該電流量に応じた電位を保持する。一方、セルＩＭｒｅｆ［ｉ］には、一例として、セルＩＭｒｅｆ［ｉ］のトランジスタＦ２ｍには電流が流れないように設定する。具体的には、トランジスタＦ２ｍのゲート（ノードＮＮｒｅｆ［ｉ］）には、配線ＶＥが与える電位、図２Ｃの回路ＸＣＳの配線ＶＩＮＩＬ２が与える初期化用の電位などが保持されればよい。

［０３７８］

また、回路ＣＥＳ［ｉ，ｊ］に“０”の第２データを入力する場合、一例として、セルＩＭｒｅｆ［ｉ］のトランジスタＦ２ｍ、及びセルＩＭｒｅｆｓ［１］のトランジスタＦ２ｍｓのそれぞれには電流が流れないように設定する。具体的には、トランジスタＦ２ｍのゲート（ノードＮＮｒｅｆ［ｉ］）とトランジスタＦ２ｍｓのゲート（ノードＮＮｒｅｆｓ［ｉ］）には、配線ＶＥが与える電位、図２Ｃの回路ＸＣＳの配線ＶＩＮＩＬ２が与える初期化用の電位などが保持されればよい。

［０３７９］

なお、他の回路ＣＥＳに対して、正の第２データ、又は負の第２データを入力するとき、上述し

た回路ＣＥＳｒｅｆ［ｉ］と同様に、セルＩＭｒｅｆと配線ＸＣＬとの間、又はセルＩＭｒｅｆｓと配線ＸＣＬｓとの間、の一方には第２データに応じた電流量が流れるように設定し、セルＩＭｒｅｆと配線ＸＣＬとの間、又はセルＩＭｒｅｆｓと配線ＸＣＬｓとの間、の他方には電流が流れないように設定すればよい。また、他の回路ＣＥＳに、“０”の第２データを入力するとき、上述した回路ＣＥＳｒｅｆ［ｉ］と同様に、セルＩＭｒｅｆと配線ＸＣＬとの間、及びセルＩＭｒｅｆｓと配線ＸＣＬｓとの間には電流が流れないように設定すればよい。

［０３８０］

一例として、第２データとして“＋３”、“＋２”、“＋１”、“０”、“－１”、“－２”、“－３”のそれぞれの場合において回路ＣＥＳに入力される場合、配線ＸＣＬからセルＩＭｒｅｆに流れる電流量の設定、及び配線ＸＣＬｓからセルＩＭｒｅｆｓに流れる電流量の設定を上記のとおりに従うことで、第２データ“＋３”、“＋２”、“＋１”、“０”、“－１”、“－２”、“－３”のそれぞれは、例えば、次表のとおりに定義することができる。

［０３８１］

［表３］

第２データ	配線ＸＣＬから セルＩＭｒｅｆに流れる電流	配線ＸＣＬｓから セルＩＭｒｅｆｓに流れる電流
＋３	$3I_{xut}$	０
＋２	$2I_{xut}$	０
＋１	I_{xut}	０
０	０	０
－１	０	I_{xut}
－２	０	$2I_{xut}$
－３	０	$3I_{xut}$

［０３８２］

ここで、回路ＣＥＳに保持される第１データとして“＋３”、“＋２”、“＋１”、“０”、“－１”、“－２”、“－３”のいずれか一とし、かつ回路ＣＥＳに入力される第２データとして“＋１”、“０”、“－１”のいずれか一としたときにおいて、配線ＷＣＬから回路ＣＥＳのセルＩＭ及びセルＩＭｓに流れる電流量、及び配線ＷＣＬｒから回路ＣＥＳのセルＩＭｒ及びセルＩＭｓｒに流れる電流量について考える。

［０３８３］

例えば、回路ＣＥＳに入力される第２データを“＋１”としたとき、回路ＣＥＳの容量Ｃ５及び容量Ｃ５ｒのそれぞれの第２端子には、配線ＸＣＬから第２データである“＋１”の絶対値に応じた電位が入力され、回路ＣＥＳの容量Ｃ５ｓ及び容量Ｃ５ｓｒのそれぞれの第２端子には、配線ＸＣＬｓから接地電位（ＧＮＤ）に応じた電位が入力されるものとする。また、回路ＣＥＳに保持されている第１データを“＋３”としたとき、ノードＮＮ及びノードＮＮｓｒのそれぞれには第１データである“＋３”の絶対値に応じた電位が保持され、ノードＮＮｒ及びノードＮＮｓのそれぞれには接地電位（ＧＮＤ）が保持されているものとする。このとき、回路ＣＥＳのトランジスタＦ２

の第１端子ー第２端子間には、式（１．１２）又は式（１．１６）より３I_{ref0}の電流量が流れる。また、トランジスタＦ２ｒ、トランジスタＦ２ｓ、及びトランジスタＦ２ｓｒのそれぞれの第１端子ー第２端子間には、電流は流れない。つまり、配線ＷＣＬからセルＩＭに３I_{ref0}の電流量が流れ、配線ＷＣＬからセルＩＭｓに電流が流れず、配線ＷＣＬｒからセルＩＭｒに電流が流れず、配線ＷＣＬｒからセルＩＭｓｒに電流が流れない。

［０３８４］

また、例えば、回路ＣＥＳに入力される第２データを“＋１”とし、回路ＣＥＳに保持されている第１データを“－３”とする。このため、ノードＮＮｒ及びノードＮＮｓのそれぞれには第１データである“－３”の絶対値に応じた電位が保持され、ノードＮＮ及びノードＮＮｓｒのそれぞれには接地電位（ＧＮＤ）が保持されているものとする。このとき、回路ＣＥＳのトランジスタＦ２ｒの第１端子ー第２端子間には、式（１．１２）又は式（１．１６）より３I_{ref0}の電流量が流れる。また、トランジスタＦ２、トランジスタＦ２ｓ、及びトランジスタＦ２ｓｒのそれぞれの第１端子ー第２端子間には、電流は流れない。つまり、配線ＷＣＬｒからセルＩＭｒに３I_{ref0}の電流量が流れ、配線ＷＣＬからセルＩＭに電流が流れず、配線ＷＣＬからセルＩＭｓに電流が流れず、配線ＷＣＬｒからセルＩＭｓｒに電流が流れない。

［０３８５］

また、例えば、回路ＣＥＳに入力される第２データを“－１”としたとき、回路ＣＥＳの容量Ｃ５ｓ及び容量Ｃ５ｓｒのそれぞれの第２端子には、配線ＸＣＬｓから第２データである“－１”の絶対値に応じた電位が入力され、回路ＣＥＳの容量Ｃ５及び容量Ｃ５ｒのそれぞれの第２端子には、配線ＸＣＬから接地電位（ＧＮＤ）に応じた電位が入力されるものとする。また、回路ＣＥＳに保持されている第１データを“＋３”としたとき、ノードＮＮ及びノードＮＮｓｒのそれぞれには第１データである“＋３”の絶対値に応じた電位が保持され、ノードＮＮｒ及びノードＮＮｓのそれぞれには接地電位（ＧＮＤ）が保持されているものとする。このとき、回路ＣＥＳのトランジスタＦ２ｓｒの第１端子ー第２端子間には、式（１．１２）又は式（１．１６）より３I_{ref0}の電流量が流れる。また、トランジスタＦ２、トランジスタＦ２ｒ、及びトランジスタＦ２ｓのそれぞれの第１端子ー第２端子間には、電流は流れない。つまり、配線ＷＣＬｒからセルＩＭｓｒに３I_{ref0}の電流量が流れ、配線ＷＣＬからセルＩＭに電流が流れず、配線ＷＣＬｒからセルＩＭｒに電流が流れず、配線ＷＣＬからセルＩＭｓに電流が流れない。

［０３８６］

また、例えば、回路ＣＥＳに入力される第２データを“－１”とし、回路ＣＥＳに保持されている第１データを“－３”とする。このため、ノードＮＮｒ及びノードＮＮｓのそれぞれには第１データである“－３”の絶対値に応じた電位が保持され、ノードＮＮ及びノードＮＮｓｒのそれぞれには接地電位（ＧＮＤ）が保持されているものとする。このとき、回路ＣＥＳのトランジスタＦ２ｓの第１端子ー第２端子間には、式（１．１２）又は式（１．１６）より３I_{ref0}の電流量が流れる。また、トランジスタＦ２、トランジスタＦ２ｒ、及びトランジスタＦ２ｓｒのそれぞれの第１端子ー第２端子間には、電流は流れない。つまり、配線ＷＣＬからセルＩＭｓに３I_{ref0}の電流量が流れ、配線ＷＣＬからセルＩＭに電流が流れず、配線ＷＣＬｒからセルＩＭｒに電流が流れず、配線ＷＣＬｒからセルＩＭｓｒに電流が流れない。

［０３８７］

また、例えば、回路ＣＥＳに入力される第２データを“０”としたとき、回路ＣＥＳの容量Ｃ５、

容量Ｃ５ｒのそれぞれの第２端子には、配線ＸＣＬから接地電位（ＧＮＤ）が入力され、回路ＣＥＳの容量Ｃ５ｓ、及び容量Ｃ５ｓｒのそれぞれの第２端子には、配線ＸＣＬｓから接地電位（ＧＮＤ）が入力されるものとする。このとき、回路ＣＥＳに保持されている第１データがどのような値でも、トランジスタＦ２、トランジスタＦ２ｒ、トランジスタＦ２ｓ、及びトランジスタＦ２ｓｒのそれぞれの第１端子ー第２端子間には、電流は流れない。

［０３８８］

また、例えば、回路ＣＥＳに保持される第１データを“０”としたとき、ノードＮＮ、ノードＮＮｒ、ノードＮＮｓ、及びノードＮＮｓｒのそれぞれには接地電位（ＧＮＤ）が保持されているものとする。このとき、回路ＣＥＳに入力される第２データがどのような値でも、トランジスタＦ２、トランジスタＦ２ｒ、トランジスタＦ２ｓ、及びトランジスタＦ２ｓｒのそれぞれの第１端子ー第２端子間には、電流は流れない。

［０３８９］

上記は、第１データが“＋３”、“－３”、“０”の場合と、第２データが“＋１”、“－１”、“０”の場合について説明したが、他の場合についても同様に考えると、配線ＷＣＬ及び配線ＷＣＬｒに流れる電流量は、次の表の通りにまとめることができる。

［０３９０］

［表４］

第１データ	第２データ	第１データ×第２データ	配線ＷＣＬからセルＩＭに流れる電流	配線ＷＣＬｒからセルＩＭｒに流れる電流	配線ＷＣＬからセルＩＭｓに流れる電流	配線ＷＣＬｒからセルＩＭｓｒに流れる電流
＋３	＋１	＋３	$3I_{ref0}$	０	０	０
＋２	＋１	＋２	$2I_{ref0}$	０	０	０
＋１	＋１	＋１	I_{ref0}	０	０	０
０	＋１	０	０	０	０	０
－１	＋１	－１	０	I_{ref0}	０	０
－２	＋１	－２	０	$2I_{ref0}$	０	０
－３	＋１	－３	０	$3I_{ref0}$	０	０
＋３	０	０	０	０	０	０
＋２	０	０	０	０	０	０
＋１	０	０	０	０	０	０
０	０	０	０	０	０	０
－１	０	０	０	０	０	０
－２	０	０	０	０	０	０
－３	０	０	０	０	０	０
＋３	－１	－３	０	０	０	$3I_{ref0}$
＋２	－１	－２	０	０	０	$2I_{ref0}$
＋１	－１	－１	０	０	０	I_{ref0}
０	－１	０	０	０	０	０
－１	－１	＋１	０	０	I_{ref0}	０
－２	－１	＋２	０	０	$2I_{ref0}$	０
－３	－１	＋３	０	０	$3I_{ref0}$	０

［０３９１］

以上のとおり、演算回路ＭＡＣ２を用いることによって、正、負、又は“０”の第１データと、正、又は“０”の第２データとの積和演算を行うことができる。また、演算回路ＭＡＣ３を用いる

ことによって、正、負、又は“０”の第１データと、正、負、又は“０”の第２データと、の積和演算を行うことができる。

［０３９２］

なお、本発明の一態様は、本実施の形態で述べた演算回路ＭＡＣ２、及び演算回路ＭＡＣ３の回路構成に限定されない。演算回路ＭＡＣ２、及び演算回路ＭＡＣ３は、状況に応じて、回路構成を変更することができる。例えば、演算回路ＭＡＣ３に含まれている、容量Ｃ５、容量Ｃ５ｒ、容量Ｃ５ｓ、容量Ｃ５ｓｒ、容量Ｃ５ｍ、容量Ｃ５ｍｓは、トランジスタのゲート容量とすることができる（図示しない）。また、演算回路ＭＡＣ３において、ノードＮＮ、ノードＮＮｒ、ノードＮＮｓ、ノードＮＮｓｒ、ノードＮＮｒｅｆ、及びノードＮＮｒｅｆｓと周辺の配線との寄生容量が大きい場合は、容量Ｃ５、容量Ｃ５ｒ、容量Ｃ５ｓ、容量Ｃ５ｓｒ、容量Ｃ５ｍ、容量Ｃ５ｍｓは、必ずしも設けなくてもよい。

［０３９３］

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

［０３９４］

（実施の形態３）

本実施の形態では、上記実施の形態で説明した演算回路ＭＡＣ１、演算回路ＭＡＣ１Ａ、演算回路ＭＡＣ２、又は演算回路ＭＡＣ３のいずれか一と、センサと、を組み合わせた構成について説明する。

［０３９５］

図１３Ａは、演算回路ＭＡＣ１と、センサを有する回路ＳＣＡと、を組み合わせた構成例を示している。なお、図１３Ａでは、演算回路ＭＡＣ１のセルアレイＣＡを抜粋して図示している。

［０３９６］

回路ＳＣＡは、一例として、センサＳＮＣ［１］乃至センサＳＮＣ［ｍ］を有する。図１３Ａでは、例えば、センサＳＮＣ［１］乃至センサＳＮＣ［ｍ］は、マトリクス状となるように配置されている。

［０３９７］

センサＳＮＣ［１］乃至センサＳＮＣ［ｍ］は、センシングした情報を電流量に変換して、当該電流量を出力する機能を有する。センサＳＮＣ［１］乃至センサＳＮＣ［ｍ］としては、例えば、フォトダイオードを用いた光センサ、圧力センサ、ジャイロセンサ、加速度センサ、聴覚センサ、温度センサ、湿度センサなどとすることができる。特に、センサＳＮＣ［１］乃至センサＳＮＣ［ｍ］として、光センサを適用することで、回路ＳＣＡをイメージセンサの一部とすることができる。

［０３９８］

センサＳＮＣ［１］乃至センサＳＮＣ［ｍ］は、例えば、外界の情報のセンシングを行うため、当該外界に近い領域に設けられることが好ましい。このため、回路ＳＣＡは、図１３Ａの通り、回路ＳＣＡは、演算回路ＭＡＣ１の上方に設けられることが好ましく、より具体的には、セルアレイＣＡの上方に設けられることが好ましい。

［０３９９］

センサＳＮＣ［１］乃至センサＳＮＣ［ｍ］のそれぞれは、配線ＸＣＬ［１］乃至配線ＸＣＬ［ｍ］に電気的に接続されている。

［０４００］

そのため、センサＳＮＣ［１］乃至センサＳＮＣ［ｍ］のそれぞれにおいて、情報のセンシングが行われたとき、センサＳＮＣ［１］乃至センサＳＮＣ［ｍ］のそれぞれは、配線ＸＣＬ［１］乃至配線ＸＣＬ［ｍ］に対して、当該情報に応じた電流量を流す。

［０４０１］

なお、回路ＳＣＡは、センサＳＮＣ［１］乃至センサＳＮＣ［ｍ］のそれぞれが逐次的にセンシングを行って、電流を配線ＸＣＬ［１］乃至配線ＸＣＬ［ｍ］のそれぞれに順次流すことができる構成とすることが好ましい。この場合、例えば、回路ＳＣＡを、センサＳＮＣ［１］乃至センサＳＮＣ［ｍ］を選択するための信号線を設けた構成として、信号線に順次信号などを送信してセンサＳＮＣ［１］乃至センサＳＮＣ［ｍ］を逐次的に動作するようにすればよい。

［０４０２］

具体的には、例えば、図１３Ｂに示す通り、図１３Ａの回路構成において、配線ＸＣＬ［１］乃至配線ＸＣＬ［ｍ］に回路ＶＩＮＩを設けてもよい。回路ＶＩＮＩは、スイッチＳＷ［１］乃至スイッチＳＷ［ｍ］を有する。スイッチＳＷ［１］乃至スイッチＳＷ［ｍ］のそれぞれの第１端子は、配線ＸＣＬ［１］乃至配線ＸＣＬ［ｍ］に電気的に接続され、スイッチＳＷ［１］乃至スイッチＳＷ［ｍ］のそれぞれの第２端子は、配線ＶＩＮＩＬ３に電気的に接続されている。配線ＶＩＮＩＬ３は、例えば、低レベル電位、接地電位などの定電位を与える配線として機能する。特に、当該定電位としては、配線ＶＥが与える電位よりも低い電位であることが好ましい。ここで、スイッチＳＷ［１］乃至スイッチＳＷ［ｍ］の一をオフ状態、残りのスイッチＳＷをオン状態となるように、スイッチＳＷ［１］乃至スイッチＳＷ［ｍ］を順次オフ状態にすることを考える。センサＳＮＣ［１］乃至センサＳＮＣ［ｍ］のそれぞれが同時にセンシングを行ったとき、センサＳＮＣ［１］乃至センサＳＮＣ［ｍ］は、配線ＸＣＬ［１］乃至配線ＸＣＬ［ｍ］のそれぞれに電流を流す。このとき、スイッチＳＷ［１］乃至スイッチＳＷ［ｍ］のうちオン状態となっているスイッチＳＷに電気的に接続されている配線ＸＣＬは、配線ＶＩＮＩＬ３と導通状態となっているため、当該電流は配線ＶＩＮＩＬ３に流れる。これにより、オン状態となっているスイッチＳＷに電気的に接続されている配線ＸＣＬの電位は、配線ＶＩＮＩＬ３が与える定電位にほぼ等しくなる。一方、スイッチＳＷ［１］乃至スイッチＳＷ［ｍ］のうちオフ状態となっているスイッチＳＷに電気的に接続されている配線ＸＣＬの電位は、当該電流の量に応じて定められる。

［０４０３］

また、例えば、センサＳＮＣ［１］乃至センサＳＮＣ［ｍ］が、フォトダイオードなどによって構成されている光センサである場合、センサＳＮＣ［１］乃至センサＳＮＣ［ｍ］のうち一のセンサＳＮＣのみに光が照射されるようなフィルタを用意すればよい。このとき、センサＳＮＣがｍ個であるため、フィルタの種類もｍ個となる。また、それらに加えて、センサＳＮＣ［１］乃至センサＳＮＣ［ｍ］のいずれにも光が照射されないフィルタを用意する場合、フィルタの種類はｍ＋１個となる。回路ＳＣＡに光が照射されているとき、フィルタを順次切り替えることによって、センサＳＮＣ［１］乃至センサＳＮＣ［ｍ］が逐次的にセンシングを行うことができる。

［０４０４］

また、例えば、センサＳＮＣ［１］乃至センサＳＮＣ［ｍ］が、フォトダイオードなどによって構成されている光センサである場合、演算回路ＭＡＣ１、演算回路ＭＡＣ１Ａ、演算回路ＭＡＣ２、又は演算回路ＭＡＣ３はセンサＳＮＣ［１］乃至センサＳＮＣ［ｍ］のそれぞれに個別に光を照射

する構成としてもよい。個別に光を照射する構成にすることで、センサＳＮＣ［１］乃至センサＳＮＣ［ｍ］のそれぞれに順次、光を照射して、センサＳＮＣ［１］乃至センサＳＮＣ［ｍ］が逐次的にセンシングを行うことができる。

［０４０５］

ここで、一例として、演算回路ＭＡＣ１に図１３Ｂの回路ＳＣＡと回路ＶＩＮＩを設けた場合の演算回路の動作例について、説明する。

［０４０６］

また、当該動作例としては、図６のタイミングチャートを参酌する。そのため、図１３Ｂの回路ＳＣＡと回路ＶＩＮＩを設けた演算回路ＭＡＣ１の動作例の説明のうち、実施の形態１の演算回路の動作例１の説明が重複する内容については、省略する。

［０４０７］

また、配線ＶＩＮＩＬ３が与える定電位は、接地電位とする。

［０４０８］

図６のタイミングチャートの時刻Ｔ１３から時刻Ｔ１５までにおいて、回路ＳＣＡのセンサＳＮＣ［ｉ］から配線ＸＣＬ［ｉ］に電流量としてI_{ref0}が流れる。I_{ref0}は、例えば、図１３Ｂのセンサ ＳＮＣ［ｉ］がセンシングを行って出力する基準電流の量とすることができる。また、回路ＶＩＮＩにおいて、スイッチＳＷ［ｉ］をオフ状態にすることにより、配線ＸＣＬ［ｉ］の電位は、例えば、V_{gm}［ｉ］となるものとする。

［０４０９］

また、図６のタイミングチャートの時刻Ｔ１３から時刻Ｔ１５までにおいて、センサＳＮＣ［ｉ］以外のセンサＳＮＣ［１］乃至センサＳＮＣ［ｍ］は、センシングを行ってもよいし、行わなくてもよい。また、このとき、スイッチＳＷ［ｉ］以外のスイッチＳＷ［１］乃至スイッチＳＷ［ｍ］を全てオン状態にすることにより、配線ＸＣＬ［ｉ］以外の配線ＸＣＬ［１］乃至配線ＸＣＬ［ｍ］のそれぞれの電位は、例えば、接地電位となるものとする。

［０４１０］

図６のタイミングチャートの時刻Ｔ１７から時刻Ｔ１９までにおいて、回路ＳＣＡのセンサＳＮＣ［ｉ＋１］から配線ＸＣＬ［ｉ＋１］に電流としてI_{ref0}が流れる。I_{ref0}は、例えば、図１３Ｂのセンサ ＳＮＣ［ｉ＋１］がセンシングを行って出力する電流の量とすることができる。また、回路ＶＩＮＩにおいて、スイッチＳＷ［ｉ＋１］をオフ状態にすることにより、配線ＸＣＬ［ｉ＋１］の電位は、例えば、V_{gm}［ｉ＋１］となるものとする。

［０４１１］

また、図６のタイミングチャートの時刻Ｔ１７から時刻Ｔ１９までにおいて、センサＳＮＣ［ｉ＋１］以外のセンサＳＮＣ［１］乃至センサＳＮＣ［ｍ］は、センシングを行ってもよいし、行わなくてもよい。また、このとき、スイッチＳＷ［ｉ＋１］以外のスイッチＳＷ［１］乃至スイッチＳＷ［ｍ］をオン状態にすることにより、配線ＸＣＬ［ｉ＋１］以外の配線ＸＣＬ［１］乃至配線ＸＣＬ［ｍ］のそれぞれの電位は、例えば、接地電位となるものとする。

［０４１２］

図６のタイミングチャートの時刻Ｔ２２から時刻Ｔ２３までにおいて、回路ＳＣＡのセンサＳＮＣ［ｉ］から配線ＸＣＬ［ｉ］にI_{ref0}のｘ［ｉ］倍であるｘ［ｉ］I_{ref0}の電流量が流れる。電流ｘ［ｉ］I_{ref0}は、例えば、図１３Ｂのセンサ ＳＮＣ［ｉ］がセンシングを行って出力する電

流とすることができる。また、回路ＶＩＮＩにおいて、スイッチＳＷ［ｉ］をオフ状態にすることにより、配線ＸＣＬ［ｉ］の電位は、例えば、V_{gm}［ｉ］＋ΔＶ［ｉ］に変化するものとする。

［０４１３］

また、図６のタイミングチャートの時刻Ｔ２２から時刻Ｔ２３までにおいて、回路ＳＣＡのセンサＳＮＣ［ｉ＋１］から配線ＸＣＬ［ｉ＋１］にI_{ref0}のｘ［ｉ＋１］倍であるｘ［ｉ＋１］I_{ref0}の電流量が流れる。電流ｘ［ｉ＋１］I_{ref0}は、例えば、図１３Ｂのセンサ ＳＮＣ［ｉ＋１］がセンシングを行って出力する電流とすることができる。また、回路ＶＩＮＩにおいて、スイッチＳＷ［ｉ＋１］をオフ状態にすることにより、配線ＸＣＬ［ｉ＋１］の電位は、例えば、V_{gm}［ｉ＋１］＋ΔＶ［ｉ＋１］に変化するものとする。

［０４１４］

その後、図６のタイミングチャートの説明と同様に、変換回路ＩＴＲＺ［ｊ］と配線ＷＣＬ［ｊ］との間に流れる電流量は、セルＩＭ［ｉ，ｊ］のトランジスタＦ２の第１端子－第２端子間に流れる電流量I_1［ｉ，ｊ］と、セルＩＭ［ｉ＋１，ｊ］のトランジスタＦ２の第１端子－第２端子間に流れる電流量I_1［ｉ＋１，ｊ］と、の総和（式（１．１７）に相当する。）となる。このため、変換回路ＩＴＲＺ［ｊ］から配線ＷＣＬ［ｊ］に出力される電流量は、第１データである重み係数ｗ［ｉ，ｊ］及びｗ［ｉ＋１，ｊ］と、第２データであるニューロンの信号の値ｘ［ｉ］及びｘ［ｉ＋１］と、の積和の値、つまり、ｘ［ｉ］ｗ［ｉ，ｊ］＋ｘ［ｉ＋１］ｗ［ｉ＋１，ｊ］に比例した電流量となる。

［０４１５］

回路ＳＣＡを適用した演算回路ＭＡＣ１は、例えば、階層型のニューラルネットワークの１層目（入力層）から２層目（中間層）までの演算を行うことができる。つまり、センサＳＮＣ［１］乃至センサＳＮＣ［ｍ］がセンシングして得られた情報（値）は、当該１層目のニューロンが当該２層目のニューロンに送信される信号に相当する。また、当該１層目のニューロンと当該２層目のニューロンとの間の重み係数をセルＩＭ［１，ｊ］乃至セルＩＭ［ｍ，ｊ］に保持することで、演算回路ＭＡＣ１は、当該情報（値）と当該重み係数との積和を計算することができる。

［０４１６］

なお、階層型のニューラルネットワークについては、実施の形態５で詳述する。

［０４１７］

図１４には、図１３Ａのセンサ ＳＮＣ［１］乃至センサＳＮＣ［ｍ］として、例えば、フォトダイオードＰＤ［１］乃至フォトダイオードＰＤ［ｍ］を適用した回路ＳＣＡを図示している。つまり、図１４の回路ＳＣＡは、光センサを想定している。

［０４１８］

このように光センサを利用する場合、光センサに照射される光の強度は、当該光センサを利用する環境で照射される範囲の強度とすることが望ましい。

［０４１９］

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

［０４２０］

（実施の形態４）

本実施の形態では、実施の形態３で説明した、演算回路ＭＡＣ１、演算回路ＭＡＣ１Ａ、演算回路ＭＡＣ２、又は演算回路ＭＡＣ３のいずれか一と、センサと、を組み合わせた構成例である臭覚

センサについて、説明する。また、演算回路ＭＡＣ１、演算回路ＭＡＣ１Ａ、演算回路ＭＡＣ２、又は演算回路ＭＡＣ３のいずれか一と、触覚センサと、を組み合わせた電子機器の一例について、説明する。また、演算回路ＭＡＣ１、演算回路ＭＡＣ１Ａ、演算回路ＭＡＣ２、又は演算回路ＭＡＣ３のいずれか一と、味覚センサと、を組み合わせた電子機器の一例について、説明する。

［０４２１］

＜臭覚センサ＞

図１５は、臭覚センサの構成例を示すブロック図である。臭覚センサＳＭＳは、経路ＴＲＣＮと、センサを有する回路ＳＣＡと、演算回路ＭＡＣと、記憶部ＭＥＭＤと、を有する。

［０４２２］

経路ＴＲＣＮは、大気成分ＡＴＣＭを回路ＳＣＡに輸送するための経路である。また、経路ＴＲＣＮは、例えば、検出したいニオイ分子のみを選択的に捕捉し、濃縮する機能を有してもよい。

［０４２３］

経路ＴＲＣＮに当該機能を含める場合、経路ＴＲＣＮには、ナノレベルの流路、ナノピラー、ナノワイヤなどが含まれていることが好ましい。経路ＴＲＣＮに、ナノレベルの流路、ナノピラー、ナノワイヤなどを含めることによって、大気成分ＡＴＣＭに含まれている、臭覚センサＳＭＳでは検出不要なニオイ分子を除去することができる。このため、経路ＴＲＣＮは、大気成分ＡＴＣＭから不要なニオイ分子が除去されたニオイ成分ＮＯＩを回路ＳＣＡに送ることができる。

［０４２４］

回路ＳＣＡは、実施の形態３で説明した回路ＳＣＡと同様に、一例として、センサＳＮＣ［１］乃至センサＳＮＣ［ｍ］を有する。なお、図１５では、例えば、センサＳＮＣ［１］乃至センサＳＮＣ［ｍ］は、マトリクス状となるように配置されている。なお、図１５では、一例として、センサＳＮＣ［１］乃至センサＳＮＣ［ｍ］は、マトリクス状となるように配置されているが、必ずしもマトリクス状に配置しなくてもよい。センサＳＮＣ［１］乃至センサＳＮＣ［ｍ］の並べ方については状況に応じて決めてもよい。

［０４２５］

また、本実施の形態では、図１５に示したセンサＳＮＣ［１］乃至センサＳＮＣ［ｍ］は、ニオイ分子を検出するための検出用素子としている。また、センサＳＮＣ［１］乃至センサＳＮＣ［ｍ］は、それぞれ同一のニオイ成分を検出するセンサとしてもよいし、それぞれ異なるニオイ成分を検出するセンサとしてもよい。また、同一のニオイ成分を検出するセンサは複数としてもよい。なお、センサＳＮＣ［１］乃至センサＳＮＣ［ｍ］の一例については、後述する。

［０４２６］

演算回路ＭＡＣは、実施の形態１で説明した演算回路ＭＡＣ１、及び演算回路ＭＡＣ１Ａ、実施の形態２で説明した演算回路ＭＡＣ２、及び演算回路ＭＡＣ３のいずれか一を適用できる回路である。

［０４２７］

図１５に示すとおり、演算回路ＭＡＣは、一例として、セルアレイＣＡと、変換回路ＩＴＲＺＳと、を有する。セルアレイＣＡとしては、一例としては、図１、図５、図７、図１２に示しているセルアレイＣＡとすることができる。また、図１５のセルアレイＣＡとして、図１に示しているセルアレイＣＡを適用している場合、回路ＳＣＡと、セルアレイＣＡと、の関係は、図１３Ａ及び図１３Ｂに示している構成を参酌する。また、図１５の変換回路ＩＴＲＺＳは、図１における変換回

路ＩＴＲＺ［１］乃至変換回路ＩＴＲＺ［ｎ］、図５における変換回路ＩＴＲＺ［１］乃至変換回路ＩＴＲＺ［ｎ］、図７における変換回路ＩＴＲＺＤ［ｊ］、又は図１２における変換回路ＩＴＲＺＤ［ｊ］をまとめて図示したものである。なお、図１５において、回路ＷＣＳ、回路ＷＳＤ、回路ＳＷＳ１、回路ＳＷＳ２などを省略している。

［０４２８］

記憶部ＭＥＭＤは、例えば、演算回路ＭＡＣで計算された結果を保存する機能を有する。また、記憶部ＭＥＭＤは、当該結果をデータＤＴとして臭覚センサＳＭＳの外部に出力する機能を有する。また、演算回路ＭＡＣにおいて、繰り返し演算が行われるとき、記憶部ＭＥＭＤは演算途中のデータを一時的に保持する機能を有してもよい。

［０４２９］

ニオイ分子を検出するためのセンサＳＮＣ［１］乃至センサＳＮＣ［ｍ］としては、例えば、図１６Ａ及び図１６Ｂに示すセンサＳＮＣとすることができる。図１６Ａは、センサＳＮＣの上面図を示し、図１６Ｂは図１６Ａに示す一点鎖線Ａ１－Ａ２における断面図を示している。

［０４３０］

センサＳＮＣは、一例として、構造体ＫＺＴと、配線ＥＲＤａ１と、配線ＥＲＤａ２と、配線ＥＲＤｂ１と、配線ＥＲＤｂ２と、歪みゲージＤＧＧと、連結部ＬＰと、導電体ＣＮＤａと、導電体ＣＮＤｂと、感応膜ＫＮＭと、を有する。

［０４３１］

歪みゲージＤＧＧは、連結部ＬＰを介して、構造体ＫＺＴに接続されている。また歪みゲージＤＧＧ上には感応膜ＫＮＭが設けられている。

［０４３２］

歪みゲージＤＧＧ、及び連結部ＬＰとしては、可撓性を有する絶縁体とすることが好ましい。また、構造体ＫＺＴとしては、歪みに強い絶縁体を用いることが好ましい。

［０４３３］

感応膜ＫＮＭは、特定のニオイ分子が付着することによって、伸び縮みする性質を有する。

［０４３４］

配線ＥＲＤａ１及び配線ＥＲＤａ２は、構造体ＫＺＴの上部に位置している。また、配線ＥＲＤｂ１及び配線ＥＲＤｂ２も、構造体ＫＺＴの上部に位置している。

［０４３５］

導電体ＣＮＤａ及び導電体ＣＮＤｂは、連結部ＬＰの上部に位置している。また、導電体ＣＮＤａは、配線ＥＲＤａ１と配線ＥＲＤａ２との間が導通状態となるような位置に設けられている。また、同様に、導電体ＣＮＤｂは、配線ＥＲＤｂ１と配線ＥＲＤｂ２との間が導通状態となるような位置に設けられている。

［０４３６］

配線ＥＲＤａ１と配線ＥＲＤａ２との間には、一例として、定電圧が入力されているものとする。このため、配線ＥＲＤａ１と配線ＥＲＤａ２とには、導電体ＣＮＤａを介して電流が流れ、当該電流の量をI_aとする。また、配線ＥＲＤｂ１と配線ＥＲＤｂ２との間にも、一例として、定電圧が入力されているものとする。このため、配線ＥＲＤｂ１と配線ＥＲＤｂ２とには、導電体ＣＮＤｂを介して電流が流れ、当該電流の量をI_bとする。

［０４３７］

ここで、経路ＴＲＣＮから送られてきたニオイ成分ＮＯＩに含まれているニオイ分子ＮＯＩａが感応膜ＫＮＭに付着した場合を考える。例えば、ニオイ分子ＮＯＩａが感応膜ＫＮＭに付着したことによって、感応膜ＫＮＭの歪みゲージに接していない面は伸びるものとする。これにより、図１６Ｃに示すとおり、感応膜ＫＮＭは、歪みゲージＤＧＧと共に歪みが発生し、連結部ＬＰ、導電体ＣＮＤａ、及び導電体ＣＮＤｂに力が加わって、連結部ＬＰ、導電体ＣＮＤａ、及び導電体ＣＮＤｂの形状も変化する。

［０４３８］

導電体ＣＮＤａ、及び導電体ＣＮＤｂの形状が変化することで、導電体ＣＮＤａ、及び導電体ＣＮＤｂの抵抗値も変化する。この変化によって、導電体ＣＮＤａに流れる電流の変化量をΔI_aとしたとき、配線ＥＲＤａ１と配線ＥＲＤａ２とに流れる電流の量は、$I_a+\Delta I_a$となる。同様に、この変化によって、導電体ＣＮＤｂに流れる電流の変化量をΔI_bとしたとき、配線ＥＲＤｂ１と配線ＥＲＤｂ２とに流れる電流の量は、$I_b+\Delta I_b$となる。

［０４３９］

なお、センサＳＮＣから流れる電流としては、配線ＥＲＤａ１と配線ＥＲＤａ２とに流れる電流、又は配線ＥＲＤａ１と配線ＥＲＤａ２とに流れる電流の一方としてもよい。また、センサＳＮＣから流れる電流としては、配線ＥＲＤａ１と配線ＥＲＤａ２とに流れる電流と、配線ＥＲＤａ１と配線ＥＲＤａ２と、に流れる電流との和としてもよい。また、センサＳＮＣから流れる電流としては、配線ＥＲＤａ１と配線ＥＲＤａ２と、に流れる電流と配線ＥＲＤａ１と配線ＥＲＤａ２と、に流れる電流との平均としてもよい。

［０４４０］

図１５において、センサＳＮＣから流れる電流は、演算回路ＭＡＣのセルアレイＣＡに流れる。具体的には、図１３Ａ、及び図１３Ｂに示すとおり、センサＳＮＣ［１］乃至ＳＮＣ［ｍ］のそれぞれからの電流は、配線ＸＣＬ［１］乃至配線ＸＣＬ［ｍ］に流れる。

［０４４１］

ここで、例えば、センサＳＮＣ［ｉ］（ここでのｉは、１以上ｍ以下の整数とする。）の感応膜ＫＮＭにニオイ成分ＮＯＩが付着する前において、センサＳＮＣ［ｉ］から流れる電流の量をI_a［ｉ］とする。また、当該電流は、図６のタイミングチャートの時刻Ｔ１３から時刻Ｔ１４までの間に、配線ＸＣＬ［ｉ］に流れるものとする。

［０４４２］

また、例えば、センサＳＮＣ［ｉ］の感応膜ＫＮＭにニオイ成分ＮＯＩが付着した後において、センサＳＮＣ［ｉ］から流れる電流の量をｘ［ｉ］I_a［ｉ］＝I_a［ｉ］＋ΔI_a［ｉ］とする。また、当該電流は、図６のタイミングチャートの時刻Ｔ２２から時刻Ｔ２３までの間に、配線ＸＣＬ［ｉ］に流れるものとする。

［０４４３］

上記の通り、回路ＳＣＡから演算回路ＭＡＣのセルアレイＣＡに、センサＳＮＣ［１］乃至センサＳＮＣ［ｍ］からの電流を流すことによって、ニオイ成分ＮＯＩに応じた、第２データｘ［１］乃至ｘ［ｍ］を演算回路ＭＡＣに入力することができる。これにより、セルアレイＣＡのセルＩＭにあらかじめ保持された第１データと、当該第２データとの積和演算を実行することができる。つまり、ニオイ成分ＮＯＩを入力データとした、ニューラルネットワークの演算を行うことができる。

［０４４４］

また、当該ニューラルネットワークの演算としては、ニオイ成分ＮＯＩに対してパターン認識を行うアルゴリズムで組まれているものとする。また、当該ニューラルネットワークに用いられる第１データ（重み係数）は、機械学習などによってセルＩＭのノードＮＭに保持されているものとする。これにより、回路ＳＣＡからセルアレイＣＡに流れる、ニオイ成分ＮＯＩに応じた電流のパターンから、ニオイ成分ＮＯＩがどのようなニオイ、分子のサイズや形状などなのかを識別して、その結果をデータＤＴとして、臭覚センサＳＭＳから出力することができる。

［０４４５］

＜触覚センサ＞

図１７は、触覚センサを有する電子機器の構成例を示すブロック図である。電子機器ＵＤＥは、一例として、触覚センサとして機能する検知部ＰＬＳと、演算回路ＭＡＣと、記憶部ＭＥＭＤと、を有する。また、検知部ＰＬＳは回路ＳＣＡを有し、回路ＳＣＡとしては、例えば、実施の形態３で説明した回路ＳＣＡとすることができる。

［０４４６］

また、図１７に示す回路ＳＣＡの一例として、実施の形態３で説明した回路ＳＣＡと同様に、センサＳＮＣ［１］乃至センサＳＮＣ［ｍ］を有する。なお、図１７では、一例として、センサＳＮＣ［１］乃至センサＳＮＣ［ｍ］は、マトリクス状となるように配置されているが、必ずしもマトリクス状に配置しなくてもよい。センサＳＮＣ［１］乃至センサＳＮＣ［ｍ］の並べ方については状況に応じて決めてもよい。

［０４４７］

図１７に示したセンサＳＮＣ［１］乃至センサＳＮＣ［ｍ］のそれぞれは、圧力センサであって、外界からの圧力を検出するための検出用素子としている。なお、図１７には、物体ＯＢＪを図示しており、センサＳＮＣ［１］乃至センサＳＮＣ［ｍ］は、物体ＯＢＪと接触することによって、検知した信号を演算回路ＭＡＣに送信するものとする。当該信号としては、例えば、電圧、電流、それらの変化などとすることができる。

［０４４８］

演算回路ＭＡＣは、実施の形態１で説明した演算回路ＭＡＣ１、及び演算回路ＭＡＣ１Ａ、実施の形態２で説明した演算回路ＭＡＣ２、及び演算回路ＭＡＣ３のいずれか一を適用できる回路である。

［０４４９］

図１７に示すとおり、演算回路ＭＡＣは、一例として、セルアレイＣＡと、変換回路ＩＴＲＺＳと、を有する。なお、図１７のセルアレイＣＡと、変換回路ＩＴＲＺＳと、については、図１５の演算回路ＭＡＣの説明を参酌する。

［０４５０］

記憶部ＭＥＭＤは、一例として、演算回路ＭＡＣで計算された結果を保存する機能を有する。また、記憶部ＭＥＭＤは、当該結果をデータＤＴとして電子機器ＵＤＥの外部に出力する機能を有する。また、演算回路ＭＡＣにおいて、繰り返し演算が行われるとき、記憶部ＭＥＭＤは演算途中のデータを一時的に保持する機能を有してもよい。

［０４５１］

検知部ＰＬＳに含まれている、センサＳＮＣ［１］乃至センサＳＮＣ［ｍ］としては、例えば、図１８Ａ及び図１８Ｂに示すセンサＳＮＣとすることができる。図１８Ａは、センサＳＮＣの上面

図を示し、図１８Ｂは、図１８Ａに示す一点鎖線Ｂ１－Ｂ２の断面図を示している。

［０４５２］

センサＳＮＣは、一例として、構造体ＫＺＵと、配線ＥＲＥａ１と、配線ＥＲＥａ２と、配線ＥＲＥｂ１と、配線ＥＲＥｂ２と、配線ＥＲＥｃ１と、配線ＥＲＥｃ２と、配線ＥＲＥｄ１と、配線ＥＲＥｄ２と、導電体ＣＮＥａと、導電体ＣＮＥｂと、導電体ＣＮＥｃと、導電体ＣＮＥｄと、絶縁体ＳＳＭと、歪みゲージＤＧＨと、を有する。

［０４５３］

歪みゲージＤＧＨは、構造体ＫＺＵに接続されている。また、歪みゲージＤＧＨ上には、導電体ＣＮＥａと、導電体ＣＮＥｂと、導電体ＣＮＥｃと、導電体ＣＮＥｄと、が設けられている。

［０４５４］

配線ＥＲＥａ１と、配線ＥＲＥａ２と、のそれぞれは、導電体ＣＮＥａを介して、互いに導通するように構造体ＫＺＵ上に設けられている。また、配線ＥＲＥｂ１と、配線ＥＲＥｂ２と、のそれぞれは、導電体ＣＮＥｂを介して、互いに導通するように構造体ＫＺＵ上に設けられている。また、配線ＥＲＥｃ１と、配線ＥＲＥｃ２と、のそれぞれは、導電体ＣＮＥｃを介して、互いに導通するように構造体ＫＺＵ上に設けられている。また、配線ＥＲＥｄ１と、配線ＥＲＥｄ２と、のそれぞれは、導電体ＣＮＥｄを介して、互いに導通するように構造体ＫＺＵ上に設けられている。

［０４５５］

絶縁体ＳＳＭは、配線ＥＲＥａ１と、配線ＥＲＥａ２と、配線ＥＲＥｂ１と、配線ＥＲＥｂ２と、配線ＥＲＥｃ１と、配線ＥＲＥｃ２と、配線ＥＲＥｄ１と、配線ＥＲＥｄ２と、導電体ＣＮＥａと、導電体ＣＮＥｂと、導電体ＣＮＥｃと、導電体ＣＮＥｄと、を覆うように、構造体ＫＺＵ及び歪みゲージＤＧＨの上方に設けられている。なお、絶縁体ＳＳＭについては、図１８Ａには図示していない。

［０４５６］

歪みゲージＤＧＨ、及び絶縁体ＳＳＭとしては、可撓性を有する絶縁体とすることが好ましい。また、構造体ＫＺＵとしては、歪みに強い絶縁体を用いることが好ましい。

［０４５７］

図１８Ａ、及び図１８Ｂに示すセンサＳＮＣにおいて、外部からの圧力が発生したとき、センサＳＮＣは、例えば、図１８Ｃに示すとおり、歪みゲージＤＧＨに力が加わって、歪みが生じるものとする。これにより、導電体ＣＮＥａと、導電体ＣＮＥｂと、導電体ＣＮＥｃと、導電体ＣＮＥｄと、絶縁体ＳＳＭと、に、歪みゲージＤＧＨと共に歪みが発生し、導電体ＣＮＥａと、導電体ＣＮＥｂと、導電体ＣＮＥｃと、導電体ＣＮＥｄと、絶縁体ＳＳＭと、の形状も変化する。

［０４５８］

導電体ＣＮＥａと、導電体ＣＮＥｂと、導電体ＣＮＥｃと、導電体ＣＮＥｄと、のそれぞれの形状が変化することで、導電体ＣＮＥａと、導電体ＣＮＥｂと、導電体ＣＮＥｃと、導電体ＣＮＥｄと、のそれぞれの抵抗値も変化する。圧力の検知の前後において、導電体ＣＮＥａと、導電体ＣＮＥｂと、導電体ＣＮＥｃと、導電体ＣＮＥｄと、のそれぞれの抵抗値が変化するため、センサＳＮＣは、配線ＥＲＥａ１と、配線ＥＲＥａ２と、配線ＥＲＥｂ１と、配線ＥＲＥｂ２と、配線ＥＲＥｃ１と、配線ＥＲＥｃ２と、配線ＥＲＥｄ１と、配線ＥＲＥｄ２と、によって、導電体ＣＮＥａと、導電体ＣＮＥｂと、導電体ＣＮＥｃと、導電体ＣＮＥｄと、のそれぞれに定電流を流すことで、導電体ＣＮＥａと、導電体ＣＮＥｂと、導電体ＣＮＥｃと、導電体ＣＮＥｄと、のそれぞれの電圧の

変化から、当該圧力を検知することができる。

［０４５９］

センサＳＮＣを触覚センサとする場合、例えば、導電体ＣＮＥａと、導電体ＣＮＥｂと、導電体ＣＮＥｃと、導電体ＣＮＥｄと、を含む回路は、図１９Ａに示す回路図のとおりに構成にしてもよい。回路ＣＩＲは、導電体ＣＮＥａと、導電体ＣＮＥｂと、導電体ＣＮＥｃと、導電体ＣＮＥｄと、の少なくとも一を有する回路である。また、配線ＣＮＶＬは、定電圧を与える配線として機能する。

［０４６０］

図１９Ａには、回路ＣＩＲに、配線ＣＮＶＬからの定電圧を与えることによって、出力電流としてＩ$_{out}$が得られる回路構成を示している。したがって、センサＳＮＣによって圧力を検知したとき、導電体ＣＮＥａと、導電体ＣＮＥｂと、導電体ＣＮＥｃと、導電体ＣＮＥｄと、のそれぞれの抵抗値が変化するため、当該圧力の検知の前後において、電流Ｉ$_{out}$も変化する。

［０４６１］

なお、図１９Ａに示す回路ＣＩＲの構成例としては、図１９Ｂに示すとおり、導電体ＣＮＥａと、導電体ＣＮＥｂと、導電体ＣＮＥｃと、導電体ＣＮＥｄと、を直列に電気的に接続した構成としてもよい。また、図１９Ｃに示すとおり、導電体ＣＮＥａと、導電体ＣＮＥｂと、導電体ＣＮＥｃと、導電体ＣＮＥｄと、を並列に電気的に接続した構成としてもよい。

［０４６２］

ここで、図１９Ａに示す回路ＣＩＲが出力する電流Ｉ$_{out}$が、図１７の演算回路ＭＡＣに入力されるものとする。具体的には、例えば、センサＳＮＣ［ｉ］（ここでのｉは、１以上m以下の整数とする。）が圧力を検知する前において、センサＳＮＣ［ｉ］から流れる電流の量をＩ$_{out}$［ｉ］とする。また、当該電流は、図６のタイミングチャートの時刻Ｔ１３から時刻Ｔ１４までの間に、配線ＸＣＬ［ｉ］に流れるものとする。

［０４６３］

また、例えば、センサＳＮＣ［ｉ］が圧力を検知した後において、センサＳＮＣ［ｉ］から流れる電流の量をｘ［ｉ］Ｉ$_{out}$［ｉ］＝Ｉ$_{out}$［ｉ］＋ΔＩ$_{out}$［ｉ］とする。また、当該電流は、図６のタイミングチャートの時刻Ｔ２２から時刻Ｔ２３までの間に、配線ＸＣＬ［ｉ］に流れるものとする。

［０４６４］

上記の通り、回路ＳＣＡから演算回路ＭＡＣのセルアレイＣＡに、センサＳＮＣ［１］乃至センサＳＮＣ［ｍ］からの電流を流すことによって、センサＳＮＣ［１］乃至センサＳＮＣ［ｍ］によって検知した圧力に応じた、第２データｘ［１］乃至ｘ［ｍ］を演算回路ＭＡＣに入力することができる。これにより、セルアレイＣＡのセルＩＭにあらかじめ保持された第１データと、当該第２データとの積和演算を実行することができる。つまり、圧力を入力データとした、ニューラルネットワークの演算を行うことができる。

［０４６５］

また、本発明の一態様に係る電子機器の構成は、検知部ＰＬＳに備わるセンサＳＮＣとして、図１８Ａ及び図１８Ｂのセンサ ＳＮＣを適用した図１７の電子機器ＵＤＥに限定されない。例えば、図１７の電子機器ＵＤＥの検知部ＰＬＳに適用できる回路としては、図２０Ａに示す検知部ＰＬＳＡの構成としてもよい。

［０４６６］

図２０Ａに示す検知部ＰＬＳＡは、絶縁体ＳＺ１と、コイルＩＤＣと、絶縁体ＳＺ２と、材料ＳＧと、材料ＭＧと、を有する。

［０４６７］

絶縁体ＳＺ１には、センサＳＮＣとして機能するコイルＩＤＣが埋め込まれている。また、絶縁体ＳＺ２は、絶縁体ＳＺ１の上方に設けられ、材料ＳＧは絶縁体ＳＺ２の上方に設けられ、材料ＭＧは材料ＳＧの上方に設けられている。

［０４６８］

コイルＩＤＣの一方の端子には、一例として、配線ＣＮＶＬが電気的に接続されている。配線ＣＮＶＬは、図１９Ａ乃至図１９Ｃに図示した配線ＣＮＶＬと同様に、定電圧を与える配線として機能する。このため、配線ＣＮＶＬが定電圧を与えて、コイルＩＤＣの一方の端子と他方の端子との間に電圧を生じたとき、十分な時間が経過した後において、コイルＩＤＣの一方の端子と他方の端子との間に定常電流I_{out}が発生する。

［０４６９］

材料ＳＧとしては、弾性を有する材料とすることが好ましく、具体的には、エラストマーを用いることが好ましい。具体的には、材料ＳＧとしては、例えば、シリコーンゴムなどの合成樹脂などを用いることができる。

［０４７０］

材料ＭＧとしては、例えば、磁気を発する金属材料が含まれているエラストマーを用いることが好ましい。具体的には、材料ＭＧとしては、磁場を発する金属材料（例えば、金属粉など）を含んだ熱硬化性エラストマーを用いることができる。

［０４７１］

絶縁体ＳＺ２としては、例えば、材料ＭＧに含まれている金属材料が発する磁場を遮断しない絶縁体を用いることが好ましい。

［０４７２］

図２０Ａに示す検知部ＰＬＳＡは、押されるなどによって材料ＭＧの形状が変化したときに、材料ＭＧに含まれている金属材料の位置が変化する。このとき、金属材料の位置が変化することで、当該金属材料が発する磁場が変化するため、位置が変化した金属材料の近くのコイルＩＤＣにおいて、電磁誘導による起電力が発生する。

［０４７３］

例えば、図２０Ｂに示すとおり、指ＹＢによって材料ＭＧが凹んだとき、材料ＭＧに含まれている金属材料の位置が変化したことによって磁場が変化するため、指ＹＢに近いコイルＩＤＣにおいて、電磁誘導が起きる。これにより、指ＹＢに近いコイルＩＤＣに起電力が生じる。

［０４７４］

このとき、コイルＩＤＣに流れる定常電流の量が一時的に変化する。例えば、指ＹＢに近いコイルＩＤＣに流れる電流の変化量をΔＩとしたとき、コイルＩＤＣの一方の端子と他方の端子との間に流れる電流量は、$I_{out}+\Delta I$となる。なお、このとき、$xI_{out}=I_{out}+\Delta I$を満たすｘも定義される。

［０４７５］

ここで、図２０Ａ及び図２０Ｂに示す触覚センサが出力する電流I_{out}、$I_{out}+\Delta I$が、図１７の演算回路ＭＡＣに入力されるものとする。具体的には、例えば、触覚センサに物体が触れる前

において、触覚センサから配線ＸＣＬにＩ$_{out}$の電流量が流れる。また、その電流は、図６のタイミングチャートの時刻Ｔ１３から時刻Ｔ１４までの間に、配線ＸＣＬに流れるものとする。

［０４７６］

また、例えば、触覚センサに物体が触れることにより、触覚センサから配線ＸＣＬにＩ$_{out}$＋ΔＩの電流量が流れる。また、その電流は、図６のタイミングチャートの時刻Ｔ２２から時刻Ｔ２３までの間に、配線ＸＣＬ［ｉ］に流れるものとする。

［０４７７］

上記の通り、回路ＳＣＡから演算回路ＭＡＣのセルアレイＣＡに、センサＳＮＣ［１］乃至センサＳＮＣ［ｍ］として図２０Ａの触覚センサからの電流を流すことによって、センサＳＮＣ［１］乃至センサＳＮＣ［ｍ］によって触れた物体の形状に応じた、第２データｘ［１］乃至ｘ［ｍ］を演算回路ＭＡＣに入力することができる。これにより、セルアレイＣＡのセルＩＭにあらかじめ保持された第１データと、当該第２データとの積和演算を実行することができる。つまり、物体の形状を入力データとした、ニューラルネットワークの演算を行うことができる。

［０４７８］

＜＜触覚センサの応用例＞＞

次に、検知部ＰＬＳとして触覚センサを適用した、図１７の電子機器ＵＤＥの応用例について、説明する。

［０４７９］

図２１Ａは、電子機器ＵＤＥを産業用のマニピュレータのハンド部に適用した構成例を示している。具体的には、図２１Ａに示すハンド部１０の指部１１ａ、及び指部１１ｂに、図１７の電子機器ＵＤＥに含まれている回路ＳＣＡが、センサＳＮＣが外界に露出するように、埋め込まれている。

［０４８０］

ハンド部１０は、一例として、指部１１ａと、指部１１ｂと、関節部１２ａと、関節部１２ｂと、伸縮部１３と、支持部１４と、バス配線１５と、を有する。

［０４８１］

指部１１ａ、及び指部１１ｂは、一例として、物体を掴むための部分として機能する。また、図２１Ａにおいて、ハンド部１０は、物体を掴むための構造として組み立てられているが、本発明の一態様は、このハンド部１０の構成に限定されない。例えば、ハンド部１０の構成は、指部１１ａ、又は指部１１ｂによって、物体をある一方向に押すための構造として組み立てられていてもよい（図示しない）。

［０４８２］

関節部１２ａは、一例として、指部１１ａと伸縮部１３とのなす角度を変動させる機能を有する。また、同様に、関節部１２ｂも、一例として、指部１１ｂと伸縮部１３とのなす角度を変動させる機能を有する。関節部１２ａ、及び関節部１２ｂのそれぞれは、指部１１ａ及び指部１１ｂと伸縮部１３との間のなす角度を変動させることで、指部１１ａ及び指部１１ｂによって物体を掴むことができる。

［０４８３］

伸縮部１３は、一例として、関節部１２ａ、及び関節部１２ｂとの間の長さを調節する機能を有する。伸縮部１３は、ハンド部１０が掴む物体の大きさによって、当該長さを調節することができる。

［０４８４］

支持部１４は、一例として、ハンド部１０の全体を支える機能を有する。また、図２１には図示していないが、支持部１４には、例えば、物体にハンド部１０を近づけるための伸縮を行う機構、物体にハンド部１０を向けるための駆動軸などを備えることができる。

［０４８５］

指部１１ａ、及び指部１１ｂに備わっている回路ＳＣＡの複数のセンサＳＮＣは、電流、及び／又は電圧を与えるためのバス配線１５が電気的に接続されている。当該配線は、一例として、指部１１ａと、指部１１ｂと、関節部１２ａと、関節部１２ｂと、伸縮部１３と、支持部１４と、の内側に設けられている。特に、センサＳＮＣによって、圧力の変化、又は物体の接触を検知する際に流れる電流は、バス配線１５を介して、例えば、ハンド部１０の本体側機器（図示しない）、又は当該本体機器に備わっている演算回路ＭＡＣの配線ＸＣＬ［１］乃至配線ＸＣＬ［ｍ］（図１３Ａ及び図１３Ｂ参照）に入力されることが好ましい。そのため、バス配線１５は、演算回路ＭＡＣの配線ＸＣＬ［１］乃至配線ＸＣＬ［ｍ］に電気的に接続されていることが好ましい。

［０４８６］

ここで、ハンド部１０が、物体を掴むときの動作例について説明する。

［０４８７］

図２１Ｂは、ハンド部１０が物体ＯＢＪを掴む様子を図示している。このとき、指部１１ａ、及び指部１１ｂのそれぞれに備わっている回路ＳＣＡのセンサＳＮＣの検知可能領域と物体ＯＢＪとが接触することによって、物体ＯＢＪに接触しているセンサＳＮＣから、バス配線１５を介して本体機器側に流れる電流の量に変化が生じる。本体機器は、当該電流の量の変化から、ハンド部１０の指部１１ａ、及び／又は指部１１ｂに物体ＯＢＪが触れていることを認識することができる。

［０４８８］

ところで、指部１１ａ、及び指部１１ｂによって掴んだ物体ＯＢＪが、途中ではずれないようにするためには、物体ＯＢＪの形状を本体機器側で認識して、物体ＯＢＪの形状に合わせて、関節部１２ａ、関節部１２ｂ、伸縮部１３などを調節する必要がある。例えば、図２１Ｂに示すとおり、ハンド部１０は、指部１１ａと、指部１１ｂと、が互いに平行になるように物体ＯＢＪを掴んでいるが、物体ＯＢＪの形状によっては、回路ＳＣＡには、物体ＯＢＪと接触していないセンサＳＮＣも含まれることがある。このとき、物体ＯＢＪと接触しないセンサＳＮＣから、バス配線１５を介して本体機器側に流れる電流の量は変化しないため、本体機器は、ハンド部１０の指部１１ａ、及び／又は指部１１ｂに物体ＯＢＪが触れていないことを認識することができる。

［０４８９］

つまり、指部１１ａと、指部１１ｂと、に含まれている回路ＳＣＡの複数のセンサＳＮＣのそれぞれから、バス配線１５に流れる電流の変化量によって、物体ＯＢＪが指部１１ａと、指部１１ｂと、の回路ＳＣＡに接している領域を表すことができる。これにより、複数のセンサＳＮＣから、バス配線１５を介して流れる電流が演算回路ＭＡＣに流れることによって、当該領域を演算回路ＭＡＣへの入力データとして扱うことができる。

［０４９０］

ここで、指部１１ａと、指部１１ｂと、の回路ＳＣＡに含まれているセンサＳＮＣを、センサＳＮＣ［１］乃至センサＳＮＣ［ｍ］（ここでのｍは１以上の整数とする。）とする。また、図２１Ａのときに、センサＳＮＣ［ｉ］（ここでのｉは１以上ｍ以下の整数とする。）から出力される電

流をＩ$_{out}$［ｉ］とし、図２１Ｂのときに、センサＳＮＣ［ｉ］から出力される電流をｘ［ｉ］Ｉ$_{out}$［ｉ］とする。このとき、物体ＯＢＪが指部１１ａと、指部１１ｂと、の回路ＳＣＡに接している領域を、ｘ［１］乃至ｘ［ｍ］で表すことができる。ｘ［１］乃至ｘ［ｍ］を第２データとして、演算回路ＭＡＣに入力することで、セルアレイＣＡのセルＩＭにあらかじめ保持された第１データと、当該第２データとの積和演算を実行することができる。つまり、指部１１ａ及び指部１１ｂの回路ＳＣＡと物体ＯＢＪとが接触している領域、及び接触していない領域を入力データとした、ニューラルネットワークの演算を行うことができる。

［０４９１］

また、当該ニューラルネットワークの演算としては、指部１１ａ及び指部１１ｂの回路ＳＣＡとハンド部１０によって掴まれる物体との接触する領域、及び接触しない領域に対してパターン認識を行うアルゴリズムで組まれているものとする。また、当該ニューラルネットワークに用いられる第１データ（重み係数）は、機械学習などによってセルＩＭのノードＮＭに保持されているものとする。これにより、回路ＳＣＡからセルアレイＣＡに流れる、指部１１ａ及び指部１１ｂの回路ＳＣＡとハンド部１０によって掴まれる物体との接触する領域、及び接触しない領域に応じた電流のパターンから、物体ＯＢＪの形状、サイズなどを識別することができる。

［０４９２］

また、一度パターン認識を行って識別した物体ＯＢＪのデータをフィードバックして、ハンド部１０が物体ＯＢＪの掴み方を変更してもよい。具体的には、識別した物体ＯＢＪのデータから、物体ＯＢＪの形状に合うように、関節部１２ａ、関節部１２ｂ、伸縮部１３などを調節してもよい。これにより、図２１Ｃに示すとおり、図２１Ｂよりもハンド部１０が物体ＯＢＪを安定して掴むことができる。

［０４９３］

なお、産業用のマニピュレータのハンド部は、図２１Ａ乃至図２１Ｃのハンド部１０の構成に限定されない。例えば、産業用のマニピュレータのハンド部は、図２２Ａに示す構成としてもよい。

［０４９４］

図２２Ａに示すハンド部１０Ａは、指部１１ａに複数の関節部１６ａが含まれている点と、指部１１ｂに複数の関節部１６ｂが含まれている点と、で図２１Ａのハンド部１０と異なっている。また、図２２Ａは、物体ＯＢＪを指部１１ａ、及び指部１１ｂによって掴んでいる様子を図示している。

［０４９５］

なお、指部１１ａ、及び指部１１ｂのそれぞれに含まれている関節部１６ａ、及び関節部１６ｂは、複数でなく、１個としてもよい。また、図２２Ａでは、異なるセンサＳＮＣ同士の間に関節部１６ａ、又は関節部１６ｂが設けられているが、関節部１６ａ、又は関節部１６ｂの位置は、ハンド部１０Ａが掴む物体を想定して自由に決めてもよい。

［０４９６］

また、図２２Ａでは、複数のセンサＳＮＣに電気的に接続されているバス配線１５を省略している。

［０４９７］

図２２に示す関節部１６ａ、及び関節部１６ｂのそれぞれは、一例として、指部１１ａ、及び指部１１ｂを内側又は外側に曲げるための機構を有する。このため、ハンド部１０Ａは、掴む物体の

形状に応じて、指部１１ａ、及び指部１１ｂの形を変えることができる。

［０４９８］

例えば、先述した図２１Ｂと図２１Ｃと同様に、図２２Ａの段階で、物体ＯＢＪの形状を、回路ＳＣＡに含まれている複数のセンサＳＮＣと、演算回路ＭＡＣと、によって算出して、物体ＯＢＪの形状に合うように、算出したデータから指部１１ａの関節部１６ａと指部１１ｂの関節部１６ｂとを調節することができる。これにより、図２２Ｂに示すとおり、図２２Ａよりも、ハンド部１０Ａが物体ＯＢＪを安定して掴むことができる。

［０４９９］

また、本発明の一態様に係る電子機器は、上述したマニピュレータだけでなく、別のデバイスなどに適用することができる。例えば、本発明の一態様に係る電子機器を、触診などを行う医療機器などに適用することができる。

［０５００］

＜味覚センサ＞

図２３は、味覚センサを有する電子機器の構成例を示すブロック図である。電子機器ＳＩＴＡは、一例として、味覚センサとして機能する検知部ＣＨＭと、演算回路ＭＡＣと、記憶部ＭＥＭＤと、を有する。また、検知部ＣＨＭは回路ＳＣＡを有し、回路ＳＣＡとしては、例えば、実施の形態３で説明した回路ＳＣＡとすることができる。

［０５０１］

また、図２３に示す回路ＳＣＡの一例として、実施の形態３で説明した回路ＳＣＡと同様に、センサＳＮＣ［１］乃至センサＳＮＣ［ｍ］を有する。なお、図２３では、一例として、センサＳＮＣ［１］乃至センサＳＮＣ［ｍ］は、マトリクス状となるように配置されているが、必ずしもマトリクス状に配置しなくてもよい。センサＳＮＣ［１］乃至センサＳＮＣ［ｍ］の並べ方については状況に応じて決めてもよい。

［０５０２］

図２３に示したセンサＳＮＣ［１］乃至センサＳＮＣ［ｍ］のそれぞれは、味覚センサであって、被評価物質に含まれている特定の呈味成分を検出するための検出用素子としている。ここでいう特定の呈味成分とは、人間の舌に五基本味、辛味、渋味などの反応を与える物質とする。なお、図２３には、被評価物質ＡＢＪを図示しており、センサＳＮＣ［１］乃至センサＳＮＣ［ｍ］は、被評価物質ＡＢＪと接触することによって、検知した信号を演算回路ＭＡＣに送信するものとする。当該信号としては、例えば、電圧、電流、それらの変化などとすることができる。

［０５０３］

演算回路ＭＡＣは、臭覚センサ、及び触覚センサで説明した演算回路ＭＡＣと同様の構成とすることができる。そのため、図２３の演算回路ＭＡＣについては、臭覚センサ、及び触覚センサで説明した演算回路ＭＡＣの説明を参酌する。

［０５０４］

記憶部ＭＥＭＤも、臭覚センサ、及び触覚センサで説明した記憶部ＭＥＭＤと同様の構成とすることができる。そのため、図２３の記憶部ＭＥＭＤについては、臭覚センサ、及び触覚センサで説明した記憶部ＭＥＭＤの説明を参酌する。

［０５０５］

次に、検知部ＣＨＭに含まれている、センサＳＮＣ［１］乃至センサＳＮＣ［ｍ］について説明

する。センサＳＮＣ［１］乃至センサＳＮＣ［ｍ］としては、例えば、図２４Ａ及び図２４Ｂに示すセンサＳＮＣとすることができる。図２４Ａは、センサＳＮＣを含む検出用素子の構造の一例の斜視図を示す。図２４Ｂは、図２４Ａに示す一点鎖線Ｃ１－Ｃ２の断面図を示している。

［０５０６］

図２４Ａのセンサ ＳＮＣは、一例として、基材ＫＩＺに取り付けられた構成となっている。また、センサＳＮＣは、配線ＨＡＩＳ１と、配線ＨＡＩＳ２と、に電気的に接続されている。

［０５０７］

センサＳＮＣは、一例として、図２４Ｂに示すとおり、脂質膜ＳＳＴと、緩衝膜ＫＡＮと、参照電極ＤＥＮと、を有する。また、図２４Ｂでは、参照電極ＤＥＮは、緩衝膜ＫＡＮを介して、脂質膜ＳＳＴと、重畳するように設けられているが、参照電極ＤＥＮと、脂質膜ＳＳＴと、は互いに重畳していなくてもよい。

［０５０８］

脂質膜ＳＳＴは、呈味成分と接触することによって、当該呈味成分に応じた電位を取得するための検知電極として機能し、脂質膜ＳＳＴは、脂質、可塑剤、ポリ塩化ビニルなどを有する。当該脂質は、一例として、親水部位ＳＩＮと疎水部位ＳＯＳとを含む脂質分子を有する。脂質膜ＳＳＴに水、基準となる溶液などが浸ることによって、脂質分子は、図２４Ｂに示すとおり、脂質膜ＳＳＴの表面近傍において、親水部位ＳＩＮが膜の外側に向くように、かつ疎水部位ＳＯＳが膜の内側に向くように自主的に配置される。呈味物質に対する脂質膜ＳＳＴの応答としては、表面荷電密度、表面電位、水素イオンの結合率などの変化によって、脂質膜ＳＳＴの電位変化として現れる。

［０５０９］

脂質膜ＳＳＴは、センシングする呈味成分、例えば、甘味、苦味、酸味、旨味、塩味、辛味、渋味などの反応を与える呈味成分によって、脂質と可塑剤との種類を変更、又は脂質と可塑剤との割合を調節すればよい。例えば、人間の舌に苦味を与える呈味成分をセンシングするセンサの場合、脂質膜ＳＳＴとしては、電荷を有する脂質の含量を少なくして疎水性を高めればよい。また、人間の舌に塩味を与える呈味成分をセンシングするセンサの場合、イオンとの静電相互作用を起こしやすくするために、荷電脂質の含量を多くして親水性を高めればよい。

［０５１０］

緩衝膜ＫＡＮは、脂質膜ＳＳＴと参照電極ＤＥＮとの間に電荷の移動が行われないようにする機能を有する。このため、緩衝膜ＫＡＮは、絶縁体であることが好ましい。

［０５１１］

参照電極ＤＥＮは、呈味成分ごとに応じた参照電位を取得するための電極として機能する。

［０５１２］

脂質膜ＳＳＴは、一例として、配線ＨＡＩＳ１に電気的に接続されている。また、参照電極ＤＥＮは、一例として、配線ＨＡＩＳ２に電気的に接続されている。

［０５１３］

図２４Ａ、及び図２４Ｂに示したセンサＳＮＣは、被評価物質ＡＢＪを含む溶液などに浸けることによって、脂質膜ＳＳＴと、参照電極ＤＥＮとの間に電位差が生じる。当該電位差は被評価物質ＡＢＪや溶液の濃度によって決まるため、被評価物質ＡＢＪの味を判定するときは、当該電位差を解析すればよい。

［０５１４］

特に、図２３の電子機器ＳＩＴＡによって取得した当該電位差の解析を行う場合、演算回路ＭＡＣに入力するために、当該電位差を電流値に変換することが好ましい。例えば、検知部ＣＨＭは、図２４Ｃに示すブロック図の通り、脂質膜ＳＳＴで取得した電位V_{in}と、参照電極ＤＥＮで取得した電位V_{ref}と、を電圧電流変換回路ＶＩＣに入力して、電圧電流変換回路ＶＩＣからV_{in}とV_{ref}との電位差に応じた電流Ｉを出力する構成とすることが好ましい。この電流Ｉが、図２３の電子機器ＳＩＴＡにおいて、検知部ＣＨＭから演算回路ＭＡＣに入力される。

［０５１５］

電圧電流変換回路ＶＩＣは、２個の入力端子と、１個の出力端子と、を有し、２個の入力端子のそれぞれに入力された電位差を電流に変換して、当該電流を出力端子に出力する機能を有する。

［０５１６］

ここで、例えば、図２３に示すセンサＳＮＣ［ｉ］に対して被評価物質ＡＢＪを含む溶液などに浸ける前における、電圧電流変換回路ＶＩＣの出力端子から出力される電流をI_{out}［ｉ］とする。なお、電流I_{out}［ｉ］は、図６のタイミングチャートの時刻Ｔ１３から時刻Ｔ１４までの間に、配線ＸＣＬ［ｉ］に流れるものとする。なお、センサＳＮＣ［ｉ］に対して被評価物質ＡＢＪを含む溶液などに浸ける前とは、センサＳＮＣ［ｉ］が外界の空気に触れている場合、センサＳＮＣ［ｉ］が基準となる液体（被評価物質ＡＢＪを含まない溶液、例えば純水などとすることができる）に触れている場合、などを含むものとする。

［０５１７］

また、例えば、図２３に示すセンサＳＮＣ［ｉ］に対して被評価物質ＡＢＪを含む溶液などに浸けた前における、電圧電流変換回路ＶＩＣの出力端子から出力される電流をｘ［ｉ］I_{out}［ｉ］＝I_{out}［ｉ］＋ΔI_{out}［ｉ］とする。また、当該電流は、図６のタイミングチャートの時刻Ｔ２２から時刻Ｔ２３までの間に、配線ＸＣＬ［ｉ］に流れるものとする。

［０５１８］

上記の通り、回路ＳＣＡから演算回路ＭＡＣのセルアレイＣＡに、センサＳＮＣ［１］乃至センサＳＮＣ［ｍ］からの電流を流すことによって、センサＳＮＣ［１］乃至センサＳＮＣ［ｍ］によって検知した複数の味覚情報に応じた、第２データｘ［１］乃至ｘ［ｍ］を演算回路ＭＡＣに入力することができる。これにより、セルアレイＣＡのセルＩＭにあらかじめ保持された第１データと、当該第２データとの積和演算を実行することができる。つまり、複数の味覚情報を入力データとした、ニューラルネットワークの演算を行うことができる。

［０５１９］

なお、当該ニューラルネットワークの演算としては、例えば、センサＳＮＣ［１］乃至センサＳＮＣ［ｍ］によって検知した複数の味覚情報に対してパターン認識を行うアルゴリズムとすることができる。また、当該ニューラルネットワークに用いられる第１データ（重み係数）は、機械学習などによってセルＩＭのノードＮＭに保持されているものとする。これにより、回路ＳＣＡからセルアレイＣＡに流れる、被評価物質ＡＢＪに応じた電流のパターンから、被評価物質ＡＢＪがどのような人間の舌にどのような味を与えるかを識別して、その結果をデータＤＴとして、電子機器ＳＩＴＡから出力することができる。

［０５２０］

図２５Ａに、図２３の電子機器ＳＩＴＡの一例の斜視図を示す。図２５Ａの電子機器ＳＩＴＡには、検知部ＣＨＭとして、図２４Ａ及び図２４Ｂのセンサ ＳＮＣ及び基材ＫＩＺが複数備えられて

おり、電子機器ＳＩＴＡが駆動することで、複数のセンサＳＮＣが、被評価物質ＡＢＪを含む溶液ＹＥＫに浸されることができる構造体となっている。つまり、電子機器ＳＩＴＡは、電子機器ＳＩＴＡの一回の駆動によって、複数のセンサＳＮＣから被評価物質ＡＢＪに含まれている複数の種類の呈味成分を同時に検出する機能を有する。

［０５２１］

図２５Ａの電子機器ＳＩＴＡは、センサＳＮＣ及び基材ＫＩＺの他に、第１筐体ＫＹＴ１と、第２筐体ＫＹＴ２と、第３筐体ＫＹＴ３と、軸ＪＩＫと、台座ＤＡＺと、ケーブルベア（登録商標）ＣＢと、を有する。また、図２５Ａには、容器ＹＯＫと、被評価物質ＡＢＪが含まれている溶液ＹＥＫと、も図示している。

［０５２２］

図２５Ｂに図２５Ａの電子機器ＳＩＴＡの検知部ＣＨＭの拡大図を示す。第１筐体ＫＹＴ１は、図２５Ｂに示すとおり、センサＳＮＣが取り付けられた基材ＫＩＺを複数個取り付けができる構造体である。また、複数のセンサＳＮＣの１個は、五基本味、辛味、渋味などから選ばれた１つの味を検出するセンサとすることができる。また、例えば、甘味などは、ショ糖、キシリトール、合成甘味料など複数の呈味成分があるため、必要な呈味成分ごとにセンサＳＮＣが取り付けられた基材ＫＩＺを用意すればよい。このように、複数のセンサＳＮＣのそれぞれを、互いに異なる味を検出する味覚センサとすることによって、電子機器ＳＩＴＡの一回の駆動によって、複数のセンサＳＮＣから被評価物質ＡＢＪに含まれている呈味成分を同時に検出することができる。

［０５２３］

また、第１筐体ＫＹＴ１は、一例として、図２４Ａに示す配線ＨＡＩＳ１及び配線ＨＡＩＳ２が第１筐体ＫＹＴ１の内部の回路に電気的に接続されている構成とすることができる。なお、図２５Ｂには、第１筐体ＫＹＴ１及び配線ＨＡＩＳ２を図示していない。また、第１筐体ＫＹＴ１は、第２筐体ＫＹＴ２に構造的に接続されている。なお、図２５Ａに示す電子機器ＳＩＴＡは、第１筐体ＫＹＴ１と第２筐体ＫＹＴ２とを１つの筐体としてまとめた構成としてもよい。また、基材ＫＩＺに設けられている配線ＨＡＩＳ１及び配線ＨＡＩＳ２は、第１筐体ＫＹＴ１を介して、第２筐体ＫＹＴ２に電気的に接続されている。

［０５２４］

第２筐体ＫＹＴ２は、軸ＪＩＫに沿って昇降を行うことができる構造体である。例えば、第２筐体ＫＹＴ２は、モータなどの駆動用の部品が含まれており、当該部品によって第２筐体ＫＹＴ２自体を昇降することができる。第２筐体ＫＹＴ２が軸ＪＩＫに沿って昇降を行うことで、第１筐体ＫＹＴ１を同時に昇降することができる。これにより、複数の基材ＫＩＺに取り付けられているセンサＳＮＣを上下に動かすことができる。

［０５２５］

第３筐体ＫＹＴ３には、台座ＤＡＺ、及び軸ＪＩＫが構造的に接続されている。また、第３筐体ＫＹＴ３は、第２筐体ＫＹＴ２の昇降を制御する機能を有してもよい。この場合、第３筐体ＫＹＴ３と、第２筐体ＫＹＴ２と、を電気的に接続する配線が設けられていることが好ましい。

［０５２６］

また、第３筐体ＫＹＴ３には、図２３に示す演算回路ＭＡＣと記憶部ＭＥＭＤが含まれている。この場合、第３筐体ＫＹＴ３と、センサＳＮＣと、を電気的に接続する配線が設けられていることが好ましい。つまり、電子機器ＳＩＴＡは、センサＳＮＣで検出した被評価物質に含まれている呈

味成分に関する情報を第３筐体ＫＹＴ３に送信して、第３筐体ＫＹＴ３に含まれる演算回路ＭＡＣによって当該情報を解析する構成としてもよい。

［０５２７］

第３筐体ＫＹＴ３と、第１筐体ＫＹＴ１、及び／又は第２筐体ＫＹＴ２との間に、複数の配線によって電気信号のやりとりを行う場合、図２５Ａに示す通り、電子機器ＳＩＴＡにはケーブルベアＣＢが設けられていることが好ましい。ケーブルベアＣＢには、配線が含まれており、当該複数の配線によって、第３筐体ＫＹＴ３と、第２筐体ＫＹＴ２と、の間が電気的に接続されている。ケーブルベアＣＢによって当該複数の配線を束ねることによって、第１筐体ＫＹＴ１及び第２筐体ＫＹＴ２が上下に昇降しても、当該複数の配線がばらけることがないようにすることができる。なお、電子機器ＳＩＴＡにおいて、必ずしもケーブルベアＣＢを用いなくてもよい。また、ケーブルベアＣＢを用いず、当該複数の配線の代わりにＦＰＣ（Ｆｌｅｘｉｂｌｅ　Ｐｒｉｎｔｅｄ　Ｃｉｒｃｕｉｔ）を代替として用いてもよい。

［０５２８］

なお、上述した説明では、第３筐体ＫＹＴ３には、図２３に示す演算回路ＭＡＣ及び記憶部ＭＥＭＤが含まれているものとして説明したが、本発明の一態様に係る半導体装置を有する電子機器の構成は、これに限定されない。例えば、図２３の演算回路ＭＡＣ及び記憶部ＭＥＭＤは、第１筐体ＫＹＴ１又は第２筐体ＫＹＴ２に含まれている構成としてもよく、又は、演算回路ＭＡＣと記憶部ＭＥＭＤは互いに異なる筐体に含まれている構成としてもよい。

［０５２９］

台座ＤＡＺは、容器ＹＯＫを設置するためのスペースとして機能する。又は、台座ＤＡＺは、電子機器ＳＩＴＡが自立するための足として機能してもよい。又は、第２筐体ＫＹＴ２が軸ＪＩＫにそって上下に昇降する機能を有さない場合、代わりに、台座ＤＡＺが上下に昇降する機能を設けてもよい。これにより、電子機器ＳＩＴＡは、台座ＤＡＺが上がることでセンサＳＮＣを溶液ＹＥＫに浸す構成とすることができる。

［０５３０］

なお、本発明の一態様に係る半導体装置を含む電子機器の構成は、図２５Ａ、及び図２５Ｂに限定されない。本発明の一態様に係る半導体装置を含む電子機器は、状況に応じて、図２５Ａ、及び図２５Ｂに示した構成を変更したものとしてもよい。

［０５３１］

例えば、図２５Ｂに示している第１筐体ＫＹＴ１に取り付けられている基材ＫＩＺの構成を、図２５Ｃに示すとおりに変更してもよい。図２５Ｃは、一例として、脂質膜ＳＳＴが取り付けられた複数の基材ＫＩＺＡと、参照電極ＤＥＮが取り付けられた１個の基材ＫＩＺＢと、が第１筐体ＫＹＴ１に取り付けられている構成を示している。つまり、図２５Ｃの構成は、参照電位を取得するための参照電極ＤＥＮを１個にまとめた構成となっている。このため、当該参照電位の取得を１個の参照電極ＤＥＮ（基材ＫＩＺＢ）のみで取得できるので、図２５Ｂよりも配線数を少なくすることができる。図２５Ｃの構成を電子機器ＳＩＴＡに適用しても、図２５Ｂの構成を適用した電子機器ＳＩＴＡと同様に、複数の基材ＫＩＺＡに取り付けられた脂質膜ＳＳＴのそれぞれにおいて溶液ＹＥＫに含まれている被評価物質ＡＢＪに応じた複数の電位と、当該参照電位と、のそれぞれの電位差を取得することができる。

［０５３２］

本実施の形態で説明したとおり、上記の実施の形態で説明した演算回路ＭＡＣとセンサを組み合わせることで、臭気センサ、触覚センサを含む電子機器、又は味覚センサを含む電子機器を実現することができる。

［０５３３］

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

［０５３４］

（実施の形態５）

本実施の形態では、階層型のニューラルネットワークについて説明する。なお、階層型のニューラルネットワークの演算は、上記の実施の形態で説明した半導体装置を用いることによって行うことができる。

［０５３５］

＜階層型のニューラルネットワーク＞

階層型のニューラルネットワークは、一例としては、一の入力層と、一又は複数の中間層（隠れ層）と、一の出力層と、を有し、合計３以上の層によって構成されている。図２６Ａに示す階層型のニューラルネットワーク１００はその一例を示しており、ニューラルネットワーク１００は、第１層乃至第Ｒ層（ここでのＲは４以上の整数とすることができる。）を有している。特に、第１層は入力層に相当し、第Ｒ層は出力層に相当し、それら以外の層は中間層に相当する。なお、図２６Ａには、中間層として第（ｋ－１）層、第ｋ層（ここでのｋは３以上Ｒ－１以下の整数とする。）を図示しており、それ以外の中間層については図示を省略している。

［０５３６］

ニューラルネットワーク１００の各層は、一又は複数のニューロンを有する。図２６Ａにおいて、第１層はニューロン$N_1^{(1)}$乃至ニューロン$N_p^{(1)}$（ここでのｐは１以上の整数である。）を有し、第（ｋ－１）層はニューロン$N_1^{(k-1)}$乃至ニューロン$N_m^{(k-1)}$（ここでのｍは１以上の整数である。）を有し、第ｋ層はニューロン$N_1^{(k)}$乃至ニューロン$N_n^{(k)}$（ここでのｎは１以上の整数である。）を有し、第Ｒ層はニューロン$N_1^{(R)}$乃至ニューロン$N_q^{(R)}$（ここでのｑは１以上の整数である。）を有する。

［０５３７］

なお、図２６Ａには、ニューロン$N_1^{(1)}$、ニューロン$N_p^{(1)}$、ニューロン$N_1^{(k-1)}$、ニューロン$N_m^{(k-1)}$、ニューロン$N_1^{(k)}$、ニューロン$N_n^{(k)}$、ニューロン$N_1^{(R)}$、ニューロン$N_q^{(R)}$に加えて、第（ｋ－１）層のニューロン$N_i^{(k-1)}$（ここでのｉは１以上ｍ以下の整数である。）、第ｋ層のニューロン$N_j^{(k)}$（ここでのｊは１以上ｎ以下の整数である。）も図示しており、それ以外のニューロンについては図示を省略している。

［０５３８］

次に、前層のニューロンから次層のニューロンへの信号の伝達、及びそれぞれのニューロンにおいて入出力される信号について説明する。なお、本説明では、第ｋ層のニューロン$N_j^{(k)}$に着目する。

［０５３９］

図２６Ｂには、第ｋ層のニューロン$N_j^{(k)}$と、ニューロン$N_j^{(k)}$に入力される信号と、ニューロン$N_j^{(k)}$から出力される信号と、を示している。

［０５４０］

具体的には、第（ｋ－１）層のニューロン$N_1^{(k-1)}$乃至ニューロン$N_m^{(k-1)}$のそれぞれの出力信号である$z_1^{(k-1)}$乃至$z_m^{(k-1)}$が、ニューロン$N_j^{(k)}$に向けて出力されている。そして、ニューロン$N_j^{(k)}$は、$z_1^{(k-1)}$乃至$z_m^{(k-1)}$に応じて$z_j^{(k)}$を生成して、$z_j^{(k)}$を出力信号として第（ｋ＋１）層（図示しない。）の各ニューロンに向けて出力する。

［０５４１］

前層のニューロンから次層のニューロンに入力される信号は、それらのニューロン同士を接続するシナプスの結合強度（以後、重み係数と呼称する。）によって、信号の伝達の度合いが定まる。ニューラルネットワーク１００では、前層のニューロンから出力された信号は、対応する重み係数を乗じられて、次層のニューロンに入力される。ｉを１以上m以下の整数として、第（ｋ－１）層のニューロン$N_i^{(k-1)}$と第ｋ層のニューロン$N_j^{(k)}$との間のシナプスの重み係数を$w_i^{(k-1)}{}_j^{(k)}$としたとき、第ｋ層のニューロン$N_j^{(k)}$に入力される信号は、式（５．１）で表すことができる。

［０５４２］

［数２０］

$$w_i^{(k-1)}{}_j^{(k)} \cdot z_i^{(k-1)} \qquad \cdots(5.1)$$

［０５４３］

つまり、第（ｋ－１）層のニューロン$N_1^{(k-1)}$乃至ニューロン$N_m^{(k-1)}$のそれぞれから第ｋ層のニューロン$N_j^{(k)}$に信号が伝達するとき、当該信号である$z_1^{(k-1)}$乃至$z_m^{(k-1)}$には、それぞれの信号に対応する重み係数（$w_1^{(k-1)}{}_j^{(k)}$乃至$w_m^{(k-1)}{}_j^{(k)}$）が乗じられる。そして、第ｋ層のニューロン$N_j^{(k)}$には、$w_1^{(k-1)}{}_j^{(k)} \cdot z_1^{(k-1)}$乃至$w_m^{(k-1)}{}_j^{(k)} \cdot z_m^{(k-1)}$が入力される。このとき、第ｋ層のニューロン$N_j^{(k)}$に入力される信号の総和$u_j^{(k)}$は、式（５．２）となる。

［０５４４］

［数２１］

$$u_j^{(k)} = \sum_{i=1}^{m} w_i^{(k-1)}{}_j^{(k)} \cdot z_i^{(k-1)} \qquad \cdots(5.2)$$

［０５４５］

また、重み係数$w_1^{(k-1)}{}_j^{(k)}$乃至$w_m^{(k-1)}{}_j^{(k)}$と、ニューロンの信号$z_1^{(k-1)}$乃至$z_m^{(k-1)}$と、の積和の結果には、偏りとしてバイアスを与えてもよい。バイアスをｂとしたとき、式（５．２）は、次の式に書き直すことができる。

［０５４６］

［数２２］

$$u_j^{(k)} = \sum_{i=1}^{m} w_i^{(k-1)}{}_j^{(k)} \cdot z_i^{(k-1)} + b \qquad \cdots(5.3)$$

［０５４７］

ニューロン$N_j^{(k)}$は、$u_j^{(k)}$に応じて、出力信号$z_j^{(k)}$を生成する。ここで、ニューロン$N_j^{(k)}$からの出力信号$z_j^{(k)}$を次の式で定義する。

［０５４８］

［数２３］

$$z_j^{(k)} = f(u_j^{(k)}) \quad \cdots(5.4)$$

［０５４９］

関数ｆ（$u_j^{(k)}$）は、階層型のニューラルネットワークにおける活性化関数であり、ステップ関数、線形ランプ関数、シグモイド関数などを用いることができる。なお、活性化関数は、全てのニューロンにおいて同一でもよいし、又は異なっていてもよい。加えて、ニューロンの活性化関数は、層毎において、同一でもよいし、異なっていてもよい。

［０５５０］

ところで、各層のニューロンが出力する信号、重み係数ｗ、または、バイアスｂは、アナログ値としてもよいし、デジタル値としてもよい。デジタル値としては、例えば、２値としてもよいし、３値としてもよい。さらに大きなビット数の値でもよい。一例として、アナログ値の場合、活性化関数として、例えば、線形ランプ関数、シグモイド関数などを用いればよい。デジタル値の２値の場合、例えば、出力を－１若しくは１、又は、０若しくは１、とするステップ関数を用いればよい。また、各層のニューロンが出力する信号は３値以上としてもよく、この場合、活性化関数は３値、例えば出力は－１、０、若しくは１とするステップ関数、又は、０、１、若しくは２とするステップ関数などを用いればよい。また、例えば、５値を出力する活性化関数として、－２、－１、０、１、若しくは２とするステップ関数などを用いてもよい。各層のニューロンが出力する信号、重み係数ｗ、または、バイアスｂについて、少なくとも一つについて、デジタル値を用いることにより、回路規模を小さくすること、消費電力を低減すること、または、演算スピードを速くすること、などが出来る。また、各層のニューロンが出力する信号、重み係数ｗ、または、バイアスｂについて、少なくとも一つについて、アナログ値を用いることにより、演算の精度を向上させることが出来る。

［０５５１］

ニューラルネットワーク１００は、第１層（入力層）に入力信号が入力されることによって、第１層（入力層）から最後の層（出力層）までの各層において順次に、前層から入力された信号を基に、式（５．１）、式（５．２）（又は式（５．３））、式（５．４）を用いて出力信号を生成して、当該出力信号を次層に出力する動作を行う。最後の層（出力層）から出力された信号が、ニューラルネットワーク１００によって計算された結果に相当する。

［０５５２］

実施の形態１で述べた演算回路ＭＡＣ１を、上述した隠れ層として適用する場合、重み係数$w_{s[k-1]}^{(k-1)}{}_{s[k]}^{(k)}$（ｓ［ｋ－１］は１以上ｍ以下の整数とし、ｓ［ｋ］は１以上ｎ以下の整数とする）を第１データとして、第１データに応じた電流量を同じ列の各セルＩＭに順次記憶させて、第（ｋ－１）層のニューロン$N_{s[k-1]}^{(k-1)}$からの出力信号$z_{s[k-1]}^{(k-1)}$を第２データとして、第２データに応じた電流量を回路ＸＣＳから各行の配線ＸＣＬに対して流すことで、変換回路ＩＴＲＺに入力される電流量I_Sから第１データと第２データとの積和を求めることができる。加えて、当該積和の値を用いて活性化関数の値を求めることによって、活性化関数の値を信号として

第ｋ層のニューロン$N_{s[k]}^{(k)}$の出力信号$z_{s[k]}^{(k)}$とすることができる。

［０５５３］

また、実施の形態１で述べた演算回路ＭＡＣ１を、上述した出力層として適用する場合、重み係数$w_{s[R-1]}^{(R-1)}{}_{s[R]}^{(R)}$（ｓ［Ｒ－１］は１以上の整数とし、ｓ［Ｒ］は１以上ｑ以下の整数とする）を第１データとして、第１データに応じた電流量を同じ列の各セルＩＭに順次記憶させて、第（Ｒ－１）層のニューロン$N_{s[R-1]}^{(R-1)}$からの出力信号$z_{s[R-1]}^{(R-1)}$を第２データとして、第２データに応じた電流量を回路ＸＣＳから各行の配線ＸＣＬに対して流すことで、変換回路ＩＴＲＺに入力される電流量I_Sから、第１データと第２データとの積和を求めることができる。加えて、当該積和の値を用いて活性化関数の値を求めることによって、活性化関数の値を信号として第Ｒ層のニューロン$N_{s[R]}^{(R)}$の出力信号$z_{s[R]}^{(R)}$とすることができる。

［０５５４］

なお、本実施の形態で述べた入力層は、入力信号を第２層に出力するバッファ回路として機能してもよい。

［０５５５］

また、実施の形態２で述べた、変換回路ＩＴＲＺＤ［ｊ］を図９の変換回路ＩＴＲＺＤ４とした演算回路ＭＡＣ２を、上述した隠れ層として適用する場合、重み係数$w_{s[k-1]}^{(k-1)}{}_{s[k]}^{(k)}$を第１データとして、第１データに応じた電流量を同じ列の各回路ＣＥＳのセルＩＭとセルＩＭｒに順次記憶させて、第（ｋ－１）層のニューロン$N_{s[k-1]}^{(k-1)}$からの出力信号$z_{s[k-1]}^{(k-1)}$を第２データとして、第２データに応じた電流量を回路ＸＣＳから各行の配線ＸＣＬに対して流すことで、変換回路ＩＴＲＺＤ４に入力される電流量I_S、及びI_{Sr}から第１データと第２データとの積和に応じた活性化関数の値を算出することができる。つまり、当該値を信号として第ｋ層のニューロン$N_{s[k]}^{(k)}$の出力信号$z_{s[k]}^{(k)}$とすることができる。また、変換回路ＩＴＲＺＤ４は、当該値に応じた電流量を出力する構成となっているため、例えば、第（ｋ＋１）層の複数のニューロンに入力される、第ｋ層のニューロン$N_{s[k]}^{(k)}$の出力信号$z_{s[k]}^{(k)}$は、電流とすることができる。つまり、第（ｋ＋１）層の隠れ層として演算回路ＭＡＣ２を適用する場合、演算回路ＭＡＣ２の配線ＸＣＬに入力される第ｋ層のニューロン$N_{s[k]}^{(k)}$の出力信号$z_{s[k]}^{(k)}$は、回路ＸＣＳで生成せず、第ｋ層の隠れ層の演算回路ＭＡＣ２の変換回路ＩＴＲＺＤ４から出力された電流とすることができる。

［０５５６］

具体的には、図２７に示す演算回路を用いることによって、上述した階層型のニューラルネットワークの演算を行うことができる。図２７の演算回路は、一例として、図７の演算回路ＭＡＣ２と同様の構成の演算回路ＭＡＣ２－１と、図７の演算回路ＭＡＣ２において回路ＸＣＳを設けていない構成の演算回路ＭＡＣ２－２と、を有する。なお、演算回路ＭＡＣ２－１のセルアレイＣＡには、ｍ×ｎ個の回路ＣＥＳがマトリクス状に配置され、演算回路ＭＡＣ２－２のセルアレイＣＡには、ｎ×ｔ個（ｔは１以上の整数とする。）の回路ＣＥＳがマトリクス状に配置されている。また、演算回路ＭＡＣ２－１の配線ＯＬ［１］乃至配線ＯＬ［ｎ］のそれぞれは、演算回路ＭＡＣ２－２の配線ＸＣＬ［１］乃至配線ＸＣＬ［ｎ］に電気的に接続されている。

［０５５７］

例えば、図２７の演算回路ＭＡＣ２－１で、第（ｋ－１）層のニューロンと第ｋ層のニューロンとの間の重み係数を第１データとして、セルアレイＣＡの回路ＣＥＳ［１，１］乃至回路ＣＥＳ

［ｍ，ｎ］に保持し、第（ｋ－１）層のニューロン$N_{s[k-1]}^{(k-1)}$からの出力信号$z_{s[k-1]}^{(k-1)}$を第２データとして、第２データに応じた電流量を回路ＸＣＳから各行の配線ＸＣＬに対して流すことで、配線ＯＬ［１］乃至配線ＯＬ［ｎ］のそれぞれから第ｋ層のニューロン$N_1^{(k)}$乃至ニューロン$N_n^{(k)}$の出力信号$z_1^{(k)}$乃至$z_n^{(k)}$を出力することができる。なお、出力信号$z_1^{(k)}$乃至$z_n^{(k)}$のそれぞれの値は、変換回路ＩＴＲＺＤ４［１］乃至変換回路ＩＴＲＺＤ４［ｎ］から出力される電流の量として表すことができる。

［０５５８］

ここで、図２７の演算回路ＭＡＣ２－２で、第ｋ層のニューロンと第（ｋ＋１）層のニューロンとの間の重み係数を第１データとして、セルアレイＣＡの回路ＣＥＳ［１，１］乃至回路ＣＥＳ［ｎ，ｔ］に保持し、各行の配線ＸＣＬに流れる電流量、すなわち第ｋ層のニューロン$N_1^{(k)}$乃至ニューロン$N_n^{(k)}$の出力信号$z_1^{(k)}$乃至$z_n^{(k)}$を第２データとすることで、配線ＯＬ［ｓ［ｋ＋１］］（ここでのｓ［ｋ＋１］は１以上ｔ以下の整数とする）から第（ｋ＋１）層のニューロン$N_{s[k+1]}^{(k+1)}$の出力信号$z_{s[k+1]}^{(k+1)}$を出力することができる。

［０５５９］

ところで、実施の形態２で説明したとおり、図２７の演算回路ＭＡＣ２－１の変換回路ＩＴＲＺＤ４［１］乃至変換回路ＩＴＲＺＤ４［ｎ］に、図９、図１０Ａ、図１１Ａ乃至図１１Ｃのいずれか一の変換回路ＩＴＲＺＤ４を適用することで、変換回路ＩＴＲＺＤ４［１］乃至変換回路ＩＴＲＺＤ４［ｎ］はＲｅＬＵ関数として作用する。そのため、例えば、回路ＣＥＳ［１，ｊ］乃至回路ＣＥＳ［ｍ，ｊ］における積和演算の結果が“負”であるとき、変換回路ＩＴＲＺＤ４から配線ＯＬ［ｊ］に流れる電流量は、理想的には０となることが好ましい。しかし、実際には、変換回路ＩＴＲＺＤ４から配線ＯＬ［ｊ］に微小の電流量が流れる、又は配線ＯＬ［ｊ］から変換回路ＩＴＲＺＤ４に微小の電流量が流れる場合がある。

［０５６０］

そのため、階層型のニューラルネットワークの次層以降の演算を適切に行うための演算回路ＭＡＣ２－２の構成例を図２８に示す。図２８に示す演算回路ＭＡＣ２－２は、図７の演算回路ＭＡＣ２においてセルアレイＣＡに配置されている回路ＣＥＳを、ｍ×ｎのマトリクス状からｎ×ｔのマトリクス状に変更し、かつ回路ＸＣＳを設けていない構成となっている。また、演算回路ＭＡＣ２－２のセルアレイＣＡの回路ＣＥＳは、ｎ×ｔのマトリクス状に配置されているため、図２８に記載している配線、回路などの符号に付与している［　］などの括弧内の値も変更している。

［０５６１］

さらに、図２８の演算回路ＭＡＣ２－２では、一例として、演算回路ＭＡＣ２－２に配線ＴＭ［１］、配線ＴＭ［ｎ］、配線ＴＨ［１，ｈ］（ｈは１以上ｔ以下の整数である。）、配線ＴＨ［ｎ，ｈ］、配線ＴＨｒ［１，ｈ］、配線ＴＨｒ［ｎ，ｈ］を設けた回路構成の例を示している。図２８の演算回路ＭＡＣ２－２において、セルＩＭｒｅｆ［１］のトランジスタＦ２ｍのバックゲートには配線ＴＭ［１］が電気的に接続され、セルＩＭｒｅｆ［ｎ］のトランジスタＦ２ｍのバックゲートには配線ＴＭ［ｎ］が電気的に接続され、セルＩＭ［１，ｈ］のトランジスタＦ２のバックゲートには配線ＴＨ［１，ｈ］が電気的に接続され、セルＩＭｒ［１，ｈ］のトランジスタＦ２ｒのバックゲートには配線ＴＨｒ［１，ｈ］が電気的に接続され、セルＩＭ［ｎ，ｈ］のトランジスタＦ２のバックゲートには配線ＴＨ［ｎ，ｈ］が電気的に接続され、セルＩＭｒ［ｎ，ｈ］のトランジスタＦ２ｒのバックゲートには配線ＴＨｒ［ｎ，ｈ］が電気的に接続されている。

［０５６２］

配線ＴＭ［１］、配線ＴＭ［ｎ］、配線ＴＨ［１，ｈ］、配線ＴＨ［ｎ，ｈ］、配線ＴＨｒ［１，ｈ］、配線ＴＨｒ［ｎ，ｈ］のそれぞれに低レベル電位を与えることによって、それぞれの配線に電気的に接続されているバックゲートを有するトランジスタのしきい値電圧を高くすることができる。これにより、演算回路ＭＡＣ２－１の配線ＯＬに流れる微小の電流量が、演算回路ＭＡＣ２－２のセルＩＭｒｅｆを介して、配線ＶＥに流れることを防ぐことができる。つまり、変換回路ＩＴＲＺＤ４［１］乃至変換回路ＩＴＲＺＤ４［ｎ］における出力特性を、ＲｅＬＵ関数に近づけることができる。そのため、階層型のニューラルネットワークの次層の演算を適切に行うことができる。

［０５６３］

また、例えば、図２８の演算回路ＭＡＣ２－２の構成を、図２７の演算回路ＭＡＣ２－１に適用してもよい。このような構成にすることによって、演算回路ＭＡＣ２－２と同様に、演算回路ＭＡＣ２－１に含まれているトランジスタＦ２とトランジスタＦ２ｒとトランジスタＦ２ｍとのそれぞれのしきい値電圧も変動させることができる。

［０５６４］

なお、図２８では、配線ＴＭ［１］、配線ＴＭ［ｎ］、配線ＴＨ［１，ｈ］、配線ＴＨ［ｎ，ｈ］、配線ＴＨｒ［１，ｈ］、配線ＴＨｒ［ｎ，ｈ］を図示しているが、図２８の演算回路ＭＡＣ２－２は、例えば、配線ＴＭ［１］と配線ＴＨ［１，ｈ］と配線ＴＨｒ［１，ｈ］とを１本の配線としてまとめ、かつ配線ＴＭ［ｎ］と配線ＴＨ［ｎ，ｈ］と配線ＴＨｒ［ｎ，ｈ］とを１本の配線としてまとめた構成としてもよい。

［０５６５］

上述した通り、階層型のニューラルネットワークの演算を、図２７に示す演算回路を構成することにより、演算回路ＭＡＣ２－１で出力したニューロンの出力信号の値（電流量）をそのまま演算回路ＭＡＣ２－２に入力することができるため、階層型のニューラルネットワークの演算を、一例として、第１層から連続して行うことができる。また、演算回路ＭＡＣ２－１の配線ＯＬ［１］乃至配線ＯＬ［ｎ］から出力された出力信号を、外部回路等によって一時的に記憶する必要が無いため、一時記憶に必要な記憶装置を別途設けなくてもよい。つまり、図２７の演算回路を構成することによって、回路面積を低減することができ、また、一時記憶のためのデータ送信に必要な電力を低減することができる。

［０５６６］

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

［０５６７］

（実施の形態６）

本実施の形態では、上記実施の形態で説明した半導体装置の構成例、及び半導体装置に適用できるトランジスタの構成例について説明する。

［０５６８］

＜半導体装置の構成例＞

図２９に示す半導体装置は、トランジスタ３００と、トランジスタ５００と、容量素子６００と、を有している。図３１Ａはトランジスタ５００のチャネル長方向の断面図であり、図３１Ｂはトランジスタ５００のチャネル幅方向の断面図であり、図３１Ｃはトランジスタ３００のチャネル幅方向の断面図である。

［０５６９］

トランジスタ５００は、チャネル形成領域に金属酸化物を有するトランジスタ（ＯＳトランジスタ）である。トランジスタ５００は、オフ電流が小さく、また、高温でも電界効果移動度が変化しない特性を有する。トランジスタ５００を、半導体装置、例えば、上記実施の形態で説明した演算回路ＭＡＣ１、演算回路ＭＡＣ１Ａ、演算回路ＭＡＣ２、演算回路ＭＡＣ３などに含まれるトランジスタに適用することにより、高温でも動作能力が低下しない半導体装置を実現できる。特に、オフ電流が小さい特性を利用して、トランジスタ５００として、トランジスタＦ１、トランジスタＦ１ｍに適用することにより、セルＩＭ、セルＩＭｒｅｆなどに書き込んだ電位を長時間保持することができる。

［０５７０］

本実施の形態で説明する半導体装置は、一例として、図２９に示すようにトランジスタ３００、トランジスタ５００、容量素子６００を有する。トランジスタ５００は、例えば、トランジスタ３００の上方に設けられ、容量素子６００は、例えば、トランジスタ３００、及びトランジスタ５００の上方に設けられている。なお、容量素子６００は、上記実施の形態で説明した演算回路ＭＡＣ１、演算回路ＭＡＣ１Ａ、演算回路ＭＡＣ２、演算回路ＭＡＣ３などに含まれる容量などとすることができる。なお、回路構成によっては、図２９に示す容量素子６００は必ずしも設けなくてもよい。

［０５７１］

トランジスタ３００は、基板３１１上に設けられ、導電体３１６、絶縁体３１５、基板３１１の一部からなる半導体領域３１３、ソース領域又はドレイン領域として機能する低抵抗領域３１４ａ、及び低抵抗領域３１４ｂを有する。なお、トランジスタ３００は、例えば、上記実施の形態で説明した演算回路ＭＡＣ１、演算回路ＭＡＣ１Ａ、演算回路ＭＡＣ２、演算回路ＭＡＣ３などに含まれるトランジスタなどに適用することができる。具体的には、例えば、図４Ａ乃至図４Ｃの変換回路ＩＴＲＺ１乃至変換回路ＩＴＲＺ３が有するオペアンプＯＰ１などに含まれているトランジスタとすることができる。なお、図２９では、トランジスタ３００のゲートが、容量素子６００の一対の電極を介して、トランジスタ５００のソース又はドレインの一方に電気的に接続されている構成を示しているが、演算回路ＭＡＣ１、演算回路ＭＡＣ１Ａ、演算回路ＭＡＣ２、演算回路ＭＡＣ３などの構成によっては、トランジスタ３００のソース又はドレインの一方が、容量素子６００の一対の電極を介して、トランジスタ５００のソース又はドレインの一方に電気的に接続されている構成としてもよく、また、トランジスタ３００のソース又はドレインの一方が、容量素子６００の一対の電極を介して、トランジスタ５００のゲートに電気的に接続されている構成としてもよく、また、トランジスタ３００の各端子は、トランジスタ５００の各端子、容量素子６００の各端子のそれぞれに電気的に接続されない構成としてもよい。

［０５７２］

また、基板３１１としては、半導体基板（例えば単結晶基板又はシリコン基板）を用いることが好ましい。

［０５７３］

トランジスタ３００は、図３１Ｃに示すように、半導体領域３１３の上面及びチャネル幅方向の側面が絶縁体３１５を介して導電体３１６に覆われている。このように、トランジスタ３００をＦｉｎ型とすることにより、実効上のチャネル幅が増大することによりトランジスタ３００のオン特

性を向上させることができる。また、ゲート電極の電界の寄与を高くすることができるため、トランジスタ３００のオフ特性を向上させることができる。

［０５７４］

なお、トランジスタ３００は、ｐチャネル型、あるいはｎチャネル型のいずれでもよい。

［０５７５］

半導体領域３１３のチャネルが形成される領域、その近傍の領域、ソース領域、又はドレイン領域となる低抵抗領域３１４ａ、及び低抵抗領域３１４ｂなどにおいて、シリコン系半導体などの半導体を含むことが好ましく、単結晶シリコンを含むことが好ましい。又は、Ｇｅ（ゲルマニウム）、ＳｉＧｅ（シリコンゲルマニウム）、ＧａＡｓ（ガリウムヒ素）、ＧａＡｌＡｓ（ガリウムアルミニウムヒ素）、ＧａＮ（窒化ガリウム）などを有する材料で形成してもよい。結晶格子に応力を与え、格子間隔を変化させることで有効質量を制御したシリコンを用いた構成としてもよい。又はＧａＡｓとＧａＡｌＡｓ等を用いることで、トランジスタ３００をＨＥＭＴ（Ｈｉｇｈ　Ｅｌｅｃｔｒｏｎ　Ｍｏｂｉｌｉｔｙ　Ｔｒａｎｓｉｓｔｏｒ）としてもよい。

［０５７６］

低抵抗領域３１４ａ、及び低抵抗領域３１４ｂは、半導体領域３１３に適用される半導体材料に加え、ヒ素、リンなどのｎ型の導電性を付与する元素、又はホウ素などのｐ型の導電性を付与する元素を含む。

［０５７７］

ゲート電極として機能する導電体３１６は、ヒ素、リンなどのｎ型の導電性を付与する元素、もしくはホウ素などのｐ型の導電性を付与する元素を含むシリコンなどの半導体材料、金属材料、合金材料、又は金属酸化物材料などの導電性材料を用いることができる。

［０５７８］

なお、導電体の材料によって仕事関数が決まるため、当該導電体の材料を選択することで、トランジスタのしきい値電圧を調整することができる。具体的には、導電体に窒化チタンや窒化タンタルなどの材料を用いることが好ましい。さらに導電性と埋め込み性を両立するために導電体にタングステンやアルミニウムなどの金属材料を積層として用いることが好ましく、特にタングステンを用いることが耐熱性の点で好ましい。

［０５７９］

なお、図２９に示すトランジスタ３００は一例であり、その構造に限定されず、回路構成や駆動方法に応じて適切なトランジスタを用いればよい。例えば、半導体装置をＯＳトランジスタのみの単極性回路とする場合、図３０に示すとおり、トランジスタ３００の構成を、酸化物半導体を用いているトランジスタ５００と同様の構成にすればよい。なお、トランジスタ５００の詳細については後述する。

［０５８０］

トランジスタ３００を覆って、絶縁体３２０、絶縁体３２２、絶縁体３２４、及び絶縁体３２６が順に積層して設けられている。

［０５８１］

絶縁体３２０、絶縁体３２２、絶縁体３２４、及び絶縁体３２６として、例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、窒化アルミニウムなどを用いればよい。

［０５８２］

なお、本明細書中において、酸化窒化シリコンとは、その組成として窒素よりも酸素の含有量が多い材料を指し、窒化酸化シリコンとは、その組成として、酸素よりも窒素の含有量が多い材料を示す。また、本明細書中において、酸化窒化アルミニウムとは、その組成として窒素よりも酸素の含有量が多い材料を指し、窒化酸化アルミニウムとは、その組成として、酸素よりも窒素の含有量が多い材料を示す。

［０５８３］

絶縁体３２２は、その下方に設けられるトランジスタ３００などによって生じる段差を平坦化する平坦化膜としての機能を有していてもよい。例えば、絶縁体３２２の上面は、平坦性を高めるために化学機械研磨（ＣＭＰ）法等を用いた平坦化処理により平坦化されていてもよい。

［０５８４］

また、絶縁体３２４には、基板３１１、又はトランジスタ３００などから、トランジスタ５００が設けられる領域に、水素や不純物が拡散しないようなバリア性を有する膜を用いることが好ましい。

［０５８５］

水素に対するバリア性を有する膜の一例として、例えば、ＣＶＤ法で形成した窒化シリコンを用いることができる。ここで、トランジスタ５００等の酸化物半導体を有する半導体素子に、水素が拡散することで、当該半導体素子の特性が低下する場合がある。したがって、トランジスタ５００と、トランジスタ３００との間に、水素の拡散を抑制する膜を用いることが好ましい。水素の拡散を抑制する膜とは、具体的には、水素の脱離量が少ない膜とする。

［０５８６］

水素の脱離量は、例えば、昇温脱離ガス分析法（ＴＤＳ）などを用いて分析することができる。例えば、絶縁体３２４の水素の脱離量は、ＴＤＳ分析において、膜の表面温度が５０℃から５００℃の範囲において、水素原子に換算した脱離量が、絶縁体３２４の面積当たりに換算して、１０×10^{15}ａｔｏｍｓ／ｃｍ^{2}以下、好ましくは５×10^{15}ａｔｏｍｓ／ｃｍ^{2}以下であればよい。

［０５８７］

なお、絶縁体３２６は、絶縁体３２４よりも誘電率が低いことが好ましい。例えば、絶縁体３２６の比誘電率は４未満が好ましく、３未満がより好ましい。また例えば、絶縁体３２６の比誘電率は、絶縁体３２４の比誘電率の０．７倍以下が好ましく、０．６倍以下がより好ましい。誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。

［０５８８］

また、絶縁体３２０、絶縁体３２２、絶縁体３２４、及び絶縁体３２６には容量素子６００、又はトランジスタ５００と接続する導電体３２８、及び導電体３３０等が埋め込まれている。なお、導電体３２８、及び導電体３３０は、プラグ又は配線としての機能を有する。また、プラグ又は配線としての機能を有する導電体は、複数の構造をまとめて同一の符号を付与する場合がある。また、本明細書等において、配線と、配線と接続するプラグとが一体物であってもよい。すなわち、導電体の一部が配線として機能する場合、及び導電体の一部がプラグとして機能する場合もある。

［０５８９］

各プラグ、及び配線（導電体３２８、導電体３３０等）の材料としては、金属材料、合金材料、金属窒化物材料、又は金属酸化物材料などの導電性材料を、単層又は積層して用いることができる。

耐熱性と導電性を両立するタングステンやモリブデンなどの高融点材料を用いることが好ましく、タングステンを用いることが好ましい。又は、アルミニウムや銅などの低抵抗導電性材料で形成することが好ましい。低抵抗導電性材料を用いることで配線抵抗を低くすることができる。

［０５９０］

絶縁体３２６、及び導電体３３０上に、配線層を設けてもよい。例えば、図２９において、絶縁体３５０、絶縁体３５２、及び絶縁体３５４が順に積層して設けられている。また、絶縁体３５０、絶縁体３５２、及び絶縁体３５４には、導電体３５６が形成されている。導電体３５６は、トランジスタ３００と接続するプラグ、又は配線としての機能を有する。なお導電体３５６は、導電体３２８、及び導電体３３０と同様の材料を用いて設けることができる。

［０５９１］

なお、例えば、絶縁体３５０は、絶縁体３２４と同様に、水素に対するバリア性を有する絶縁体を用いることが好ましい。また、導電体３５６は、水素に対するバリア性を有する導電体を含むことが好ましい。特に、水素に対するバリア性を有する絶縁体３５０が有する開口部に、水素に対するバリア性を有する導電体が形成される。当該構成により、トランジスタ３００とトランジスタ５００とは、バリア層により分離することができ、トランジスタ３００からトランジスタ５００への水素の拡散を抑制することができる。

［０５９２］

なお、水素に対するバリア性を有する導電体としては、例えば、窒化タンタル等を用いるとよい。また、窒化タンタルと導電性が高いタングステンを積層することで、配線としての導電性を保持したまま、トランジスタ３００からの水素の拡散を抑制することができる。この場合、水素に対するバリア性を有する窒化タンタル層が、水素に対するバリア性を有する絶縁体３５０と接する構造であることが好ましい。

［０５９３］

絶縁体３５４、及び導電体３５６上に、配線層を設けてもよい。例えば、図２９において、絶縁体３６０、絶縁体３６２、及び絶縁体３６４が順に積層して設けられている。また、絶縁体３６０、絶縁体３６２、及び絶縁体３６４には、導電体３６６が形成されている。導電体３６６は、プラグ又は配線としての機能を有する。なお導電体３６６は、導電体３２８、及び導電体３３０と同様の材料を用いて設けることができる。

［０５９４］

なお、例えば、絶縁体３６０は、絶縁体３２４と同様に、水素に対するバリア性を有する絶縁体を用いることが好ましい。また、導電体３６６は、水素に対するバリア性を有する導電体を含むことが好ましい。特に、水素に対するバリア性を有する絶縁体３６０が有する開口部に、水素に対するバリア性を有する導電体が形成される。当該構成により、トランジスタ３００とトランジスタ５００とは、バリア層により分離することができ、トランジスタ３００からトランジスタ５００への水素の拡散を抑制することができる。

［０５９５］

絶縁体３６４、及び導電体３６６上に、配線層を設けてもよい。例えば、図２９において、絶縁体３７０、絶縁体３７２、及び絶縁体３７４が順に積層して設けられている。また、絶縁体３７０、絶縁体３７２、及び絶縁体３７４には、導電体３７６が形成されている。導電体３７６は、プラグ又は配線としての機能を有する。なお導電体３７６は、導電体３２８、及び導電体３３０と同様の

材料を用いて設けることができる。

［０５９６］

なお、例えば、絶縁体３７０は、絶縁体３２４と同様に、水素に対するバリア性を有する絶縁体を用いることが好ましい。また、導電体３７６は、水素に対するバリア性を有する導電体を含むことが好ましい。特に、水素に対するバリア性を有する絶縁体３７０が有する開口部に、水素に対するバリア性を有する導電体が形成される。当該構成により、トランジスタ３００とトランジスタ５００とは、バリア層により分離することができ、トランジスタ３００からトランジスタ５００への水素の拡散を抑制することができる。

［０５９７］

絶縁体３７４、及び導電体３７６上に、配線層を設けてもよい。例えば、図２９において、絶縁体３８０、絶縁体３８２、及び絶縁体３８４が順に積層して設けられている。また、絶縁体３８０、絶縁体３８２、及び絶縁体３８４には、導電体３８６が形成されている。導電体３８６は、プラグ又は配線としての機能を有する。なお導電体３８６は、導電体３２８、及び導電体３３０と同様の材料を用いて設けることができる。

［０５９８］

なお、例えば、絶縁体３８０は、絶縁体３２４と同様に、水素に対するバリア性を有する絶縁体を用いることが好ましい。また、導電体３８６は、水素に対するバリア性を有する導電体を含むことが好ましい。特に、水素に対するバリア性を有する絶縁体３８０が有する開口部に、水素に対するバリア性を有する導電体が形成される。当該構成により、トランジスタ３００とトランジスタ５００とは、バリア層により分離することができ、トランジスタ３００からトランジスタ５００への水素の拡散を抑制することができる。

［０５９９］

上記において、導電体３５６を含む配線層、導電体３６６を含む配線層、導電体３７６を含む配線層、及び導電体３８６を含む配線層、について説明したが、本実施の形態に係る半導体装置はこれに限られるものではない。導電体３５６を含む配線層と同様の配線層を３層以下にしてもよいし、導電体３５６を含む配線層と同様の配線層を５層以上にしてもよい。

［０６００］

絶縁体３８４上には絶縁体５１０、絶縁体５１２、絶縁体５１４、及び絶縁体５１６が、順に積層して設けられている。絶縁体５１０、絶縁体５１２、絶縁体５１４、及び絶縁体５１６のいずれかは、酸素や水素に対してバリア性のある物質を用いることが好ましい。

［０６０１］

例えば、絶縁体５１０、及び絶縁体５１４には、例えば、基板３１１、又はトランジスタ３００を設ける領域などから、トランジスタ５００を設ける領域に、水素や不純物が拡散しないようなバリア性を有する膜を用いることが好ましい。したがって、絶縁体３２４と同様の材料を用いることができる。

［０６０２］

水素に対するバリア性を有する膜の一例として、ＣＶＤ法で形成した窒化シリコンを用いることができる。ここで、トランジスタ５００等の酸化物半導体を有する半導体素子に、水素が拡散することで、当該半導体素子の特性が低下する場合がある。したがって、トランジスタ５００と、トランジスタ３００との間に、水素の拡散を抑制する膜を用いることが好ましい。水素の拡散を抑制す

る膜とは、具体的には、水素の脱離量が少ない膜とする。

［０６０３］

また、水素に対するバリア性を有する膜として、例えば、絶縁体５１０、及び絶縁体５１４には、酸化アルミニウム、酸化ハフニウム、酸化タンタルなどの金属酸化物を用いることが好ましい。

［０６０４］

特に、酸化アルミニウムは、酸素、及びトランジスタの電気特性の変動要因となる水素、水分などの不純物、の両方に対して膜を透過させない遮断効果が高い。したがって、酸化アルミニウムは、トランジスタの作製工程中及び作製後において、水素、水分などの不純物のトランジスタ５００への混入を防止することができる。また、トランジスタ５００を構成する酸化物からの酸素の放出を抑制することができる。そのため、トランジスタ５００に対する保護膜として用いることに適している。

［０６０５］

また、例えば、絶縁体５１２、及び絶縁体５１６には、絶縁体３２０と同様の材料を用いることができる。また、これらの絶縁体に、比較的誘電率が低い材料を適用することで、配線間に生じる寄生容量を低減することができる。例えば、絶縁体５１２、及び絶縁体５１６として、酸化シリコン膜や酸化窒化シリコン膜などを用いることができる。

［０６０６］

また、絶縁体５１０、絶縁体５１２、絶縁体５１４、及び絶縁体５１６には、導電体５１８、及びトランジスタ５００を構成する導電体（例えば、導電体５０３）等が埋め込まれている。なお、導電体５１８は、容量素子６００、又はトランジスタ３００と接続するプラグ、又は配線としての機能を有する。導電体５１８は、導電体３２８、及び導電体３３０と同様の材料を用いて設けることができる。

［０６０７］

特に、絶縁体５１０、及び絶縁体５１４と接する領域の導電体５１８は、酸素、水素、及び水に対するバリア性を有する導電体であることが好ましい。当該構成により、トランジスタ３００とトランジスタ５００とは、酸素、水素、及び水に対するバリア性を有する層で、分離することができ、トランジスタ３００からトランジスタ５００への水素の拡散を抑制することができる。

［０６０８］

絶縁体５１６の上方には、トランジスタ５００が設けられている。

［０６０９］

図３１Ａ、及び図３１Ｂに示すように、トランジスタ５００は、絶縁体５１４及び絶縁体５１６に埋め込まれるように配置された導電体５０３と、絶縁体５１６及び導電体５０３の上に配置された絶縁体５２０と、絶縁体５２０の上に配置された絶縁体５２２と、絶縁体５２２の上に配置された絶縁体５２４と、絶縁体５２４の上に配置された酸化物５３０ａと、酸化物５３０ａの上に配置された酸化物５３０ｂと、酸化物５３０ｂ上に互いに離れて配置された導電体５４２ａ及び導電体５４２ｂと、導電体５４２ａ及び導電体５４２ｂ上に配置され、導電体５４２ａと導電体５４２ｂの間に重畳して開口が形成された絶縁体５８０と、開口の底面及び側面に配置された酸化物５３０ｃと、酸化物５３０ｃの形成面に配置された絶縁体５５０と、絶縁体５５０の形成面に配置された導電体５６０と、を有する。なお、本明細書等では、導電体５４２ａと導電体５４２ｂとをまとめて、導電体５４２と記載する。

［０６１０］

また、図３１Ａ、及び図３１Ｂに示すように、酸化物５３０ａ、酸化物５３０ｂ、導電体５４２ａ、及び導電体５４２ｂと、絶縁体５８０との間に絶縁体５４４が配置されることが好ましい。また、図３１Ａ、及び図３１Ｂに示すように、導電体５６０は、絶縁体５５０の内側に設けられた導電体５６０ａと、導電体５６０ａの内側に埋め込まれるように設けられた導電体５６０ｂと、を有することが好ましい。また、図３１Ａ、及び図３１Ｂに示すように、絶縁体５８０、導電体５６０、及び絶縁体５５０の上に絶縁体５７４が配置されることが好ましい。

［０６１１］

なお、以下において、酸化物５３０ａ、酸化物５３０ｂ、及び酸化物５３０ｃをまとめて酸化物５３０という場合がある。

［０６１２］

なお、トランジスタ５００では、チャネルが形成される領域と、その近傍において、酸化物５３０ａ、酸化物５３０ｂ、及び酸化物５３０ｃの３層を積層する構成について示しているが、本発明の一態様はこれに限られるものではない。例えば、酸化物５３０ｂの単層、酸化物５３０ｂと酸化物５３０ａの２層構造、酸化物５３０ｂと酸化物５３０ｃの２層構造、又は４層以上の積層構造を設ける構成にしてもよい。また、トランジスタ５００では、導電体５６０を２層の積層構造として示しているが、本発明の一態様はこれに限られるものではない。例えば、導電体５６０が、単層構造であってもよいし、３層以上の積層構造であってもよい。また、図２９、図３１Ａ、及び図３１Ｂに示すトランジスタ５００は一例であり、その構造に限定されず、回路構成や駆動方法に応じて適切なトランジスタを用いればよい。

［０６１３］

ここで、導電体５６０は、トランジスタのゲート電極として機能し、導電体５４２ａ及び導電体５４２ｂは、それぞれソース電極又はドレイン電極として機能する。上記のように、導電体５６０は、絶縁体５８０の開口、及び導電体５４２ａと導電体５４２ｂに挟まれた領域に埋め込まれるように形成される。導電体５６０、導電体５４２ａ及び導電体５４２ｂの配置は、絶縁体５８０の開口に対して、自己整合的に選択される。つまり、トランジスタ５００において、ゲート電極を、ソース電極とドレイン電極の間に、自己整合的に配置させることができる。よって、導電体５６０を位置合わせのマージンを設けることなく形成することができるので、トランジスタ５００の占有面積の縮小を図ることができる。これにより、半導体装置の微細化、高集積化を図ることができる。

［０６１４］

さらに、導電体５６０が、導電体５４２ａと導電体５４２ｂの間の領域に自己整合的に形成されるので、導電体５６０は、導電体５４２ａ又は導電体５４２ｂと重畳する領域を有さない。これにより、導電体５６０と導電体５４２ａ及び導電体５４２ｂとの間に形成される寄生容量を低減することができる。よって、トランジスタ５００のスイッチング速度を向上させ、高い周波数特性を有せしめることができる。

［０６１５］

導電体５６０は、第１のゲート（トップゲートともいう）電極として機能する場合がある。また、導電体５０３は、第２のゲート（ボトムゲートともいう）電極として機能する場合がある。その場合、導電体５０３に印加する電位を、導電体５６０に印加する電位と、連動させず、独立して変化させることで、トランジスタ５００のしきい値電圧を制御することができる。特に、導電体５０３

に負の電位を印加することにより、トランジスタ５００のしきい値電圧を０Ｖより大きくし、オフ電流を低減することが可能となる。したがって、導電体５０３に負の電位を印加したほうが、印加しない場合よりも、導電体５６０に印加する電位が０Ｖのときのドレイン電流を小さくすることができる。

［０６１６］

導電体５０３は、酸化物５３０、及び導電体５６０と、重なるように配置する。これにより、導電体５６０、及び導電体５０３に電位を印加した場合、導電体５６０から生じる電界と、導電体５０３から生じる電界と、がつながり、酸化物５３０に形成されるチャネル形成領域を覆うことができる。本明細書等において、第１のゲート電極、及び第２のゲート電極の電界によって、チャネル形成領域を電気的に取り囲むトランジスタの構造を、ｓｕｒｒｏｕｎｄｅｄ　ｃｈａｎｎｅｌ（Ｓ－ｃｈａｎｎｅｌ）構造とよぶ。

［０６１７］

また、導電体５０３は、導電体５１８と同様の構成であり、絶縁体５１４及び絶縁体５１６の開口の内壁に接して導電体５０３ａが形成され、さらに内側に導電体５０３ｂが形成されている。なお、トランジスタ５００では、導電体５０３ａ及び導電体５０３ｂを積層する構成について示しているが、本発明の一態様はこれに限られるものではない。例えば、導電体５０３は、単層、又は３層以上の積層構造として設ける構成にしてもよい。

［０６１８］

ここで、導電体５０３ａは、水素原子、水素分子、水分子、銅原子などの不純物の拡散を抑制する機能を有する（上記不純物が透過しにくい。）導電性材料を用いることが好ましい。又は、酸素（例えば、酸素原子、酸素分子などの少なくとも一）の拡散を抑制する機能を有する（上記酸素が透過しにくい。）導電性材料を用いることが好ましい。なお、本明細書において、不純物、又は酸素の拡散を抑制する機能とは、上記不純物、又は上記酸素のいずれか一又は、すべての拡散を抑制する機能とする。

［０６１９］

例えば、導電体５０３ａが酸素の拡散を抑制する機能を持つことにより、導電体５０３ｂが酸化して導電率が低下することを抑制することができる。

［０６２０］

また、導電体５０３が配線の機能を兼ねる場合、導電体５０３ｂは、タングステン、銅、又はアルミニウムを主成分とする、導電性が高い導電性材料を用いることが好ましい。また、当該配線の導電性を高く維持できる場合、導電体５０３ａは、必ずしも設けなくともよい。なお、導電体５０３ｂを単層で図示したが、積層構造としてもよく、例えば、チタン、又は窒化チタンと上記導電性材料との積層としてもよい。

［０６２１］

絶縁体５２０、絶縁体５２２、及び絶縁体５２４は、第２のゲート絶縁膜としての機能を有する。

［０６２２］

ここで、酸化物５３０と接する絶縁体５２４は、化学量論的組成を満たす酸素よりも多くの酸素を含む絶縁体を用いることが好ましい。つまり、絶縁体５２４には、過剰酸素領域が形成されていることが好ましい。このような過剰酸素を含む絶縁体を酸化物５３０に接して設けることにより、酸化物５３０中の酸素欠損を低減し、トランジスタ５００の信頼性を向上させることができる。な

お、本明細書等では、金属酸化物中の酸素欠損をV_O（ｏｘｙｇｅｎ　ｖａｃａｎｃｙ）と呼称する場合がある。

［０６２３］

金属酸化物を用いたトランジスタは、金属酸化物中のチャネルが形成される領域に不純物または酸素欠損（V_O）が存在すると、電気特性が変動しやすく、信頼性が悪くなる場合がある。また、酸素欠損（V_O）近傍の水素が、酸素欠損（V_O）に水素が入った欠陥（以下、V_OHと呼称する場合がある。）を形成し、キャリアとなる電子を生成する場合がある。このため、酸化物半導体中のチャネルが形成される領域に酸素欠損が含まれていると、トランジスタはノーマリーオン特性（ゲート電極に電圧を印加しなくてもチャネルが存在し、トランジスタに電流が流れる特性）となりやすい。したがって、酸化物半導体中のチャネルが形成される領域では、不純物、酸素欠損、およびV_OHはできる限り低減されていることが好ましい。言い換えると、酸化物半導体中のチャネルが形成される領域は、キャリア濃度が低減され、ｉ型（真性化）または実質的にｉ型であることが好ましい。

［０６２４］

過剰酸素領域を有する絶縁体として、具体的には、加熱により一部の酸素が脱離する酸化物材料を用いることが好ましい。加熱により酸素を脱離する酸化物とは、ＴＤＳ（Ｔｈｅｒｍａｌ　Ｄｅｓｏｒｐｔｉｏｎ　Ｓｐｅｃｔｒｏｓｃｏｐｙ）分析にて、酸素原子に換算しての酸素の脱離量が１．０×10^{18}ａｔｏｍｓ／ｃｍ^{3}以上、好ましくは１．０×10^{19}ａｔｏｍｓ／ｃｍ^{3}以上、さらに好ましくは２．０×10^{19}ａｔｏｍｓ／ｃｍ^{3}以上、又は３．０×10^{20}ａｔｏｍｓ／ｃｍ^{3}以上である酸化物膜である。なお、上記ＴＤＳ分析時における膜の表面温度としては１００℃以上７００℃以下、又は１００℃以上４００℃以下の範囲が好ましい。

［０６２５］

また、上記過剰酸素領域を有する絶縁体と、酸化物５３０と、を接して加熱処理、マイクロ波処理、またはＲＦ処理のいずれか一または複数の処理を行っても良い。当該処理を行うことで、酸化物５３０中の水、または水素を除去することができる。例えば、酸化物５３０において、ＶｏＨの結合が切断される反応が起きる、別言すると「$V_OH \rightarrow V_O + H$」という反応が起きて、脱水素化することができる。このとき発生した水素の一部は、酸素と結合してH_2Oとして、酸化物５３０、または酸化物５３０近傍の絶縁体から除去される場合がある。また、水素の一部は、導電体５４２ａ、及び導電体５４２ｂに拡散または捕獲（ゲッタリングともいう）される場合がある。

［０６２６］

また、上記マイクロ波処理は、例えば、高密度プラズマを発生させる電源を有する装置、または、基板側にＲＦを印加する電源を有する装置を用いると好適である。例えば、酸素を含むガスを用い、且つ高密度プラズマを用いることより、高密度の酸素ラジカルを生成することができ、基板側にＲＦを印加することで、高密度プラズマによって生成された酸素ラジカルを、効率よく酸化物５３０、または酸化物５３０近傍の絶縁体中に導入することができる。また、上記マイクロ波処理は、圧力を１３３Ｐａ以上、好ましくは２００Ｐａ以上、さらに好ましくは４００Ｐａ以上とすればよい。また、マイクロ波処理を行う装置内に導入するガスとしては、例えば、酸素と、アルゴンとを用い、酸素流量比（O_2／（O_2＋Ａｒ））が５０％以下、好ましくは１０％以上３０％以下で行うとよい。

［０６２７］

また、トランジスタ５００の作製工程中において、酸化物５３０の表面が露出した状態で、加熱

処理を行うと好適である。当該加熱処理は、例えば、１００℃以上４５０℃以下、より好ましくは３５０℃以上４００℃以下で行えばよい。なお、加熱処理は、窒素ガスもしくは不活性ガスの雰囲気、または酸化性ガスを１０ｐｐｍ以上、１％以上、もしくは１０％以上含む雰囲気で行う。例えば、加熱処理は酸素雰囲気で行うことが好ましい。これにより、酸化物５３０に酸素を供給して、酸素欠損（V_O）の低減を図ることができる。また、加熱処理は減圧状態で行ってもよい。または、加熱処理は、窒素ガスもしくは不活性ガスの雰囲気で加熱処理した後に、脱離した酸素を補うために、酸化性ガスを１０ｐｐｍ以上、１％以上、または１０％以上含む雰囲気で行ってもよい。または、酸化性ガスを１０ｐｐｍ以上、１％以上、または１０％以上含む雰囲気で加熱処理した後に、連続して窒素ガスもしくは不活性ガスの雰囲気で加熱処理を行っても良い。

［０６２８］

なお、酸化物５３０に加酸素化処理を行うことで、酸化物５３０中の酸素欠損を、供給された酸素により修復させる、別言すると「V_O＋Ｏ→ｎｕｌｌ」という反応を促進させることができる。さらに、酸化物５３０中に残存した水素に供給された酸素が反応することで、当該水素をH_2Oとして除去する（脱水化する）ことができる。これにより、酸化物５３０中に残存していた水素が酸素欠損に再結合してV_OHが形成されるのを抑制することができる。

［０６２９］

また、絶縁体５２４が、過剰酸素領域を有する場合、絶縁体５２２は、酸素（例えば、酸素原子、酸素分子など）の拡散を抑制する機能を有する（上記酸素が透過しにくい）ことが好ましい。

［０６３０］

絶縁体５２２が、酸素や不純物の拡散を抑制する機能を有することで、酸化物５３０が有する酸素は、絶縁体５２０側へ拡散することがなく、好ましい。また、導電体５０３が、絶縁体５２４や、酸化物５３０が有する酸素と反応することを抑制することができる。

［０６３１］

絶縁体５２２は、例えば、酸化アルミニウム、酸化ハフニウム、アルミニウム及びハフニウムを含む酸化物（ハフニウムアルミネート）、酸化タンタル、酸化ジルコニウム、チタン酸ジルコン酸鉛（ＰＺＴ）、チタン酸ストロンチウム（$SrTiO_3$）、又は（Ｂａ，Ｓｒ）TiO_3（ＢＳＴ）などのいわゆるｈｉｇｈ－ｋ材料を含む絶縁体を単層又は積層で用いることが好ましい。トランジスタの微細化、及び高集積化が進むと、ゲート絶縁膜の薄膜化により、リーク電流などの問題が生じる場合がある。ゲート絶縁膜として機能する絶縁体にｈｉｇｈ－ｋ材料を用いることで、物理膜厚を保ちながら、トランジスタ動作時のゲート電位の低減が可能となる。

［０６３２］

特に、不純物、及び酸素などの拡散を抑制する機能を有する（上記酸素が透過しにくい）絶縁性材料であるアルミニウム、ハフニウムの一方又は双方の酸化物を含む絶縁体を用いるとよい。アルミニウム、ハフニウムの一方又は双方の酸化物を含む絶縁体として、酸化アルミニウム、酸化ハフニウム、アルミニウム及びハフニウムを含む酸化物（ハフニウムアルミネート）などを用いることが好ましい。このような材料を用いて絶縁体５２２を形成した場合、絶縁体５２２は、酸化物５３０からの酸素の放出や、トランジスタ５００の周辺部から酸化物５３０への水素等の不純物の混入を抑制する層として機能する。

［０６３３］

又は、これらの絶縁体に、例えば、酸化アルミニウム、酸化ビスマス、酸化ゲルマニウム、酸化

ニオブ、酸化シリコン、酸化チタン、酸化タングステン、酸化イットリウム、酸化ジルコニウムを添加してもよい。又はこれらの絶縁体を窒化処理してもよい。上記の絶縁体に酸化シリコン、酸化窒化シリコン又は窒化シリコンを積層して用いてもよい。

［０６３４］

また、絶縁体５２０は、熱的に安定していることが好ましい。例えば、酸化シリコン及び酸化窒化シリコンは、熱的に安定であるため、好適である。また、ｈｉｇｈ－ｋ材料の絶縁体と、酸化シリコン又は酸化窒化シリコンと、を組み合わせることで、熱的に安定かつ比誘電率の高い積層構造の絶縁体５２０を得ることができる。

［０６３５］

なお、図３１Ａ、及び図３１Ｂのトランジスタ５００では、３層の積層構造からなる第２のゲート絶縁膜として、絶縁体５２０、絶縁体５２２、及び絶縁体５２４が図示されているが、第２のゲート絶縁膜は、単層、２層、又は４層以上の積層構造を有していてもよい。その場合、同じ材料からなる積層構造に限定されず、異なる材料からなる積層構造でもよい。

［０６３６］

トランジスタ５００は、チャネル形成領域を含む酸化物５３０に、酸化物半導体として機能する金属酸化物を用いることが好ましい。例えば、酸化物５３０として、Ｉｎ－Ｍ－Ｚｎ酸化物（元素Ｍは、アルミニウム、ガリウム、イットリウム、銅、バナジウム、ベリリウム、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、又はマグネシウムなどから選ばれた一種、又は複数種）等の金属酸化物を用いるとよい。特に、酸化物５３０として適用できるＩｎ－Ｍ－Ｚｎ酸化物は、ＣＡＡＣ－ＯＳ（Ｃ－Ａｘｉｓ Ａｌｉｇｎｅｄ Ｃｒｙｓｔａｌｌｉｎｅ Ｏｘｉｄｅ Ｓｅｍｉｃｏｎｄｕｃｔｏｒ）、ＣＡＣ－ＯＳ（Ｃｌｏｕｄ－Ａｌｉｇｎｅｄ Ｃｏｍｐｏｓｉｔｅ Ｏｘｉｄｅ Ｓｅｍｉｃｏｎｄｕｃｔｏｒ）であることが好ましい。また、酸化物５３０として、Ｉｎ－Ｇａ酸化物、Ｉｎ－Ｚｎ酸化物、Ｉｎ酸化物などを用いてもよい。

［０６３７］

また、トランジスタ５００には、キャリア濃度の低い金属酸化物を用いることが好ましい。金属酸化物のキャリア濃度を低くする場合においては、金属酸化物中の不純物濃度を低くし、欠陥準位密度を低くすればよい。本明細書等において、不純物濃度が低く、欠陥準位密度の低いことを高純度真性または実質的に高純度真性という。なお、金属酸化物中の不純物としては、例えば、水素、窒素、アルカリ金属、アルカリ土類金属、鉄、ニッケル、シリコン等がある。

［０６３８］

特に、金属酸化物に含まれる水素は、金属原子と結合する酸素と反応して水になるため、金属酸化物中に酸素欠損を形成する場合がある。また、酸化物５３０中の酸素欠損に水素が入った場合、酸素欠損と水素とが結合しV_OHを形成する場合がある。V_OHはドナーとして機能し、キャリアである電子が生成されることがある。また、水素の一部が金属原子と結合する酸素と結合して、キャリアである電子を生成する場合がある。従って、水素が多く含まれている金属酸化物を用いたトランジスタは、ノーマリーオン特性となりやすい。また、金属酸化物中の水素は、熱、電界などのストレスによって動きやすいため、金属酸化物に多くの水素が含まれると、トランジスタの信頼性が悪化する恐れもある。本発明の一態様においては、酸化物５３０中のV_OHをできる限り低減し、高純度真性または実質的に高純度真性にすることが好ましい。このように、V_OHが十分低減され

た金属酸化物を得るには、金属酸化物中の水分、水素などの不純物を除去すること（脱水、脱水素化処理と記載する場合がある。）と、金属酸化物に酸素を供給して酸素欠損を補填すること（加酸素化処理と記載する場合がある。）が重要である。V_OHなどの不純物が十分に低減された金属酸化物をトランジスタのチャネル形成領域に用いることで、安定した電気特性を付与することができる。

［０６３９］

酸素欠損に水素が入った欠陥は、金属酸化物のドナーとして機能しうる。しかしながら、当該欠陥を定量的に評価することは困難である。そこで、金属酸化物においては、ドナー濃度ではなく、キャリア濃度で評価される場合がある。よって、本明細書等では、金属酸化物のパラメータとして、ドナー濃度ではなく、電界が印加されない状態を想定したキャリア濃度を用いる場合がある。つまり、本明細書等に記載の「キャリア濃度」は、「ドナー濃度」と言い換えることができる場合がある。

［０６４０］

よって、金属酸化物を酸化物５３０に用いる場合、金属酸化物中の水素はできる限り低減されていることが好ましい。具体的には、金属酸化物において、二次イオン質量分析法（ＳＩＭＳ：Ｓｅｃｏｎｄａｒｙ　Ｉｏｎ　Ｍａｓｓ　Ｓｐｅｃｔｒｏｍｅｔｒｙ）により得られる水素濃度を、1×10^{20}ａｔｏｍｓ／ｃｍ^{3}未満、好ましくは1×10^{19}ａｔｏｍｓ／ｃｍ^{3}未満、より好ましくは5×10^{18}ａｔｏｍｓ／ｃｍ^{3}未満、さらに好ましくは1×10^{18}ａｔｏｍｓ／ｃｍ^{3}未満とする。水素などの不純物が十分に低減された金属酸化物をトランジスタのチャネル形成領域に用いることで、安定した電気特性を付与することができる。

［０６４１］

また、酸化物５３０に金属酸化物を用いる場合、当該金属酸化物は、バンドギャップが大きく、真性（Ｉ型ともいう。）、又は実質的に真性である半導体であって、かつチャネル形成領域の金属酸化物のキャリア濃度は、1×10^{18}ｃｍ$^{-3}$未満であることが好ましく、1×10^{17}ｃｍ$^{-3}$未満であることがより好ましく、1×10^{16}ｃｍ$^{-3}$未満であることがさらに好ましく、1×10^{13}ｃｍ$^{-3}$未満であることがさらに好ましく、1×10^{12}ｃｍ$^{-3}$未満であることがさらに好ましい。なお、チャネル形成領域の金属酸化物のキャリア濃度の下限値については、特に限定は無いが、例えば、1×10^{-9}ｃｍ$^{-3}$とすることができる。

［０６４２］

また、酸化物５３０に金属酸化物を用いる場合、導電体５４２ａ及び導電体５４２ｂと酸化物５３０とが接することで、酸化物５３０中の酸素が導電体５４２ａ及び導電体５４２ｂへ拡散し、導電体５４２ａ及び導電体５４２ｂが酸化する場合がある。導電体５４２ａ及び導電体５４２ｂが酸化することで、導電体５４２ａ及び導電体５４２ｂの導電率が低下する蓋然性が高い。なお、酸化物５３０中の酸素が導電体５４２ａ及び導電体５４２ｂへ拡散することを、導電体５４２ａ及び導電体５４２ｂが酸化物５３０中の酸素を吸収する、と言い換えることができる。

［０６４３］

また、酸化物５３０中の酸素が導電体５４２ａ及び導電体５４２ｂへ拡散することで、導電体５４２ａと酸化物５３０ｂとの間、および、導電体５４２ｂと酸化物５３０ｂとの間に異層が形成される場合がある。当該異層は、導電体５４２ａ及び導電体５４２ｂよりも酸素を多く含むため、当該異層は絶縁性を有すると推定される。このとき、導電体５４２ａ又は導電体５４２ｂと、当該異

層と、酸化物５３０ｂとの３層構造は、金属－絶縁体－半導体からなる３層構造とみなすことができ、ＭＩＳ（Ｍｅｔａｌ－Ｉｎｓｕｌａｔｏｒ－Ｓｅｍｉｃｏｎｄｕｃｔｏｒ）構造と呼称する、またはＭＩＳ構造を主としたダイオード接合構造と呼称する場合がある。

［０６４４］

なお、上記異層は、導電体５４２ａ及び導電体５４２ｂと酸化物５３０ｂとの間に形成されることに限られず、例えば、異層が、導電体５４２ａ及び導電体５４２ｂと酸化物５３０ｃとの間に形成される場合や、導電体５４２ａ及び導電体５４２ｂと酸化物５３０ｂとの間、導電体５４２ａ及び導電体５４２ｂと酸化物５３０ｃとの間に形成される場合がある。

［０６４５］

酸化物５３０においてチャネル形成領域にとして機能する金属酸化物は、バンドギャップが２ｅＶ以上、好ましくは２．５ｅＶ以上のものを用いることが好ましい。このように、バンドギャップの大きい金属酸化物を用いることで、トランジスタのオフ電流を低減することができる。

［０６４６］

酸化物５３０は、酸化物５３０ｂ下に酸化物５３０ａを有することで、酸化物５３０ａよりも下方に形成された構造物から、酸化物５３０ｂへの不純物の拡散を抑制することができる。また、酸化物５３０ｂ上に酸化物５３０ｃを有することで、酸化物５３０ｃよりも上方に形成された構造物から、酸化物５３０ｂへの不純物の拡散を抑制することができる。

［０６４７］

なお、酸化物５３０は、各金属原子の原子数比が異なる複数の酸化物層により、積層構造を有することが好ましい。具体的には、酸化物５３０ａに用いる金属酸化物において、構成元素中の元素Ｍの原子数比が、酸化物５３０ｂに用いる金属酸化物における、構成元素中の元素Ｍの原子数比より、大きいことが好ましい。また、酸化物５３０ａに用いる金属酸化物において、Ｉｎに対する元素Ｍの原子数比が、酸化物５３０ｂに用いる金属酸化物における、Ｉｎに対する元素Ｍの原子数比より大きいことが好ましい。また、酸化物５３０ｂに用いる金属酸化物において、元素Ｍに対するＩｎの原子数比が、酸化物５３０ａに用いる金属酸化物における、元素Ｍに対するＩｎの原子数比より大きいことが好ましい。また、酸化物５３０ｃは、酸化物５３０ａ又は酸化物５３０ｂに用いることができる金属酸化物を、用いることができる。

［０６４８］

具体的には、酸化物５３０ａとして、ＩｎとＧａとＺｎとの原子数比がＩｎ：Ｇａ：Ｚｎ＝１：３：４、または１：１：０．５の金属酸化物を用いればよい。また、酸化物５３０ｂとして、ＩｎとＧａとＺｎとの原子数比がＩｎ：Ｇａ：Ｚｎ＝４：２：３、または１：１：１の金属酸化物を用いればよい。また、酸化物５３０ｃとして、ＩｎとＧａとＺｎとの原子数比がＩｎ：Ｇａ：Ｚｎ＝１：３：４、またＧａとＺｎの原子数比がＧａ：Ｚｎ＝２：１、またはＧａ：Ｚｎ＝２：５の金属酸化物を用いればよい。また、酸化物５３０ｃを積層構造とする場合の具体例としては、ＩｎとＧａとＺｎとの原子数比がＩｎ：Ｇａ：Ｚｎ＝４：２：３と、Ｉｎ：Ｇａ：Ｚｎ＝１：３：４との積層構造、またＧａとＺｎの原子数比がＧａ：Ｚｎ＝２：１と、ＩｎとＧａとＺｎとの原子数比がＩｎ：Ｇａ：Ｚｎ＝４：２：３との積層構造、ＧａとＺｎの原子数比がＧａ：Ｚｎ＝２：５と、ＩｎとＧａとＺｎとの原子数比がＩｎ：Ｇａ：Ｚｎ＝４：２：３との積層構造、酸化ガリウムと、ＩｎとＧａとＺｎとの原子数比がＩｎ：Ｇａ：Ｚｎ＝４：２：３との積層構造などが挙げられる。

［０６４９］

また、例えば、酸化物５３０ａに用いる金属酸化物における元素Mに対するＩｎの原子数比が、酸化物５３０ｂに用いる金属酸化物における元素Mに対するＩｎの原子数比より小さい場合、酸化物５３０ｂとして、ＩｎとＧａとＺｎとの原子数比がＩｎ：Ｇａ：Ｚｎ＝５：１：６またはその近傍、Ｉｎ：Ｇａ：Ｚｎ＝５：１：３またはその近傍、Ｉｎ：Ｇａ：Ｚｎ＝１０：１：３またはその近傍などの組成であるＩｎ－Ｇａ－Ｚｎ酸化物を用いることができる。

［０６５０］

また、上述した以外の組成としては、酸化物５３０ｂには、例えば、Ｉｎ：Ｚｎ＝２：１の組成、Ｉｎ：Ｚｎ＝５：１の組成、Ｉｎ：Ｚｎ＝１０：１の組成、これらのいずれか一の近傍の組成などを有する金属酸化物を用いることができる。

［０６５１］

これらの酸化物５３０ａ、酸化物５３０ｂ、酸化物５３０ｃを上記の原子数比の関係を満たして組み合わせることが好ましい。例えば、酸化物５３０ａ、および酸化物５３０ｃを、Ｉｎ：Ｇａ：Ｚｎ＝１：３：４の組成およびその近傍の組成を有する金属酸化物、酸化物５３０ｂを、Ｉｎ：Ｇａ：Ｚｎ＝４：２：３から４．１の組成およびその近傍の組成を有する金属酸化物とすることが好ましい。なお、上記組成は、基体上に形成された酸化物中の原子数比、またはスパッターゲットにおける原子数比を示す。また、酸化物５３０ｂの組成として、Ｉｎの比率を高めることで、トランジスタのオン電流、または電界効果移動度などを高めることが出来るため好適である。

［０６５２］

また、酸化物５３０ａ及び酸化物５３０ｃの伝導帯下端のエネルギーが、酸化物５３０ｂの伝導帯下端のエネルギーより高くなることが好ましい。また、言い換えると、酸化物５３０ａ及び酸化物５３０ｃの電子親和力が、酸化物５３０ｂの電子親和力より小さいことが好ましい。

［０６５３］

ここで、酸化物５３０ａ、酸化物５３０ｂ、及び酸化物５３０ｃの接合部において、伝導帯下端のエネルギー準位はなだらかに変化する。換言すると、酸化物５３０ａ、酸化物５３０ｂ、及び酸化物５３０ｃの接合部における伝導帯下端のエネルギー準位は、連続的に変化又は連続接合するともいうことができる。このようにするためには、酸化物５３０ａと酸化物５３０ｂとの界面、及び酸化物５３０ｂと酸化物５３０ｃとの界面において形成される混合層の欠陥準位密度を低くするとよい。

［０６５４］

具体的には、酸化物５３０ａと酸化物５３０ｂ、酸化物５３０ｂと酸化物５３０ｃが、酸素以外に共通の元素を有する（主成分とする）ことで、欠陥準位密度が低い混合層を形成することができる。例えば、酸化物５３０ｂがＩｎ－Ｇａ－Ｚｎ酸化物の場合、酸化物５３０ａ及び酸化物５３０ｃとして、Ｉｎ－Ｇａ－Ｚｎ酸化物、Ｇａ－Ｚｎ酸化物、酸化ガリウムなどを用いるとよい。

［０６５５］

このとき、キャリアの主たる経路は酸化物５３０ｂとなる。酸化物５３０ａ、酸化物５３０ｃを上述の構成とすることで、酸化物５３０ａと酸化物５３０ｂとの界面、及び酸化物５３０ｂと酸化物５３０ｃとの界面における欠陥準位密度を低くすることができる。そのため、界面散乱によるキャリア伝導への影響が小さくなり、トランジスタ５００は高いオン電流を得られる。

［０６５６］

酸化物５３０ｂ上には、ソース電極、及びドレイン電極として機能する導電体５４２ａ、及び導

電体５４２ｂが設けられる。導電体５４２ａ、及び導電体５４２ｂとしては、アルミニウム、クロム、銅、銀、金、白金、タンタル、ニッケル、チタン、モリブデン、タングステン、ハフニウム、バナジウム、ニオブ、マンガン、マグネシウム、ジルコニウム、ベリリウム、インジウム、ルテニウム、イリジウム、ストロンチウム、ランタンから選ばれた金属元素、又は上述した金属元素を成分とする合金か、上述した金属元素を組み合わせた合金等を用いることが好ましい。例えば、窒化タンタル、窒化チタン、タングステン、チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物などを用いることが好ましい。また、窒化タンタル、窒化チタン、チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物は、酸化しにくい導電性材料、又は、酸素を吸収しても導電性を維持する材料であるため、好ましい。更に、窒化タンタルなどの金属窒化物膜は、水素又は酸素に対するバリア性があるため好ましい。

［０６５７］

また、図３１Ａ、及び図３１Ｂでは、導電体５４２ａ、及び導電体５４２ｂを単層構造として示したが、２層以上の積層構造としてもよい。例えば、窒化タンタル膜とタングステン膜を積層するとよい。また、チタン膜とアルミニウム膜を積層してもよい。また、タングステン膜上にアルミニウム膜を積層する二層構造、銅ーマグネシウムーアルミニウム合金膜上に銅膜を積層する二層構造、チタン膜上に銅膜を積層する二層構造、タングステン膜上に銅膜を積層する二層構造としてもよい。

［０６５８］

また、チタン膜又は窒化チタン膜と、そのチタン膜又は窒化チタン膜上に重ねてアルミニウム膜又は銅膜を積層し、さらにその上にチタン膜又は窒化チタン膜を形成する三層構造、モリブデン膜又は窒化モリブデン膜と、そのモリブデン膜又は窒化モリブデン膜上に重ねてアルミニウム膜又は銅膜を積層し、さらにその上にモリブデン膜又は窒化モリブデン膜を形成する三層構造等がある。なお、酸化インジウム、酸化錫又は酸化亜鉛を含む透明導電材料を用いてもよい。

［０６５９］

また、図３１Ａに示すように、酸化物５３０の、導電体５４２ａ（導電体５４２ｂ）との界面とその近傍には、低抵抗領域として、領域５４３ａ、及び領域５４３ｂが形成される場合がある。このとき、領域５４３ａはソース領域又はドレイン領域の一方として機能し、領域５４３ｂはソース領域又はドレイン領域の他方として機能する。また、領域５４３ａと領域５４３ｂに挟まれる領域にチャネル形成領域が形成される。

［０６６０］

酸化物５３０と接するように上記導電体５４２ａ（導電体５４２ｂ）を設けることで、領域５４３ａ（領域５４３ｂ）の酸素濃度が低減する場合がある。また、領域５４３ａ（領域５４３ｂ）に導電体５４２ａ（導電体５４２ｂ）に含まれる金属と、酸化物５３０の成分とを含む金属化合物層が形成される場合がある。このような場合、領域５４３ａ（領域５４３ｂ）のキャリア濃度が増加し、領域５４３ａ（領域５４３ｂ）は、低抵抗領域となる。

［０６６１］

絶縁体５４４は、導電体５４２ａ、及び導電体５４２ｂを覆うように設けられ、導電体５４２ａ、及び導電体５４２ｂの酸化を抑制する。このとき、絶縁体５４４は、酸化物５３０の側面を覆い、絶縁体５２４と接するように設けられてもよい。

［０６６２］

絶縁体５４４として、ハフニウム、アルミニウム、ガリウム、イットリウム、ジルコニウム、タングステン、チタン、タンタル、ニッケル、ゲルマニウム、ネオジム、ランタン又は、マグネシウムなどから選ばれた一種、又は二種以上が含まれた金属酸化物を用いることができる。また、絶縁体５４４として、窒化酸化シリコン又は窒化シリコンなども用いることができる。

［０６６３］

特に、絶縁体５４４として、アルミニウム、又はハフニウムの一方又は双方の酸化物を含む絶縁体である、酸化アルミニウム、酸化ハフニウム、アルミニウム、及びハフニウムを含む酸化物（ハフニウムアルミネート）などを用いることが好ましい。特に、ハフニウムアルミネートは、酸化ハフニウム膜よりも、耐熱性が高い。そのため、後の工程での熱処理において、結晶化しにくいため好ましい。なお、導電体５４２ａ、及び導電体５４２ｂが耐酸化性を有する材料、又は、酸素を吸収しても著しく導電性が低下しない場合、絶縁体５４４は、必須の構成ではない。求めるトランジスタ特性により、適宜設計すればよい。

［０６６４］

絶縁体５４４を有することで、絶縁体５８０に含まれる水、及び水素などの不純物が酸化物５３０ｃ、絶縁体５５０を介して、酸化物５３０ｂに拡散することを抑制することができる。また、絶縁体５８０が有する過剰酸素により、導電体５６０が酸化するのを抑制することができる。

［０６６５］

絶縁体５５０は、第１のゲート絶縁膜として機能する。絶縁体５５０は、酸化物５３０ｃの内側（上面、及び側面）に接して配置することが好ましい。絶縁体５５０は、上述した絶縁体５２４と同様に、過剰に酸素を含み、かつ加熱により酸素が放出される絶縁体を用いて形成することが好ましい。

［０６６６］

具体的には、過剰酸素を有する酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素、及び窒素を添加した酸化シリコン、空孔を有する酸化シリコンを用いることができる。特に、酸化シリコン、及び酸化窒化シリコンは熱に対し安定であるため好ましい。

［０６６７］

加熱により酸素が放出される絶縁体を、絶縁体５５０として、酸化物５３０ｃの上面に接して設けることにより、絶縁体５５０から、酸化物５３０ｃを通じて、酸化物５３０ｂのチャネル形成領域に効果的に酸素を供給することができる。また、絶縁体５２４と同様に、絶縁体５５０中の水又は水素などの不純物濃度が低減されていることが好ましい。絶縁体５５０の膜厚は、１ｎｍ以上２０ｎｍ以下とすることが好ましい。

［０６６８］

また、絶縁体５５０が有する過剰酸素を、効率的に酸化物５３０へ供給するために、絶縁体５５０と導電体５６０との間に金属酸化物を設けてもよい。当該金属酸化物は、絶縁体５５０から導電体５６０への酸素拡散を抑制することが好ましい。酸素の拡散を抑制する金属酸化物を設けることで、絶縁体５５０から導電体５６０への過剰酸素の拡散が抑制される。つまり、酸化物５３０へ供給する過剰酸素量の減少を抑制することができる。また、過剰酸素による導電体５６０の酸化を抑制することができる。当該金属酸化物としては、絶縁体５４４に用いることができる材料を用いれ

ばよい。

［０６６９］

なお、絶縁体５５０は、第２のゲート絶縁膜と同様に、積層構造としてもよい。トランジスタの微細化、及び高集積化が進むと、ゲート絶縁膜の薄膜化により、リーク電流などの問題が生じる場合があるため、ゲート絶縁膜として機能する絶縁体を、ｈｉｇｈ－ｋ材料と、熱的に安定している材料との積層構造とすることで、物理膜厚を保ちながら、トランジスタ動作時のゲート電位の低減が可能となる。また、熱的に安定かつ比誘電率の高い積層構造とすることができる。

［０６７０］

第１のゲート電極として機能する導電体５６０は、図３１Ａ、及び図３１Ｂでは２層構造として示しているが、単層構造でもよいし、３層以上の積層構造であってもよい。

［０６７１］

導電体５６０ａは、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子（N_2O、ＮＯ、NO_2など）、銅原子などの不純物の拡散を抑制する機能を有する導電性材料を用いることが好ましい。又は、酸素（例えば、酸素原子、酸素分子などの少なくとも一）の拡散を抑制する機能を有する導電性材料を用いることが好ましい。導電体５６０ａが酸素の拡散を抑制する機能を持つことにより、絶縁体５５０に含まれる酸素により、導電体５６０ｂが酸化して導電率が低下することを抑制することができる。酸素の拡散を抑制する機能を有する導電性材料としては、例えば、タンタル、窒化タンタル、ルテニウム、又は酸化ルテニウムなどを用いることが好ましい。また、導電体５６０ａとして、酸化物５３０に適用できる酸化物半導体を用いることができる。その場合、導電体５６０ｂをスパッタリング法で成膜することで、導電体５６０ａの電気抵抗値を低下させて導電体にすることができる。これをＯＣ（Ｏｘｉｄｅ　Ｃｏｎｄｕｃｔｏｒ）電極と呼称することができる。

［０６７２］

また、導電体５６０ｂは、タングステン、銅、又はアルミニウムを主成分とする導電性材料を用いることが好ましい。また、導電体５６０ｂは、配線としても機能するため、導電性が高い導電体を用いることが好ましい。例えば、タングステン、銅、又はアルミニウムを主成分とする導電性材料を用いることができる。また、導電体５６０ｂは積層構造としてもよく、例えば、チタン、又は窒化チタンと上記導電性材料との積層構造としてもよい。

［０６７３］

絶縁体５８０は、絶縁体５４４を介して、導電体５４２ａ、及び導電体５４２ｂ上に設けられる。絶縁体５８０は、過剰酸素領域を有することが好ましい。例えば、絶縁体５８０として、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素、及び窒素を添加した酸化シリコン、空孔を有する酸化シリコン、又は樹脂などを有することが好ましい。特に、酸化シリコン、及び酸化窒化シリコンは、熱的に安定であるため好ましい。特に、酸化シリコン、空孔を有する酸化シリコンは、後の工程で、容易に過剰酸素領域を形成することができるため好ましい。

［０６７４］

絶縁体５８０は、過剰酸素領域を有することが好ましい。加熱により酸素が放出される絶縁体５８０を、酸化物５３０ｃと接して設けることで、絶縁体５８０中の酸素を、酸化物５３０ｃを通じて、酸化物５３０へと効率良く供給することができる。なお、絶縁体５８０中の水又は水素などの

不純物濃度が低減されていることが好ましい。

［０６７５］

絶縁体５８０の開口は、導電体５４２ａと導電体５４２ｂの間の領域に重畳して形成される。これにより、導電体５６０は、絶縁体５８０の開口、及び導電体５４２ａと導電体５４２ｂに挟まれた領域に、埋め込まれるように形成される。

［０６７６］

半導体装置を微細化するに当たり、ゲート長を短くすることが求められるが、導電体５６０の導電性が下がらないようにする必要がある。そのために導電体５６０の膜厚を大きくすると、導電体５６０はアスペクト比が高い形状となりうる。本実施の形態では、導電体５６０を絶縁体５８０の開口に埋め込むように設けるため、導電体５６０をアスペクト比の高い形状にしても、工程中に導電体５６０を倒壊させることなく、形成することができる。

［０６７７］

絶縁体５７４は、絶縁体５８０の上面、導電体５６０の上面、及び絶縁体５５０の上面に接して設けられることが好ましい。絶縁体５７４をスパッタリング法で成膜することで、絶縁体５５０、及び絶縁体５８０へ過剰酸素領域を設けることができる。これにより、当該過剰酸素領域から、酸化物５３０中に酸素を供給することができる。

［０６７８］

例えば、絶縁体５７４として、ハフニウム、アルミニウム、ガリウム、イットリウム、ジルコニウム、タングステン、チタン、タンタル、ニッケル、ゲルマニウム、又はマグネシウムなどから選ばれた一種、又は二種以上が含まれた金属酸化物を用いることができる。

［０６７９］

特に、酸化アルミニウムはバリア性が高く、０．５ｎｍ以上３．０ｎｍ以下の薄膜であっても、水素、及び窒素の拡散を抑制することができる。したがって、スパッタリング法で成膜した酸化アルミニウムは、酸素供給源であるとともに、水素などの不純物のバリア膜としての機能も有することができる。

［０６８０］

また、絶縁体５７４の上に、層間膜として機能する絶縁体５８１を設けることが好ましい。絶縁体５８１は、絶縁体５２４などと同様に、膜中の水又は水素などの不純物濃度が低減されていることが好ましい。

［０６８１］

また、絶縁体５８１、絶縁体５７４、絶縁体５８０、及び絶縁体５４４に形成された開口に、導電体５４０ａ、及び導電体５４０ｂを配置する。導電体５４０ａ及び導電体５４０ｂは、導電体５６０を挟んで対向して設ける。導電体５４０ａ及び導電体５４０ｂは、後述する導電体５４６、及び導電体５４８と同様の構成である。

［０６８２］

絶縁体５８１上には、絶縁体５８２が設けられている。絶縁体５８２は、酸素や水素に対してバリア性のある物質を用いることが好ましい。したがって、絶縁体５８２には、絶縁体５１４と同様の材料を用いることができる。例えば、絶縁体５８２には、酸化アルミニウム、酸化ハフニウム、酸化タンタルなどの金属酸化物を用いることが好ましい。

［０６８３］

特に、酸化アルミニウムは、酸素、及びトランジスタの電気特性の変動要因となる水素、水分などの不純物、の両方に対して膜を透過させない遮断効果が高い。したがって、酸化アルミニウムは、トランジスタの作製工程中及び作製後において、水素、水分などの不純物のトランジスタ５００への混入を防止することができる。また、トランジスタ５００を構成する酸化物からの酸素の放出を抑制することができる。そのため、トランジスタ５００に対する保護膜として用いることに適している。

［０６８４］

また、絶縁体５８２上には、絶縁体５８６が設けられている。絶縁体５８６は、絶縁体３２０と同様の材料を用いることができる。また、これらの絶縁体に、比較的誘電率が低い材料を適用することで、配線間に生じる寄生容量を低減することができる。例えば、絶縁体５８６として、酸化シリコン膜や酸化窒化シリコン膜などを用いることができる。

［０６８５］

また、絶縁体５２０、絶縁体５２２、絶縁体５２４、絶縁体５４４、絶縁体５８０、絶縁体５７４、絶縁体５８１、絶縁体５８２、及び絶縁体５８６には、導電体５４６、及び導電体５４８等が埋め込まれている。

［０６８６］

導電体５４６、及び導電体５４８は、容量素子６００、トランジスタ５００、又はトランジスタ３００と接続するプラグ、又は配線としての機能を有する。導電体５４６、及び導電体５４８は、導電体３２８、及び導電体３３０と同様の材料を用いて設けることができる。

［０６８７］

なお、トランジスタ５００の形成後、トランジスタ５００を囲むように開口を形成し、当該開口を覆うように、水素、または水に対するバリア性が高い絶縁体を形成してもよい。上述のバリア性の高い絶縁体でトランジスタ５００を包み込むことで、外部から水分、および水素が侵入するのを防止することができる。または、複数のトランジスタ５００をまとめて、水素、または水に対するバリア性が高い絶縁体で包み込んでもよい。なお、トランジスタ５００を囲むように開口を形成する場合、例えば、絶縁体５１４または絶縁体５２２に達する開口を形成し、絶縁体５１４または絶縁体５２２に接するように上述のバリア性の高い絶縁体を形成すると、トランジスタ５００の作製工程の一部を兼ねられるため、好適である。なお、水素、または水に対するバリア性が高い絶縁体としては、例えば、絶縁体５２２と同様の材料を用いればよい。

［０６８８］

続いて、トランジスタ５００の上方には、容量素子６００が設けられている。容量素子６００は、導電体６１０と、導電体６２０、絶縁体６３０とを有する。

［０６８９］

また、導電体５４６、及び導電体５４８上に、導電体６１２を設けてもよい。導電体６１２は、トランジスタ５００と接続するプラグ、又は配線としての機能を有する。導電体６１０は、容量素子６００の電極としての機能を有する。なお、導電体６１２、及び導電体６１０は、同時に形成することができる。

［０６９０］

導電体６１２、及び導電体６１０には、モリブデン、チタン、タンタル、タングステン、アルミニウム、銅、クロム、ネオジム、スカンジウムから選ばれた元素を含む金属膜、又は上述した元素

を成分とする金属窒化物膜（窒化タンタル膜、窒化チタン膜、窒化モリブデン膜、窒化タングステン膜）等を用いることができる。又は、インジウム錫酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの導電性材料を適用することもできる。

［０６９１］

図２９では、導電体６１２、及び導電体６１０は単層構造を示したが、当該構成に限定されず、２層以上の積層構造でもよい。例えば、バリア性を有する導電体と導電性が高い導電体との間に、バリア性を有する導電体、及び導電性が高い導電体に対して密着性が高い導電体を形成してもよい。

［０６９２］

絶縁体６３０を介して、導電体６１０と重畳するように、導電体６２０を設ける。なお、導電体６２０は、金属材料、合金材料、又は金属酸化物材料などの導電性材料を用いることができる。耐熱性と導電性を両立するタングステンやモリブデンなどの高融点材料を用いることが好ましく、特にタングステンを用いることが好ましい。また、導電体などの他の構造と同時に形成する場合は、低抵抗金属材料であるＣｕ（銅）やＡｌ（アルミニウム）等を用いればよい。

［０６９３］

導電体６２０、及び絶縁体６３０上には、絶縁体６５０が設けられている。絶縁体６５０は、絶縁体３２０と同様の材料を用いて設けることができる。また、絶縁体６５０は、その下方の凹凸形状を被覆する平坦化膜として機能してもよい。

［０６９４］

本構造を用いることで、酸化物半導体を有するトランジスタを用いた半導体装置において、電気特性の変動を抑制するとともに、信頼性を向上させることができる。又は、酸化物半導体を有するトランジスタを用いた半導体装置において、微細化又は高集積化を図ることができる。

［０６９５］

次に、図２９、図３０に図示している、ＯＳトランジスタの別の構成例について説明する。

［０６９６］

図３２Ａ、及び図３２Ｂは、図３１Ａ、及び図３１Ｂに示すトランジスタ５００の変形例であって、図３２Ａは、トランジスタ５００のチャネル長方向の断面図であり、図３２Ｂはトランジスタ５００のチャネル幅方向の断面図である。なお、図３２Ａ、及び図３２Ｂに示す構成は、トランジスタ３００等、本発明の一態様の半導体装置が有する他のトランジスタにも適用することができる。

［０６９７］

図３２Ａ、及び図３２Ｂに示す構成のトランジスタ５００は、絶縁体４０２及び絶縁体４０４を有する点が、図３１Ａ、及び図３１Ｂに示す構成のトランジスタ５００と異なる。また、導電体５４０ａの側面に接して絶縁体５５２が設けられ、導電体５４０ｂの側面に接して絶縁体５５２が設けられる点が、図３１Ａ、及び図３１Ｂに示す構成のトランジスタ５００と異なる。さらに、絶縁体５２０を有さない点が、図３１Ａ、及び図３１Ｂに示す構成のトランジスタ５００と異なる。

［０６９８］

図３２Ａ、及び図３２Ｂに示す構成のトランジスタ５００は、絶縁体５１２上に絶縁体４０２が設けられている。また、絶縁体５７４上、及び絶縁体４０２上に絶縁体４０４が設けられている。

［０６９９］

図３２Ａ、及び図３２Ｂに示す構成のトランジスタ５００では、絶縁体５１４、絶縁体５１６、絶縁体５２２、絶縁体５２４、絶縁体５４４、絶縁体５８０、及び絶縁体５７４が設けられており、絶縁体４０４がこれらを覆う構造になっている。つまり、絶縁体４０４は、絶縁体５７４の上面、絶縁体５７４の側面、絶縁体５８０の側面、絶縁体５４４の側面、絶縁体５２４の側面、絶縁体５２２の側面、絶縁体５１６の側面、絶縁体５１４の側面、絶縁体４０２の上面とそれぞれ接する。これにより、酸化物５３０等は、絶縁体４０４と絶縁体４０２によって外部から隔離される。

［０７００］

絶縁体４０２及び絶縁体４０４は、水素（例えば、水素原子、水素分子などの少なくとも一）又は水分子の拡散を抑制する機能が高いことが好ましい。例えば、絶縁体４０２及び絶縁体４０４として、水素バリア性が高い材料である、窒化シリコン又は窒化酸化シリコンを用いることが好ましい。これにより、酸化物５３０に水素等が拡散することを抑制することができるので、トランジスタ５００の特性が低下することを抑制することができる。よって、本発明の一態様の半導体装置の信頼性を高めることができる。

［０７０１］

絶縁体５５２は、絶縁体５８１、絶縁体４０４、絶縁体５７４、絶縁体５８０、及び絶縁体５４４に接して設けられる。絶縁体５５２は、水素又は水分子の拡散を抑制する機能を有することが好ましい。たとえば、絶縁体５５２として、水素バリア性が高い材料である、窒化シリコン、酸化アルミニウム、又は窒化酸化シリコン等の絶縁体を用いることが好ましい。特に、窒化シリコンは水素バリア性が高い材料であるので、絶縁体５５２として用いると好適である。絶縁体５５２として水素バリア性が高い材料を用いることにより、水又は水素等の不純物が、絶縁体５８０等から導電体５４０ａ及び導電体５４０ｂを通じて酸化物５３０に拡散することを抑制することができる。また、絶縁体５８０に含まれる酸素が導電体５４０ａ及び導電体５４０ｂに吸収されることを抑制することができる。以上により、本発明の一態様の半導体装置の信頼性を高めることができる。

［０７０２］

図３３は、トランジスタ５００及びトランジスタ３００を図３２Ａ、及び図３２Ｂに示す構成とした場合における、半導体装置の構成例を示す断面図である。導電体５４６の側面に、絶縁体５５２が設けられている。

［０７０３］

また、図３２Ａ、及び図３２Ｂに示すトランジスタ５００は、状況に応じて、トランジスタの構成を変更してもよい。例えば、図３２Ａ、及び図３２Ｂのトランジスタ５００は、変更例として、図３４Ａ、及び図３４Ｂに示すトランジスタにすることができる。図３４Ａはトランジスタのチャネル長方向の断面図であり、図３４Ｂはトランジスタのチャネル幅方向の断面図である。図３４Ａ、及び図３４Ｂに示すトランジスタは、酸化物５３０ｃが酸化物５３０ｃ１及び酸化物５３０ｃ２の２層構造である点で、図３２Ａ、及び図３２Ｂに示すトランジスタと異なる。

［０７０４］

酸化物５３０ｃ１は、絶縁体５２４の上面、酸化物５３０ａの側面、酸化物５３０ｂの上面及び側面、導電体５４２ａ及び導電体５４２ｂの側面、絶縁体５４４の側面、及び絶縁体５８０の側面と接する。酸化物５３０ｃ２は、絶縁体５５０と接する。

［０７０５］

酸化物５３０ｃ１として、例えばＩｎ－Ｚｎ酸化物を用いることができる。また、酸化物５３０

ｃ２として、酸化物５３０ｃが１層構造である場合に酸化物５３０ｃに用いることができる材料と同様の材料を用いることができる。例えば、酸化物５３０ｃ２として、Ｉｎ：Ｇａ：Ｚｎ＝１：３：４［原子数比］、Ｇａ：Ｚｎ＝２：１［原子数比］、またはＧａ：Ｚｎ＝２：５［原子数比］の金属酸化物を用いることができる。

［０７０６］

酸化物５３０ｃを酸化物５３０ｃ１及び酸化物５３０ｃ２の２層構造とすることにより、酸化物５３０ｃを１層構造とする場合より、トランジスタのオン電流を高めることができる。そのため、トランジスタは、例えばパワーＭＯＳトランジスタとして適用することができる。なお、図３１Ａ、及び図３１Ｂに示す構成のトランジスタが有する酸化物５３０ｃも、酸化物５３０ｃ１と酸化物５３０ｃ２の２層構造とすることができる。

［０７０７］

図３４Ａ、及び図３４Ｂに示す構成のトランジスタは、例えば、図２９、図３０に示すトランジスタ３００に適用することができる。また、例えば、トランジスタ３００は、前述のとおり、上記実施の形態で説明した半導体装置、例えば、上記実施の形態で説明した演算回路ＭＡＣ１、演算回路ＭＡＣ１Ａ、演算回路ＭＡＣ２、演算回路ＭＡＣ３に含まれるトランジスタなどに適用することができる。なお図３４Ａ、及び図３４Ｂに示すトランジスタは、本発明の一態様の半導体装置が有する、トランジスタ３００、５００以外のトランジスタにも適用することができる。

［０７０８］

図３５は、トランジスタ５００を図３１Ａに示すトランジスタの構成とし、トランジスタ３００を図３４Ａに示すトランジスタ構成とした場合における、半導体装置の構成例を示す断面図である。なお、図３３と同様に、導電体５４６の側面に絶縁体５５２を設ける構成としている。図３５に示すように、本発明の一態様の半導体装置は、トランジスタ３００とトランジスタ５００を両方ともＯＳトランジスタとしつつ、トランジスタ３００とトランジスタ５００のそれぞれを異なる構成にすることができる。

［０７０９］

次に、図２９、図３０、図３３、及び図３５の半導体装置に適用できる容量素子について説明する。

［０７１０］

図３６Ａ乃至図３６Ｃでは、図２９、図３０、図３３、及び図３５に示す半導体装置に適用できる容量素子６００の一例として容量素子６００Ａについて示している。図３６Ａは容量素子６００Ａの上面図であり、図３６Ｂは容量素子６００Ａの一点鎖線Ｌ３－Ｌ４における断面を示した斜視図であり、図３６Ｃは容量素子６００Ａの一点鎖線Ｗ３－Ｌ４における断面を示した斜視図である。

［０７１１］

導電体６１０は、容量素子６００Ａの一対の電極の一方として機能し、導電体６２０は、容量素子６００Ａの一対の電極の他方として機能する。また、絶縁体６３０は、一対の電極に挟まれる誘電体として機能する。

［０７１２］

絶縁体６３０としては、例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、窒化アルミニウム、酸化ハフニウム、酸化窒化ハフニウム、窒化酸化ハフニウム、窒化ハフニウム、酸化ジルコニウム

などを用いればよく、積層または単層で設けることができる。なお、本明細書中において、酸化窒化ハフニウムとは、その組成として窒素よりも酸素の含有量が多い材料を指し、窒化酸化ハフニウムとは、その組成として、酸素よりも窒素の含有量が多い材料を示す。

［０７１３］

また、例えば、絶縁体６３０には、酸化窒化シリコンなどの絶縁耐力が大きい材料と、高誘電率（ｈｉｇｈ－ｋ）材料との積層構造を用いてもよい。当該構成により、容量素子６００Ａは、高誘電率（ｈｉｇｈ－ｋ）の絶縁体を有することで、十分な容量を確保でき、絶縁耐力が大きい絶縁体を有することで、絶縁耐力が向上し、容量素子６００Ａの静電破壊を抑制することができる。

［０７１４］

なお、高誘電率（ｈｉｇｈ－ｋ）材料（高い比誘電率の材料）の絶縁体としては、酸化ガリウム、酸化ハフニウム、酸化ジルコニウム、アルミニウムおよびハフニウムを有する酸化物、アルミニウムおよびハフニウムを有する酸化窒化物、シリコンおよびハフニウムを有する酸化物、シリコンおよびハフニウムを有する酸化窒化物またはシリコンおよびハフニウムを有する窒化物などがある。

［０７１５］

または、絶縁体６３０は、例えば、酸化アルミニウム、酸化ハフニウム、酸化タンタル、酸化ジルコニウム、チタン酸ジルコン酸鉛（ＰＺＴ）、チタン酸ストロンチウム（$SrTiO_3$）または（Ｂａ、Ｓｒ）TiO_3（ＢＳＴ）などのｈｉｇｈ－ｋ材料を含む絶縁体を単層または積層で用いてもよい。例えば、絶縁体６３０を積層とする場合、酸化ジルコニウムと、酸化アルミニウムと、酸化ジルコニウムと、が順に形成された３層積層や、酸化ジルコニウムと、酸化アルミニウムと、酸化ジルコニウムと、酸化アルミニウムと、が順に形成された４層積層などを用いれば良い。また、絶縁体６３０としては、ハフニウムと、ジルコニウムとが含まれる化合物などを用いても良い。半導体装置の微細化、および高集積化が進むと、ゲート絶縁体、および容量素子に用いる誘電体の薄膜化により、トランジスタや容量素子のリーク電流などの問題が生じる場合がある。ゲート絶縁体、および容量素子に用いる誘電体として機能する絶縁体にｈｉｇｈ－ｋ材料を用いることで、物理膜厚を保ちながら、トランジスタ動作時のゲート電位の低減、および容量素子の容量の確保が可能となる。

［０７１６］

容量素子６００は、導電体６１０の下部において、導電体５４６と、導電体５４８とに電気的に接続されている。導電体５４６と、導電体５４８は、別の回路素子と接続するためのプラグ、又は配線として機能する。また図３６Ａ乃至図３６Ｃでは、導電体５４６と、導電体５４８と、をまとめて導電体５４０と記載している。

［０７１７］

また、図３６Ａ乃至図３６Ｃでは、図を明瞭に示すために、導電体５４６及び導電体５４８が埋め込まれている絶縁体５８６と、導電体６２０及び絶縁体６３０を覆っている絶縁体６５０と、を省略している。

［０７１８］

なお、図２９、図３０、図３３、図３５、図３６Ａ、図３６Ｂ、及び図３６Ｃに示す容量素子６００はプレーナ型であるが、容量素子の形状はこれに限定されない。例えば、容量素子６００は、図３７Ａ乃至図３７Ｃに示すシリンダ型の容量素子６００Ｂとしてもよい。

［０７１９］

図３７Ａは容量素子６００Ｂの上面図であり、図３７Ｂは容量素子６００Ｂの一点鎖線Ｌ３－Ｌ４における断面図であり、図３７Ｃは容量素子６００Ｂの一点鎖線Ｗ３－Ｌ４における断面を示した斜視図である。

［０７２０］

図３７Ｂにおいて、容量素子６００Ｂは、導電体５４０が埋め込まれている絶縁体５８６上の絶縁体６３１と、開口部を有する絶縁体６５１と、一対の電極の一方として機能する導電体６１０と、一対の電極の他方として機能する導電体６２０と、を有する。

［０７２１］

また、図３７Ｃでは、図を明瞭に示すために、絶縁体５８６と、絶縁体６５０と、絶縁体６５１と、を省略している。

［０７２２］

絶縁体６３１としては、例えば、絶縁体５８６と同様の材料を用いることができる。

［０７２３］

また、絶縁体６３１には、導電体５４０に電気的に接続されるように導電体６１１が埋め込まれている。導電体６１１は、例えば、導電体３３０、導電体５１８と同様の材料を用いることができる。

［０７２４］

絶縁体６５１としては、例えば、絶縁体５８６と同様の材料を用いることができる。

［０７２５］

また、絶縁体６５１は、前述の通り、開口部を有し、当該開口部は導電体６１１に重畳している。

［０７２６］

導電体６１０は、当該開口部の底部と、側面と、に形成されている。つまり、導電体６１０は、導電体６１１に重畳し、かつ導電体６１１に電気的に接続されている。

［０７２７］

なお、導電体６１０の形成方法としては、エッチング法などによって絶縁体６５１に開口部を形成し、次に、スパッタリング法、ＡＬＤ法などによって導電体６１０を成膜する。その後、ＣＭＰ（Ｃｈｅｍｉｃｈａｌ　Ｍｅｃｈａｎｉｃａｌ　Ｐｏｌｉｓｈｉｎｇ）法などによって、開口部に成膜された導電体６１０を残して、絶縁体６５１上に成膜された導電体６１０を除去すればよい。

［０７２８］

絶縁体６３０は、絶縁体６５１上と、導電体６１０の形成面上と、に位置する。なお、絶縁体６３０は、容量素子において、一対の電極に挟まれる誘電体として機能する。

［０７２９］

導電体６２０は、絶縁体６５１の開口部が埋まるように、絶縁体６３０上に形成されている。

［０７３０］

絶縁体６５０は、絶縁体６３０と、導電体６２０と、を覆うように形成されている。

［０７３１］

図３７Ａ乃至図３７Ｃに示すシリンダ型の容量素子６００Ｂは、プレーナ型の容量素子６００Ａよりも静電容量の値を高くすることができる。

［０７３２］

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

［０７３３］

（実施の形態７）

本実施の形態では、上記の実施の形態で説明したＯＳトランジスタに用いることができる金属酸化物（以下、酸化物半導体ともいう。）について説明する。

［０７３４］

金属酸化物は、少なくともインジウムまたは亜鉛を含むことが好ましい。特にインジウムおよび亜鉛を含むことが好ましい。また、それらに加えて、アルミニウム、ガリウム、イットリウム、スズなどが含まれていることが好ましい。また、ホウ素、シリコン、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、マグネシウム、コバルトなどから選ばれた一種、または複数種が含まれていてもよい。

［０７３５］

＜結晶構造の分類＞

まず、酸化物半導体における、結晶構造の分類について、図３８Ａを用いて説明を行う。図３８Ａは、酸化物半導体、代表的にはＩＧＺＯ（Ｉｎと、Ｇａと、Ｚｎと、を含む金属酸化物）の結晶構造の分類を説明する図である。

［０７３６］

図３８Ａに示すように、酸化物半導体は、大きく分けて「Ａｍｏｒｐｈｏｕｓ（無定形）」と、「Ｃｒｙｓｔａｌｌｉｎｅ（結晶性）」と、「Ｃｒｙｓｔａｌ（結晶）」と、に分類される。また、「Ａｍｏｒｐｈｏｕｓ」の中には、ｃｏｍｐｌｅｔｅｌｙ　ａｍｏｒｐｈｏｕｓが含まれる。また、「Ｃｒｙｓｔａｌｌｉｎｅ」の中には、ＣＡＡＣ（ｃ－ａｘｉｓ－ａｌｉｇｎｅｄ　ｃｒｙｓｔａｌｌｉｎｅ）、ｎｃ（ｎａｎｏｃｒｙｓｔａｌｌｉｎｅ）、及びＣＡＣ（Ｃｌｏｕｄ－Ａｌｉｇｎｅｄ　Ｃｏｍｐｏｓｉｔｅ）が含まれる（ｅｘｃｌｕｄｉｎｇ　ｓｉｎｇｌｅ　ｃｒｙｓｔａｌ　ａｎｄ　ｐｏｌｙ　ｃｒｙｓｔａｌ）。なお、「Ｃｒｙｓｔａｌｌｉｎｅ」の分類には、ｓｉｎｇｌｅ　ｃｒｙｓｔａｌ、ｐｏｌｙ　ｃｒｙｓｔａｌ、及びｃｏｍｐｌｅｔｅｌｙ　ａｍｏｒｐｈｏｕｓは除かれる。また、「Ｃｒｙｓｔａｌ」の中には、ｓｉｎｇｌｅ　ｃｒｙｓｔａｌ、及びｐｏｌｙ　ｃｒｙｓｔａｌが含まれる。

［０７３７］

なお、図３８Ａに示す太枠内の構造は、「Ａｍｏｒｐｈｏｕｓ（無定形）」と、「Ｃｒｙｓｔａｌ（結晶）」との間の中間状態であり、新しい境界領域（Ｎｅｗ　ｃｒｙｓｔａｌｌｉｎｅ　ｐｈａｓｅ）に属する構造である。すなわち、当該構造は、エネルギー的に不安定な「Ａｍｏｒｐｈｏｕｓ（無定形）」や、「Ｃｒｙｓｔａｌ（結晶）」とは全く異なる構造と言い換えることができる。

［０７３８］

なお、膜または基板の結晶構造は、Ｘ線回折（ＸＲＤ：Ｘ－Ｒａｙ　Ｄｉｆｆｒａｃｔｉｏｎ）スペクトルを用いて評価することができる。ここで、「Ｃｒｙｓｔａｌｌｉｎｅ」に分類されるＣＡＡＣ－ＩＧＺＯ膜のＧＩＸＤ（Ｇｒａｚｉｎｇ－Ｉｎｃｉｄｅｎｃｅ　ＸＲＤ）測定で得られるＸＲＤスペクトルを図３８Ｂに示す（縦軸は強度（Ｉｎｔｅｎｓｉｔｙ）を任意単位（ａ．ｕ．）で表している）。なお、ＧＩＸＤ法は、薄膜法またはＳｅｅｍａｎｎ－Ｂｏｈｌｉｎ法ともいう。以降、図３８Ｂに示すＧＩＸＤ測定で得られるＸＲＤスペクトルを、単にＸＲＤスペクトルと記す。なお、図３８Ｂに示すＣＡＡＣ－ＩＧＺＯ膜の組成は、Ｉｎ：Ｇａ：Ｚｎ＝４：２：３［原子数比］近傍である。また、図３８Ｂに示すＣＡＡＣ－ＩＧＺＯ膜の厚さは、５００ｎｍである。

［０７３９］

図３８Ｂに示すように、ＣＡＡＣ－ＩＧＺＯ膜のＸＲＤスペクトルでは、明確な結晶性を示すピークが検出される。具体的には、ＣＡＡＣ－ＩＧＺＯ膜のＸＲＤスペクトルでは、２θ＝３１°近傍に、ｃ軸配向を示すピークが検出される。なお、図３８Ｂに示すように、２θ＝３１°近傍のピークは、ピーク強度が検出された角度を軸に左右非対称である。

［０７４０］

また、膜または基板の結晶構造は、極微電子線回折法（ＮＢＥＤ：Ｎａｎｏ　Ｂｅａｍ　Ｅｌｅｃｔｒｏｎ　Ｄｉｆｆｒａｃｔｉｏｎ）によって観察される回折パターン（極微電子線回折パターンともいう。）にて評価することができる。ＣＡＡＣ－ＩＧＺＯ膜の回折パターンを、図３８Ｃに示す。図３８Ｃは、電子線を基板に対して平行に入射するＮＢＥＤによって観察される回折パターンである。なお、図３８Ｃに示すＣＡＡＣ－ＩＧＺＯ膜の組成は、Ｉｎ：Ｇａ：Ｚｎ＝４：２：３［原子数比］近傍である。また、極微電子線回折法では、プローブ径を１ｎｍとして電子線回折が行われる。

［０７４１］

図３８Ｃに示すように、ＣＡＡＣ－ＩＧＺＯ膜の回折パターンでは、ｃ軸配向を示す複数のスポットが観察される。

［０７４２］

＜＜酸化物半導体の構造＞＞

なお、酸化物半導体は、結晶構造に着目した場合、図３８Ａとは異なる分類となる場合がある。例えば、酸化物半導体は、単結晶酸化物半導体と、それ以外の非単結晶酸化物半導体と、に分けられる。非単結晶酸化物半導体としては、例えば、上述のＣＡＡＣ－ＯＳ、及びｎｃ－ＯＳがある。また、非単結晶酸化物半導体には、多結晶酸化物半導体、擬似非晶質酸化物半導体（ａ－ｌｉｋｅ　ＯＳ：ａｍｏｒｐｈｏｕｓ－ｌｉｋｅ　ｏｘｉｄｅ　ｓｅｍｉｃｏｎｄｕｃｔｏｒ）、非晶質酸化物半導体、などが含まれる。

［０７４３］

ここで、上述のＣＡＡＣ－ＯＳ、ｎｃ－ＯＳ、及びａ－ｌｉｋｅ　ＯＳの詳細について、説明を行う。

［０７４４］

［ＣＡＡＣ－ＯＳ］

ＣＡＡＣ－ＯＳは、複数の結晶領域を有し、当該複数の結晶領域はｃ軸が特定の方向に配向している酸化物半導体である。なお、特定の方向とは、ＣＡＡＣ－ＯＳ膜の厚さ方向、ＣＡＡＣ－ＯＳ膜の被形成面の法線方向、またはＣＡＡＣ－ＯＳ膜の表面の法線方向である。また、結晶領域とは、原子配列に周期性を有する領域である。なお、原子配列を格子配列とみなすと、結晶領域とは、格子配列の揃った領域でもある。さらに、ＣＡＡＣ－ＯＳは、ａ－ｂ面方向において複数の結晶領域が連結する領域を有し、当該領域は歪みを有する場合がある。なお、歪みとは、複数の結晶領域が連結する領域において、格子配列の揃った領域と、別の格子配列の揃った領域と、の間で格子配列の向きが変化している箇所を指す。つまり、ＣＡＡＣ－ＯＳは、ｃ軸配向し、ａ－ｂ面方向には明らかな配向をしていない酸化物半導体である。

［０７４５］

なお、上記複数の結晶領域のそれぞれは、１つまたは複数の微小な結晶（最大径が１０ｎｍ未満

である結晶）で構成される。結晶領域が１つの微小な結晶で構成されている場合、当該結晶領域の最大径は１０ｎｍ未満となる。また、結晶領域が多数の微小な結晶で構成されている場合、当該結晶領域の大きさは、数十ｎｍ程度となる場合がある。

［０７４６］

また、Ｉｎ－Ｍ－Ｚｎ酸化物（元素Ｍは、アルミニウム、ガリウム、イットリウム、スズ、チタンなどから選ばれた一種、または複数種）において、ＣＡＡＣ－ＯＳは、インジウム（Ｉｎ）、及び酸素を有する層（以下、Ｉｎ層）と、元素Ｍ、亜鉛（Ｚｎ）、及び酸素を有する層（以下、（Ｍ，Ｚｎ）層）とが積層した、層状の結晶構造（層状構造ともいう）を有する傾向がある。なお、インジウムと元素Ｍは、互いに置換可能である。よって、（Ｍ，Ｚｎ）層にはインジウムが含まれる場合がある。また、Ｉｎ層には元素Ｍが含まれる場合がある。なお、Ｉｎ層にはＺｎが含まれる場合もある。当該層状構造は、例えば、高分解能ＴＥＭ像において、格子像として観察される。

［０７４７］

ＣＡＡＣ－ＯＳ膜に対し、例えば、ＸＲＤ装置を用いて構造解析を行うと、θ／２θスキャンを用いたＯｕｔ－ｏｆ－ｐｌａｎｅ　ＸＲＤ測定では、ｃ軸配向を示すピークが２θ＝３１°またはその近傍に検出される。なお、ｃ軸配向を示すピークの位置（２θの値）は、ＣＡＡＣ－ＯＳを構成する金属元素の種類、組成などにより変動する場合がある。

［０７４８］

また、例えば、ＣＡＡＣ－ＯＳ膜の電子線回折パターンにおいて、複数の輝点（スポット）が観測される。なお、あるスポットと別のスポットとは、試料を透過した入射電子線のスポット（ダイレクトスポットともいう。）を対称中心として、点対称の位置に観測される。

［０７４９］

上記特定の方向から結晶領域を観察した場合、当該結晶領域内の格子配列は、六方格子を基本とするが、単位格子は正六角形とは限らず、非正六角形である場合がある。また、上記歪みにおいて、五角形、七角形などの格子配列を有する場合がある。なお、ＣＡＡＣ－ＯＳにおいて、歪み近傍においても、明確な結晶粒界（グレインバウンダリー）を確認することはできない。即ち、格子配列の歪みによって、結晶粒界の形成が抑制されていることがわかる。これは、ＣＡＡＣ－ＯＳが、ａ－ｂ面方向において酸素原子の配列が稠密でないことや、金属原子が置換することで原子間の結合距離が変化することなどによって、歪みを許容することができるためと考えられる。

［０７５０］

なお、明確な結晶粒界が確認される結晶構造は、いわゆる多結晶（ｐｏｌｙｃｒｙｓｔａｌ）と呼ばれる。結晶粒界は、再結合中心となり、キャリアが捕獲されトランジスタのオン電流の低下、電界効果移動度の低下などを引き起こす可能性が高い。よって、明確な結晶粒界が確認されないＣＡＡＣ－ＯＳは、トランジスタの半導体層に好適な結晶構造を有する結晶性の酸化物の一つである。なお、ＣＡＡＣ－ＯＳを構成するには、Ｚｎを有する構成が好ましい。例えば、Ｉｎ－Ｚｎ酸化物、及びＩｎ－Ｇａ－Ｚｎ酸化物は、Ｉｎ酸化物よりも結晶粒界の発生を抑制できるため好適である。

［０７５１］

ＣＡＡＣ－ＯＳは、結晶性が高く、明確な結晶粒界が確認されない酸化物半導体である。よって、ＣＡＡＣ－ＯＳは、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。また、酸化物半導体の結晶性は不純物の混入や欠陥の生成などによって低下する場合があるため、ＣＡＡＣ－ＯＳは不純物や欠陥（酸素欠損など）の少ない酸化物半導体ともいえる。従って、ＣＡＡＣ－ＯＳを

有する酸化物半導体は、物理的性質が安定する。そのため、ＣＡＡＣ－ＯＳを有する酸化物半導体は熱に強く、信頼性が高い。また、ＣＡＡＣ－ＯＳは、製造工程における高い温度（所謂サーマルバジェット）に対しても安定である。したがって、ＯＳトランジスタにＣＡＡＣ－ＯＳを用いると、製造工程の自由度を広げることが可能となる。

［０７５２］

［ｎｃ－ＯＳ］

ｎｃ－ＯＳは、微小な領域（例えば、１ｎｍ以上１０ｎｍ以下の領域、特に１ｎｍ以上３ｎｍ以下の領域）において原子配列に周期性を有する。別言すると、ｎｃ－ＯＳは、微小な結晶を有する。なお、当該微小な結晶の大きさは、例えば、１ｎｍ以上１０ｎｍ以下、特に１ｎｍ以上３ｎｍ以下であることから、当該微小な結晶をナノ結晶ともいう。また、ｎｃ－ＯＳは、異なるナノ結晶間で結晶方位に規則性が見られない。そのため、膜全体で配向性が見られない。したがって、ｎｃ－ＯＳは、分析方法によっては、ａ－ｌｉｋｅ　ＯＳや非晶質酸化物半導体と区別が付かない場合がある。例えば、ｎｃ－ＯＳ膜に対し、ＸＲＤ装置を用いて構造解析を行うと、θ／２θスキャンを用いたＯｕｔ－ｏｆ－ｐｌａｎｅ　ＸＲＤ測定では、結晶性を示すピークが検出されない。また、ｎｃ－ＯＳ膜に対し、ナノ結晶よりも大きいプローブ径（例えば５０ｎｍ以上）の電子線を用いる電子線回折（制限視野電子線回折ともいう。）を行うと、ハローパターンのような回折パターンが観測される。一方、ｎｃ－ＯＳ膜に対し、ナノ結晶の大きさと近いかナノ結晶より小さいプローブ径（例えば１ｎｍ以上３０ｎｍ以下）の電子線を用いる電子線回折（ナノビーム電子線回折ともいう。）を行うと、ダイレクトスポットを中心とするリング状の領域内に複数のスポットが観測される電子線回折パターンが取得される場合がある。

［０７５３］

［ａ－ｌｉｋｅ　ＯＳ］

ａ－ｌｉｋｅ　ＯＳは、ｎｃ－ＯＳと非晶質酸化物半導体との間の構造を有する酸化物半導体である。ａ－ｌｉｋｅ　ＯＳは、鬆又は低密度領域を有する。即ち、ａ－ｌｉｋｅ　ＯＳは、ｎｃ－ＯＳ及びＣＡＡＣ－ＯＳと比べて、結晶性が低い。また、ａ－ｌｉｋｅ　ＯＳは、ｎｃ－ＯＳ及びＣＡＡＣ－ＯＳと比べて、膜中の水素濃度が高い。

［０７５４］

＜＜酸化物半導体の構成＞＞

次に、上述のＣＡＣ－ＯＳの詳細について、説明を行う。なお、ＣＡＣ－ＯＳは材料構成に関する。

［０７５５］

［ＣＡＣ－ＯＳ］

ＣＡＣ－ＯＳとは、例えば、金属酸化物を構成する元素が、０．５ｎｍ以上１０ｎｍ以下、好ましくは、１ｎｍ以上３ｎｍ以下、またはその近傍のサイズで偏在した材料の一構成である。なお、以下では、金属酸化物において、一つまたは複数の金属元素が偏在し、該金属元素を有する領域が、０．５ｎｍ以上１０ｎｍ以下、好ましくは、１ｎｍ以上３ｎｍ以下、またはその近傍のサイズで混合した状態をモザイク状、またはパッチ状ともいう。

［０７５６］

さらに、ＣＡＣ－ＯＳとは、第１の領域と、第２の領域と、に材料が分離することでモザイク状となり、当該第１の領域が、膜中に分布した構成（以下、クラウド状ともいう。）である。つまり、

ＣＡＣ－ＯＳは、当該第１の領域と、当該第２の領域とが、混合している構成を有する複合金属酸化物である。

［０７５７］

ここで、Ｉｎ－Ｇａ－Ｚｎ酸化物におけるＣＡＣ－ＯＳを構成する金属元素に対するＩｎ、Ｇａ、およびＺｎの原子数比のそれぞれを、［Ｉｎ］、［Ｇａ］、および［Ｚｎ］と表記する。例えば、Ｉｎ－Ｇａ－Ｚｎ酸化物におけるＣＡＣ－ＯＳにおいて、第１の領域は、［Ｉｎ］が、ＣＡＣ－ＯＳ膜の組成における［Ｉｎ］よりも大きい領域である。また、第２の領域は、［Ｇａ］が、ＣＡＣ－ＯＳ膜の組成における［Ｇａ］よりも大きい領域である。または、例えば、第１の領域は、［Ｉｎ］が、第２の領域における［Ｉｎ］よりも大きく、且つ、［Ｇａ］が、第２の領域における［Ｇａ］よりも小さい領域である。また、第２の領域は、［Ｇａ］が、第１の領域における［Ｇａ］よりも大きく、且つ、［Ｉｎ］が、第１の領域における［Ｉｎ］よりも小さい領域である。

［０７５８］

具体的には、上記第１の領域は、インジウム酸化物、インジウム亜鉛酸化物などが主成分である領域である。また、上記第２の領域は、ガリウム酸化物、ガリウム亜鉛酸化物などが主成分である領域である。つまり、上記第１の領域を、Ｉｎを主成分とする領域と言い換えることができる。また、上記第２の領域を、Ｇａを主成分とする領域と言い換えることができる。

［０７５９］

なお、上記第１の領域と、上記第２の領域とは、明確な境界が観察できない場合がある。

［０７６０］

例えば、Ｉｎ－Ｇａ－Ｚｎ酸化物におけるＣＡＣ－ＯＳでは、エネルギー分散型Ｘ線分光法（ＥＤＸ：Ｅｎｅｒｇｙ　Ｄｉｓｐｅｒｓｉｖｅ　Ｘ－ｒａｙ　ｓｐｅｃｔｒｏｓｃｏｐｙ）を用いて取得したＥＤＸマッピングにより、Ｉｎを主成分とする領域（第１の領域）と、Ｇａを主成分とする領域（第２の領域）とが、偏在し、混合している構造を有することが確認できる。

［０７６１］

ＣＡＣ－ＯＳをトランジスタに用いる場合、第１の領域に起因する導電性と、第２の領域に起因する絶縁性とが、相補的に作用することにより、スイッチングさせる機能（Ｏｎ／Ｏｆｆさせる機能）をＣＡＣ－ＯＳに付与することができる。つまり、ＣＡＣ－ＯＳとは、材料の一部では導電性の機能と、材料の一部では絶縁性の機能とを有し、材料の全体では半導体としての機能を有する。導電性の機能と絶縁性の機能とを分離させることで、双方の機能を最大限に高めることができる。よって、ＣＡＣ－ＯＳをトランジスタに用いることで、高いオン電流（I_{on}）、高い電界効果移動度（μ）、および良好なスイッチング動作を実現することができる。

［０７６２］

酸化物半導体は、多様な構造をとり、それぞれが異なる特性を有する。本発明の一態様の酸化物半導体は、非晶質酸化物半導体、多結晶酸化物半導体、ａ－ｌｉｋｅ　ＯＳ、ＣＡＣ－ＯＳ、ｎｃ－ＯＳ、ＣＡＡＣ－ＯＳのうち、二種以上を有していてもよい。

［０７６３］

＜酸化物半導体を有するトランジスタ＞

続いて、上記酸化物半導体をトランジスタに用いる場合について説明する。

［０７６４］

上記酸化物半導体をトランジスタに用いることで、高い電界効果移動度のトランジスタを実現す

ることができる。また、信頼性の高いトランジスタを実現することができる。

［０７６５］

トランジスタには、キャリア濃度の低い酸化物半導体を用いることが好ましい。例えば、酸化物半導体のキャリア濃度は$１\times１０^{17}ｃｍ^{-3}$以下、好ましくは$１\times１０^{15}ｃｍ^{-3}$以下、さらに好ましくは$１\times１０^{13}ｃｍ^{-3}$以下、より好ましくは$１\times１０^{11}ｃｍ^{-3}$以下、さらに好ましくは$１\times１０^{10}ｃｍ^{-3}$未満であり、$１\times１０^{-9}ｃｍ^{-3}$以上である。なお、酸化物半導体膜のキャリア濃度を低くする場合においては、酸化物半導体膜中の不純物濃度を低くし、欠陥準位密度を低くすればよい。本明細書等において、不純物濃度が低く、欠陥準位密度の低いことを高純度真性又は実質的に高純度真性と言う。なお、キャリア濃度の低い酸化物半導体を、高純度真性又は実質的に高純度真性な酸化物半導体と呼称する場合がある。

［０７６６］

また、高純度真性又は実質的に高純度真性である酸化物半導体膜は、欠陥準位密度が低いため、トラップ準位密度も低くなる場合がある。

［０７６７］

また、酸化物半導体のトラップ準位に捕獲された電荷は、消失するまでに要する時間が長く、あたかも固定電荷のように振る舞うことがある。そのため、トラップ準位密度の高い酸化物半導体にチャネル形成領域が形成されるトランジスタは、電気特性が不安定となる場合がある。

［０７６８］

従って、トランジスタの電気特性を安定にするためには、酸化物半導体中の不純物濃度を低減することが有効である。また、酸化物半導体中の不純物濃度を低減するためには、近接する膜中の不純物濃度も低減することが好ましい。不純物としては、水素、窒素、アルカリ金属、アルカリ土類金属、鉄、ニッケル、シリコン等がある。

［０７６９］

＜不純物＞

ここで、酸化物半導体中における各不純物の影響について説明する。

［０７７０］

酸化物半導体において、第１４族元素の一つであるシリコンや炭素が含まれると、酸化物半導体において欠陥準位が形成される。このため、酸化物半導体におけるシリコンや炭素の濃度と、酸化物半導体との界面近傍のシリコンや炭素の濃度（二次イオン質量分析法（ＳＩＭＳ：Ｓｅｃｏｎｄａｒｙ　Ｉｏｎ　Ｍａｓｓ　Ｓｐｅｃｔｒｏｍｅｔｒｙ）により得られる濃度）を、$２\times１０^{18}ａｔｏｍｓ／ｃｍ^{3}$以下、好ましくは$２\times１０^{17}ａｔｏｍｓ／ｃｍ^{3}$以下とする。

［０７７１］

また、酸化物半導体にアルカリ金属又はアルカリ土類金属が含まれると、欠陥準位を形成し、キャリアを生成する場合がある。従って、アルカリ金属又はアルカリ土類金属が含まれている酸化物半導体を用いたトランジスタはノーマリーオン特性となりやすい。このため、ＳＩＭＳにより得られる酸化物半導体中のアルカリ金属又はアルカリ土類金属の濃度を、$１\times１０^{18}ａｔｏｍｓ／ｃｍ^{3}$以下、好ましくは$２\times１０^{16}ａｔｏｍｓ／ｃｍ^{3}$以下にする。

［０７７２］

また、酸化物半導体において、窒素が含まれると、キャリアである電子が生じ、キャリア濃度が増加し、ｎ型化しやすい。この結果、窒素が含まれている酸化物半導体を半導体に用いたトランジ

スタはノーマリーオン特性となりやすい。または、酸化物半導体において、窒素が含まれると、トラップ準位が形成される場合がある。この結果、トランジスタの電気特性が不安定となる場合がある。このため、ＳＩＭＳにより得られる酸化物半導体中の窒素濃度を、５×１０^{19}ａｔｏｍｓ／ｃｍ^{3}未満、好ましくは５×１０^{18}ａｔｏｍｓ／ｃｍ^{3}以下、より好ましくは１×１０^{18}ａｔｏｍｓ／ｃｍ^{3}以下、さらに好ましくは５×１０^{17}ａｔｏｍｓ／ｃｍ^{3}以下にする。

［０７７３］

また、酸化物半導体に含まれる水素は、金属原子と結合する酸素と反応して水になるため、酸素欠損を形成する場合がある。該酸素欠損に水素が入ることで、キャリアである電子が生成される場合がある。また、水素の一部が金属原子と結合する酸素と結合して、キャリアである電子を生成することがある。従って、水素が含まれている酸化物半導体を用いたトランジスタはノーマリーオン特性となりやすい。このため、酸化物半導体中の水素はできる限り低減されていることが好ましい。具体的には、酸化物半導体において、ＳＩＭＳにより得られる水素濃度を、１×１０^{20}ａｔｏｍｓ／ｃｍ^{3}未満、好ましくは１×１０^{19}ａｔｏｍｓ／ｃｍ^{3}未満、より好ましくは５×１０^{18}ａｔｏｍｓ／ｃｍ^{3}未満、さらに好ましくは１×１０^{18}ａｔｏｍｓ／ｃｍ^{3}未満にする。

［０７７４］

不純物が十分に低減された酸化物半導体をトランジスタのチャネル形成領域に用いることで、安定した電気特性を付与することができる。

［０７７５］

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

［０７７６］

（実施の形態８）

本実施の形態は、上記実施の形態に示す半導体装置などが形成された半導体ウェハ、及び当該半導体装置が組み込まれた電子部品の一例を示す。

［０７７７］

＜半導体ウェハ＞

初めに、半導体装置などが形成された半導体ウェハの例を、図３９Ａを用いて説明する。

［０７７８］

図３９Ａに示す半導体ウェハ４８００は、ウェハ４８０１と、ウェハ４８０１の上面に設けられた複数の回路部４８０２と、を有する。なお、ウェハ４８０１の上面において、回路部４８０２の無い部分は、スペーシング４８０３であり、ダイシング用の領域である。

［０７７９］

半導体ウェハ４８００は、ウェハ４８０１の表面に対して、前工程によって複数の回路部４８０２を形成することで作製することができる。また、その後に、ウェハ４８０１の複数の回路部４８０２が形成された反対側の面を研削して、ウェハ４８０１の薄膜化をしてもよい。この工程により、ウェハ４８０１の反りなどを低減し、部品としての小型化を図ることができる。

［０７８０］

次の工程としては、ダイシング工程が行われる。ダイシングは、一点鎖線で示したスクライブラインＳＣＬ１及びスクライブラインＳＣＬ２（ダイシングライン、又は切断ラインと呼称する場合がある）に沿って行われる。なお、スペーシング４８０３は、ダイシング工程を容易に行うために、複数のスクライブラインＳＣＬ１が平行になるように設け、複数のスクライブラインＳＣＬ２が平

行になるように設け、スクライブラインＳＣＬ１とスクライブラインＳＣＬ２が垂直になるように設けることが好ましい。

［０７８１］

ダイシング工程を行うことにより、図３９Ｂに示すようなチップ４８００ａを、半導体ウェハ４８００から切り出すことができる。チップ４８００ａは、ウェハ４８０１ａと、回路部４８０２と、スペーシング４８０３ａと、を有する。なお、スペーシング４８０３ａは、極力小さくなるようにすることが好ましい。この場合、隣り合う回路部４８０２の間のスペーシング４８０３の幅が、スクライブラインＳＣＬ１の切りしろと、又はスクライブラインＳＣＬ２の切りしろとほぼ同等の長さであればよい。

［０７８２］

なお、本発明の一態様の素子基板の形状は、図３９Ａに図示した半導体ウェハ４８００の形状に限定されない。例えば、矩形の形状の半導体ウェハあってもよい。素子基板の形状は、素子の作製工程、及び素子を作製するための装置に応じて、適宜変更することができる。

［０７８３］

＜電子部品＞

図３９Ｃに電子部品４７００および電子部品４７００が実装された基板（実装基板４７０４）の斜視図を示す。図３９Ｃに示す電子部品４７００は、モールド４７１１内にチップ４８００ａを有している。なお、図３９Ｃに示すとおり、チップ４８００ａは、回路部４８０２が積層された構成としてもよい。図３９Ｃは、電子部品４７００の内部を示すために、一部を省略している。電子部品４７００は、モールド４７１１の外側にランド４７１２を有する。ランド４７１２は電極パッド４７１３と電気的に接続され、電極パッド４７１３はチップ４８００ａとワイヤ４７１４によって電気的に接続されている。電子部品４７００は、例えばプリント基板４７０２に実装される。このような電子部品が複数組み合わされて、それぞれがプリント基板４７０２上で電気的に接続されることで実装基板４７０４が完成する。

［０７８４］

図３９Ｄに電子部品４７３０の斜視図を示す。電子部品４７３０は、ＳｉＰ（Ｓｙｓｔｅｍ ｉｎ ｐａｃｋａｇｅ）またはMCM（Ｍｕｌｔｉ Ｃｈｉｐ Ｍｏｄｕｌｅ）の一例である。電子部品４７３０は、パッケージ基板４７３２（プリント基板）上にインターポーザ４７３１が設けられ、インターポーザ４７３１上に半導体装置４７３５、および複数の半導体装置４７１０が設けられている。

［０７８５］

電子部品４７３０では、半導体装置４７１０を有する。半導体装置４７１０としては、例えば、上記実施の形態で説明した半導体装置、広帯域メモリ（ＨＢＭ：Ｈｉｇｈ Ｂａｎｄｗｉｄｔｈ Ｍｅｍｏｒｙ）などとすることができる。また、半導体装置４７３５は、ＣＰＵ、ＧＰＵ、ＦＰＧＡ、記憶装置などの集積回路（半導体装置）を用いることができる。

［０７８６］

パッケージ基板４７３２は、セラミック基板、プラスチック基板、またはガラスエポキシ基板などを用いることができる。インターポーザ４７３１は、シリコンインターポーザ、樹脂インターポーザなどを用いることができる。

［０７８７］

インターポーザ４７３１は、複数の配線を有し、端子ピッチの異なる複数の集積回路を電気的に接続する機能を有する。複数の配線は、単層または多層で設けられる。また、インターポーザ４７３１は、インターポーザ４７３１上に設けられた集積回路をパッケージ基板４７３２に設けられた電極と電気的に接続する機能を有する。これらのことから、インターポーザを「再配線基板」または「中間基板」と呼称する場合がある。また、インターポーザ４７３１に貫通電極を設けて、当該貫通電極を用いて集積回路とパッケージ基板４７３２を電気的に接続する場合もある。また、シリコンインターポーザでは、貫通電極として、ＴＳＶ（Ｔｈｒｏｕｇｈ　Ｓｉｌｉｃｏｎ　Ｖｉａ）を用いることも出来る。

［０７８８］

インターポーザ４７３１としてシリコンインターポーザを用いることが好ましい。シリコンインターポーザでは能動素子を設ける必要が無いため、集積回路よりも低コストで作製することができる。一方で、シリコンインターポーザの配線形成は半導体プロセスで行なうことができるため、樹脂インターポーザでは難しい微細配線の形成が容易である。

［０７８９］

ＨＢＭでは、広いメモリバンド幅を実現するために多くの配線を接続する必要がある。このため、ＨＢＭを実装するインターポーザには、微細かつ高密度の配線形成が求められる。よって、ＨＢＭを実装するインターポーザには、シリコンインターポーザを用いることが好ましい。

［０７９０］

また、シリコンインターポーザを用いたＳｉＰやＭＣＭなどでは、集積回路とインターポーザ間の膨張係数の違いによる信頼性の低下が生じにくい。また、シリコンインターポーザは表面の平坦性が高いため、シリコンインターポーザ上に設ける集積回路とシリコンインターポーザ間の接続不良が生じにくい。特に、インターポーザ上に複数の集積回路を横に並べて配置する２．５Ｄパッケージ（２．５次元実装）では、シリコンインターポーザを用いることが好ましい。

［０７９１］

また、電子部品４７３０と重ねてヒートシンク（放熱板）を設けてもよい。ヒートシンクを設ける場合は、インターポーザ４７３１上に設ける集積回路の高さを揃えることが好ましい。例えば、本実施の形態に示す電子部品４７３０では、半導体装置４７１０と半導体装置４７３５の高さを揃えることが好ましい。

［０７９２］

電子部品４７３０を他の基板に実装するため、パッケージ基板４７３２の底部に電極４７３３を設けてもよい。図３９Ｄでは、電極４７３３を半田ボールで形成する例を示している。パッケージ基板４７３２の底部に半田ボールをマトリクス状に設けることで、ＢＧＡ（Ｂａｌｌ　Ｇｒｉｄ　Ａｒｒａｙ）実装を実現できる。また、電極４７３３を導電性のピンで形成してもよい。パッケージ基板４７３２の底部に導電性のピンをマトリクス状に設けることで、ＰＧＡ（Ｐｉｎ　Ｇｒｉｄ　Ａｒｒａｙ）実装を実現できる。

［０７９３］

電子部品４７３０は、ＢＧＡおよびＰＧＡに限らず様々な実装方法を用いて他の基板に実装することができる。例えば、ＳＰＧＡ（Ｓｔａｇｇｅｒｅｄ　Ｐｉｎ　Ｇｒｉｄ　Ａｒｒａｙ）、ＬＧＡ（Ｌａｎｄ　Ｇｒｉｄ　Ａｒｒａｙ）、ＱＦＰ（Ｑｕａｄ　Ｆｌａｔ　Ｐａｃｋａｇｅ）、ＱＦＪ（Ｑｕａｄ　Ｆｌａｔ　Ｊ－ｌｅａｄｅｄ　ｐａｃｋａｇｅ）、またはＱＦＮ（Ｑｕａｄ　Ｆｌ

ａｔ　Ｎｏｎ－ｌｅａｄｅｄ　ｐａｃｋａｇｅ）などの実装方法を用いることができる。

［０７９４］

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

［０７９５］

（実施の形態９）

本実施の形態では、上記実施の形態で説明した半導体装置を有する電子機器の一例について説明する。なお、図４０には、当該半導体装置を有する電子部品４７００が各電子機器に含まれている様子を図示している。

［０７９６］

［携帯電話］

図４０に示す情報端末５５００は、情報端末の一種である携帯電話（スマートフォン）である。情報端末５５００は、筐体５５１０と、表示部５５１１と、を有しており、入力用インターフェースとして、タッチパネルが表示部５５１１に備えられ、ボタンが筐体５５１０に備えられている。

［０７９７］

情報端末５５００は、上記実施の形態で説明した半導体装置を適用することで、人工知能を利用したアプリケーションを実行することができる。人工知能を利用したアプリケーションとしては、例えば、会話を認識してその会話内容を表示部５５１１に表示するアプリケーション、表示部５５１１に備えるタッチパネルに対してユーザが入力した文字、図形などを認識して、表示部５５１１に表示するアプリケーション、指紋や声紋などの生体認証を行うアプリケーションなどが挙げられる。また、情報端末５５００は、上記実施の形態の半導体装置を適用することで、上述したアプリケーションを低消費電力で実行することができる。

［０７９８］

［ウェアラブル端末］

また、図４０には、ウェアラブル端末の一例として腕時計型の情報端末５９００が図示されている。情報端末５９００は、筐体５９０１、表示部５９０２、操作ボタン５９０３、操作子５９０４、バンド５９０５などを有する。

［０７９９］

ウェアラブル端末は、先述した情報端末５５００と同様に、上記実施の形態で説明した半導体装置を適用することで、人工知能を利用したアプリケーションを実行することができる。人工知能を利用したアプリケーションとしては、例えば、ウェアラブル端末を装着した人の健康状態を管理するアプリケーション、目的地を入力することで最適な道を選択して誘導するナビゲーションシステムなどが挙げられる。また、情報端末５９００は、上記実施の形態の半導体装置を適用することで、上述したアプリケーションやシステムを低消費電力で実行することができる。

［０８００］

［情報端末］

また、図４０には、デスクトップ型情報端末５３００が図示されている。デスクトップ型情報端末５３００は、情報端末の本体５３０１と、ディスプレイ５３０２と、キーボード５３０３と、を有する。

［０８０１］

デスクトップ型情報端末５３００は、先述した情報端末５５００と同様に、上記実施の形態で説

明した半導体装置を適用することで、人工知能を利用したアプリケーションを実行することができる。人工知能を利用したアプリケーションとしては、例えば、設計支援ソフトウェア、文章添削ソフトウェア、献立自動生成ソフトウェアなどが挙げられる。また、デスクトップ型情報端末５３００を用いることで、新規の人工知能の開発を行うことができる。

［０８０２］

なお、上述では、電子機器としてスマートフォン、デスクトップ用情報端末、ウェアラブル端末を例として、それぞれ図４０に図示したが、スマートフォン、デスクトップ用情報端末、ウェアラブル端末以外の情報端末を適用することができる。スマートフォン、デスクトップ用情報端末、ウェアラブル端末以外の情報端末としては、例えば、ＰＤＡ（Ｐｅｒｓｏｎａｌ　Ｄｉｇｉｔａｌ　Ａｓｓｉｓｔａｎｔ）、ノート型情報端末、ワークステーションなどが挙げられる。

［０８０３］

［電化製品］

また、図４０には、電化製品の一例として電気冷凍冷蔵庫５８００が図示されている。電気冷凍冷蔵庫５８００は、筐体５８０１、冷蔵室用扉５８０２、冷凍室用扉５８０３等を有する。

［０８０４］

電気冷凍冷蔵庫５８００に上記実施の形態で説明した半導体装置を適用することによって、人工知能を有する電気冷凍冷蔵庫５８００を実現することができる。人工知能を利用することによって電気冷凍冷蔵庫５８００は、電気冷凍冷蔵庫５８００に保存されている食材、その食材の消費期限などを基に献立を自動生成する機能や、電気冷凍冷蔵庫５８００に保存されている食材に合わせた温度に自動的に調節する機能などを有することができる。

［０８０５］

本一例では、電化製品として電気冷凍冷蔵庫について説明したが、その他の電化製品としては、例えば、掃除機、電子レンジ、電気オーブン、炊飯器、湯沸かし器、ＩＨ（Ｉｎｄｕｃｔｉｏｎ　Ｈｅａｔｉｎｇ）調理器、ウォーターサーバ、エアーコンディショナーを含む冷暖房器具、洗濯機、乾燥機、オーディオビジュアル機器などが挙げられる。

［０８０６］

［ゲーム機］

また、図４０には、ゲーム機の一例である携帯ゲーム機５２００が図示されている。携帯ゲーム機５２００は、筐体５２０１、表示部５２０２、ボタン５２０３等を有する。

［０８０７］

更に、図４０には、ゲーム機の一例である据え置き型ゲーム機７５００が図示されている。据え置き型ゲーム機７５００は、本体７５２０と、コントローラ７５２２を有する。なお、本体７５２０には、無線または有線によってコントローラ７５２２を接続することができる。また、図４０に示していないが、コントローラ７５２２は、ゲームの画像を表示する表示部、ボタン以外の入力インターフェースとなるタッチパネルやスティック、回転式つまみ、スライド式つまみなどを備えることができる。また、コントローラ７５２２は、図４０に示す形状に限定されず、ゲームのジャンルに応じて、コントローラ７５２２の形状を様々に変更してもよい。例えば、ＦＰＳ（Ｆｉｒｓｔ　Ｐｅｒｓｏｎ　Ｓｈｏｏｔｅｒ）などのシューティングゲームでは、トリガーをボタンとし、銃を模した形状のコントローラを用いることができる。また、例えば、音楽ゲームなどでは、楽器、音楽機器などを模した形状のコントローラを用いることができる。更に、据え置き型ゲーム機は、コ

ントローラを使わず、代わりにカメラ、深度センサ、マイクロフォンなどを備えて、ゲームプレイヤーのジェスチャー、及び／又は音声によって操作する形式としてもよい。

［０８０８］

また、上述したゲーム機の映像は、テレビジョン装置、パーソナルコンピュータ用ディスプレイ、ゲーム用ディスプレイ、ヘッドマウントディスプレイなどの表示装置によって、出力することができる。

［０８０９］

携帯ゲーム機５２００に上記実施の形態で説明した半導体装置を適用することによって、低消費電力の携帯ゲーム機５２００を実現することができる。また、低消費電力により、回路からの発熱を低減することができるため、発熱によるその回路自体、周辺回路、及びモジュールへの影響を少なくすることができる。

［０８１０］

更に、携帯ゲーム機５２００に上記実施の形態で説明した半導体装置を適用することによって、人工知能を有する携帯ゲーム機５２００を実現することができる。

［０８１１］

本来、ゲームの進行、ゲーム上に登場する生物の言動、ゲーム上で発生する現象などの表現は、そのゲームが有するプログラムによって定められているが、携帯ゲーム機５２００に人工知能を適用することにより、ゲームのプログラムに限定されない表現が可能になる。例えば、プレイヤーが問いかける内容、ゲームの進行状況、時刻、ゲーム上に登場する人物の言動が変化するといった表現が可能となる。

［０８１２］

また、携帯ゲーム機５２００で複数のプレイヤーが必要なゲームを行う場合、人工知能によって擬人的にゲームプレイヤーを構成することができるため、対戦相手を人工知能によるゲームプレイヤーとすることによって、１人でもゲームを行うことができる。

［０８１３］

図４０では、ゲーム機の一例として携帯ゲーム機を図示しているが、本発明の一態様の電子機器はこれに限定されない。本発明の一態様の電子機器としては、例えば、家庭用の据え置き型ゲーム機、娯楽施設（ゲームセンター、遊園地など）に設置されるアーケードゲーム機、スポーツ施設に設置されるバッティング練習用の投球マシンなどが挙げられる。

［０８１４］

［移動体］

上記実施の形態で説明した半導体装置は、移動体である自動車、及び自動車の運転席周辺に適用することができる。

［０８１５］

図４０には移動体の一例である自動車５７００が図示されている。

［０８１６］

自動車５７００の運転席周辺には、スピードメーターやタコメーター、走行距離、燃料計、ギア状態、エアコンの設定などを表示することができるインストゥルメントパネルが備えられている。また、運転席周辺には、それらの情報を示す表示装置が備えられていてもよい。

［０８１７］

特に当該表示装置には、自動車５７００に設けられた撮像装置（図示しない。）からの映像を映し出すことによって、ピラーなどで遮られた視界、運転席の死角などを補うことができ、安全性を高めることができる。すなわち、自動車５７００の外側に設けられた撮像装置からの画像を表示することによって、死角を補い、安全性を高めることができる。

［０８１８］

上記実施の形態で説明した半導体装置は人工知能の構成要素として適用できるため、例えば、当該半導体装置を自動車５７００の自動運転システムに用いることができる。また、当該半導体装置を道路案内、危険予測などを行うシステムに用いることができる。当該表示装置には、道路案内、危険予測などの情報を表示する構成としてもよい。また、当該半導体装置を用いることによって、低消費電力の自動運転システムを実現することができるため、例えば、当該システムを電気自動車に搭載する場合は当該システムによる消費電力が抑制され、結果として自動車の航続距離を向上させることができる。

［０８１９］

なお、上述では、移動体の一例として自動車について説明しているが、移動体は自動車に限定されない。例えば、移動体としては、電車、モノレール、船、飛行体（ヘリコプター、無人航空機（ドローン）、飛行機、ロケット）なども挙げることができ、これらの移動体に本発明の一態様の半導体装置を適用して、人工知能を利用したシステムを付与することができる。

［０８２０］

［カメラ］

上記実施の形態で説明した半導体装置は、カメラに適用することができる。

［０８２１］

図４０には、撮像装置の一例であるデジタルカメラ６２４０が図示されている。デジタルカメラ６２４０は、筐体６２４１、表示部６２４２、操作ボタン６２４３、シャッターボタン６２４４等を有し、また、デジタルカメラ６２４０には、着脱可能なレンズ６２４６が取り付けられている。なお、ここではデジタルカメラ６２４０を、レンズ６２４６を筐体６２４１から取り外して交換することが可能な構成としたが、レンズ６２４６と筐体６２４１とが一体となっていてもよい。また、デジタルカメラ６２４０は、ストロボ装置や、ビューファインダー等を別途装着することができる構成としてもよい。

［０８２２］

デジタルカメラ６２４０に上記実施の形態で説明した半導体装置を適用することによって、低消費電力のデジタルカメラ６２４０を実現することができる。また、低消費電力により、回路からの発熱を低減することができるため、発熱によるその回路自体、周辺回路、及びモジュールへの影響を少なくすることができる。

［０８２３］

更に、デジタルカメラ６２４０に上記実施の形態で説明した半導体装置を適用することによって、人工知能を有するデジタルカメラ６２４０を実現することができる。人工知能を利用することによって、デジタルカメラ６２４０は、顔、物体など被写体を自動的に認識する機能、又は当該被写体に合わせたピント調節、環境に合わせて自動的にフラッシュを焚く機能、撮像した画像を調色する機能などを有することができる。

［０８２４］

［ビデオカメラ］

上記実施の形態で説明した半導体装置は、ビデオカメラに適用することができる。

［０８２５］

図４０には、撮像装置の一例であるビデオカメラ６３００が図示されている。ビデオカメラ６３００は、第１筐体６３０１、第２筐体６３０２、表示部６３０３、操作キー６３０４、レンズ６３０５、接続部６３０６等を有する。操作キー６３０４及びレンズ６３０５は第１筐体６３０１に設けられており、表示部６３０３は第２筐体６３０２に設けられている。そして、第１筐体６３０１と第２筐体６３０２とは、接続部６３０６により接続されており、第１筐体６３０１と第２筐体６３０２の間の角度は、接続部６３０６により変更が可能である。表示部６３０３における映像を、接続部６３０６における第１筐体６３０１と第２筐体６３０２との間の角度に従って切り替える構成としてもよい。

［０８２６］

ビデオカメラ６３００で撮影した映像を記録する際、データの記録形式に応じたエンコードを行う必要がある。人工知能を利用することによって、ビデオカメラ６３００は、エンコードの際に、人工知能によるパターン認識を行うことができる。このパターン認識によって、連続する撮像画像データに含まれる人、動物、物体などの差分データを算出して、データの圧縮を行うことができる。また、ビデオカメラ６３００を上記実施の形態で説明した半導体装置を適用することによって、ビデオカメラ６３００の上述した動作などに必要な消費電力を低減することができる。

［０８２７］

［ＰＣ用の拡張デバイス］

上記実施の形態で説明した半導体装置は、ＰＣ（Ｐｅｒｓｏｎａｌ　Ｃｏｍｐｕｔｅｒ）などの計算機、情報端末用の拡張デバイスに適用することができる。

［０８２８］

図４１Ａは、当該拡張デバイスの一例として、持ち運びのできる、演算処理が可能なチップが搭載された、ＰＣに外付けする拡張デバイス６１００を示している。拡張デバイス６１００は、例えば、ＵＳＢ（Ｕｎｉｖｅｒｓａｌ　Ｓｅｒｉａｌ　Ｂｕｓ）などでＰＣに接続することで、当該チップによる演算処理を行うことができる。なお、図４１Ａは、持ち運びが可能な形態の拡張デバイス６１００を図示しているが、本発明の一態様に係る拡張デバイスは、これに限定されず、例えば、冷却用ファンなどを搭載した比較的大きい形態の拡張デバイスとしてもよい。

［０８２９］

拡張デバイス６１００は、筐体６１０１、キャップ６１０２、ＵＳＢコネクタ６１０３及び基板６１０４を有する。基板６１０４は、筐体６１０１に収納されている。基板６１０４には、上記実施の形態で説明した半導体装置などを駆動する回路が設けられている。例えば、基板６１０４には、チップ６１０５（例えば、上記実施の形態で説明した半導体装置、電子部品４７００、メモリチップなど。）、コントローラチップ６１０６が取り付けられている。ＵＳＢコネクタ６１０３は、外部装置と接続するためのインターフェースとして機能する。

［０８３０］

拡張デバイス６１００をＰＣなど用いることにより、当該ＰＣの演算処理能力を高くすることができる。これにより、処理能力の足りないＰＣでも、例えば、人工知能、動画処理などの演算を行うことができる。

［０８３１］

［放送システム］

上記実施の形態で説明した半導体装置は、放送システムに適用することができる。

［０８３２］

図４１Ｂは、放送システムにおけるデータ伝送を模式的に示している。具体的には、図４１Ｂは、放送局５６８０から送信された電波（放送信号）が、各家庭のテレビジョン受信装置（ＴＶ）５６００に届くまでの経路を示している。ＴＶ５６００は、受信装置を備え（図示しない。）、アンテナ５６５０で受信された放送信号は、当該受信装置を介して、ＴＶ５６００に送信される。

［０８３３］

図４１Ｂでは、アンテナ５６５０は、ＵＨＦ（Ｕｌｔｒａ　Ｈｉｇｈ　Ｆｒｅｑｕｅｎｃｙ）アンテナを図示しているが、アンテナ５６５０としては、ＢＳ・１１０°ＣＳアンテナ、ＣＳアンテナなども適用できる。

［０８３４］

電波５６７５Ａ、電波５６７５Ｂは地上波放送用の放送信号であり、電波塔５６７０は受信した電波５６７５Ａを増幅して、電波５６７５Ｂの送信を行う。各家庭では、アンテナ５６５０で電波５６７５Ｂを受信することで、ＴＶ５６００で地上波放送を視聴することができる。なお、放送システムは、図４１Ｂに示す地上波放送に限定せず、人工衛星を用いた衛星放送、光回線によるデータ放送などとしてもよい。

［０８３５］

上述した放送システムは、上記実施の形態で説明した半導体装置を適用して、人工知能を利用した放送システムとしてもよい。放送局５６８０から各家庭のＴＶ５６００に放送データを送信するとき、エンコーダによって放送データの圧縮が行われ、アンテナ５６５０が当該放送データを受信したとき、ＴＶ５６００に含まれる受信装置のデコーダによって当該放送データの復元が行われる。人工知能を利用することによって、例えば、エンコーダの圧縮方法の一である動き補償予測において、表示画像に含まれる表示パターンの認識を行うことができる。また、人工知能を利用したフレーム内予測などを行うこともできる。また、例えば、解像度の低い放送データを受信して、解像度の高いＴＶ５６００で当該放送データの表示を行うとき、デコーダによる放送データの復元において、アップコンバートなどの画像の補間処理を行うことができる。

［０８３６］

上述した人工知能を利用した放送システムは、放送データの量が増大する超高精細度テレビジョン（ＵＨＤＴＶ：４Ｋ、８Ｋ）放送に対して好適である。

［０８３７］

また、ＴＶ５６００側における人工知能の応用として、例えば、ＴＶ５６００に人工知能を有する録画装置を設けてもよい。このような構成にすることによって、当該録画装置にユーザの好みを人工知能に学習させることで、ユーザの好みにあった番組を自動的に録画することができる。

［０８３８］

［認証システム］

上記実施の形態で説明した半導体装置は、認証システムに適用することができる。

［０８３９］

図４１Ｃは、掌紋認証装置を示しており、筐体６４３１、表示部６４３２、掌紋読み取り部６４

３３、配線６４３４を有している。

［０８４０］

図４１Ｃには、掌紋認証装置が手６４３５の掌紋を取得する様子を示している。取得した掌紋は、人工知能を利用したパターン認識の処理が行われ、当該掌紋が本人のものであるかどうかの判別を行うことができる。これにより、セキュリティの高い認証を行うシステムを構築することができる。また、本発明の一態様に係る認証システムは、掌紋認証装置に限定されず、指紋、静脈、顔、虹彩、声紋、遺伝子、体格などの生体情報を取得して生体認証を行う装置であってもよい。

［０８４１］

［報知器］

上記実施の形態で説明した半導体装置は、報知器に適用することができる。

［０８４２］

図４２Ａには、報知器６９００が図示されており、報知器６９００は、感知機６９０１と、受信機６９０２と、発信機６９０３とを有する。

［０８４３］

感知機６９０１は、センサ回路６９０４、通気口６９０５、操作キー６９０６等を有する。通気口６９０５を通過した検知対象物は、センサ回路６９０４にセンシングされる。センサ回路６９０４としては、例えば、漏水、漏電、ガス漏洩、火災、氾濫する恐れのある河川の水位、地震の震度、放射線などを検知対象物とする検知器とすることができる。特に、火災時の煙、ガス漏洩、放射線などを検知対象物とする場合、実施の形態４で説明した臭覚センサＳＭＳを用いることができる。

［０８４４］

感知機６９０１は、例えば、規定値以上の検知対象物がセンサ回路６９０４にて感知されると、その情報を受信機６９０２に送る。受信機６９０２は、表示部６９０７、操作キー６９０８、操作キー６９０９、配線６９１０等を有する。受信機６９０２は、感知機６９０１からの情報に従って、発信機６９０３の動作を制御する。発信機６９０３は、スピーカ６９１１、照明装置６９１２などを有する。発信機６９０３は、発信機６９０３からの命令に従って、警報を発信する機能を有する。図４２Ａでは、発信機６９０３が、スピーカ６９１１を用いた音声による警報と、赤色灯などの照明装置６９１２を用いた光による警報とを共に行う例を示しているが、いずれか一方のみの警報またはそれ以外の警報を、発信機６９０３が行うようにしてもよい。

［０８４５］

また、センサ回路が火災報知器として機能する場合、警報の発信に伴い、シャッターなどの防火設備に、所定の動作を行う旨の命令を受信機６９０２が送るようにしてもよい。また、図４２Ａでは、受信機６９０２と感知機６９０１との間において無線で信号の送受信が行われる場合を例示したが、配線等を介して信号の送受信が行われていてもよい。また、図４２Ａでは、受信機６９０２から発信機６９０３へ、配線６９１０を介して信号の送信が行われている場合を例示したが、無線で信号の送信が行われていてもよい。また、実施の形態４で説明した臭覚センサＳＭＳを用いることで、燃焼によって発生した煙から、どのような可燃物が燃えているかを特定することができる場合がある。特に、火災は可燃物によって消火方法が異なるため、火災原因となっている可燃物を特定することは、早期に消火することに繋げることができる。

［０８４６］

［ロボット］

上記で説明した半導体装置は、ロボットに適用することができる。

［０８４７］

図４２Ｂは、ロボットの一例を示している。ロボット６１４０は、それぞれの触覚センサ６１４１ａ乃至触覚センサ６１４１ｅを有する。ロボット６１４０は、触覚センサ６１４１ａ乃至触覚センサ６１４１ｅを用いて、対象物をつかむことができる。触覚センサ６１４１ａ乃至触覚センサ６１４１ｅとしては、例えば、対象物に触れたときの接地面積に応じて、対象物に対して電流が流れる機能を有し、流れる電流の量からロボット６１４０が対象物をつかんでいるという認識をすることができる。

［０８４８］

図４２Ｃは、産業用ロボットの一例を示している。産業用ロボットは、駆動範囲を細かく制御するために複数の駆動軸を有することが好ましい。産業用ロボット６１５０は、機能部６１５１、制御部６１５２、駆動軸６１５３、駆動軸６１５４、及び駆動軸６１５５を備えた例を示している。機能部６１５１は画像検出モジュールなどのセンサを有していることが好ましい。

［０８４９］

また、機能部６１５１は、対象物をつかむ、切る、溶接する、塗布する、貼付するなどの機能のいずれか一もしくは複数の機能を有していることが好ましい。産業用ロボット６１５０は、応答性が向上すると、生産性が比例して向上する。また、産業用ロボット６１５０が精密な動作を行うためには、微小電流を検知するセンサなどを設けることが好ましい。

［０８５０］

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

［実施例１］

［０８５１］

上記の実施の形態で説明した演算回路ＭＡＣ１、演算回路ＭＡＣ１Ａ、演算回路ＭＡＣ２、又は演算回路ＭＡＣ３の構成において、第１データと第２データとの積和演算が適切に行われているかを確認するため、実際に回路を作製して、当該回路について測定を行った。

［０８５２］

＜乗算回路＞

図４３には、実際に作製した演算回路の一部の構成を示している。図４３に示すセルＩＭ、及びセルＩＭｒｅｆのそれぞれは、図１のセルアレイＣＡのある行に設けられているセルＩＭ、及びセルＩＭｒｅｆに相当する。そのため、図４３のセルＩＭとセルＩＭｒｅｆとは、同じ行の配線ＷＳＬに電気的に接続され、また、図４３のセルＩＭとセルＩＭｒｅｆとは、同じ行の配線ＸＣＬに電気的に接続されている。また、図４３のセルＩＭ及びセルＩＭｒｅｆの回路構成については、図１の演算回路ＭＡＣ１の説明を参酌する。

［０８５３］

また、セルＩＭ、及びセルＩＭｒｅｆに含まれているトランジスタＦ１、トランジスタＦ２、トランジスタＦ１ｍ、及びトランジスタＦ２ｍのそれぞれのサイズとしては、チャネル長を３５０ｎｍ、チャネル幅を３５０ｎｍとした。

［０８５４］

実施の形態１で説明した通り、図４３に示すトランジスタＦ２、及びトランジスタＦ２ｍは、サ

ブスレッショルド領域、すなわち、ゲート電圧の変化に対してドレイン電流が指数関数的に変化する領域で動作するように、トランジスタＦ２、及びトランジスタＦ２ｍのそれぞれのソース、ドレイン、ゲートには適切な電圧がバイアスされるものとする。

［０８５５］

また、配線ＶＥが与える電位を接地電位として０Ｖとした。

［０８５６］

初めに、配線ＷＳＬに高レベル電位を入力して、トランジスタＦ１、及びトランジスタＦ１ｍをオン状態にする。次に、配線ＷＣＬに基準電流I_{W0}のW倍の電流WI_{W0}を入力し、配線ＸＣＬに基準電流I_{X0}を入力する。このとき、トランジスタＦ１のゲート電圧は、トランジスタＦ１のソースードレイン間に電流WI_{W0}が流しうる電圧に自己収束的に設定され、かつトランジスタＦ１ｍのゲート電圧は、トランジスタＦ１ｍのソースードレイン間に電流I_{X0}が流しうる電圧に自己収束的に設定される。トランジスタＦ１、及びトランジスタＦ１ｍのそれぞれのゲート電圧が収束した後、配線ＷＳＬに低レベル電位を入力して、トランジスタＦ１、及びトランジスタＦ１ｍをオフ状態にして、トランジスタＦ１、及びトランジスタＦ１ｍのそれぞれのゲート電圧を保持する。なお、これらの動作は、図６のタイミングチャートの時刻Ｔ１２から時刻Ｔ１４までの動作に相当し、以後、第１動作と呼称する。

［０８５７］

次に、配線ＸＣＬに基準電流I_{X0}のＸ倍の電流$I_X=XI_{X0}$を入力し、配線ＷＣＬには定電圧Ｖｄを印加する。このとき、配線ＸＣＬの電圧が変化するため、トランジスタＦ１のゲート電圧は容量Ｃ５の容量結合によって変動する。このとき、トランジスタＦ１のソースードレイン間に流れる電流は、基準電流I_{W0}のＹ倍の電流$I_Y=YI_{W0}$が流れるものとする。また、トランジスタＦ１、及びトランジスタＦ２は、サブスレッショルド領域で動作するため、$YI_{W0}=WXI_{W0}$とすることができる。つまり、YはWとＸとの積となる。なお、これらの動作は、図６のタイミングチャートの時刻Ｔ２１から時刻Ｔ２３までの動作に相当し、以後、第２動作と呼称する。

［０８５８］

＜＜乗算特性＞＞

ここで、I_{W0}を１ｎＡ、I_{X0}を１ｎＡ、Ｖｄを１Ｖとして、W及びＸのそれぞれを０．０から１．０まで０．１刻みで変化させたときのI_X-I_Y特性を測定した。図４４Ａに、その測定結果であるI_X-I_Y特性を示す。特に、I_Yは、Wを決定した第１動作後の第２動作において、トランジスタＦ１のソースードレイン間に流れる電流を３０回測定した中央値を示している。また、I_Yのばらつきσは、０．１ｎＡ未満であった。

［０８５９］

図４４ＡのI_X-I_Y特性から、各Wの値におけるＸと、I_Yと、の相関係数は、０．９６９以上であることが見積もられた。このことから、図４３の回路におけるWとＸとの乗算特性（Ｙ＝ＷＸ）は良好であることがいえる。

［０８６０］

＜＜保持特性＞＞

また、図４３に示した回路の保持特性を調べるため、第１動作においてＷ＝１．０とし、第１動作の直後（０ｓ）と、１０８０００ｓ経過後と、のそれぞれのI_X-I_Y特性を測定した。図４４Ｂにその測定結果であるI_X-I_Y特性を示す。図４４に示す通り、第１動作の直後（０ｓ）から１０

８０００ｓ経過までにおけるＩ$_Y$の変化量は、３％未満であった。このことから、図４３の回路における保持特性は良好であることがいえる。

［０８６１］

＜＜電流書き込みと電圧書き込みとによる素子ばらつきの違い＞＞

上述した第１動作、及び第２動作は、配線ＷＣＬ、及び配線ＸＣＬに所望の電流を供給して、ＷとＸとの乗算を行う動作（以後、電流書き込み方式と呼称し、図ではＣｕｒｒｅｎｔ　ｗｒｉｔｅと表記する）であるが、トランジスタＦ１、及びトランジスタＦ１ｍのそれぞれのゲートに電圧を書き込んで、ＷとＸとの乗算を行う動作（以後、電圧書き込み方式と呼称し、図ではＶｏｌｔａｇｅ　ｗｒｉｔｅと表記する）も原理的に可能である。ここでは、電流書き込み方式と、電圧書き込み方式と、によって、素子ばらつきσがどの程度表れるかを調査した。

［０８６２］

なお、素子ばらつきσの測定として、図４３に示した回路を１６個準備し、それぞれの回路で、電流書き込み方式の乗算、及び電圧書き込み方式の乗算を行った。

［０８６３］

図４５Ａには、１６個の図４３の回路において、電流書き込み方式と、電圧書き込み方式と、のそれぞれ場合で乗算を行った時の、Ｉ$_X$－Ｉ$_Y$特性を示している。図４５Ａより、電圧書き込み方式ではＩ$_Y$の素子ばらつきσは３９％であったが、電流書き込み方式ではＩ$_Y$の素子ばらつきσは７％であった。つまり、図４３の回路は、電流書き込み方式で乗算を行うことによって、電圧書き込み方式よりも素子ばらつきを低減することができることが確認できた。

［０８６４］

次に、Ｉ$_Y$の素子ばらつきσの、各素子におけるトランジスタＦ１とトランジスタＦ１ｍとのしきい値電圧の差ΔＶ$_{th}$の依存性について調査を行った。図４５Ｂは、Ｉ$_X$を１．０ｎＡとしたときにおける、各素子におけるΔＶ$_{th}$とＩ$_Y$の関係を示したグラフである。なお、各素子におけるトランジスタＦ１のしきい値電圧をＶ$_{th}$とし、トランジスタＦ１ｍのしきい値電圧をＶ$_{thm}$として、トランジスタＦ１とトランジスタＦ１ｍのそれぞれのしきい値電圧の差をΔＶ$_{th}$＝Ｖ$_{thm}$－Ｖ$_{th}$としている。

［０８６５］

電圧書き込み方式の場合、図４５Ｂより、素子ばらつきσは、ΔＶ$_{th}$の指数関数で近似することができる。具体的には、電圧書き込み方式におけるＩ$_Y$は、サブスレッショルドスロープ（Ｓ値）を１００ｍＶとした指数関数（$I_Y = 10^{\Delta Vth/0.100}$）にフィッティングしている。また、ΔＶ$_{th}$の素子ばらつきの測定を行ったところ、ΔＶ$_{th}$＝±２１ｍＶであった。これを、フィッティングした指数関数に代入すると、Ｉ$_Y$＝０．６２Ａ、又は１．６２となり、ΔＶ$_{th}$＝０のときのＩ$_Y$との差は、ΔＩ$_Y$＝－０．３８、又は０．６２となる。電圧書き込み方式でのＩ$_Y$の素子ばらつきσは３９％なので、ΔＶ$_{th}$＝０のときのＩ$_Y$からの変化量ΔＩ$_Y$＝－０．３８の絶対値は、これに概ね近い値となった。つまり、ΔＶ$_{th}$の素子ばらつき２１ｍＶがσに反映していることが分かる。また、電流書き込み式の場合、Ｉ$_Y$の素子ばらつきσは７％なので、ΔＶ$_{th}$＝０のときのＩ$_Y$からの変化量は、ΔＩ$_Y$＝０．０７とする。ここで、１－０．０７＝$10^{\Delta Vth/0.100}$をΔＶ$_{th}$について解くと、ΔＶ$_{th}$＝３ｍＶとなる。つまり、電流書き込み式の場合、図４５Ｂより、素子ばらつきσは、フィッティングした指数関数のΔＶ$_{th}$に換算すると±３ｍＶ程度まで低減しており、Ｉ$_Y$の素子ばらつきを補正できていることが分かる。

［０８６６］

＜電流回路＞

セルＩＭに含まれているトランジスタＦ１は、サブスレッショルド領域で動作を行うため、トランジスタＦ１のソースードレイン間に流れる基準電流I_{W0}、WI_{W0}は、例えば、１．０×１０$^{-12}$Ａ以上１．０×１０$^{-8}$Ａ以下の電流量とする必要がある。同様に、セルＩＭｒｅｆに含まれているトランジスタＦ１ｍも、サブスレッショルド領域で動作を行うため、トランジスタＦ１ｍのソースードレイン間に流れる基準電流I_{X0}、XI_{X0}は、例えば、１．０×１０$^{-12}$Ａ以上１．０×１０$^{-8}$Ａ以下の電流量とする必要がある。

［０８６７］

図４６Ａ、図４６Ｂには、実際に作製した、上述した低電流の出力が可能な回路を示している。図４６Ａに示す電流回路ＩＤＡＣは、図２Ａの回路ＷＣＳ、図２Ｃの回路ＸＣＳに相当する。このため、図４６Ａの電流回路ＩＤＡＣの回路構成は、図２Ａの回路ＷＣＳ、及び図２Ｃの回路ＸＣＳの説明を参酌する。

［０８６８］

図４６Ａの電流回路ＩＤＡＣは、８ビットの信号に応じて、配線ＯＵＴＬに電流を出力する構成となっている。具体的には、配線Ｄ［１］乃至配線Ｄ［８］のそれぞれに、１ビット目乃至８ビット目の値（例えば、高レベル電位又は低レベル電位とすることができる）が入力されることによって、電流回路ＩＤＡＣに含まれる電流源ＣＳは、当該値に応じて、電流を出力するかどうかが定まる。また、配線Ｄ［ｓ］（ここでのｓは、１以上８以下の整数とする。）には、２$^{s-1}$個の電流源ＣＳが電気的に接続されている。電流源ＣＳが電流量としてI_{ut}を出力する場合、例えば、配線Ｄ［ｓ］に高レベル電位が入力されたときに、配線Ｄ［ｓ］に電気的に接続されている電流源ＣＳは、合計２$^{s-1}$×I_{ut}の電流を出力する。このため、電流回路ＩＤＡＣは、８ビットの信号に応じて、I_{ut}と、１から２５６までの整数と、の積の電流を出力することができる。

［０８６９］

図４６Ａの電流回路ＩＤＡＣに含まれている電流源ＣＳは図４６Ｂに示す電流源ＣＳとしており、図４６Ｂの電流源ＣＳは図３Ａの電流源ＣＳ１に相当する。このため、図４６Ｂの電流源ＣＳは、図３Ａの電流源ＣＳ１の説明を参酌する。

［０８７０］

図４６Ｂの電流源ＣＳに含まれているトランジスタＴｒ１、及びトランジスタＴｒ２のサイズは、チャネル長を３５０ｎｍとし、チャネル幅を３５０ｎｍとしている。

［０８７１］

また、実施の形態１でも説明した通り、トランジスタＴｒ１の第１端子ー第２端子間には、トランジスタＴｒ１がサブスレッショルド領域で動作するときの電流範囲の電流が流れる。つまり、電流源ＣＳが流す電流I_{ut}は、トランジスタＴｒ１がサブスレッショルド領域で動作するときの電流範囲の電流とすることができる。

［０８７２］

また、配線ＶＤＤＬが与える電位を２Ｖとしている。また、配線ＯＵＴＬは０．５Ｖにバイアスされている。また、配線Ｄ［１］乃至配線Ｄ［７］には、各ビットのデータが“０”の場合は０Ｖ、“１”の場合は２Ｖを与える。

［０８７３］

図４７Ａは、電流回路ＩＤＡＣに８ビットの信号が入力されたときの、電流回路ＩＤＡＣが配線ＯＵＴＬに出力する電流の出力特性を示したグラフである。図４７Ａの出力特性より、図４６Ａの電流回路は、８ビットの信号に対して、ほぼ線形に１．０×１０$^{-12}$以上５．０×１０$^{-11}$以下の電流を出力できることが確認できた。

［０８７４］

図４７Ｂは、電流回路ＩＤＡＣが配線ＯＵＴＬに出力した電流のＩＮＬ（Ｉｎｔｅｇｒａｌ　Ｎｏｎ－Ｌｉｎｅａｒｉｔｙ）、及びＤＮＬ（Ｄｉｆｆｅｒｅｎｔｉａｌ　Ｎｏｎ－Ｌｉｎｅａｒｉｔｙ）を示している。また、図４７Ａ、図４７Ｂより、電流回路ＩＤＡＣのＥＮＯＢ（有効ビット数）は５．０４ビットであることが確認できた。

［実施例２］

［０８７５］

実施例１で説明した図４３の乗算回路と、図４６Ａの電流回路ＩＤＡＣと、によって、どの程度の性能を有するニューラルネットワークを構築できるかを確認するため、回路シミュレータを用いて計算を行った。

［０８７６］

初めに、回路構成について説明する。図４８は、上記の実施の形態で説明した図７の演算回路ＭＡＣ２を基として、回路シミュレータに入力した回路構成である。図４８に示すセルＩＭ（セルＩＭｒ）、及びセルＩＭｒｅｆは、図４３のセルＩＭ、及びセルＩＭｒｅｆに相当し、回路ＮＵＣは、図７に示す変換回路ＩＴＲＺＤに相当する。また、図４８に示す複数の電流回路ＩＤＡＣ＿Ｘは回路ＸＣＳに相当し、図４８に示す複数の電流回路ＩＤＡＣ＿Ｗは回路ＷＣＳに相当する。

［０８７７］

また、回路ＮＵＣは、カスコード接続されたカレントミラー回路ＣＭ２を有し、回路ＮＵＣは、図１１Ｂに示す変換回路ＩＴＲＺＤ４に相当する。また、カレントミラー回路ＣＭ２は、トランジスタＦ８と、トランジスタＦ８ｓと、トランジスタＦ８ｒと、トランジスタＦ８ｓｒと、を有し、これらのトランジスタは、ｐチャネル型トランジスタとしている。また、トランジスタＦ８と、トランジスタＦ８ｓと、トランジスタＦ８ｒと、トランジスタＦ８ｓｒと、のそれぞれのサイズは、チャネル長を５００ｎｍ、チャネル幅を５０００ｎｍとしている。

［０８７８］

図４８に示す演算回路は、図７の演算回路ＭＡＣ２を基に構成しているため、正の重み係数（第１データ）だけでなく負の重み係数を、セルＩＭ及びセルＩＭｒに保持することができる。図４８に示す演算回路では、複数のセルＩＭに電気的に接続されている配線ＷＣＬに、正の重み係数とニューロンの信号（第２データ）の積和に応じた電流が流れ、複数のセルＩＭｒに電気的に接続されている配線ＷＣＬｒに、負の重み係数とニューロンの信号の積和に応じた電流が流れる。

［０８７９］

回路ＮＵＣは、カレントミラー回路ＣＭ２によって、配線ＷＣＬに流れる電流と配線ＷＣＬｒに流れる電流との差分電流Ｉ$_{pn}$を配線ＮＵＯに出力する。

［０８８０］

また、配線ＶＨＥが与える電位を２Ｖとしている。

［０８８１］

次に、構築したニューラルネットワークについて説明する。

［０８８２］

構築したニューラルネットワークは、３層全結合ニューラルネットワークとした。入力層のニューロンの数を７８５個とし、隠れ層のニューロンの数を１０１個とし、出力層のニューロンの数を１０個とした。なお、入力層のニューロンのうち１つと、隠れ層のニューロンのうち１つと、は、偏りのバイアスを与えるニューロンとして機能する。

［０８８３］

入力層では、図４８に示すＩＤＡＣ＿Ｘによって、ニューラルネットワークに入力されたデータに応じた電流が生成されて、各行の配線ＸＣＬに当該電流が流れる。そして、セルＩＭ、及びセルＩＭｒに保持されている、入力層のニューロンと隠れ層のニューロンとの間の重み係数と、当該電流と、の積和に応じた電流I_{pn}が配線ＮＵＯに出力される。つまり、電流I_{pn}は、隠れ層のニューロンが出力する信号に相当する。

［０８８４］

そのため、隠れ層のニューロンと出力層のニューロンとの間の重み係数と、隠れ層のニューロンが出力する信号と、の積和を実行する演算回路は、隠れ層のニューロンが出力する信号が、電流回路ＩＤＡＣ＿Ｘで生成するのではなく、配線ＮＵＯから直接、配線ＸＣＬに入力される構成としている。

［０８８５］

また、その構成に加えて、隠れ層のニューロンと出力層のニューロンとの間の重み係数と、隠れ層から出力される信号と、の積和を実行する演算回路に含まれるトランジスタＦ２、及びトランジスタＦ２ｍのしきい値電圧を、入力層のニューロンと隠れ層のニューロンとの間の重み係数と、入力層から出力される信号と、の積和を実行する演算回路に含まれるトランジスタＦ２、及びトランジスタＦ２ｍのしきい値電圧よりも、およそ０．２Ｖ高く設定している。これによって、隠れ層のニューロンが出力する信号（電流I_{pn}）は、図４９に示す出力特性となることが、回路シミュレータを用いた計算から分かった。なお、図４９において、I_{p}は配線ＷＣＬに流れる電流の総和とし、Ｉｎは配線ＷＣＬｒに流れる電流の総和としている。図４９に示す出力特性は、ＲｅＬＵ関数に相当する出力特性である。つまり、回路ＮＵＣは、差分演算だけでなく、活性化関数演算を兼ねた回路とすることができる。

［０８８６］

次に、ＭＮＩＳＴデータベースを用いた手書き文字認識のシミュレーションを行った結果について説明する。

［０８８７］

当該シミュレーションでは、乗算を図４４Ａの乗算特性のモデルとし、活性化関数を図４９の出力特性のモデルとしたニューラルネットワークを用いた。また、重み係数の書き込みとして、セルＩＭ、及びセルＩＭｒｅｆへの電流書き込みを図４６の電流回路ＩＤＡＣによって行うこと（図４７Ａの出力特性のモデルを用いること）を想定した。なお、図４５Ａ、図４５Ｂの電流書き込み方式のばらつきも考慮している。このニューラルネットワークで、５ビット精度としたモデル計算を行ったところ、入力されたデータの認識精度は９２．６％となった。一方、乗算を理想乗算とした場合の認識精度は９７．９％である。このため、図４８に示した演算回路を用いたニューラルネットワークによる手書き文字認識は、十分な認識精度を有することがいえる。

［符号の説明］

［０８８８］

ＭＡＣ１：演算回路、ＭＡＣ１Ａ：演算回路、ＭＡＣ２：演算回路、ＭＡＣ２－１：演算回路、ＭＡＣ２－２：演算回路、ＭＡＣ３：演算回路、ＷＣＳ：回路、ＸＣＳ：回路、ＩＤＡＣ：電流回路、ＩＤＡＣ＿Ｗ：電流回路、ＩＤＡＣ＿Ｘ：電流回路、ＷＳＤ：回路、ＩＴＲＺ［１］：変換回路、ＩＴＲＺ［ｎ］：変換回路、ＩＴＲＺ１：変換回路、ＩＴＲＺ２：変換回路、ＩＴＲＺ３：変換回路、ＩＴＲＺＤ［ｊ］：変換回路、ＩＴＲＺＤ１：変換回路、ＩＴＲＺＤ２：変換回路、ＩＴＲＺＤ３：変換回路、ＩＴＲＺＤ４：変換回路、ＩＴＲＺＤ４［１］：変換回路、ＩＴＲＺＤ４［ｎ］：変換回路、ＮＵＣ：回路、ＳＷＳ１：回路、ＳＷＳ２：回路、ＣＡ：セルアレイ、ＳＣＡ：回路、ＶＩＮＩ：回路、ＩＭ：セル、ＩＭ［１，１］：セル、ＩＭ［１，ｊ］：セル、ＩＭ［ｍ，ｊ］：セル、ＩＭ［ｉ，ｊ］：セル、ＩＭ［ｍ，１］：セル、ＩＭ［１，ｎ］：セル、ＩＭ［ｍ，ｎ］：セル、ＩＭ［１，ｈ］：セル、ＩＭ［ｎ，ｈ］：セル、ＩＭｒ［１，ｊ］：セル、ＩＭｒ［ｉ，ｊ］：セル、ＩＭｒ［ｍ，ｊ］：セル、ＩＭｒ［１，ｈ］：セル、ＩＭｒ［ｎ，ｈ］：セル、ＩＭｓ［ｉ，ｊ］：セル、ＩＭｓｒ［ｉ，ｊ］：セル、ＩＭｒｅｆ：セル、ＩＭｒｅｆ［１］：セル、ＩＭｒｅｆ［ｉ］：セル、ＩＭｒｅｆ［ｍ］：セル、ＩＭｒｅｆ［ｎ］：セル、ＩＭｒｅｆｓ［ｉ］：セル、ＣＥＳ［１，ｊ］：回路、ＣＥＳ［ｉ，ｊ］：回路、ＣＥＳ［ｍ，ｊ］：回路、ＣＥＳｒｅｆ［ｉ］：回路、ＮＮ［１，１］：ノード、ＮＮ［ｍ，１］：ノード、ＮＮ［１，ｊ］：ノード、ＮＮ［ｍ，ｊ］：ノード、ＮＮ［１，ｎ］：ノード、ＮＮ［ｍ，ｎ］：ノード、ＮＮｒ［１，ｊ］：ノード、ＮＮｒ［ｍ，ｊ］：ノード、ＮＮｒｅｆ［１］：ノード、ＮＮｒｅｆ［ｍ］：ノード、ＮＮｒｅｆｓ［ｉ］：ノード、ＣＳ：電流源、ＣＳ１：電流源、ＣＳ２：電流源、ＣＳ３：電流源、ＣＳ４：電流源、ＣＩ：電流源、ＣＩｒ：電流源、ＣＳＡ：電流源、ＣＭ１：カレントミラー回路、ＣＭ２：カレントミラー回路、ＡＤＣ：アナログデジタル変換回路、Ｃ５：容量、Ｃ５ｍ：容量、Ｃ５ｍｓ：容量、Ｃ５ｒ：容量、Ｃ５ｓ：容量、Ｃ５ｓｒ：容量、Ｃ６：容量、ＣＭＰ１：コンパレータ、ＣＭＰ２：コンパレータ、Ｆ１：トランジスタ、Ｆ１ｍ：トランジスタ、Ｆ１ｍｓ：トランジスタ、Ｆ１ｒ：トランジスタ、Ｆ１ｓ：トランジスタ、Ｆ１ｓｒ：トランジスタ、Ｆ２：トランジスタ、Ｆ２ｍ：トランジスタ、Ｆ２ｍｓ：トランジスタ、Ｆ２ｒ：トランジスタ、Ｆ２ｓ：トランジスタ、Ｆ２ｓｒ：トランジスタ、Ｆ３：トランジスタ、Ｆ３［１］：トランジスタ、Ｆ３［ｊ］：トランジスタ、Ｆ３［ｎ］：トランジスタ、Ｆ３ｒ：トランジスタ、Ｆ３ｒ［ｊ］：トランジスタ、Ｆ４：トランジスタ、Ｆ４［１］：トランジスタ、Ｆ４［ｊ］：トランジスタ、Ｆ４［ｎ］：トランジスタ、Ｆ４ｒ：トランジスタ、Ｆ４ｒ［ｊ］：トランジスタ、Ｆ５：トランジスタ、Ｆ６：トランジスタ、Ｆ６ｒ：トランジスタ、Ｆ６ｓ：トランジスタ、Ｆ６ｓｒ：トランジスタ、Ｆ７：トランジスタ、Ｆ７ｒ：トランジスタ、Ｆ７ｓ：トランジスタ、Ｆ８：トランジスタ、Ｆ８ｒ：トランジスタ、Ｆ８ｓ：トランジスタ、Ｆ８ｓｒ：トランジスタ、Ｔｒ１：トランジスタ、Ｔｒ１［１］：トランジスタ、Ｔｒ１［２］：トランジスタ、Ｔｒ１［Ｋ］：トランジスタ、Ｔｒ２：トランジスタ、Ｔｒ２［１］：トランジスタ、Ｔｒ２［２］：トランジスタ、Ｔｒ２［Ｋ］：トランジスタ、Ｔｒ３：トランジスタ、Ｒ５：抵抗、ＲＰ：抵抗、ＲＭ：抵抗、ＳＮＣ［１］：センサ、ＳＮＣ［ｍ］：センサ、ＰＤ［１］：フォトダイオード、ＰＤ［ｍ］：フォトダイオード、ＯＰ１：オペアンプ、ＯＰ２：オペアンプ、ＯＰＰ：オペアンプ、ＯＰＭ：オペアンプ、ＳＷＷ：スイッチ、ＳＷＸ：スイッチ、Ｔ１：端子、Ｔ２：端子、Ｕ１：端子、Ｕ２：端子、Ｕ３：端子、ＳＷＬ１：配線、ＳＷＬ２：配線、ＷＣＬ：配線、ＷＣＬ［１］：

配線、ＷＣＬ［ｊ］：配線、ＷＣＬ［ｎ］：配線、ＷＣＬｒ：配線、ＷＣＬｒ［ｊ］：配線、ＸＣＬ：配線、ＸＣＬ［１］：配線、ＸＣＬ［ｉ］：配線、ＸＣＬ［ｍ］：配線、ＸＣＬｓ［ｉ］：配線、ＷＳＬ：配線、ＷＳＬ［１］：配線、ＷＳＬ［ｊ］：配線、ＷＳＬ［ｍ］：配線、ＷＳＬｓ［ｊ］：配線、ＯＬ：配線、ＯＬ［１］：配線、ＯＬ［ｊ］：配線、ＯＬ［ｎ］：配線、ＤＷ：配線、ＤＷ［１］：配線、ＤＷ［２］：配線、ＤＷ［Ｋ］：配線、ＤＸ［１］：配線、ＤＸ［２］：配線、ＤＸ［Ｌ］：配線、Ｄ［１］：配線、Ｄ［２］：配線、Ｄ［７］：配線、ＣＬ［１］：配線、ＣＬ［２］：配線、ＣＬ［Ｐ］：配線、ＶＥ：配線、ＶＤＤＬ：配線、ＶＩＮＩＬ１：配線、ＶＩＮＩＬ２：配線、ＶＩＮＩＬ３：配線、ＶＷＬ：配線、ＶＴＬ：配線、ＶＴＨＬ：配線、ＶＲＬ：配線、ＶＲＬ２：配線、ＶＲＬ３：配線、ＶＲＰＬ：配線、ＶＲＭＬ：配線、ＶＨＥ：配線、ＶＳＥ：配線、ＯＥＬ：配線、ＯＵＴＬ：配線、ＮＵＯ：配線、ＴＭ［１］：配線、ＴＭ［ｎ］：配線、ＴＨ［１，ｈ］：配線、ＴＨ［ｎ，ｈ］：配線、ＴＨｒ［１，ｈ］：配線、ＴＨｒ［ｎ，ｈ］：配線、ＰＬＳ：検知部、ＳＭＳ：臭覚センサ、ＴＲＣＮ：経路、ＭＥＭＤ：記憶部、ＡＴＣＭ：大気成分、ＮＯＩ：ニオイ成分、ＮＯＩａ：ニオイ分子、ＤＴ：データ、ＳＮＣ：センサ、ＫＺＴ：構造体、ＥＲＤａ１：配線、ＥＲＤａ２：配線、ＥＲＤｂ１：配線、ＥＲＤｂ２：配線、ＤＧＧ：歪みゲージ、ＬＰ：連結部、ＣＮＤａ：導電体、ＣＮＤｂ：導電体、ＫＮＭ：感応膜、ＵＤＥ：電子機器、ＰＬＳＡ：検知部、ＫＺＵ：構造体、ＳＳＭ：絶縁体、ＣＮＥａ：導電体、ＣＮＥｂ：導電体、ＣＮＥｃ：導電体、ＣＮＥｄ：導電体、ＥＲＥａ１：配線、ＥＲＥａ２：配線、ＥＲＥｂ１：配線、ＥＲＥｂ２：配線、ＥＲＥｃ１：配線、ＥＲＥｃ２：配線、ＥＲＥｄ１：配線、ＥＲＥｄ２：配線、ＤＧＨ：歪みゲージ、ＣＩＲ：回路、ＣＮＶＬ：配線、ＳＺ１：絶縁体、ＳＺ２：絶縁体、ＳＩＴＡ：電子機器、ＣＨＭ：検知部、ＡＢＪ：被評価物質、ＳＳＴ：脂質膜、ＫＡＮ：緩衝膜、ＨＡＩＳ１：配線、ＨＡＩＳ２：配線、ＤＥＮ：参照電極、ＳＩＮ：親水部位、ＳＯＳ：疎水部位、ＶＩＣ：電圧電流変換回路、ＫＹＴ１：第１筐体、ＫＹＴ２：第２筐体、ＫＹＴ３：第３筐体、ＤＡＺ：台座、ＪＩＫ：軸、ＣＢ：ケーブルベア、ＹＯＫ：容器、ＹＥＫ：溶液、ＳＣＬ１：スクライブライン、ＳＣＬ２：スクライブライン、１０：ハンド部、１０Ａ：ハンド部、１１ａ：指部、１１ｂ：指部、１２ａ：関節部、１２ｂ：関節部、１３：伸縮部、１４：支持部、１５：バス配線、１６ａ：関節部、１６ｂ：関節部、１００：ニューラルネットワーク、３００：トランジスタ、３１１：基板、３１３：半導体領域、３１４ａ：低抵抗領域、３１４ｂ：低抵抗領域、３１５：絶縁体、３１６：導電体、３２０：絶縁体、３２２：絶縁体、３２４：絶縁体、３２６：絶縁体、３２８：導電体、３３０：導電体、３５０：絶縁体、３５２：絶縁体、３５４：絶縁体、３５６：導電体、３６０：絶縁体、３６２：絶縁体、３６４：絶縁体、３６６：導電体、３７０：絶縁体、３７２：絶縁体、３７４：絶縁体、３７６：導電体、３８０：絶縁体、３８２：絶縁体、３８４：絶縁体、３８６：導電体、４０２：絶縁体、４０４：絶縁体、５００：トランジスタ、５０３：導電体、５０３ａ：導電体、５０３ｂ：導電体、５１０：絶縁体、５１２：絶縁体、５１４：絶縁体、５１６：絶縁体、５１８：導電体、５２０：絶縁体、５２２：絶縁体、５２４：絶縁体、５３０：酸化物、５３０ａ：酸化物、５３０ｂ：酸化物、５３０ｃ：酸化物、５３０ｃ１：酸化物、５３０ｃ２：酸化物、５４０：導電体、５４０ａ：導電体、５４０ｂ：導電体、５４２：導電体、５４２ａ：導電体、５４２ｂ：導電体、５４３ａ：領域、５４３ｂ：領域、５４４：絶縁体、５４６：導電体、５４８：導電体、５５０：絶縁体、５５２：絶縁体、５６０：導電体、５６０ａ：導電体、５６０ｂ：導電体、５７４：絶縁体、５８０：絶縁体、５８１：絶縁体、５８２：絶縁体、５８６：絶縁体、６００：容量素子、６００Ａ：容量素子、６００Ｂ：容量素子、６１０：導電体、

６１１：導電体、６１２：導電体、６２０：導電体、６３０：絶縁体、６３１：絶縁体、６５０：絶縁体、６５１：絶縁体、４７００：電子部品、４７０２：プリント基板、４７０４：実装基板、４７１０：半導体装置、４７１１：モールド、４７１２：ランド、４７１３：電極パッド、４７１４：ワイヤ、４７３０：電子部品、４７３１：インターポーザ、４７３２：パッケージ基板、４７３３：電極、４７３５：半導体装置、４８００：半導体ウェハ、４８００ａ：チップ、４８０１：ウェハ、４８０１ａ：ウェハ、４８０２：回路部、４８０３：スペーシング、４８０３ａ：スペーシング、５２００：携帯ゲーム機、５２０１：筐体、５２０２：表示部、５２０３：ボタン、５３００：デスクトップ型情報端末、５３０１：本体、５３０２：ディスプレイ、５３０３：キーボード、５５００：情報端末、５５１０：筐体、５５１１：表示部、５６００：ＴＶ、５６５０：アンテナ、５６７０：電波塔、５６７５Ａ：電波、５６７５Ｂ：電波、５６８０：放送局、５７００：自動車、５８００：電気冷凍冷蔵庫、５８０１：筐体、５８０２：冷蔵室用扉、５８０３：冷凍室用扉、５９００：情報端末、５９０１：筐体、５９０２：表示部、５９０３：操作ボタン、５９０４：操作子、５９０５：バンド、６１００：拡張デバイス、６１０１：筐体、６１０２：キャップ、６１０３：ＵＳＢコネクタ、６１０４：基板、６１０５：チップ、６１０６：コントローラチップ、６１４０：ロボット、６１４１ａ：触覚センサ、６１４１ｂ：触覚センサ、６１４１ｃ：触覚センサ、６１４１ｄ：触覚センサ、６１４１ｅ：触覚センサ、６１５０：産業用ロボット、６１５１：機能部、６１５２：制御部、６１５３：駆動軸、６１５４：駆動軸、６１５５：駆動軸、６２４０：デジタルカメラ、６２４１：筐体、６２４２：表示部、６２４３：操作ボタン、６２４４：シャッターボタン、６２４６：レンズ、６３００：ビデオカメラ、６３０１：第１筐体、６３０２：第２筐体、６３０３：表示部、６３０４：操作キー、６３０５：レンズ、６３０６：接続部、６４３１：筐体、６４３２：表示部、６４３３：掌紋読み取り部、６４３４：配線、６４３５：手、６９００：報知器、６９０１：感知機、６９０２：受信機、６９０３：発信機、６９０４：センサ回路、６９０５：通気口、６９０６：操作キー、６９０７：表示部、６９０８：操作キー、６９０９：操作キー、６９１０：配線、６９１１：スピーカ、６９１２：照明装置、７５００：据え置き型ゲーム機、７５２０：本体、７５２２：コントローラ

請求の範囲

［請求項１］

第１回路と、第２回路と、第１セルと、第２セルと、第１配線と、第２配線と、を有し、

前記第１セルは、第１トランジスタを有し、

前記第２セルは、第２トランジスタを有し、

前記第１セルは、前記第１配線を介して、前記第１回路に電気的に接続され、

前記第１セルは、前記第２配線を介して、前記第２回路に電気的に接続され、

前記第２セルは、前記第２配線を介して、前記第２回路に電気的に接続され、

前記第１回路は、前記第１回路から前記第１配線を介して、前記第１セルに第１電流を流す機能を有し、

前記第２回路は、前記第２回路から前記第２配線を介して、前記第２セルに第２電流を流す機能と、前記第２回路から前記第２配線を介して、前記第１セル及び前記第２セルのそれぞれに前記第２電流に応じた第１電位を与える機能と、を有し、

前記第１セルは、前記第１トランジスタの第１端子と第２端子との間に流れる電流を前記第１電流に設定する機能を有し、

前記第２セルは、前記第２トランジスタの第１端子と第２端子との間に流れる電流を前記第２電流に設定する機能を有し、

前記第２回路は、前記第２配線に流れる前記第２電流を第３電流に変化させることで、前記第１セル及び前記第２セルのそれぞれに与えられている前記第１電位を第２電位に変化させる機能を有し、

前記第１セルは、前記第１トランジスタの第１端子と第２端子との間に流れる前記第１電流を、前記第１電位と前記第２電位との差に応じた、第４電流に変化させる機能を有し、

前記第１電流、及び前記第４電流のそれぞれの量は、前記第１トランジスタがサブスレッショルド領域で動作するときに流れる電流量であって、

前記第２電流、及び前記第３電流のそれぞれの量は、前記第２トランジスタがサブスレッショルド領域で動作するときに流れる電流量である、

半導体装置。

［請求項２］

請求項１において、

前記第１トランジスタ、及び前記第２トランジスタのそれぞれは、チャネル形成領域に金属酸化物を有する、

半導体装置。

［請求項３］

第１回路と、第２回路と、第１セルと、第２セルと、第１配線と、第２配線と、を有し、

前記第１セルは、第１トランジスタと、第３トランジスタと、第１容量と、を有し、

前記第２セルは、第２トランジスタと、第４トランジスタと、第２容量と、を有し、

前記第１回路は、前記第１配線に電気的に接続され、

前記第２回路は、前記第２配線に電気的に接続され、

前記第３トランジスタの第１端子は、前記第１トランジスタの第１端子と、前記第１配線と、に電気的に接続され、

前記第３トランジスタの第２端子は、前記第１トランジスタのゲートと、前記第１容量の第１端子と、に電気的に接続され、

前記第１容量の第２端子は、前記第２配線に電気的に接続され、

前記第４トランジスタの第１端子は、前記第２トランジスタの第１端子と、前記第２配線と、に電気的に接続され、

前記第４トランジスタの第２端子は、前記第２トランジスタのゲートと、前記第２容量の第１端子と、に電気的に接続され、

前記第２容量の第２端子は、前記第２配線に電気的に接続され、

前記第１回路は、前記第１回路から前記第１配線を介して、前記第１トランジスタの第１端子に第１電流を流す機能を有し、

前記第２回路は、前記第２回路から前記第２配線を介して、前記第２トランジスタの第１端子に第２電流を流す機能と、前記第２回路から前記第２配線を介して、前記第１容量の第２端子及び前記第２容量の第２端子のそれぞれに前記第２電流に応じた第１電位を与える機能と、を有し、

前記第１セルは、前記第１トランジスタの第１端子と第２端子との間に流れる前記第１電流を設定する機能を有し、

前記第２セルは、前記第２トランジスタの第１端子と第２端子との間に流れる前記第２電流を設定する機能を有し、

前記第２回路は、前記第２配線に流れる前記第２電流を第３電流に変化させることで、前記第１容量の第２端子及び前記第２容量の第２端子のそれぞれに与えられている前記第１電位を第２電位に変化させる機能を有し、

前記第１セルは、前記第１トランジスタの第１端子と第２端子との間に流れる前記第１電流を、前記第１電位と前記第２電位との差に応じた、第４電流に変化させて流す機能を有し、

前記第１電流、及び前記第４電流のそれぞれの量は、前記第１トランジスタがサブスレッショルド領域で動作するときに流れる電流量であり、

前記第２電流、及び前記第３電流のそれぞれの量は、前記第２トランジスタがサブスレッショルド領域で動作するときに流れる電流量である、

半導体装置。

［請求項４］

請求項３において、

前記第１乃至第４トランジスタのそれぞれは、チャネル形成領域に金属酸化物を有する、

半導体装置。

［請求項５］

請求項１乃至請求項４のいずれか一において、

前記第１回路は、第５トランジスタと、第６トランジスタと、を有し、

前記第６トランジスタは、第１ゲートと、第２ゲートと、を有し、

前記第５トランジスタの第１端子は、前記第１配線に電気的に接続され、

前記第５トランジスタの第２端子は、前記第６トランジスタの第１端子と、前記第６トランジスタの前記第１ゲートと、前記第６トランジスタの前記第２ゲートと、に電気的に接続されている、

半導体装置。

［請求項６］

請求項５において、

前記第５トランジスタ、及び前記第６トランジスタのそれぞれは、チャネル形成領域に金属酸化物を有する、

半導体装置。

［請求項７］

請求項１乃至請求項６のいずれか一において、

前記第２回路は、第７トランジスタと、第８トランジスタと、を有し、

前記第８トランジスタは、第３ゲートと、第４ゲートと、を有し、

前記第７トランジスタの第１端子は、前記第２配線に電気的に接続され、

前記第７トランジスタの第２端子は、前記第８トランジスタの第１端子と、前記第８トランジスタの前記第３ゲートと、前記第８トランジスタの前記第４ゲートと、に電気的に接続されている、

半導体装置。

［請求項８］

請求項７において、

前記第７トランジスタ、及び前記第８トランジスタのそれぞれは、チャネル形成領域に金属酸化物を有する、

半導体装置。

［請求項９］

請求項１乃至請求項６のいずれか一において、

前記第２回路は、光センサを有し、

前記光センサは、前記第２配線に電気的に接続され、

前記光センサは、

第１センシングを行うことで、前記光センサから前記第２配線に前記第２電流を流す機能と、

第２センシングを行うことで、前記第２電流の量を前記第３電流の量に変化させる機能と、を有する、

半導体装置。

［請求項１０］

請求項１乃至請求項６のいずれか一において、

前記第２回路は、センサを有し、

前記センサは、前記第２配線に電気的に接続され、

前記センサは、

ニオイ成分を検知する機能と、

前記ニオイ成分を検知していない場合に、前記センサから前記第２配線に前記第２電流を流し、前記ニオイ成分を検知した場合に、前記第２電流の量を前記第３電流の量に変化させる機能と、を有する、

半導体装置。

［請求項１１］

請求項１乃至請求項６のいずれか一において、

前記第２回路は、センサを有し、

前記センサは、前記第２配線に電気的に接続され、

前記センサは、

物体の接触を検知する機能と、

前記物体の接触を検知していない場合に、前記センサから前記第２配線に前記第２電流を流し、前記物体の接触を検知した場合に、前記第２電流の量を前記第３電流の量に変化させる機能と、を有する、

半導体装置。

［請求項１２］

請求項１乃至請求項６のいずれか一において、

前記第２回路は、センサを有し、

前記センサは、前記第２配線に電気的に接続され、

前記センサは、

呈味成分を検知する機能と、

前記呈味成分を検知していないときに、前記センサから前記第２配線に前記第２電流を流し、前記呈味成分を検知したときに、前記第２電流の量が前記第３電流の量に変化する機能と、を有する、

半導体装置。

［請求項１３］

請求項１乃至請求項１２のいずれか一の半導体装置と、筐体と、を有し、

前記半導体装置によって、積和演算を行う、

電子機器。

図1

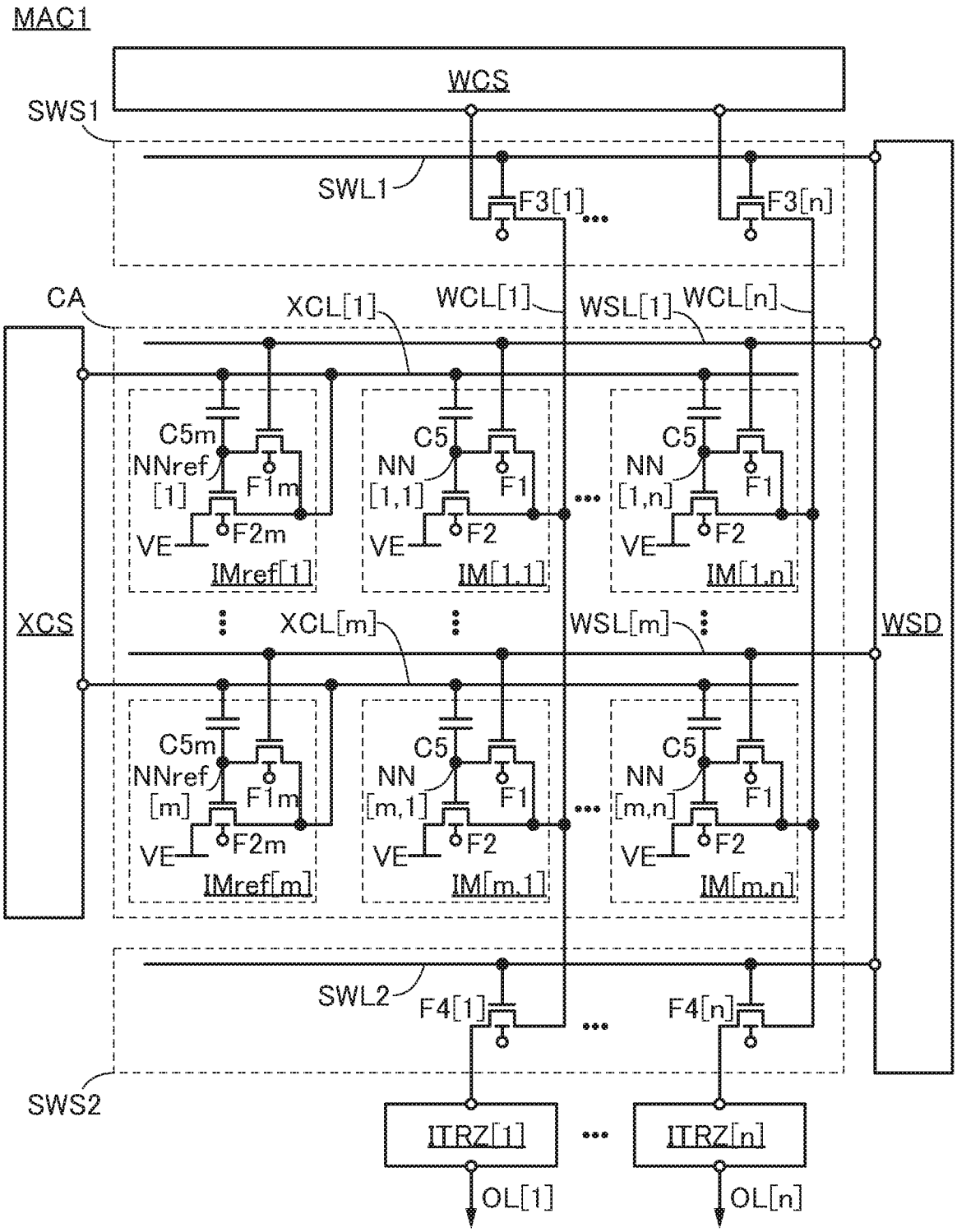

MAC1
WCS
SWS1
SWL1
F3[1]
F3[n]
CA
XCL[1]
WCL[1]
WSL[1]
WCL[n]
C5m
NNref
[1]
F1m
F2m
VE
IMref[1]
C5
NN
[1,1]
F1
F2
IM[1,1]
[1,n]
IM[1,n]
XCS
XCL[m]
WSL[m]
WSD
[m]
IMref[m]
[m,1]
IM[m,1]
[m,n]
IM[m,n]
SWL2
F4[1]
F4[n]
SWS2
ITRZ[1]
ITRZ[n]
OL[1]
OL[n]

図2A

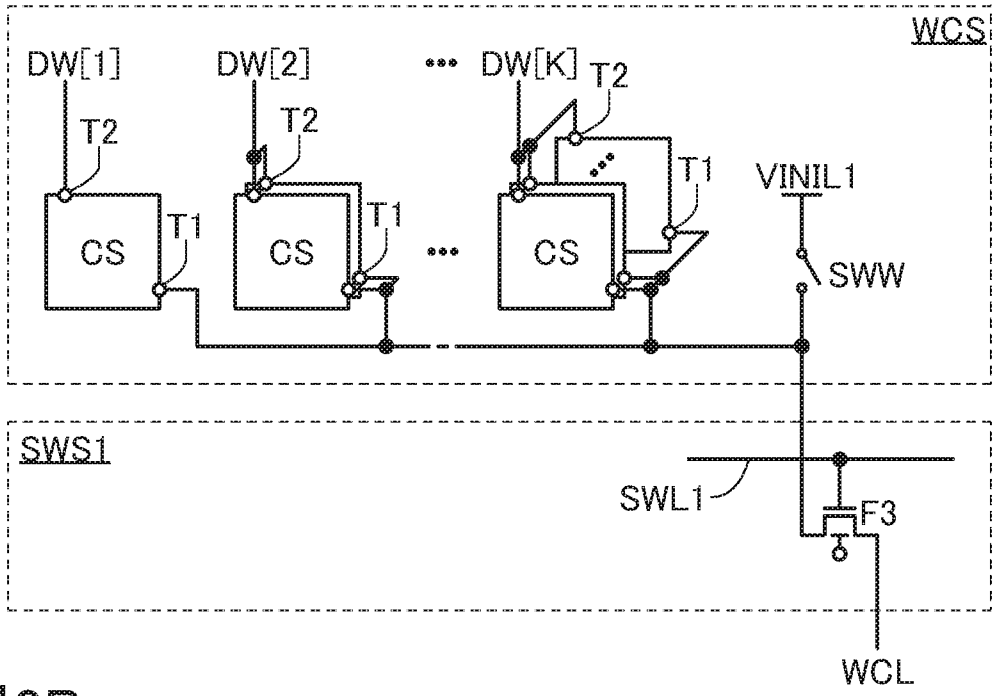

WCS
DW[1]
DW[2]
DW[K]
T2
T1
CS
VINIL1
SWW
SWS1
SWL1
F3
WCL

図2B

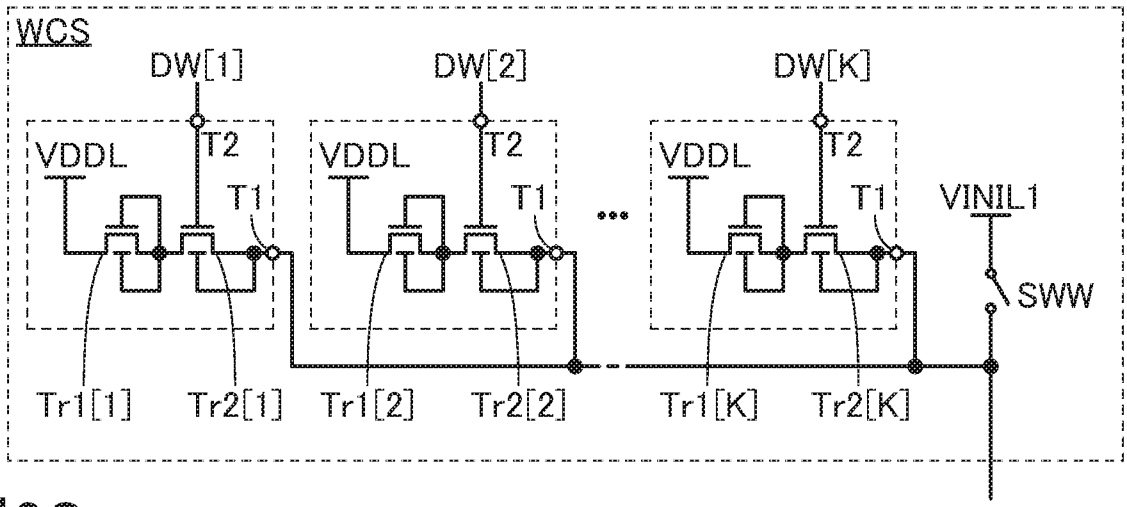

WCS
DW[1]
DW[2]
DW[K]
VDDL
T2
T1
VINIL1
SWW
Tr1[1]
Tr2[1]
Tr1[2]
Tr2[2]
Tr1[K]
Tr2[K]

図2C

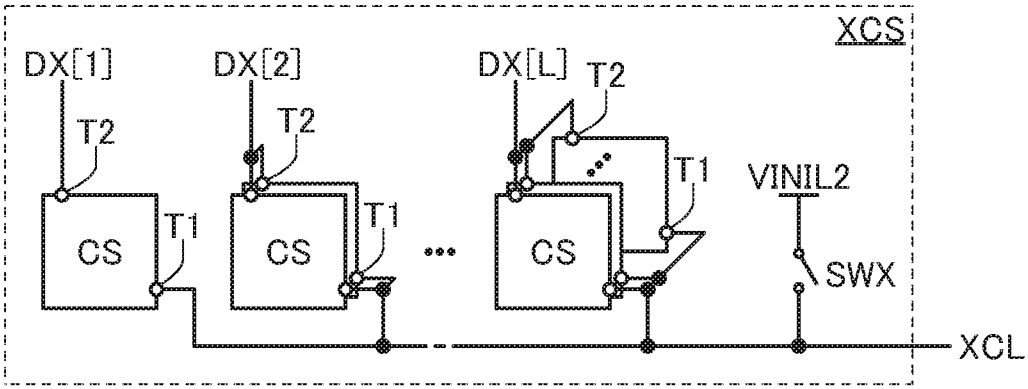

XCS
DX[1]
DX[2]
DX[L]
T2
T1
CS
VINIL2
SWX
XCL

図3A

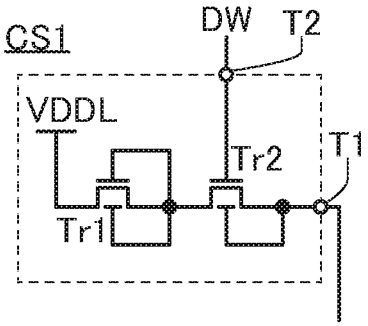


図3B

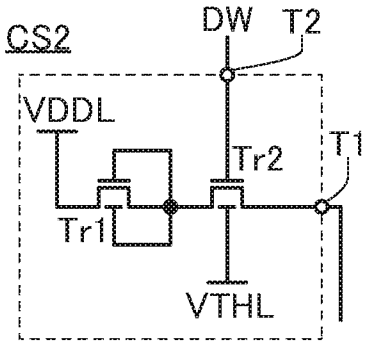


図3C

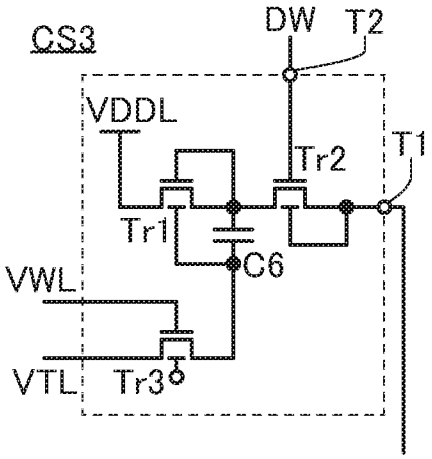


図3D

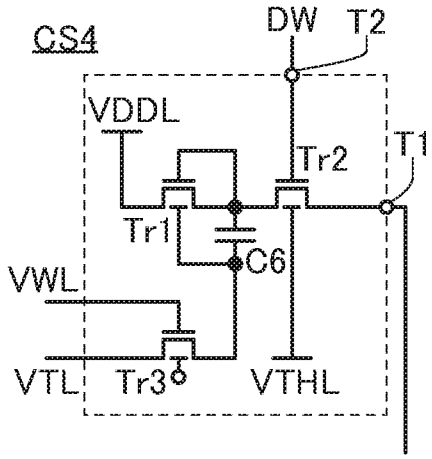


図4A

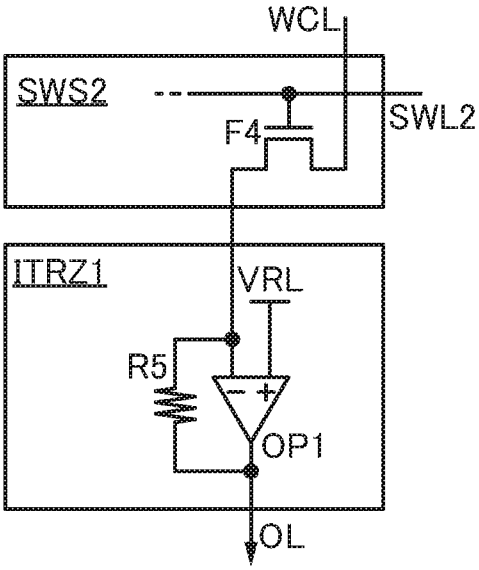

WCL
SWS2
F4
SWL2
ITRZ1
VRL
R5
OP1
OL

図4B

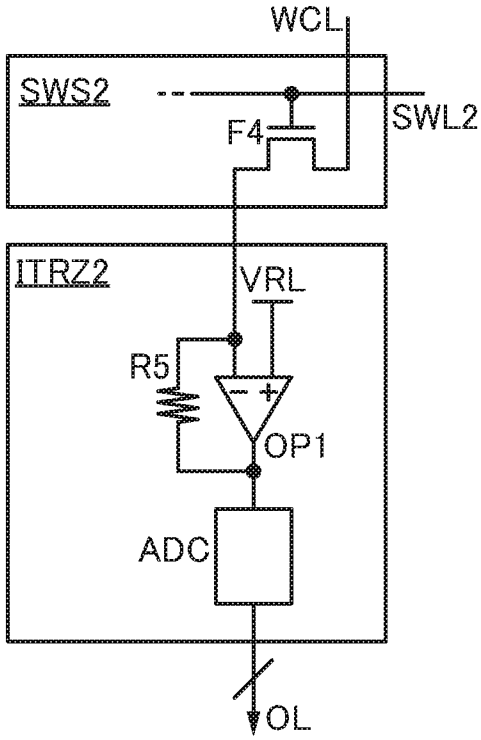

WCL
SWS2
F4
SWL2
ITRZ2
VRL
R5
OP1
ADC
OL

図4C

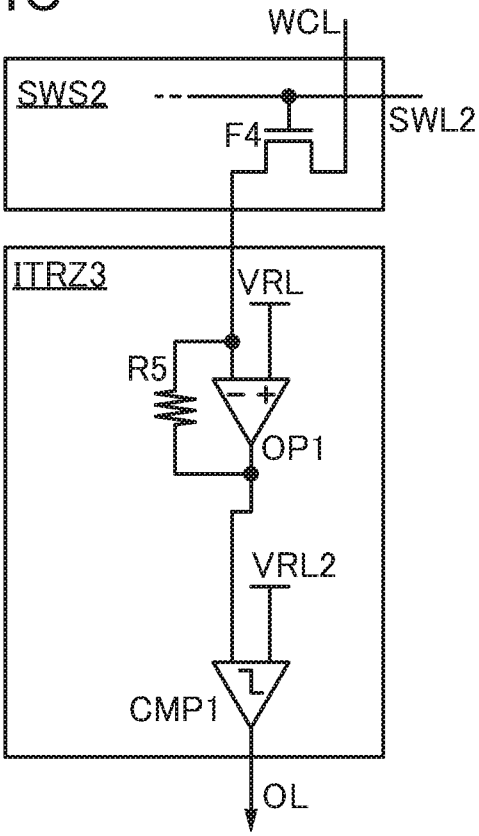

WCL
SWS2
F4
SWL2
ITRZ3
VRL
R5
OP1
VRL2
CMP1
OL

図5

MAC1A

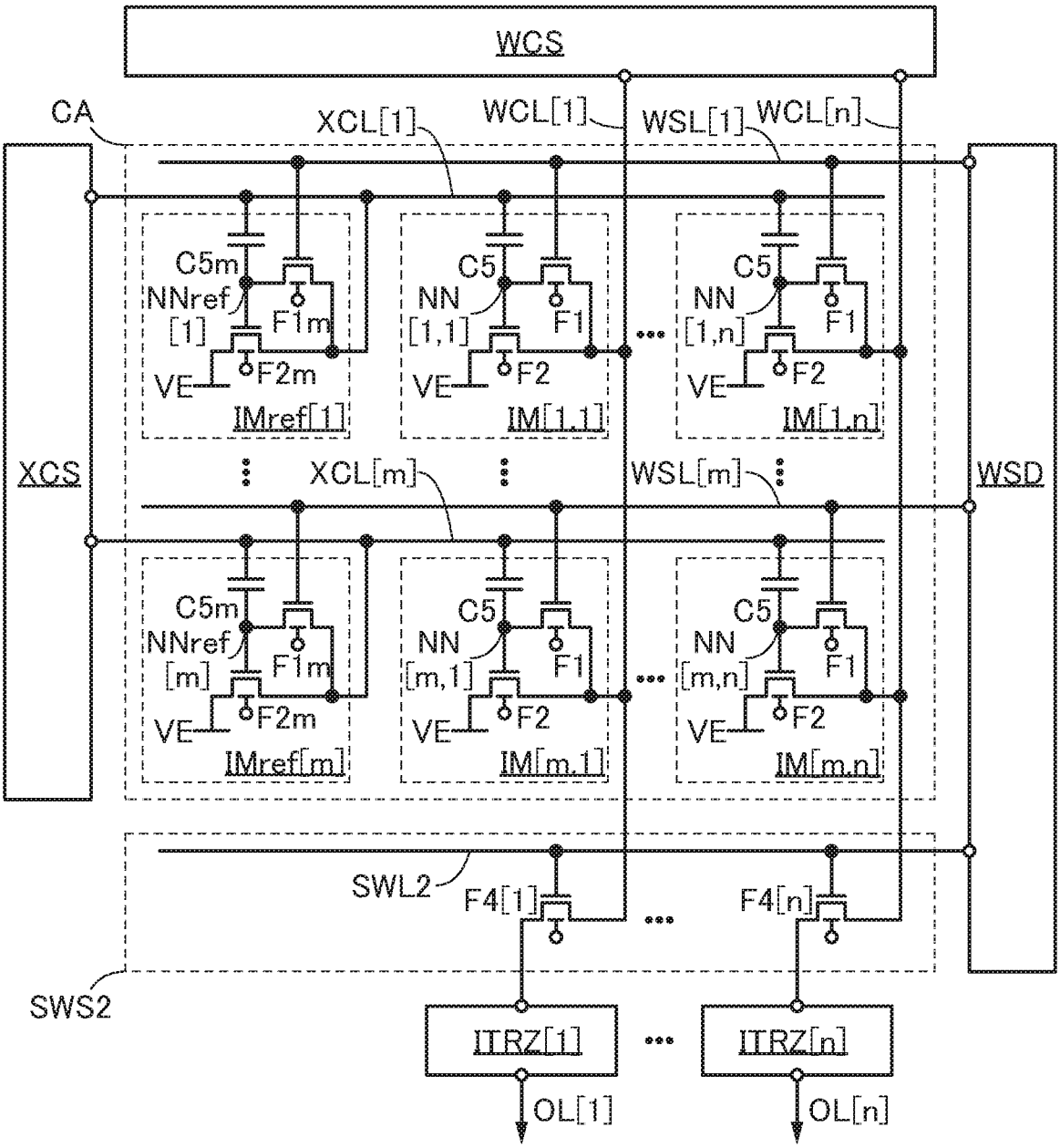

WCS
CA
XCL[1]
WCL[1]
WSL[1]
WCL[n]
C5m
NNref
[1]
F1m
VE
F2m
IMref[1]
C5
NN
[1,1]
F1
VE
F2
IM[1,1]
C5
NN
[1,n]
F1
VE
F2
IM[1,n]
XCS
XCL[m]
WSL[m]
WSD
C5m
NNref
[m]
F1m
VE
F2m
IMref[m]
C5
NN
[m,1]
F1
VE
F2
IM[m,1]
C5
NN
[m,n]
F1
VE
F2
IM[m,n]
SWL2
F4[1]
F4[n]
SWS2
ITRZ[1]
ITRZ[n]
OL[1]
OL[n]

図6

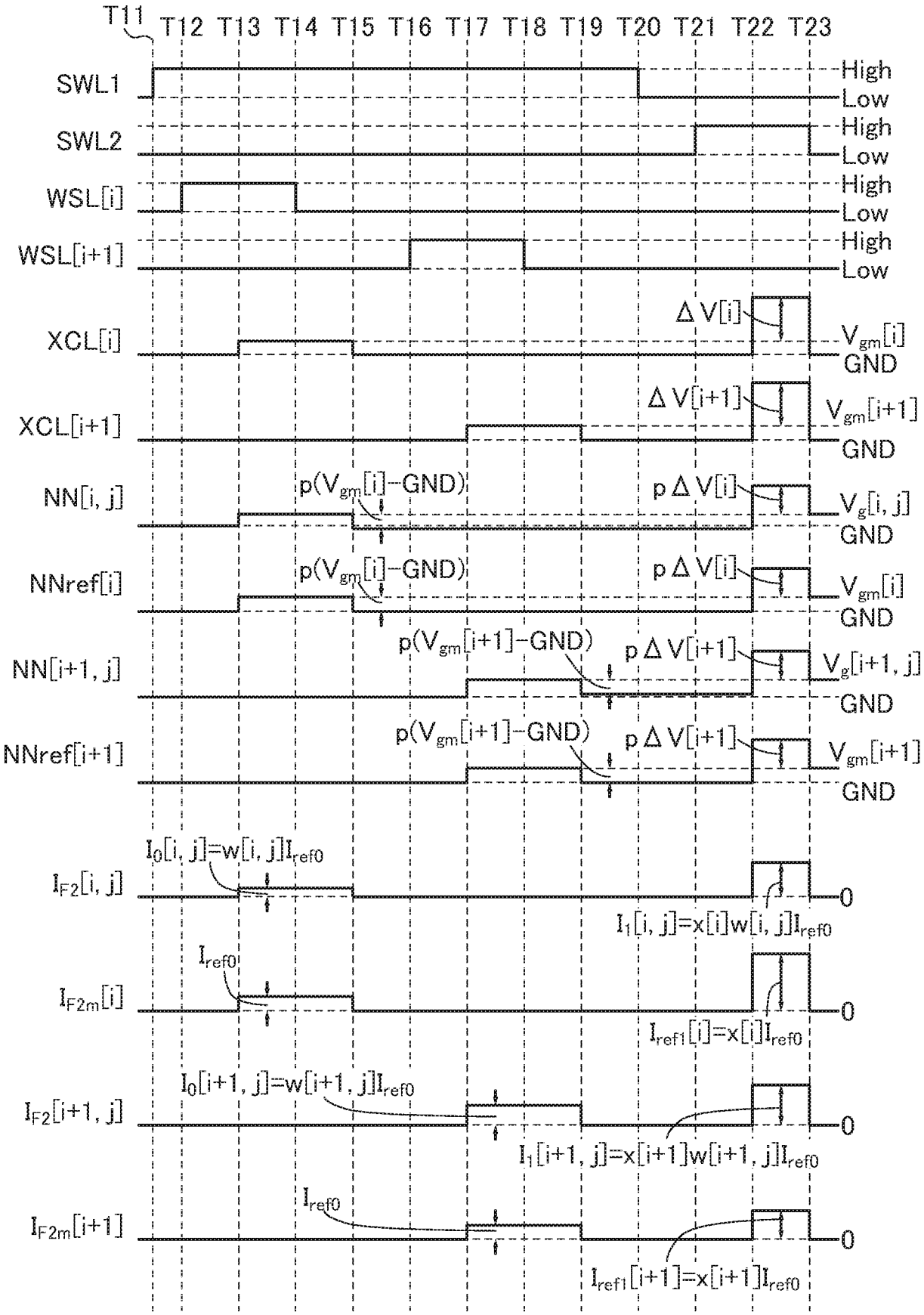

T11
T12
T13
T14
T15
T16
T17
T18
T19
T20
T21
T22
T23
SWL1
SWL2
WSL[i]
WSL[i+1]
High
Low
XCL[i]
XCL[i+1]
ΔV[i]
ΔV[i+1]
Vgm[i]
Vgm[i+1]
GND
NN[i, j]
NNref[i]
NN[i+1, j]
NNref[i+1]
p(Vgm[i]−GND)
pΔV[i]
Vg[i, j]
p(Vgm[i+1]−GND)
pΔV[i+1]
Vg[i+1, j]
IF2[i, j]
IF2m[i]
IF2[i+1, j]
IF2m[i+1]
I0[i, j]=w[i, j]Iref0
I1[i, j]=x[i]w[i, j]Iref0
Iref0
Iref1[i]=x[i]Iref0
I0[i+1, j]=w[i+1, j]Iref0
I1[i+1, j]=x[i+1]w[i+1, j]Iref0
Iref1[i+1]=x[i+1]Iref0
0

図7

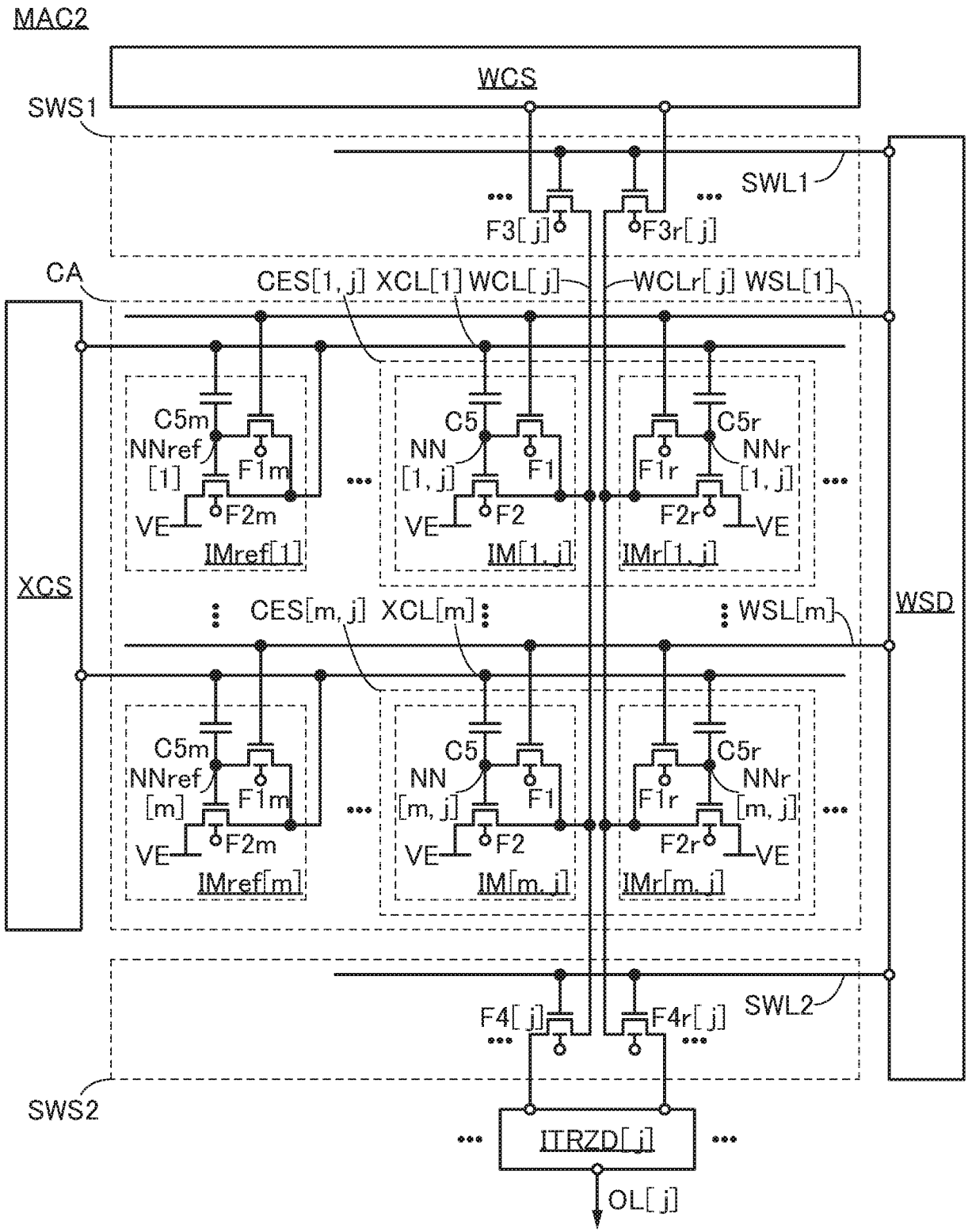

MAC2
WCS
SWS1
SWL1
F3[j]
F3r[j]
CA
CES[1,j] XCL[1] WCL[j]
WCLr[j] WSL[1]
C5m
NNref
[1]
F1m
F2m
VE
IMref[1]
C5
NN
[1,j]
F1
F2
IM[1,j]
C5r
NNr
F1r
F2r
IMr[1,j]
XCS
CES[m,j] XCL[m]
WSL[m]
WSD
C5m
NNref
[m]
F1m
F2m
IMref[m]
C5
NN
[m,j]
F1
F2
IM[m,j]
C5r
NNr
F1r
F2r
IMr[m,j]
F4[j]
F4r[j]
SWL2
SWS2
ITRZD[j]
OL[j]

図8A

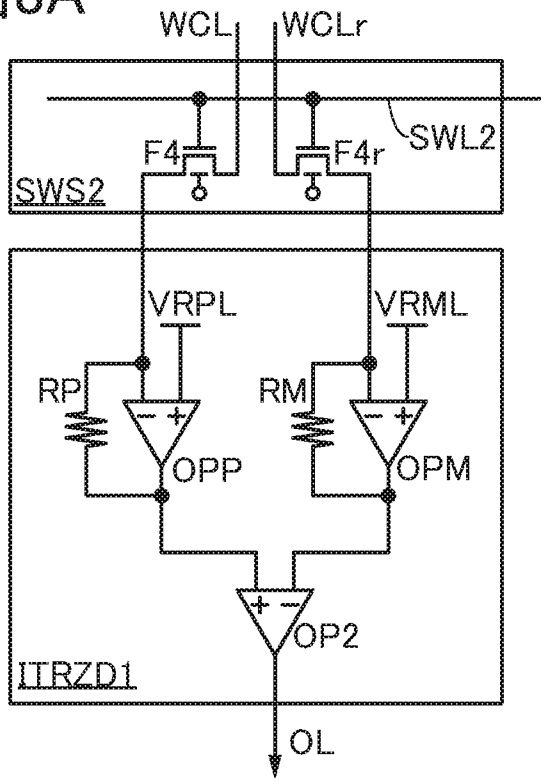

WCL
WCLr
SWL2
F4
F4r
SWS2
VRPL
VRML
RP
RM
OPP
OPM
OP2
ITRZD1
OL

図8B

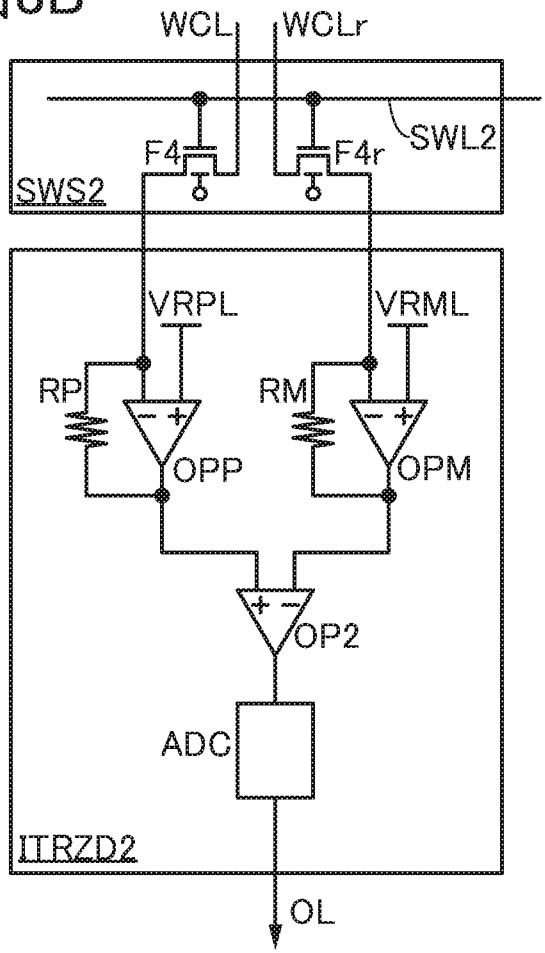

WCL
WCLr
SWL2
F4
F4r
SWS2
VRPL
VRML
RP
RM
OPP
OPM
OP2
ADC
ITRZD2
OL

図8C

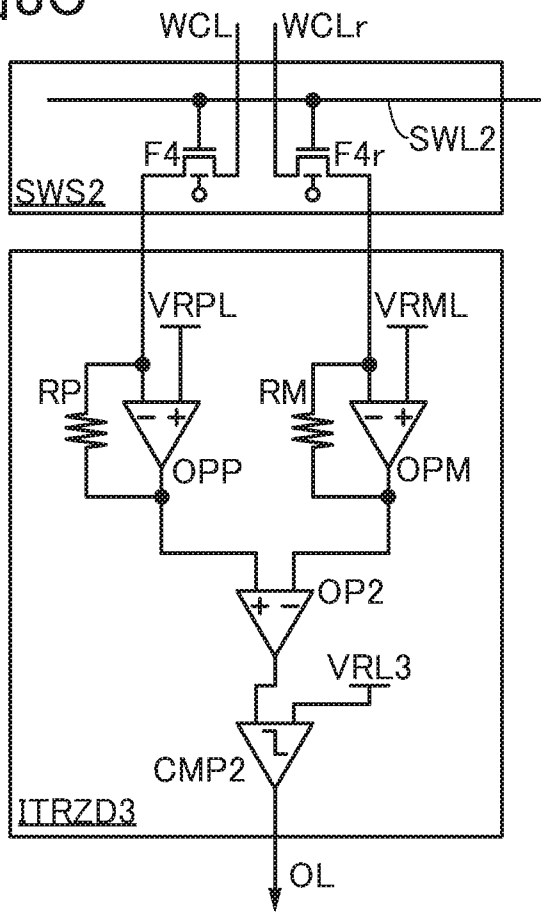

WCL
WCLr
SWL2
F4
F4r
SWS2
VRPL
VRML
RP
RM
OPP
OPM
OP2
VRL3
CMP2
ITRZD3
OL

図9

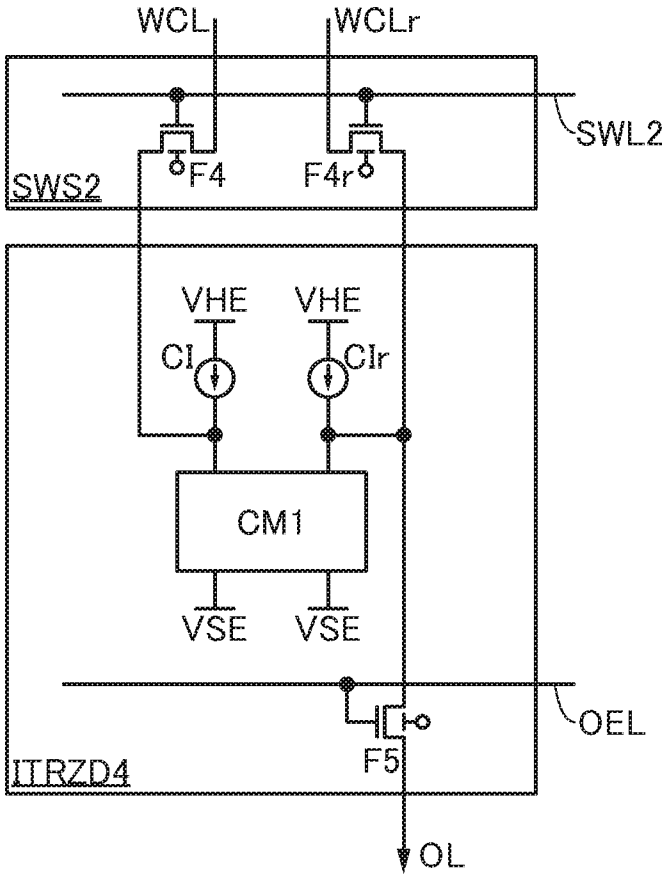

WCL
WCLr
SWL2
F4
F4r
SWS2
VHE
VHE
CI
CIr
CM1
VSE
VSE
OEL
F5
ITRZD4
OL

図10A

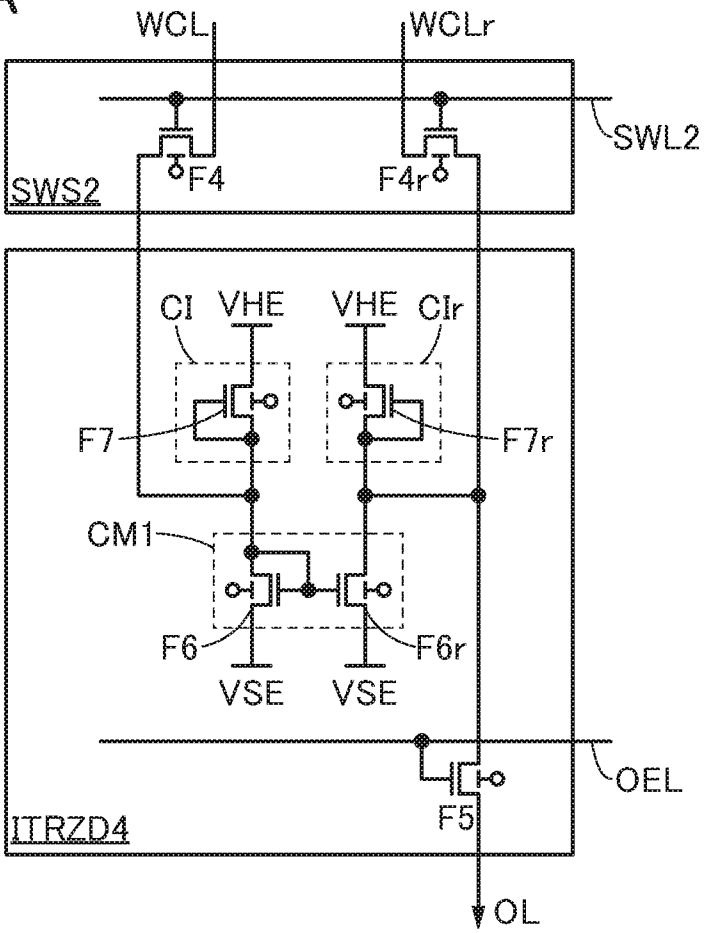

WCL
WCLr
SWL2
SWS2
F4
F4r
CI
VHE
VHE
CIr
F7
F7r
CM1
F6
F6r
VSE
VSE
OEL
F5
ITRZD4
OL

図10B

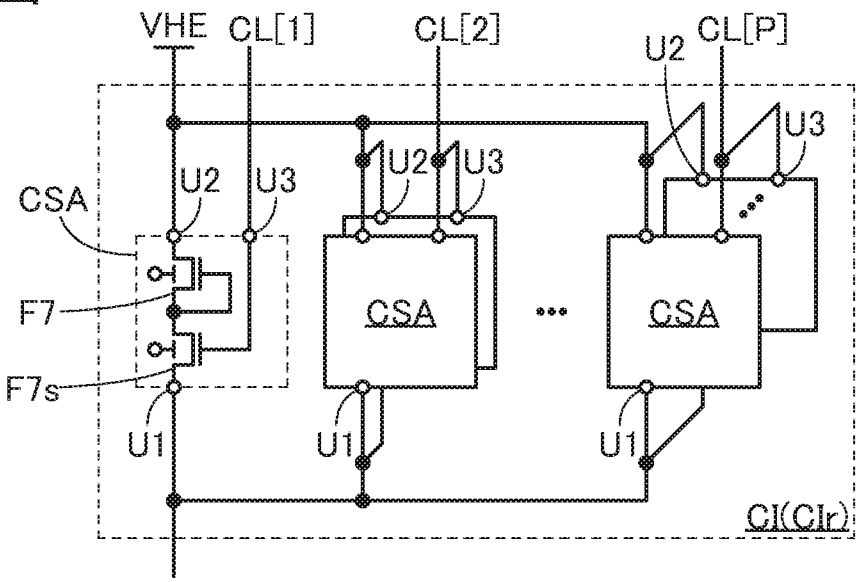

VHE
CL[1]
CL[2]
CL[P]
U2
U3
CSA
F7
F7s
U1
CSA
CSA
CI(CIr)

図11A

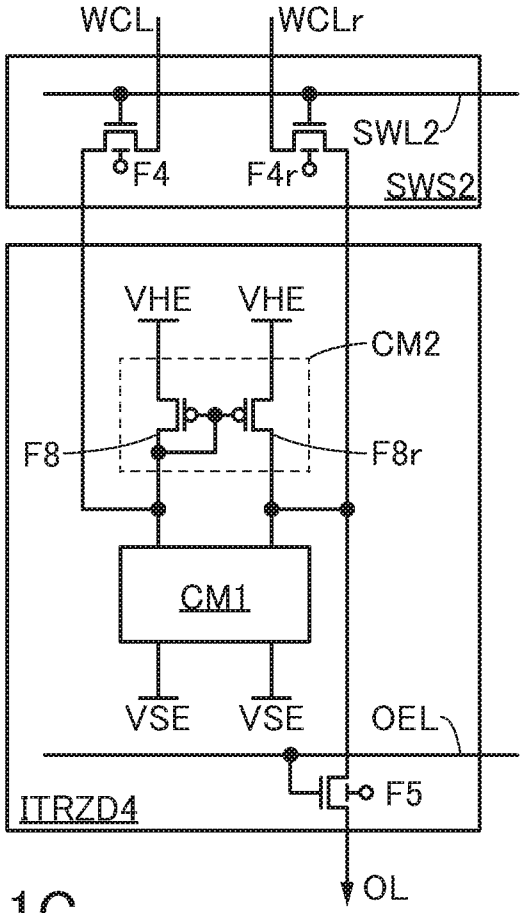


図11B

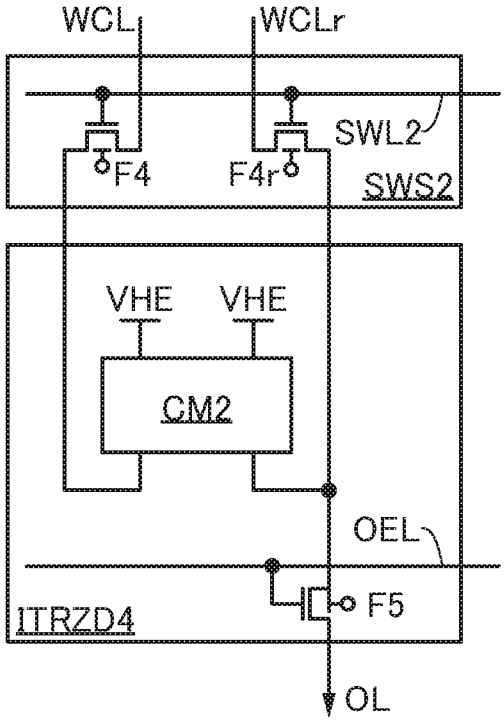


図11C

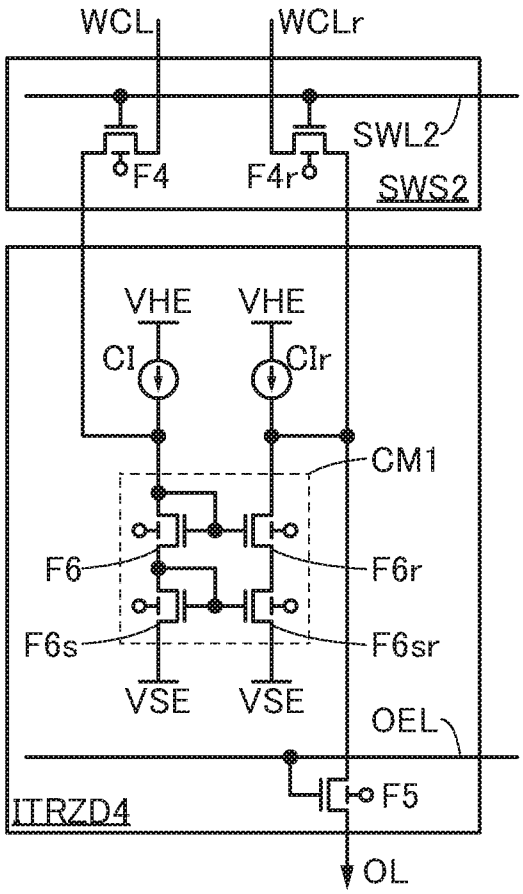


図12

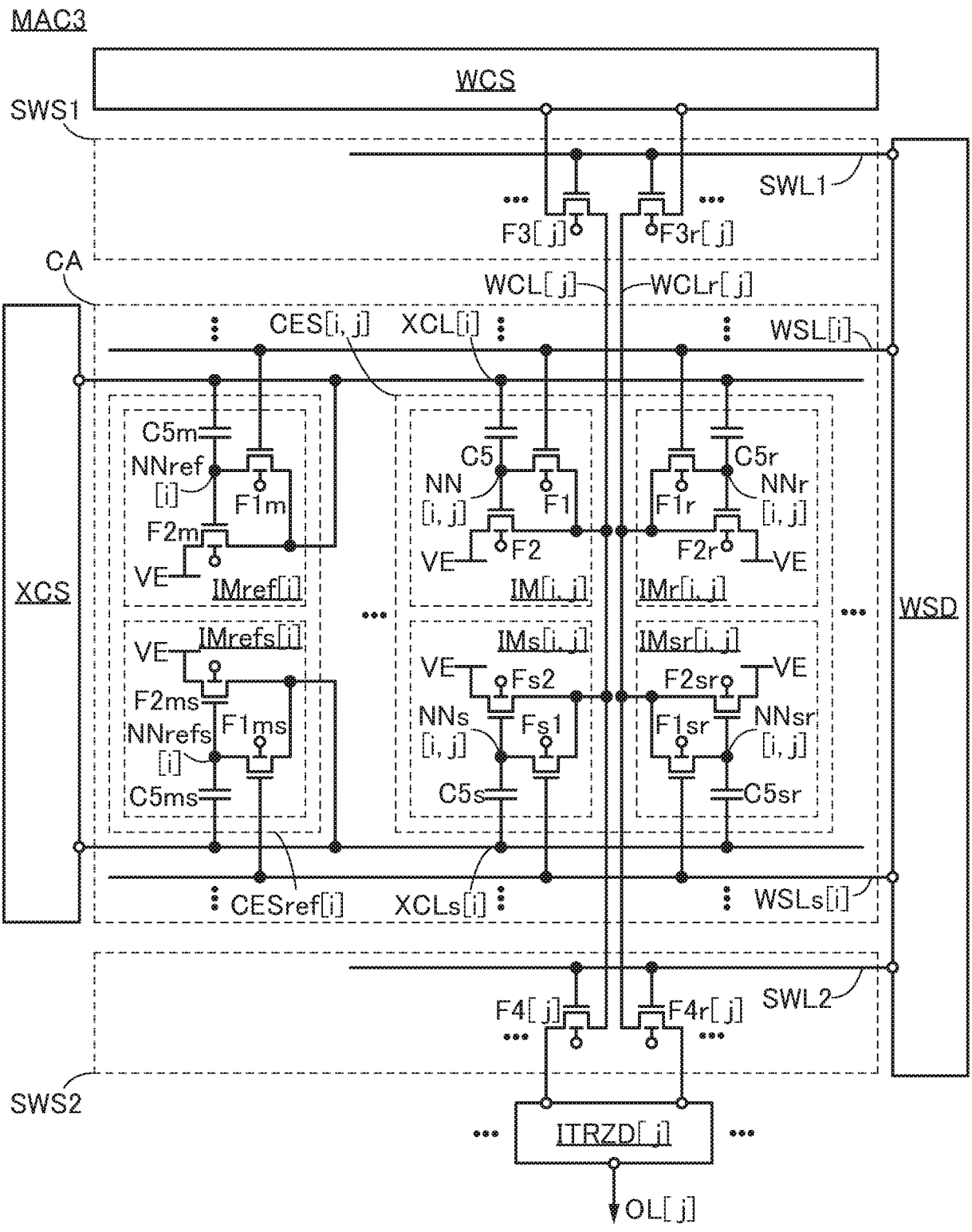

MAC3
WCS
SWS1
SWL1
F3[j]
F3r[j]
CA
WCL[j]
WCLr[j]
CES[i, j]
XCL[i]
WSL[i]
C5m
NNref[i]
F1m
F2m
VE
IMref[i]
C5
NN[i, j]
F1
F2
IM[i, j]
C5r
NNr[i, j]
F1r
F2r
IMr[i, j]
XCS
WSD
IMrefs[i]
F2ms
NNrefs[i]
F1ms
C5ms
IMs[i, j]
Fs2
NNs[i, j]
Fs1
C5s
IMsr[i, j]
F2sr
F1sr
NNsr[i, j]
C5sr
CESref[i]
XCLs[i]
WSLs[i]
F4[j]
F4r[j]
SWL2
SWS2
ITRZD[j]
OL[j]

図13A

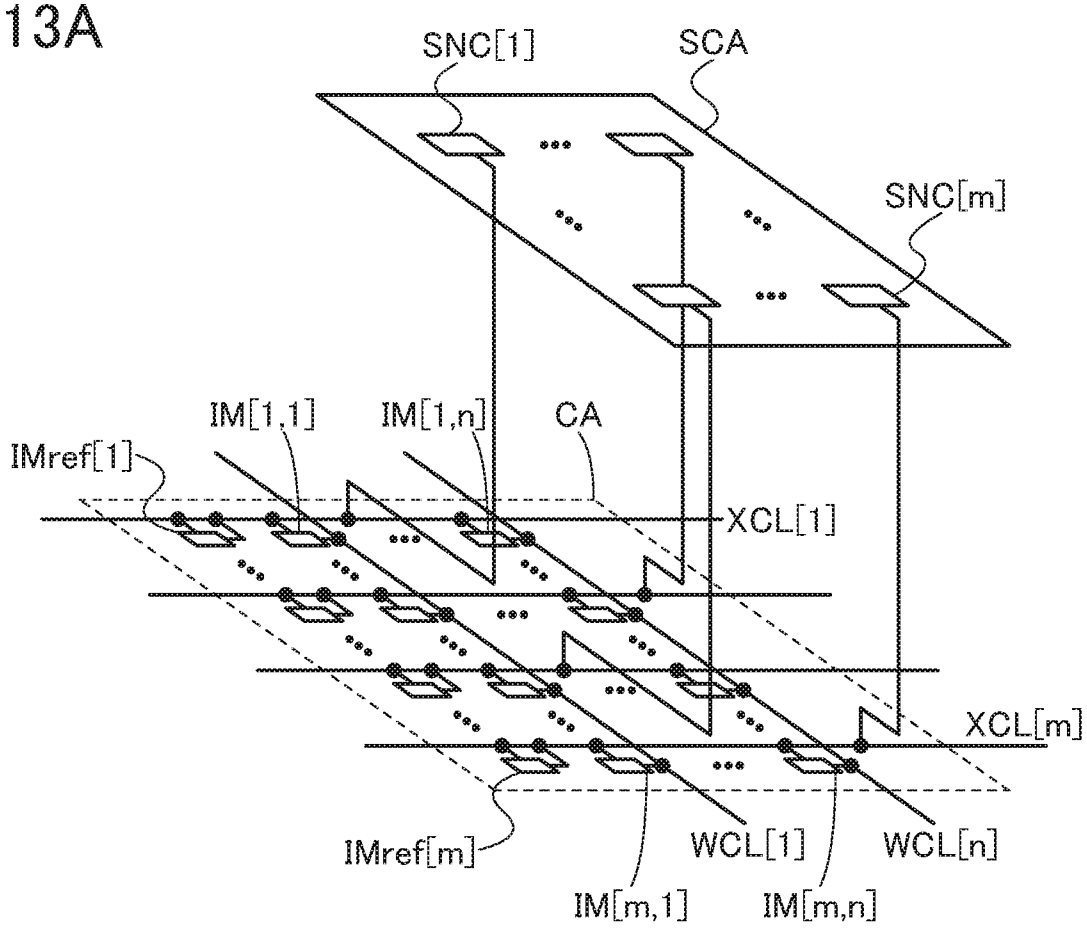

SNC[1]
SCA
SNC[m]
IM[1,1]
IM[1,n]
CA
IMref[1]
XCL[1]
XCL[m]
IMref[m]
WCL[1]
WCL[n]
IM[m,1]
IM[m,n]

図13B

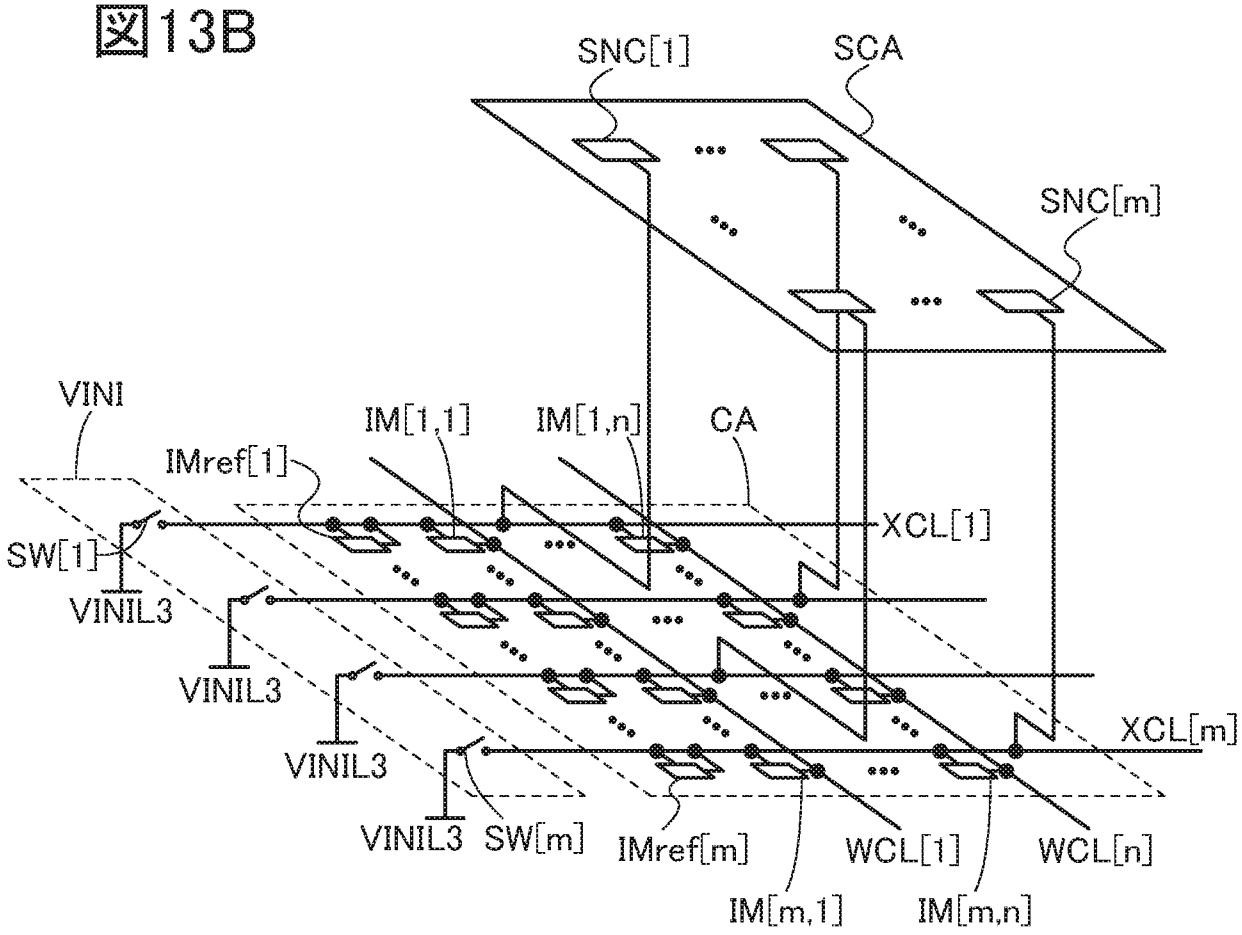

SNC[1]
SCA
SNC[m]
VINI
IM[1,1]
IM[1,n]
CA
IMref[1]
XCL[1]
SW[1]
VINIL3
VINIL3
VINIL3
VINIL3
SW[m]
XCL[m]
IMref[m]
WCL[1]
WCL[n]
IM[m,1]
IM[m,n]

図14

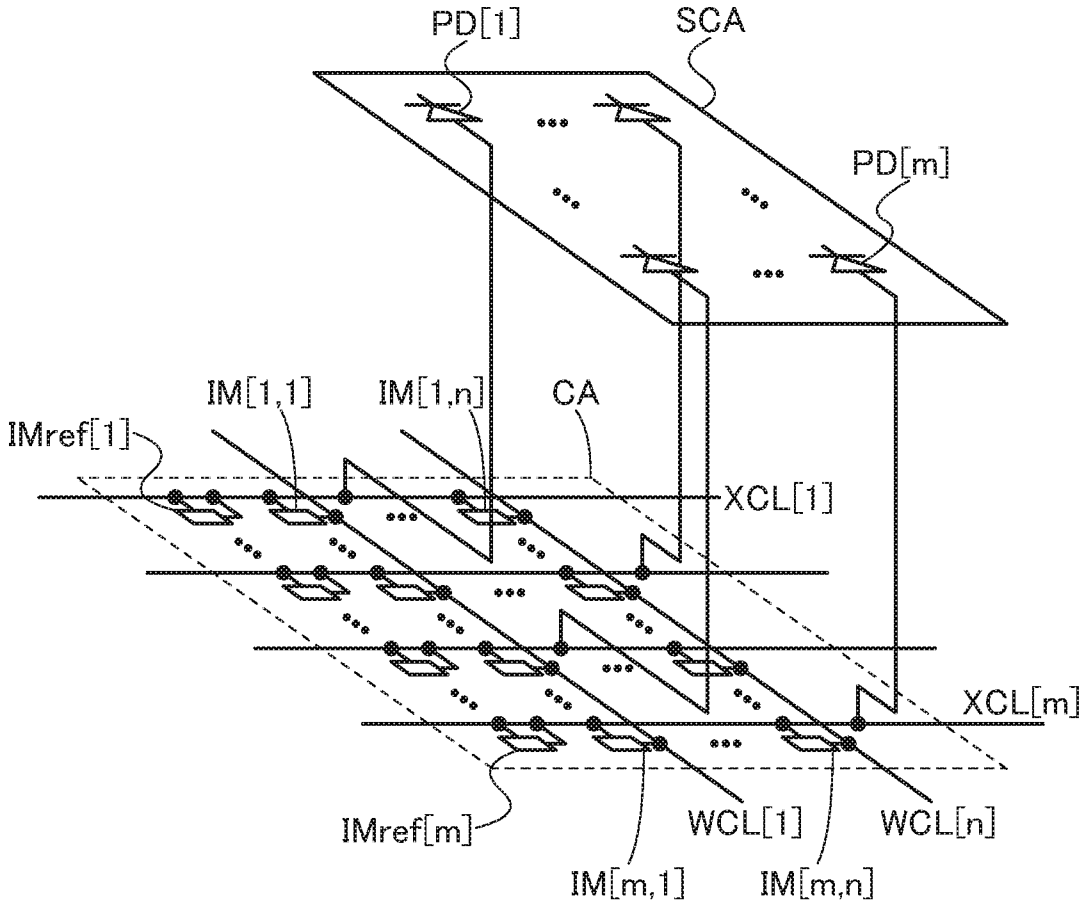

PD[1]
SCA
PD[m]
IM[1,1]
IM[1,n]
CA
IMref[1]
XCL[1]
XCL[m]
IMref[m]
WCL[1]
WCL[n]
IM[m,1]
IM[m,n]

図15

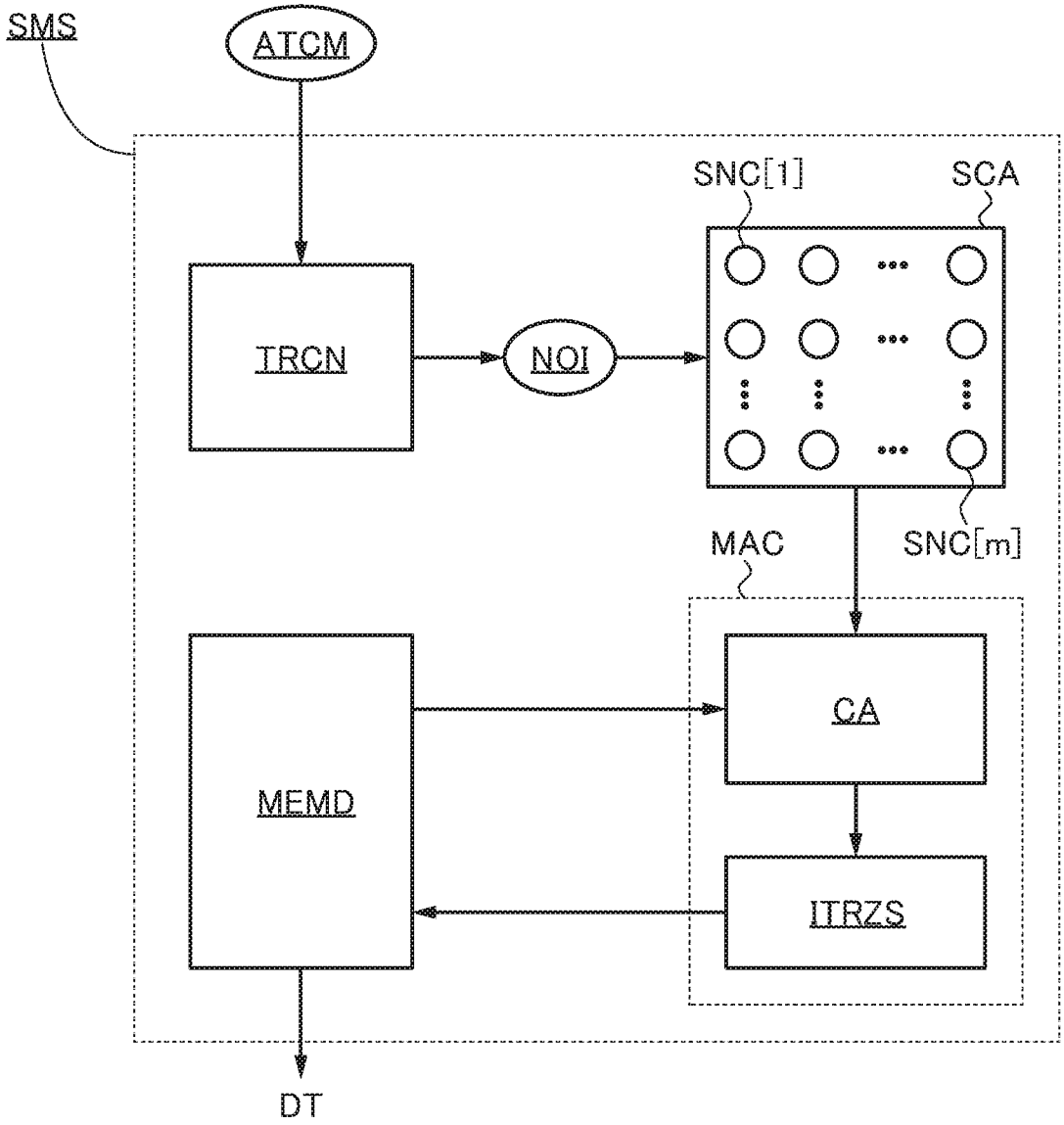


図16A SNC

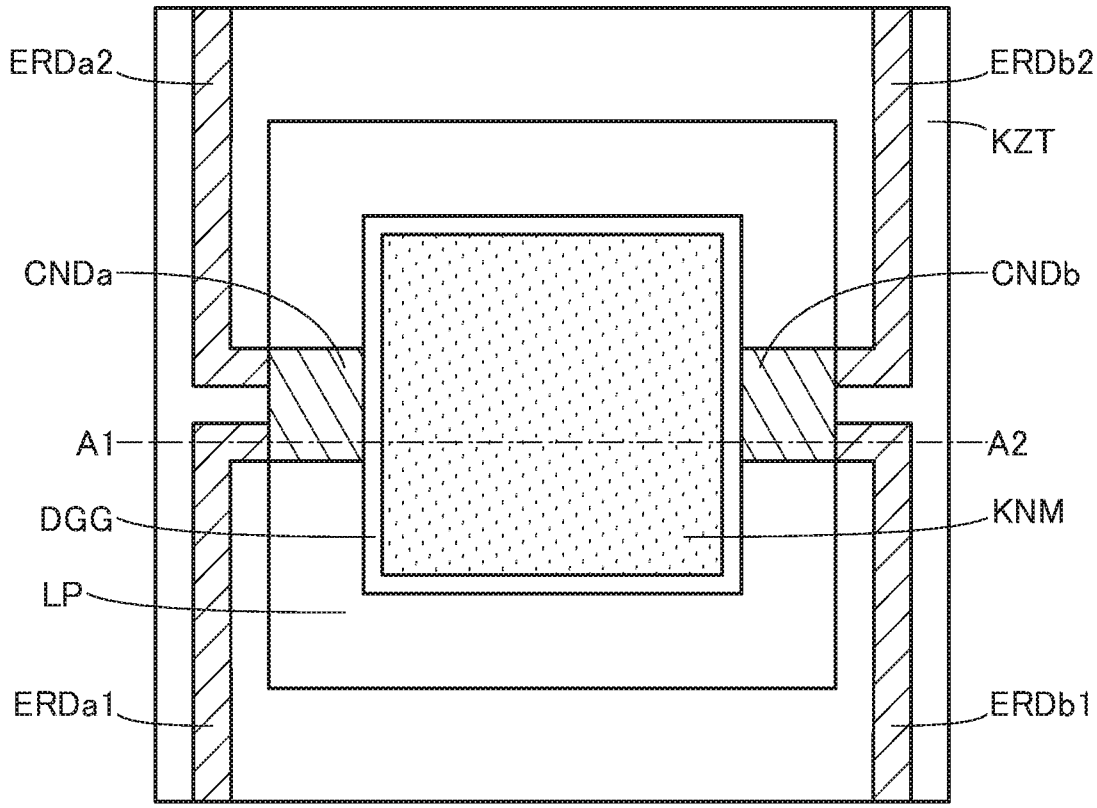


図16B SNC

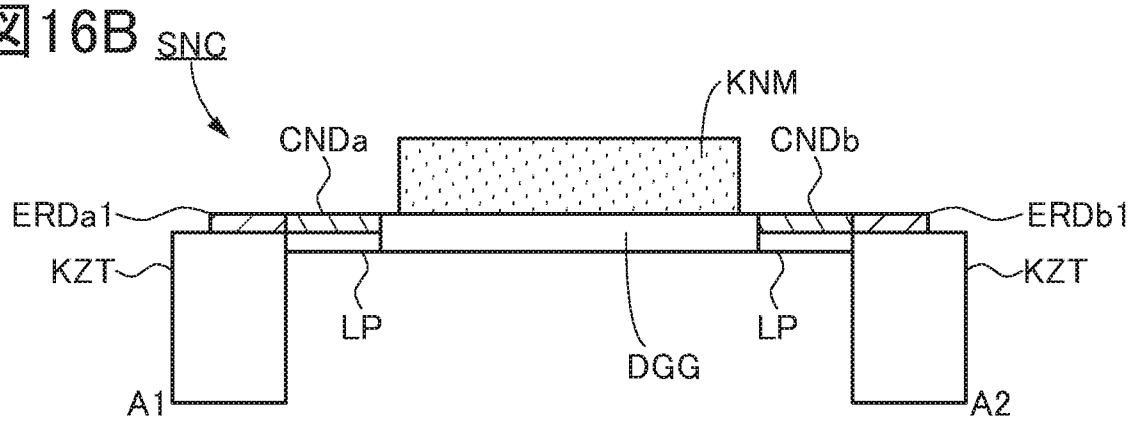


図16C SNC

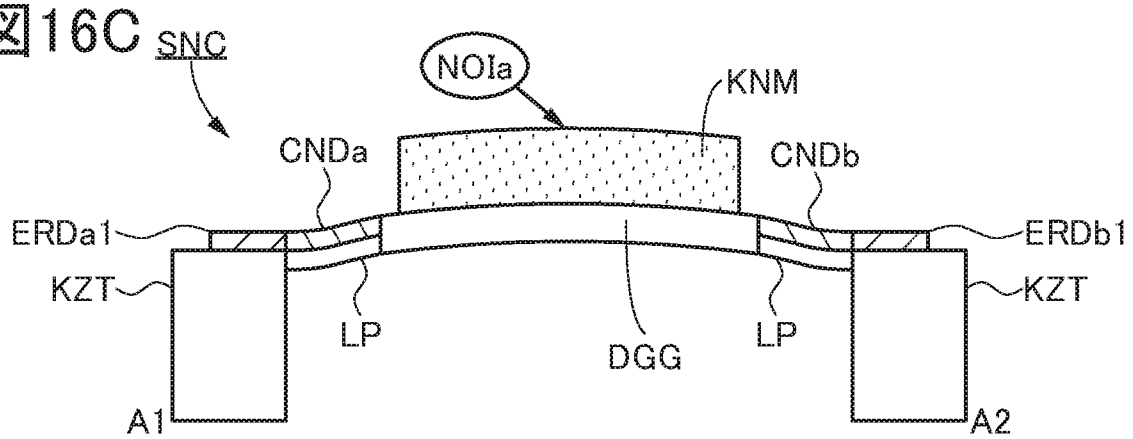


図17

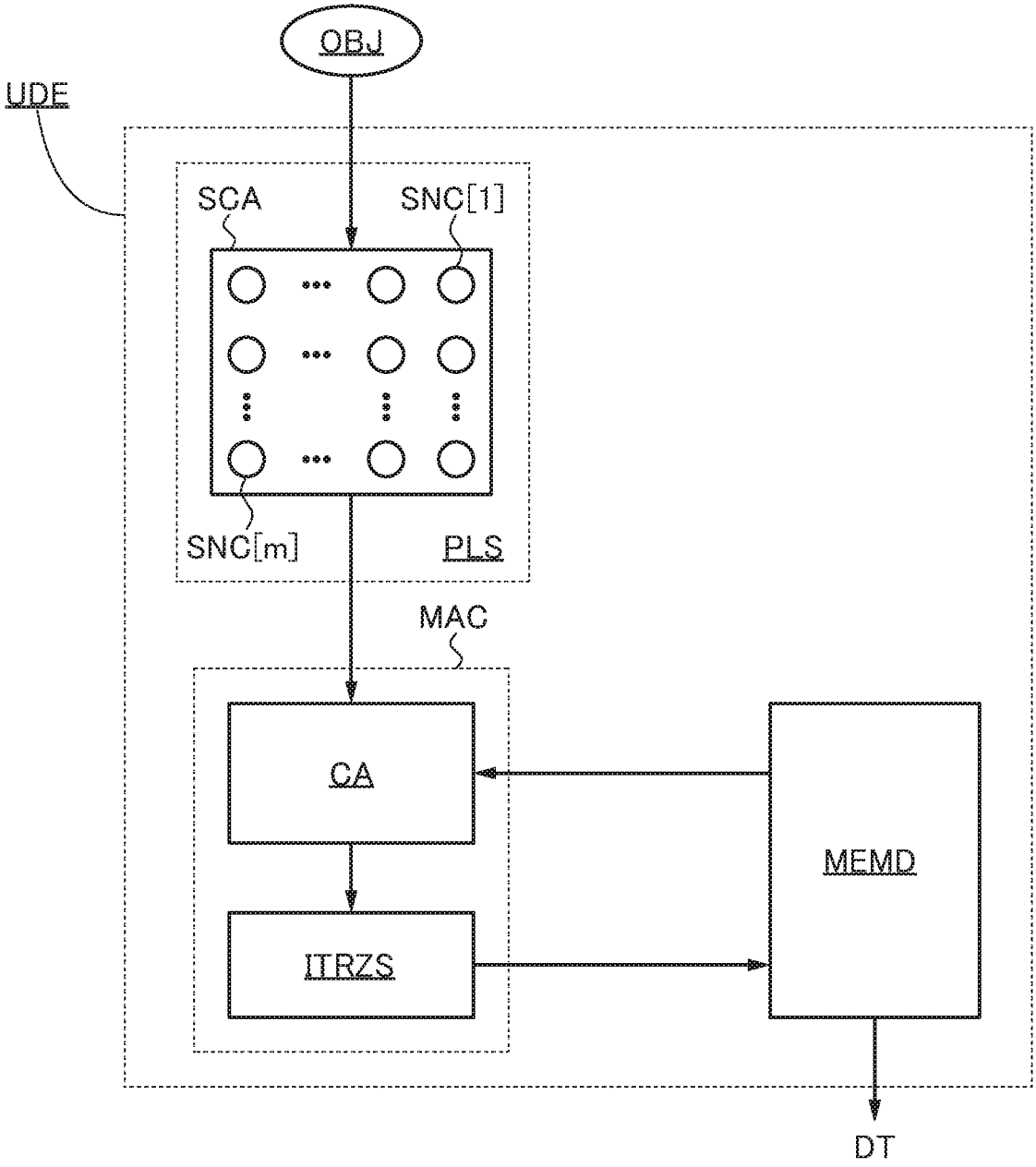


図18A SNC

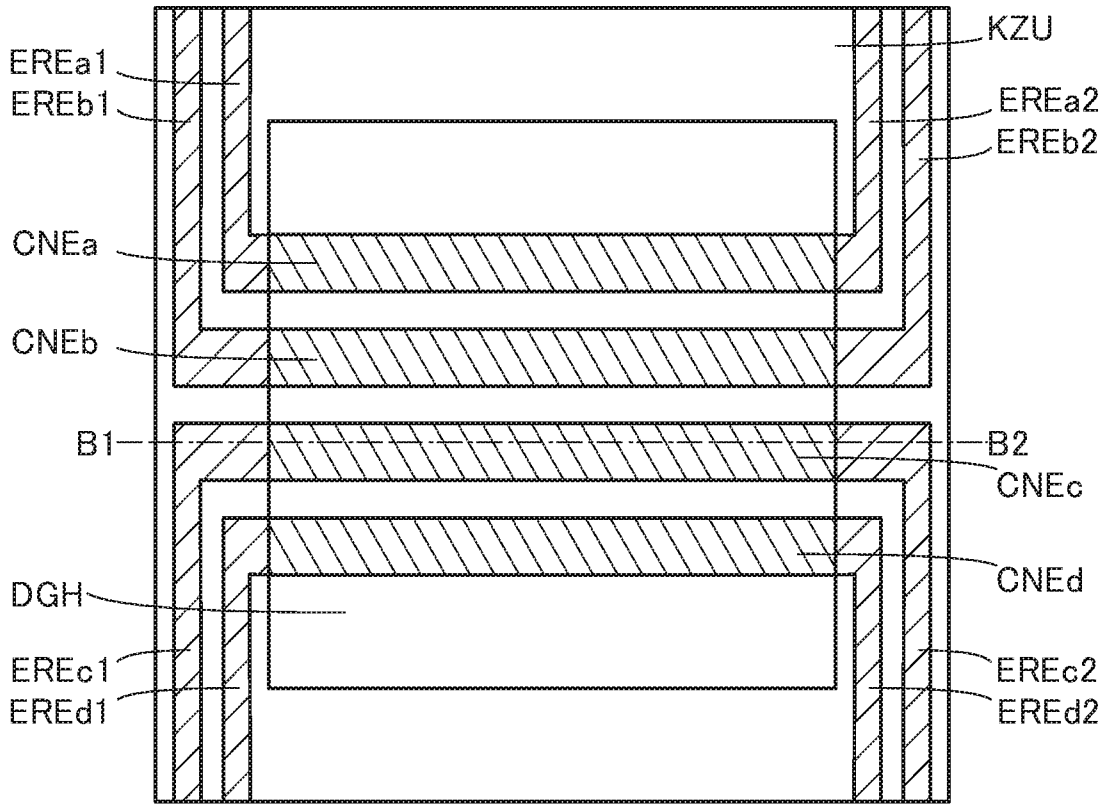


図18B SNC

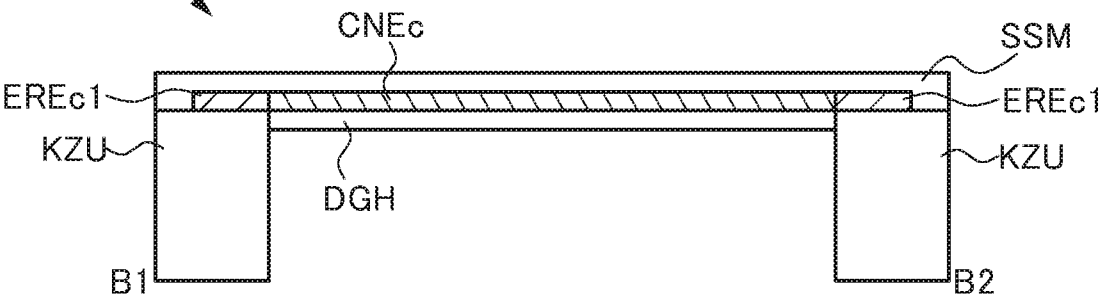


図18C SNC

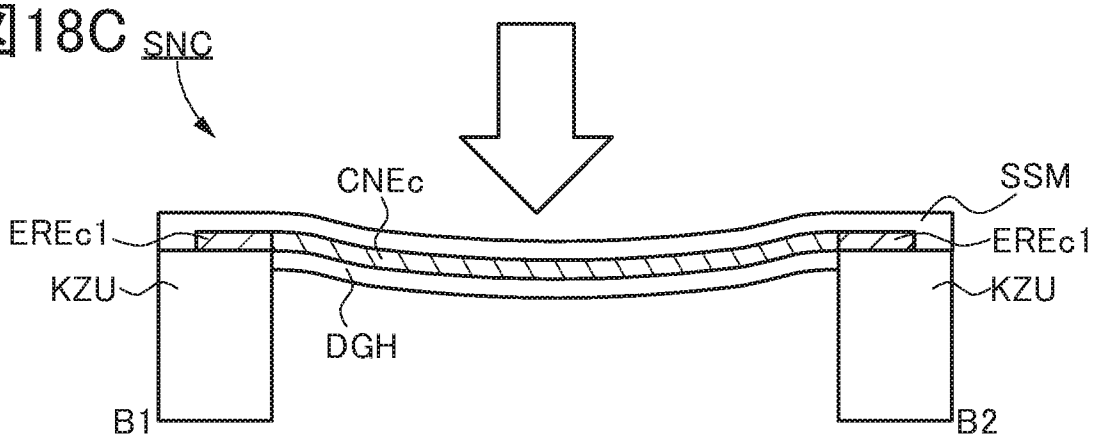


図19A

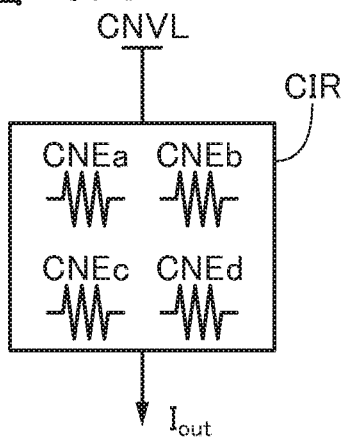


図19B

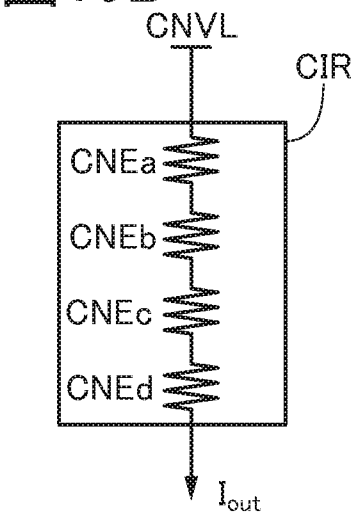


図19C

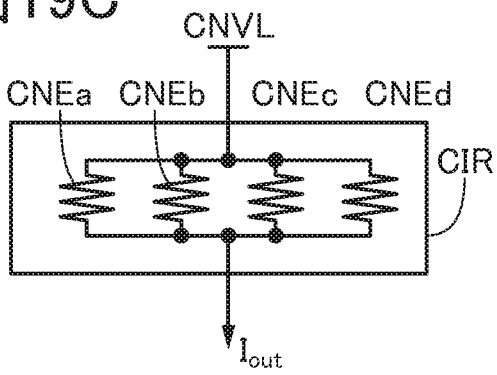


図20A

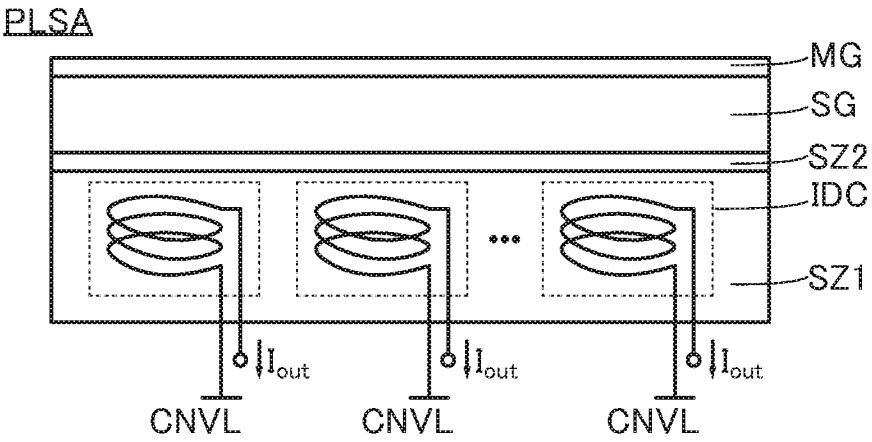

PLSA
MG
SG
SZ2
IDC
SZ1
Iout
Iout
Iout
CNVL
CNVL
CNVL

図20B

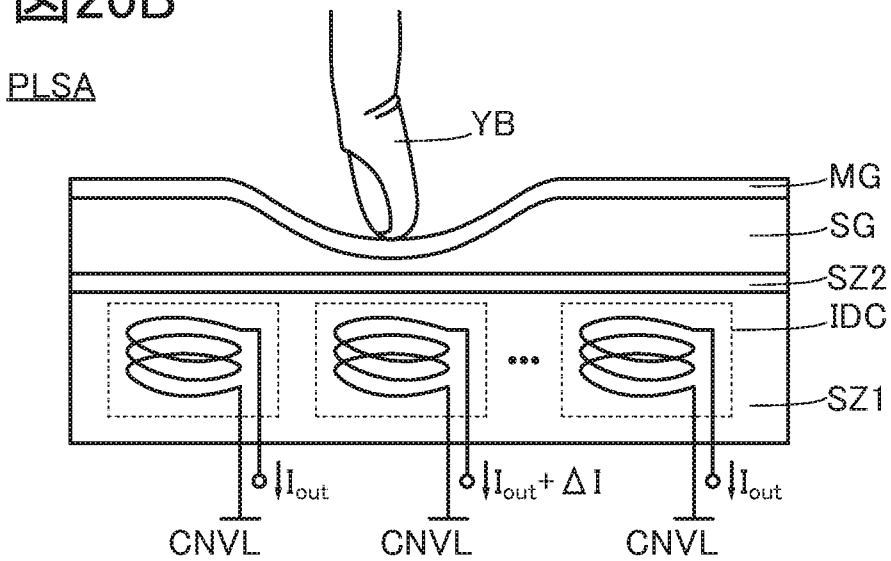

PLSA
YB
MG
SG
SZ2
IDC
SZ1
Iout
Iout+ΔI
Iout
CNVL
CNVL
CNVL

図21A

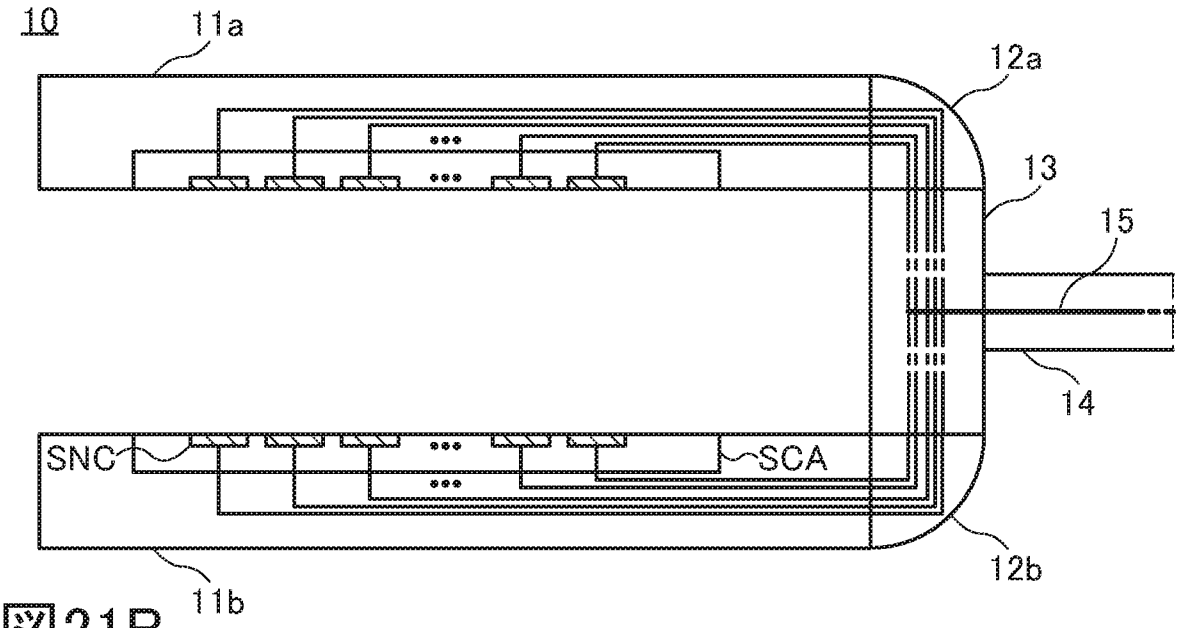


図21B

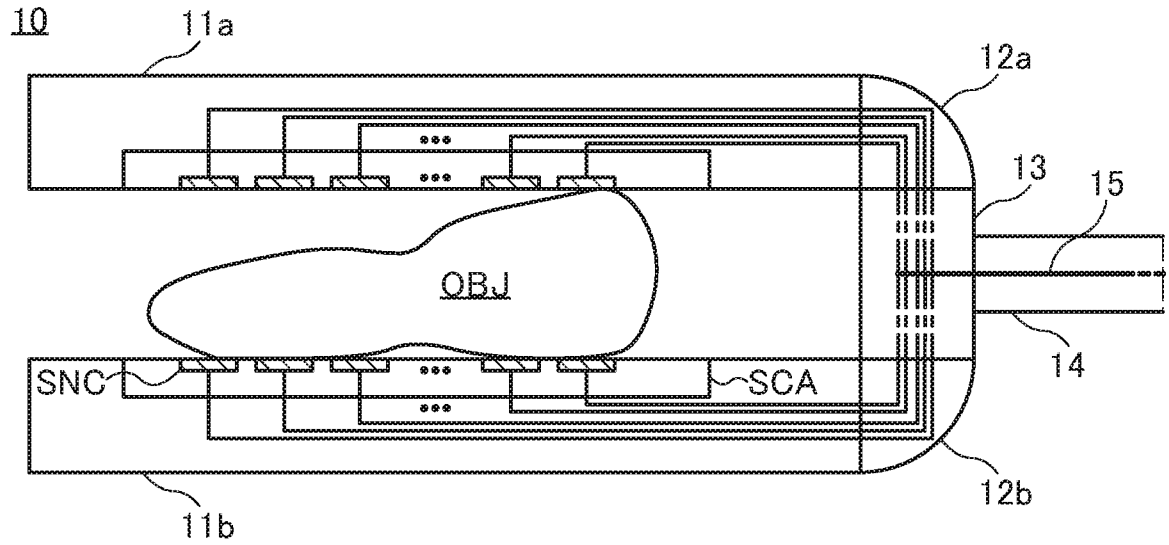


図21C

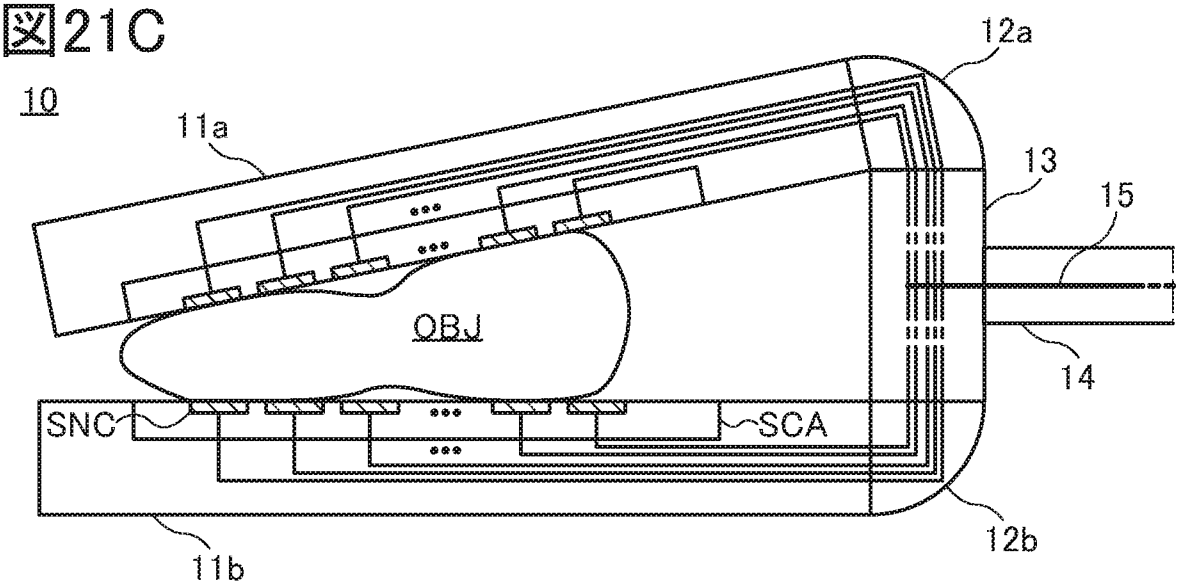


図22A

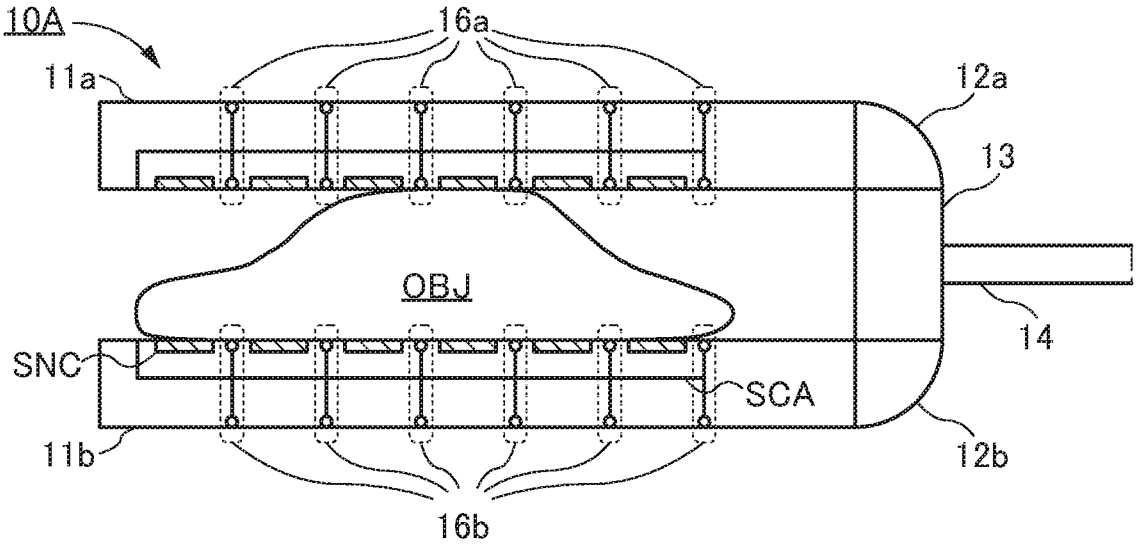

10A
16a
11a
12a
13
OBJ
14
SNC
SCA
11b
12b
16b

図22B

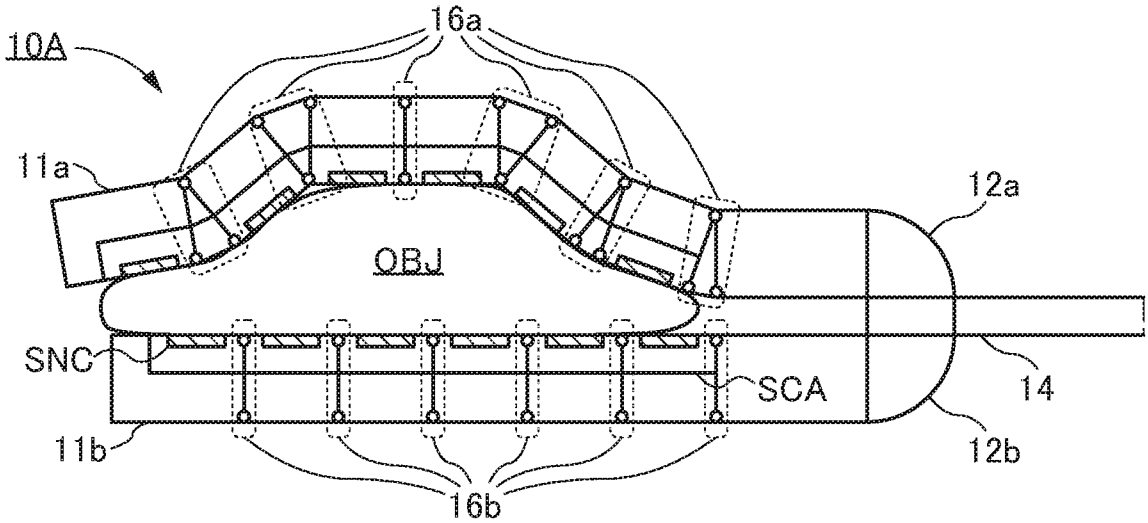

16a
10A
11a
12a
OBJ
SNC
SCA
14
11b
12b
16b

図23

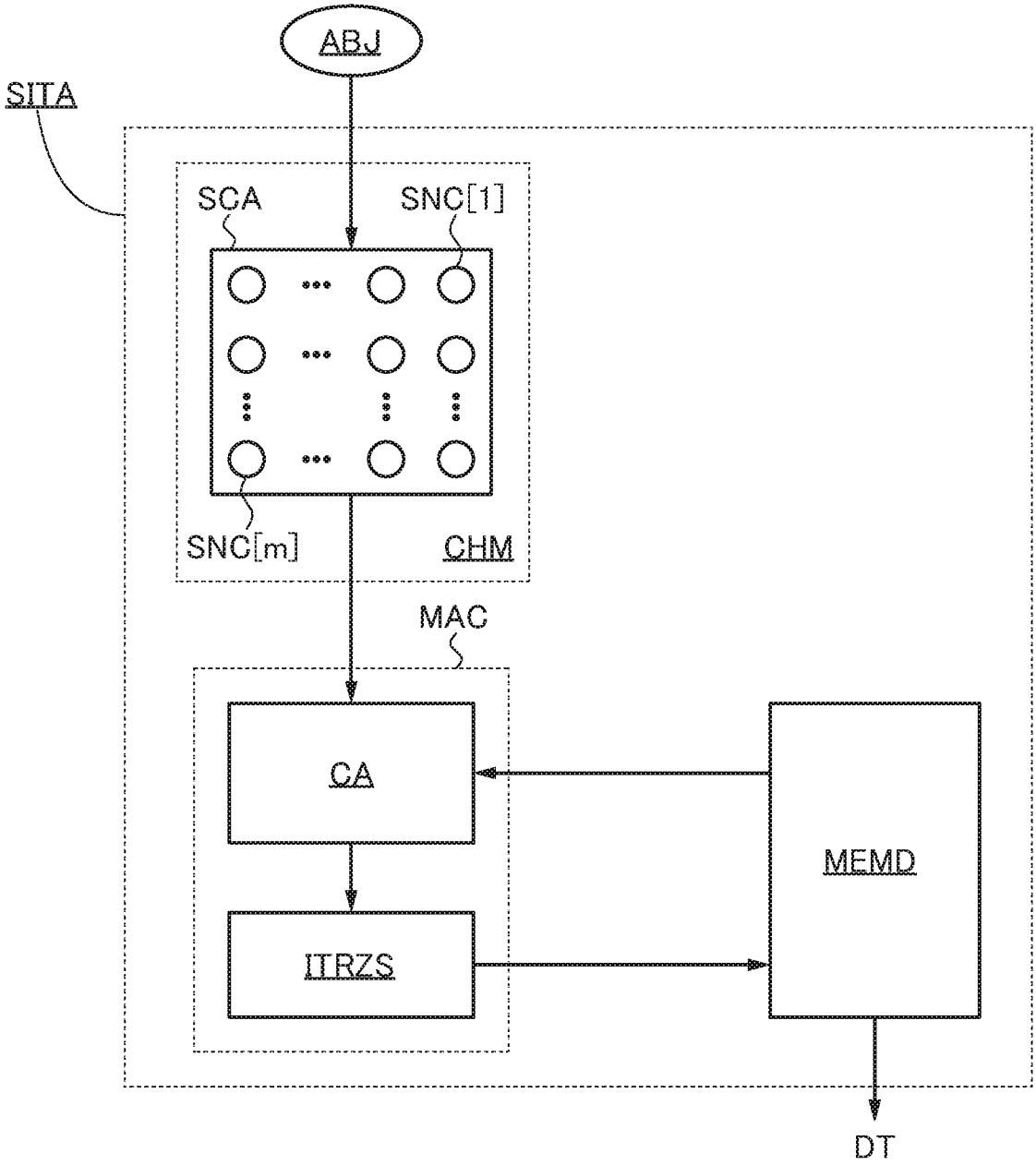


図24A

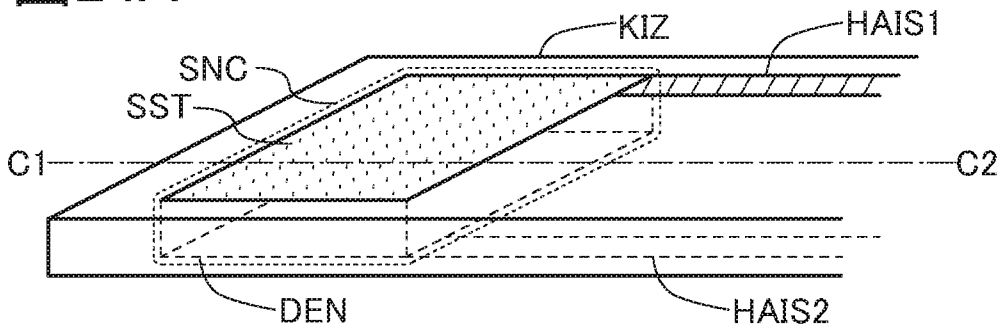


図24B

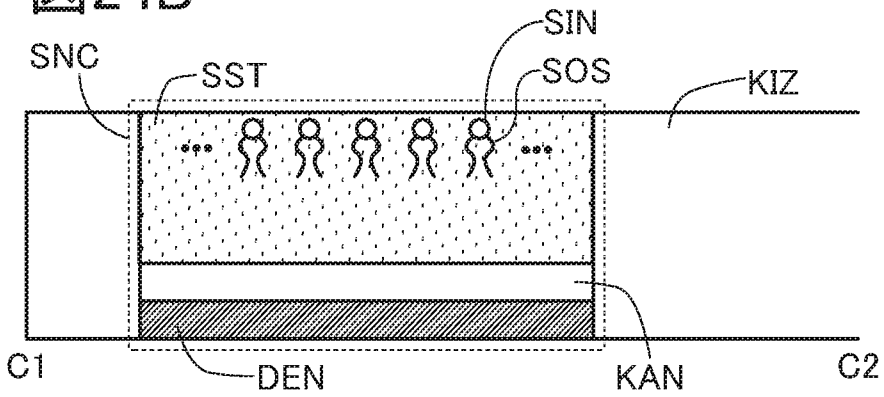


図24C

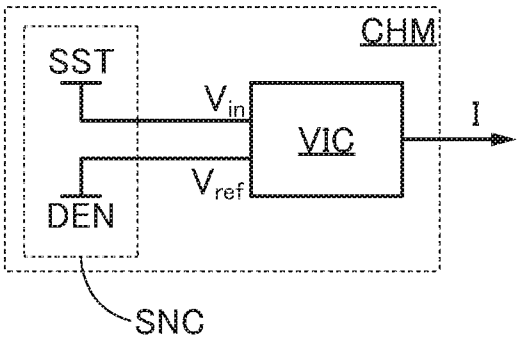


図25A

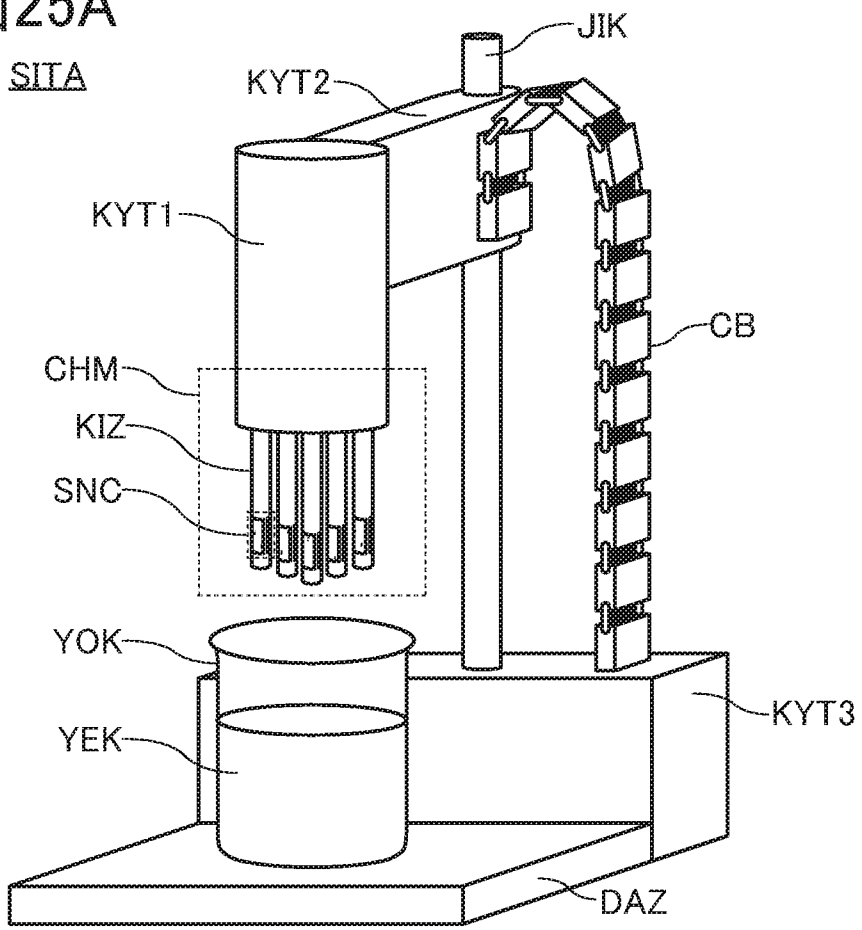


図25B

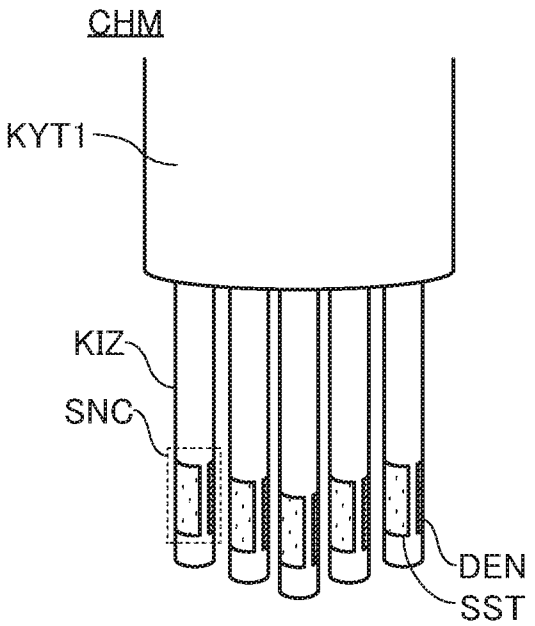


図25C

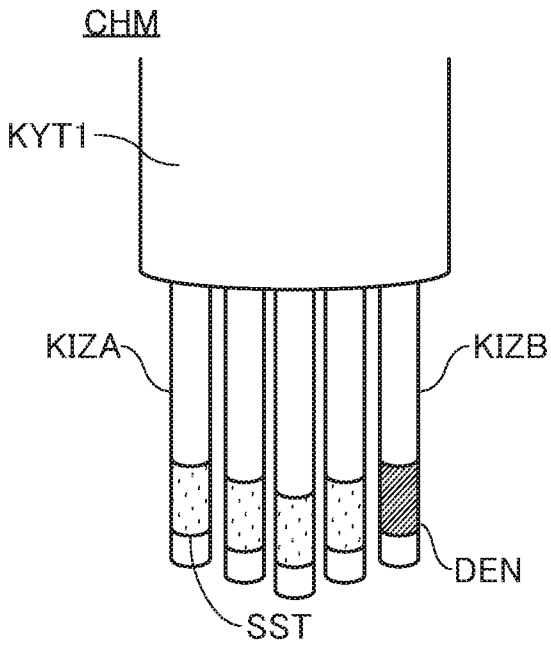


図26A

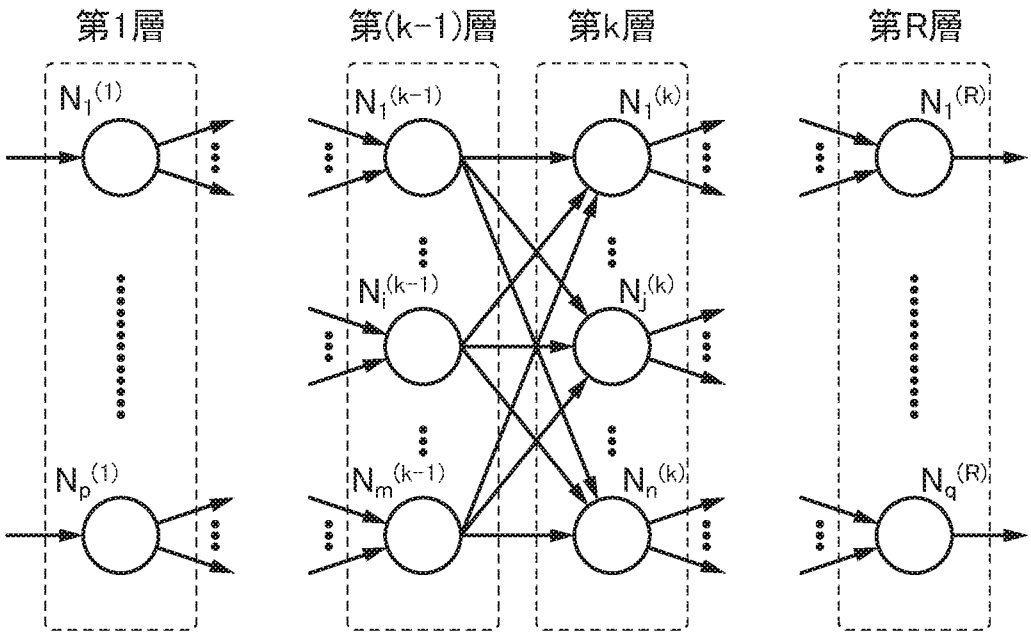

100
第1層
第(k−1)層
第k層
第R層
$N_1^{(1)}$
$N_p^{(1)}$
$N_1^{(k-1)}$
$N_i^{(k-1)}$
$N_m^{(k-1)}$
$N_1^{(k)}$
$N_j^{(k)}$
$N_n^{(k)}$
$N_1^{(R)}$
$N_q^{(R)}$

図26B

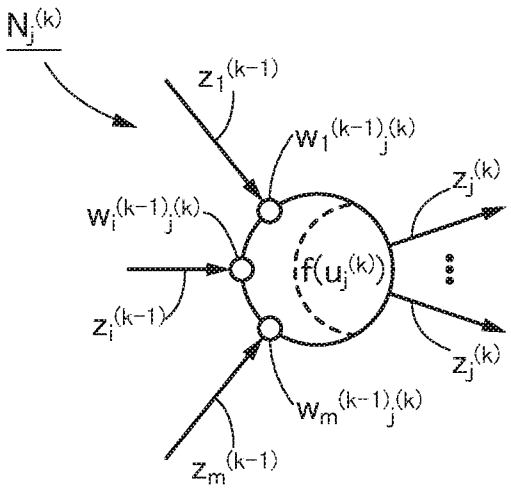

$N_j^{(k)}$
$z_1^{(k-1)}$
$w_1^{(k-1),(k)}_j$
$w_i^{(k-1),(k)}_j$
$z_i^{(k-1)}$
$f(u_j^{(k)})$
$z_j^{(k)}$
$z_j^{(k)}$
$w_m^{(k-1),(k)}_j$
$z_m^{(k-1)}$

図27

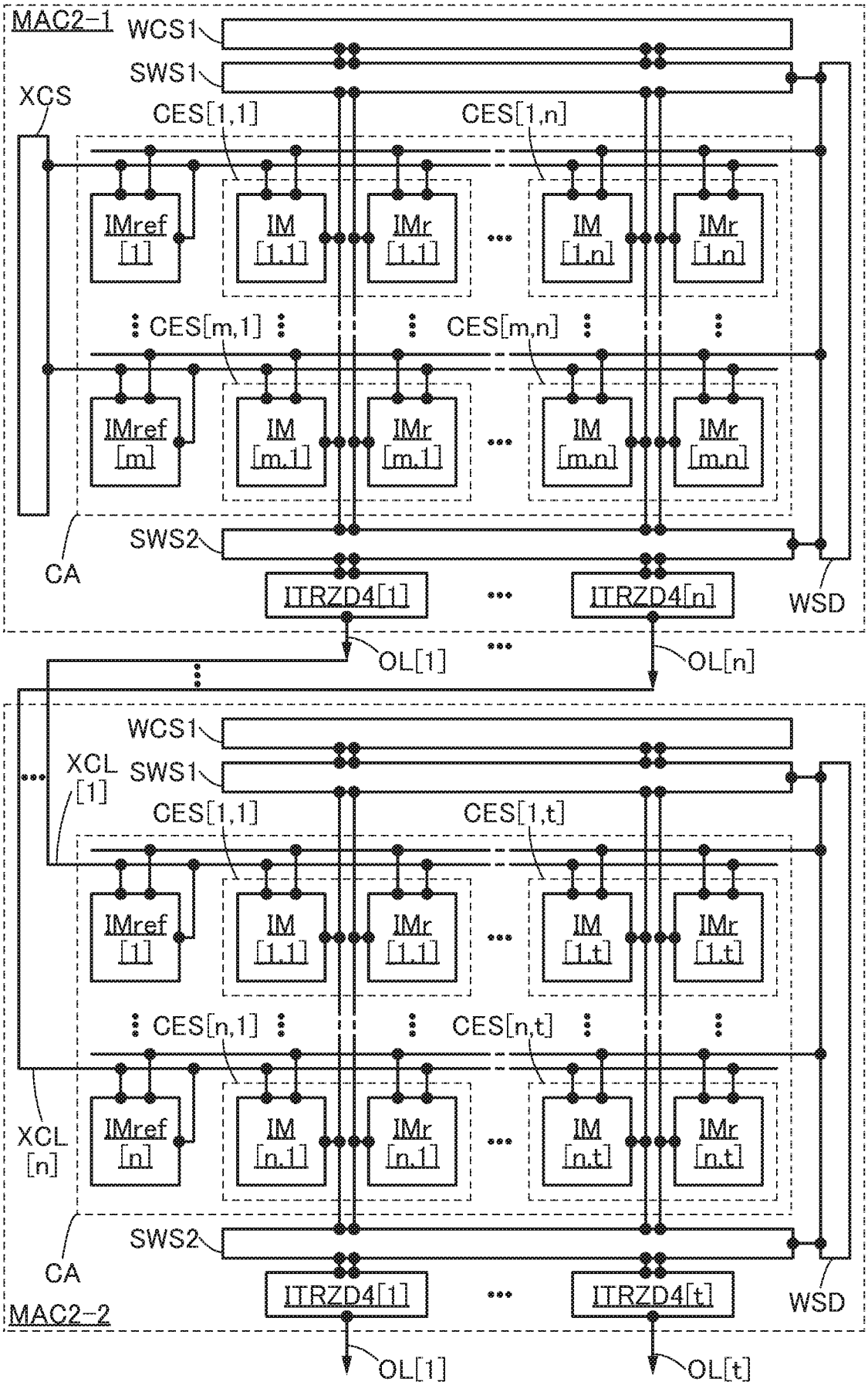

MAC2-1
WCS1
SWS1
XCS
CES[1,1]
CES[1,n]
IMref [1]
IM [1,1]
IMr [1,1]
IM [1,n]
IMr [1,n]
CES[m,1]
CES[m,n]
IMref [m]
IM [m,1]
IMr [m,1]
IM [m,n]
IMr [m,n]
SWS2
CA
ITRZD4[1]
ITRZD4[n]
WSD
OL[1]
OL[n]
WCS1
XCL [1]
SWS1
CES[1,1]
CES[1,t]
IMref [1]
IM [1,1]
IMr [1,1]
IM [1,t]
IMr [1,t]
CES[n,1]
CES[n,t]
XCL [n]
IMref [n]
IM [n,1]
IMr [n,1]
IM [n,t]
IMr [n,t]
SWS2
CA
MAC2-2
ITRZD4[1]
ITRZD4[t]
WSD
OL[1]
OL[t]

図28

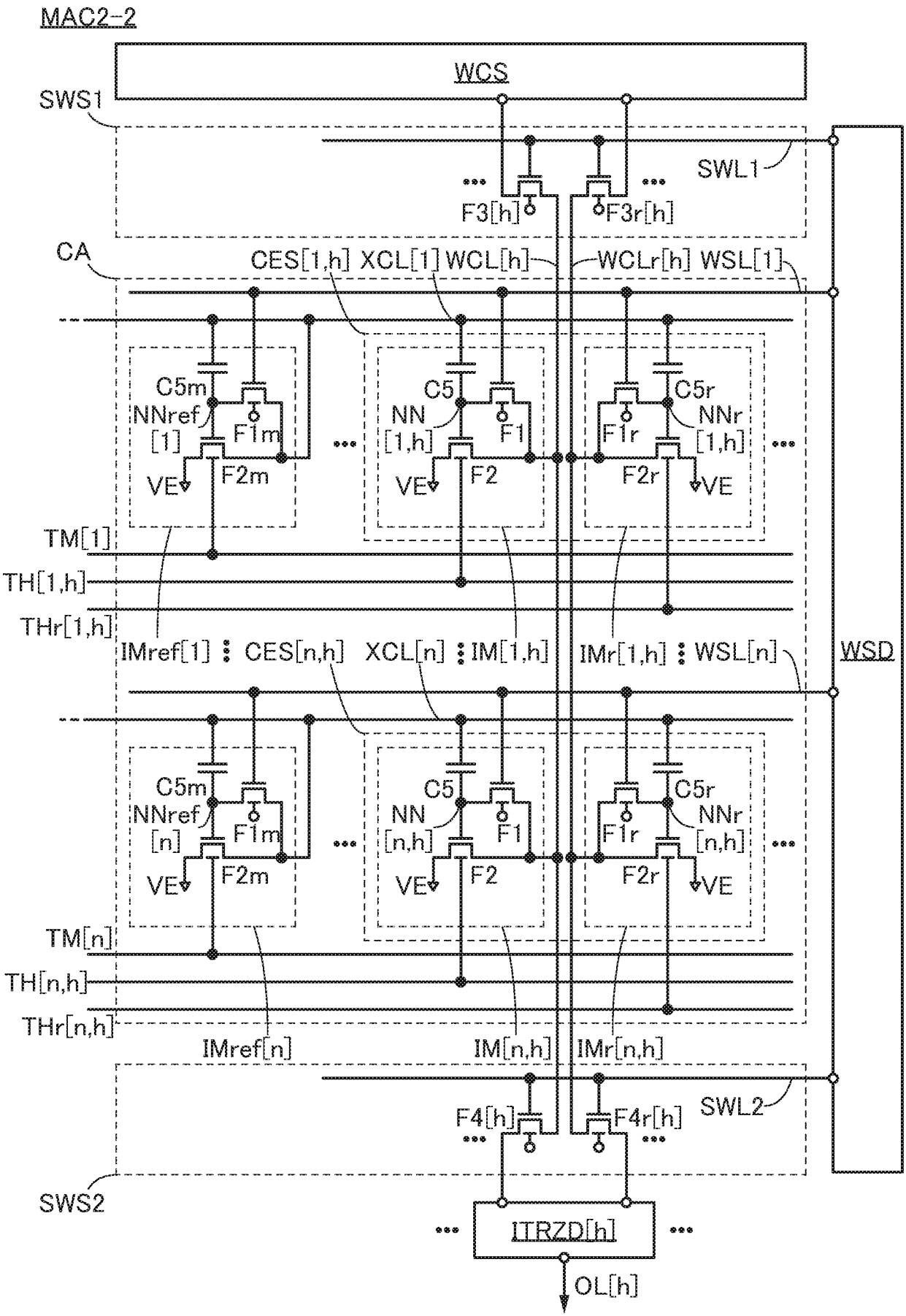

MAC2-2
WCS
SWS1
SWL1
F3[h]
F3r[h]
CA
CES[1,h]
XCL[1]
WCL[h]
WCLr[h]
WSL[1]
C5m
NNref
[1]
F1m
VE
F2m
C5
NN
[1,h]
F1
F2
C5r
F1r
NNr
[1,h]
F2r
TM[1]
TH[1,h]
THr[1,h]
IMref[1]
CES[n,h]
XCL[n]
IM[1,h]
IMr[1,h]
WSL[n]
WSD
C5m
NNref
[n]
F1m
VE
F2m
C5
NN
[n,h]
F1
F2
C5r
F1r
NNr
[n,h]
F2r
TM[n]
TH[n,h]
THr[n,h]
IMref[n]
IM[n,h]
IMr[n,h]
SWL2
F4[h]
F4r[h]
SWS2
ITRZD[h]
OL[h]

図29

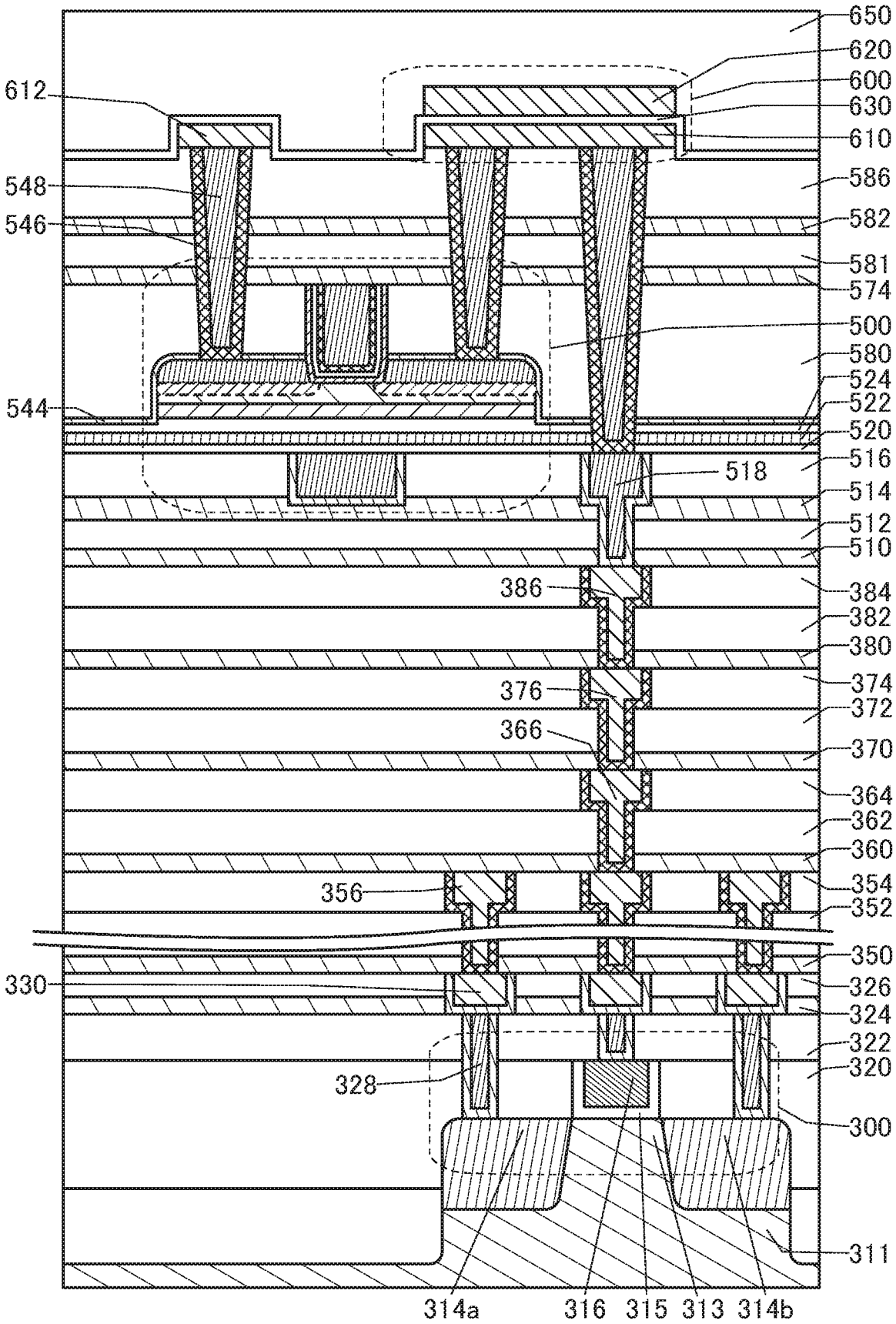

650
620
600
630
610
612
586
548
582
546
581
574
500
580
524
544
522
520
516
518
514
512
510
386
384
382
380
376
374
372
366
370
364
362
360
356
354
352
350
330
326
324
322
328
320
300
311
314a
316
315
313
314b

図30

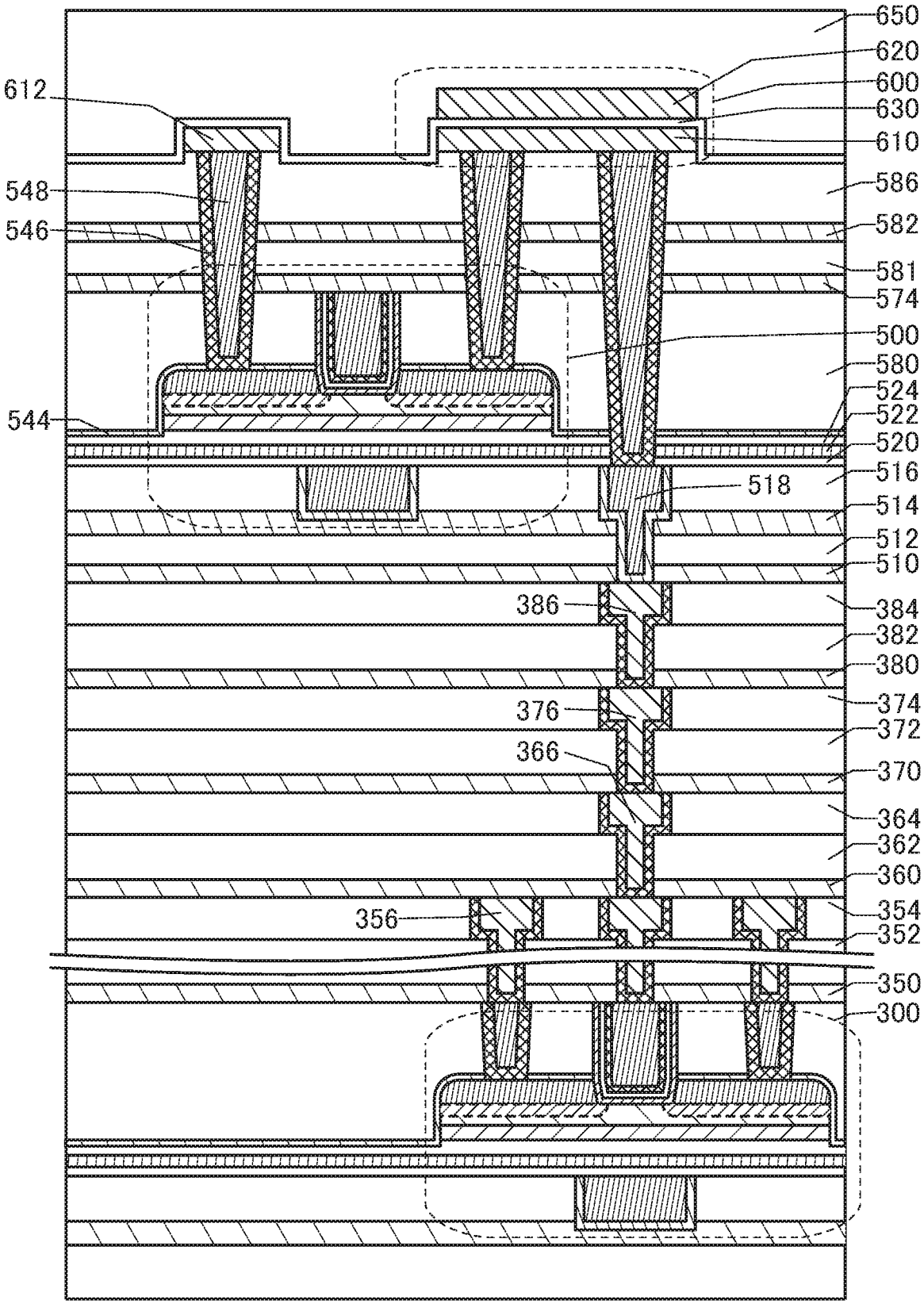

650
620
600
630
610
612
586
548
582
546
581
574
500
580
524
544
522
520
516
518
514
512
510
386
384
382
380
376
374
372
366
370
364
362
360
356
354
352
350
300

図31A

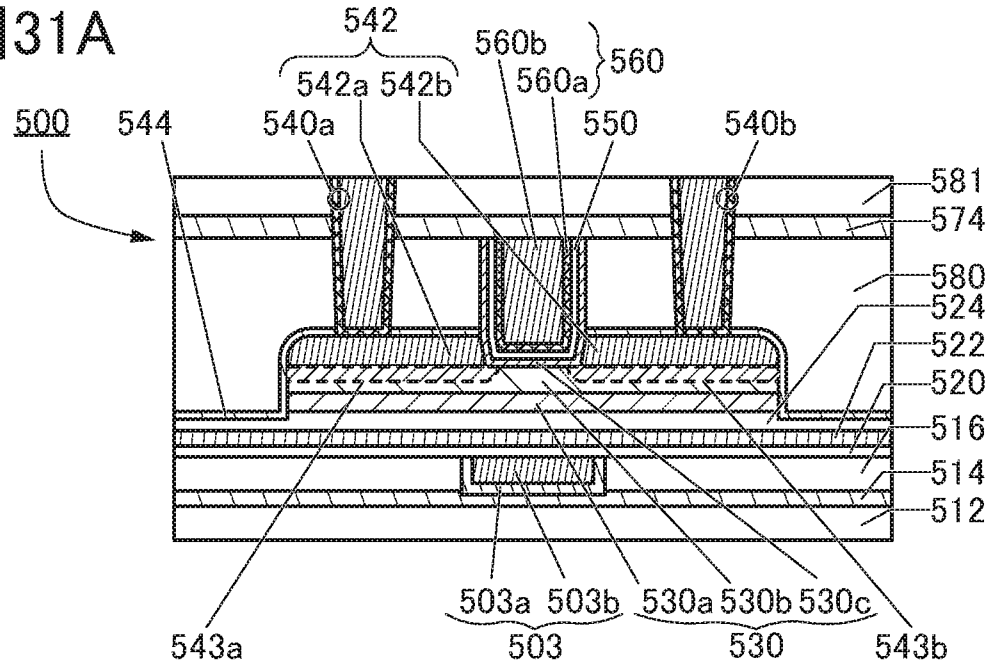


図31B

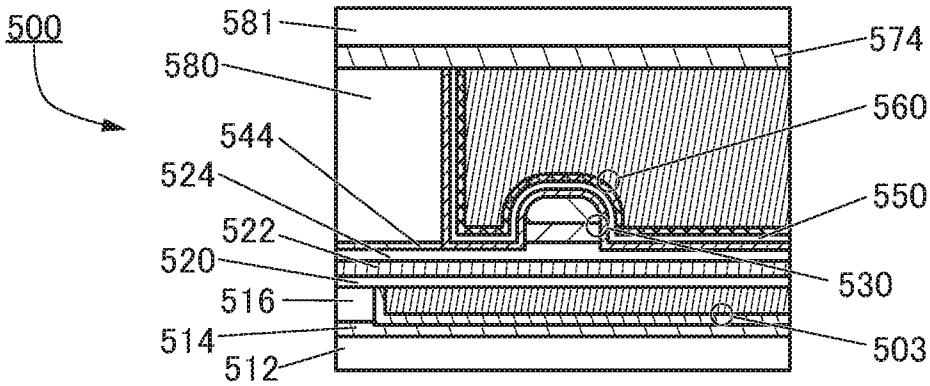


図31C

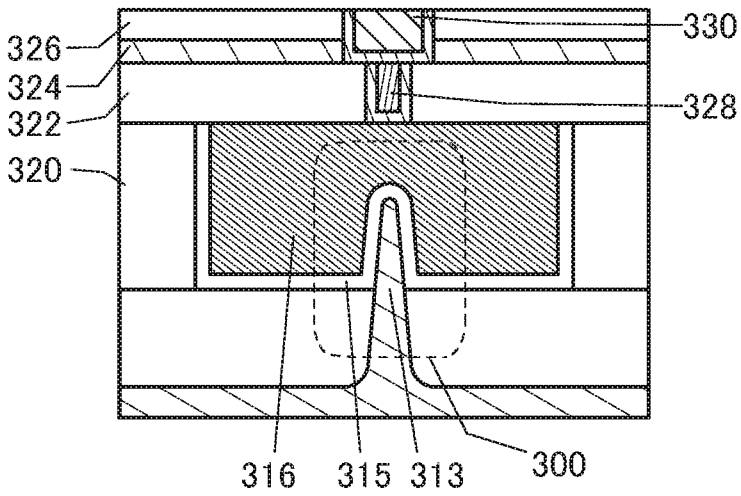


図32A

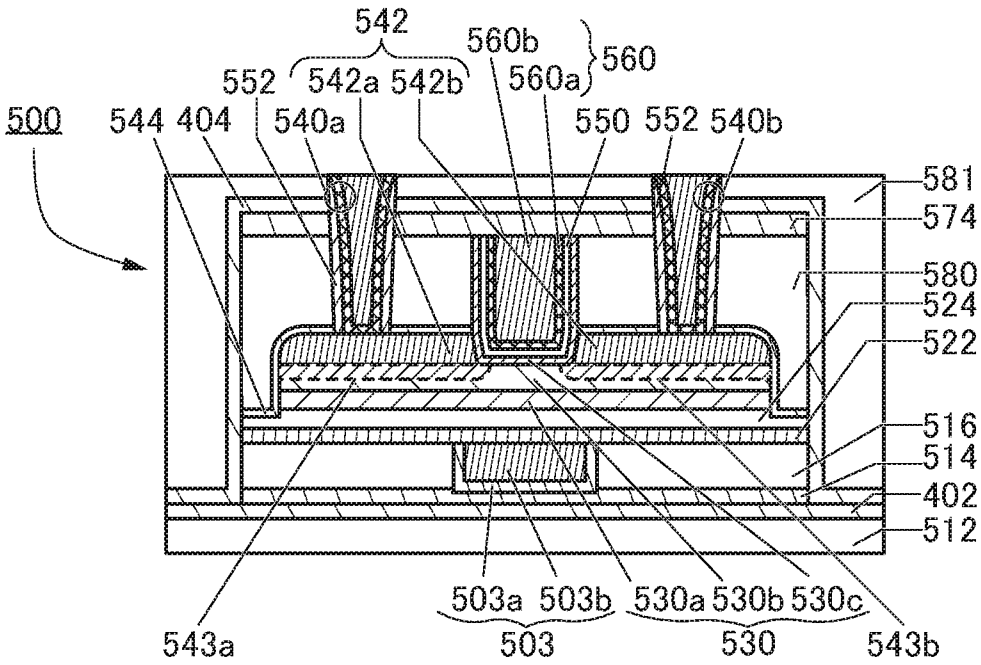

542
560b
560
552
542a
542b
560a
500
544
404
540a
550
552
540b
581
574
580
524
522
516
514
402
512
503a
503b
530a
530b
530c
543a
503
530
543b

図32B

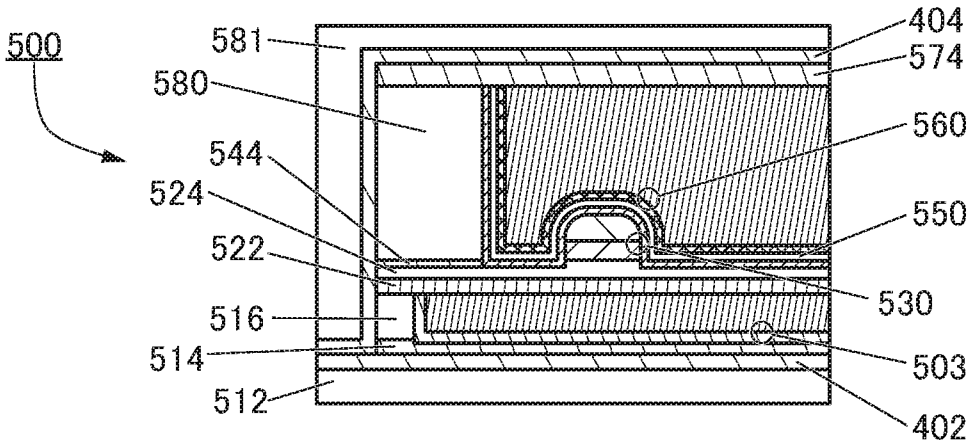

500
581
404
574
580
560
544
524
550
522
530
516
503
514
512
402

図33

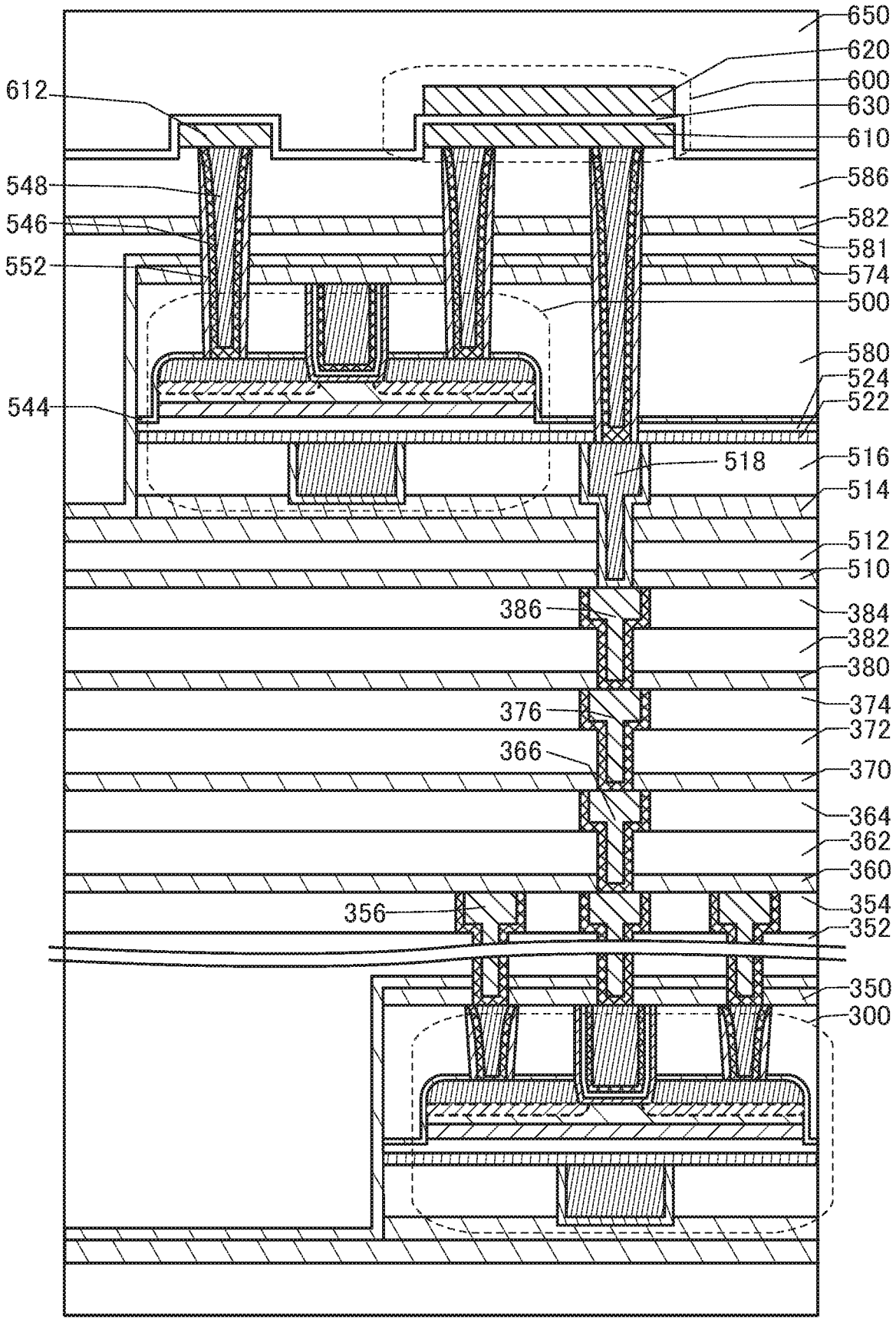

650
620
600
630
610
612
586
548
582
546
581
552
574
500
580
524
544
522
518
516
514
512
510
386
384
382
380
376
374
372
366
370
364
362
360
356
354
352
350
300

図34A

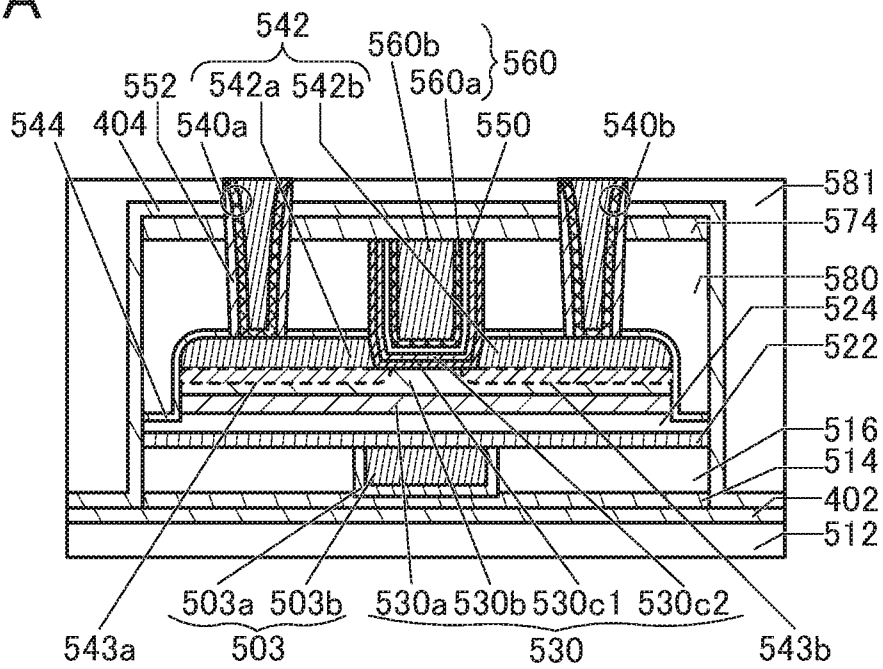

542
560b
560
552
542a
542b
560a
544
404
540a
550
540b
581
574
580
524
522
516
514
402
512
503a
503b
530a
530b
530c1
530c2
543a
503
530
543b

図34B

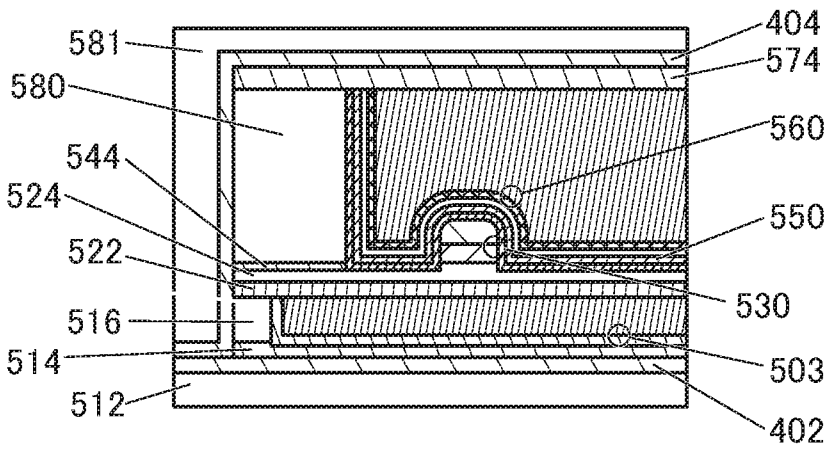

581
404
574
580
560
544
524
550
522
530
516
514
503
512
402

図35

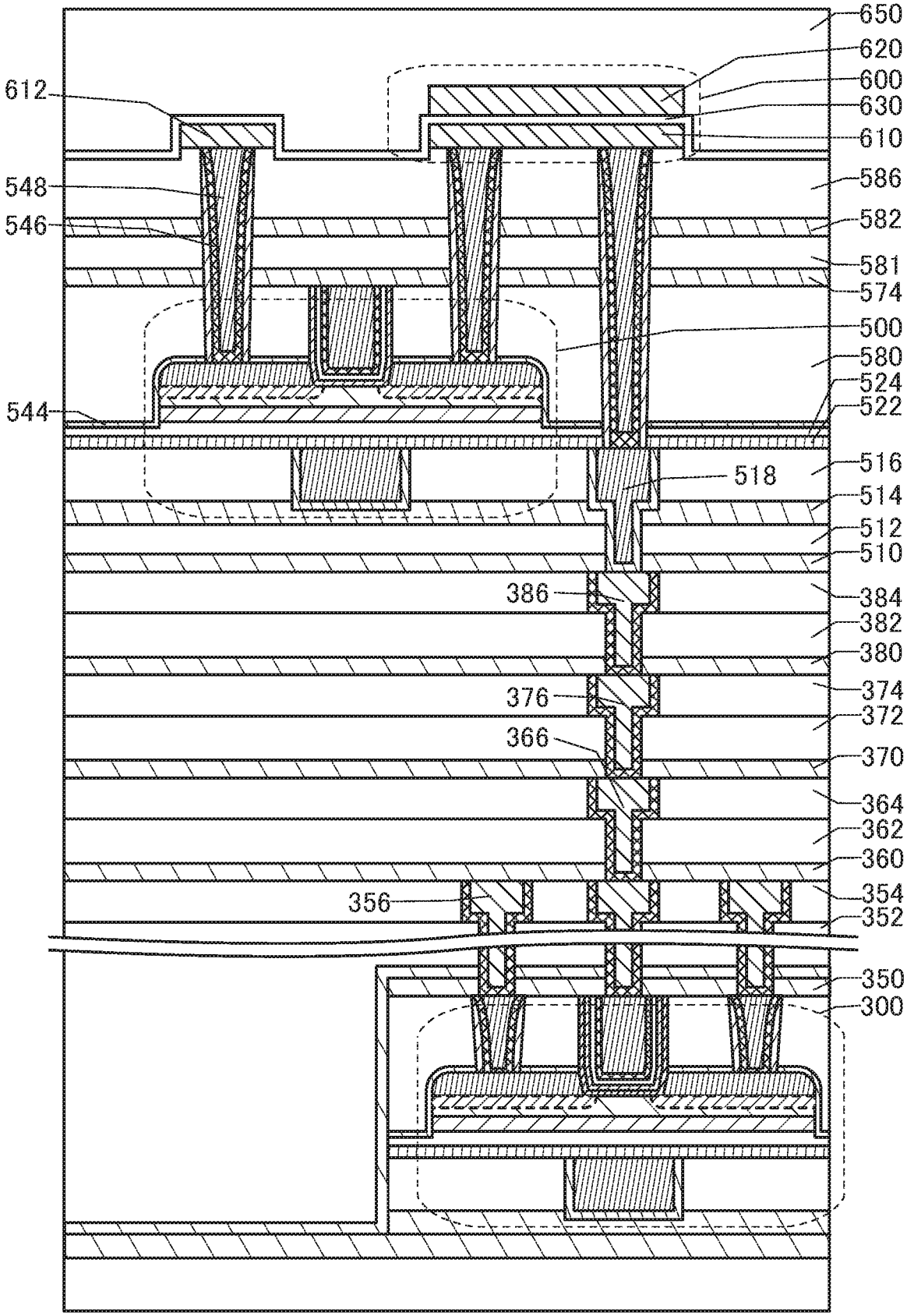

650
620
600
630
610
612
586
548
582
546
581
574
500
580
524
544
522
516
518
514
512
510
386
384
382
380
376
374
372
366
370
364
362
360
356
354
352
350
300

図36A

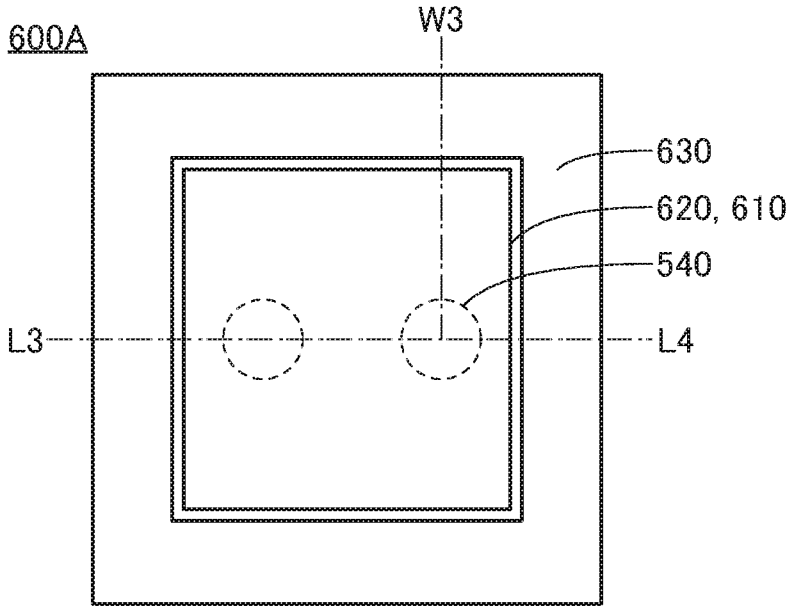


図36B

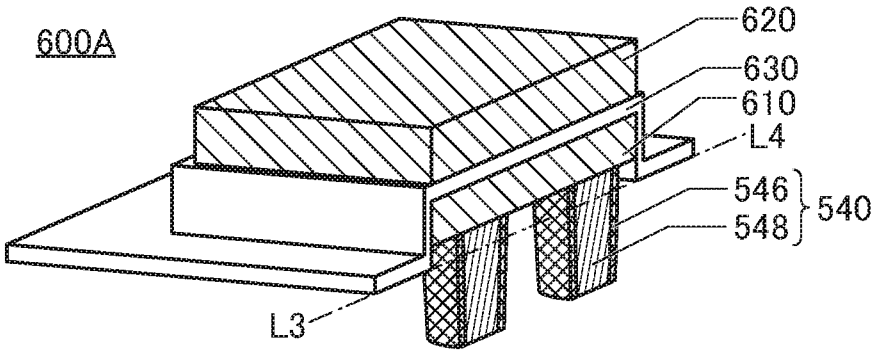


図36C

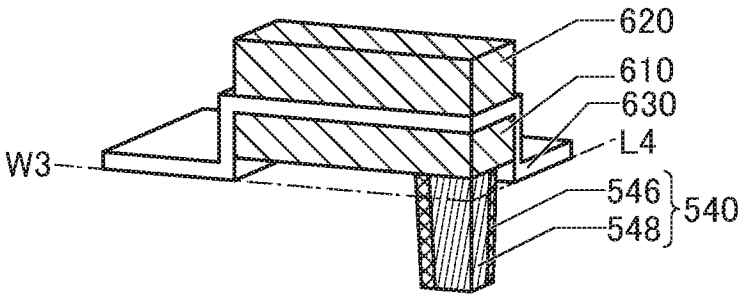


図37A

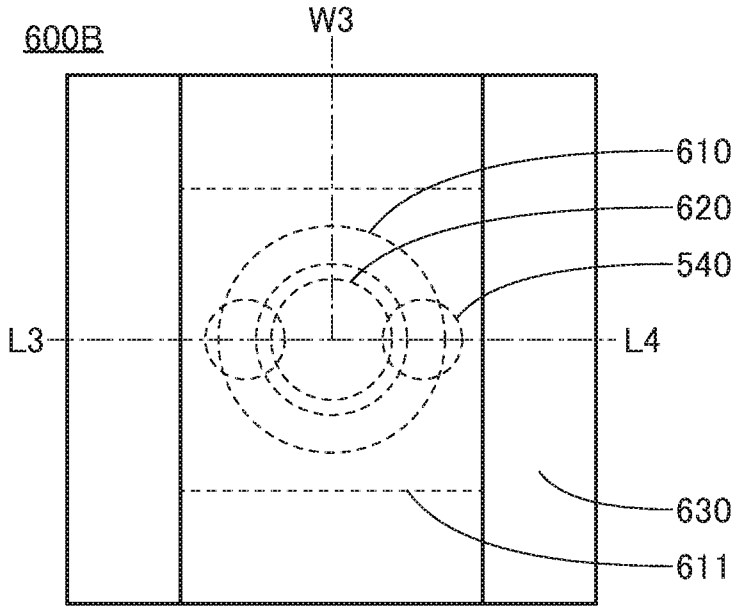


図37B

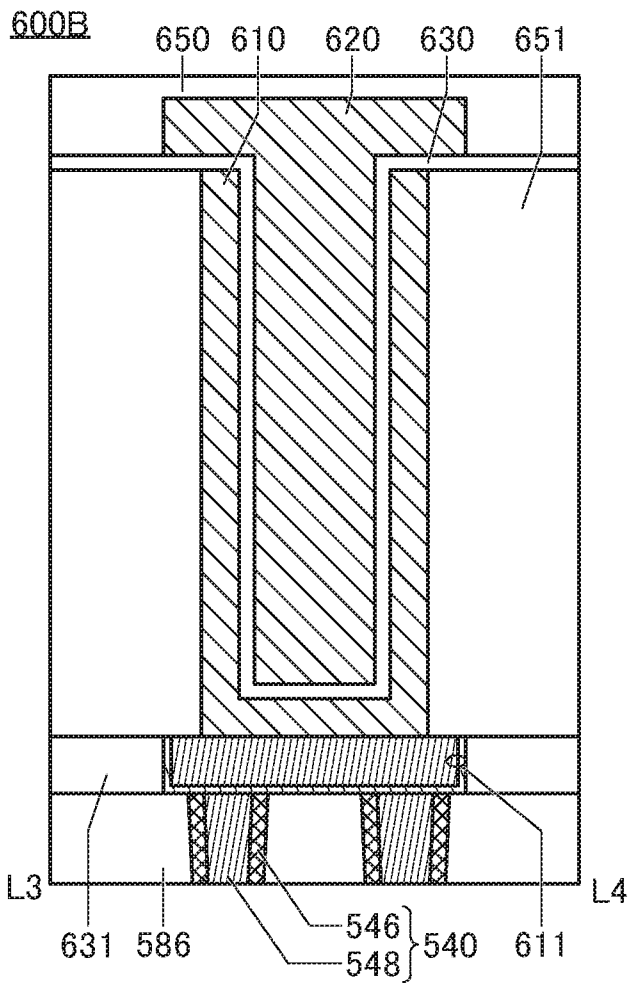


図37C

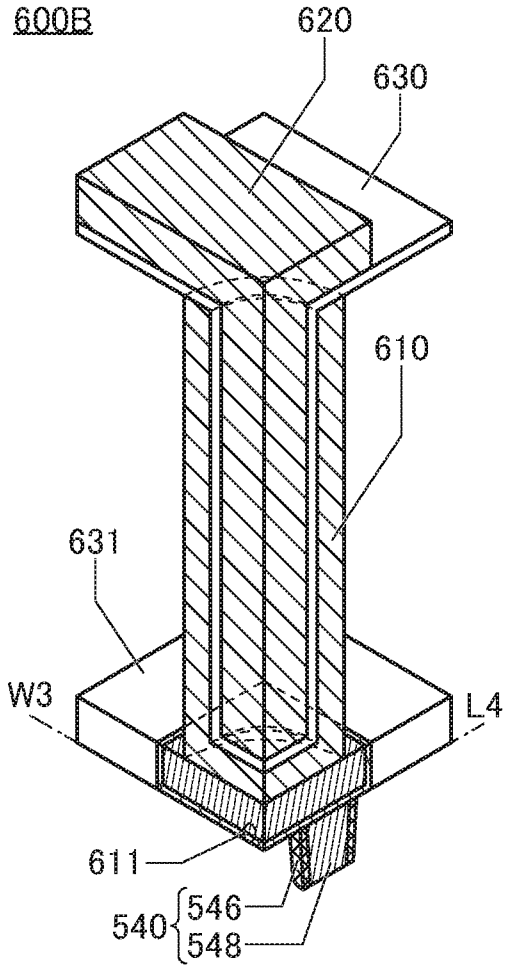


図38A

中間状態
新しい境界領域

Amorphous （無定形）	Crystalline （結晶性）	Crystal （結晶）
・completely amorphous	・CAAC ・nc ・CAC single crystalとpoly crystalを除く	・single crystal ・poly crystal

図38B

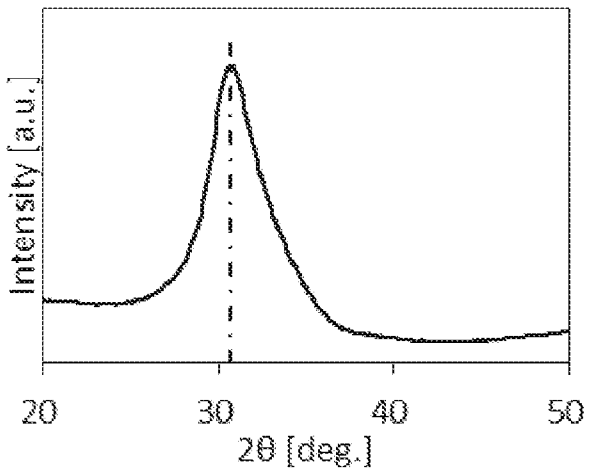


図38C

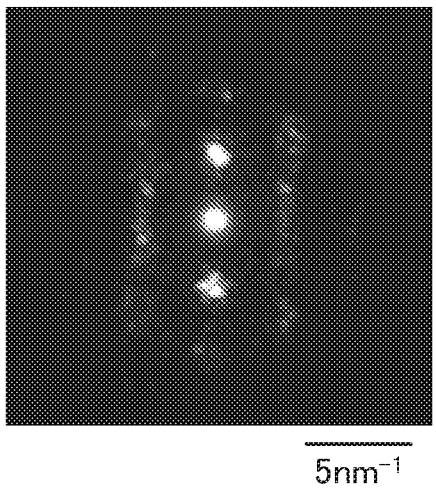


図39A

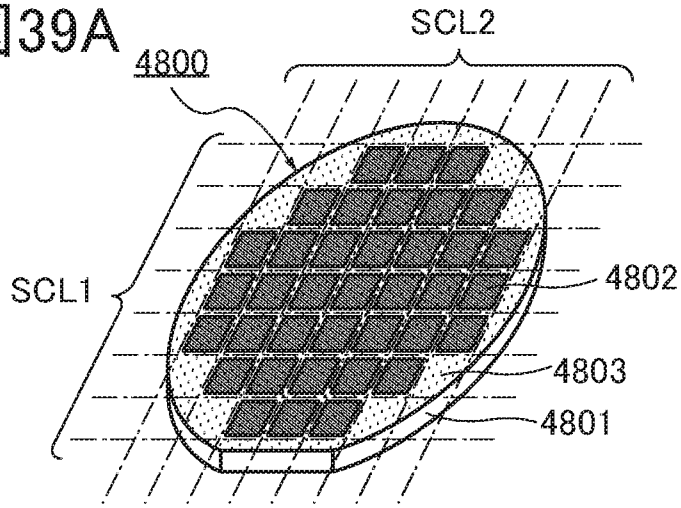


図39B

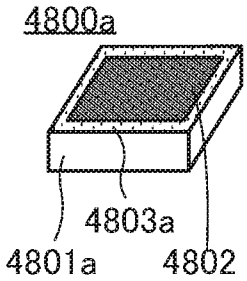


図39C

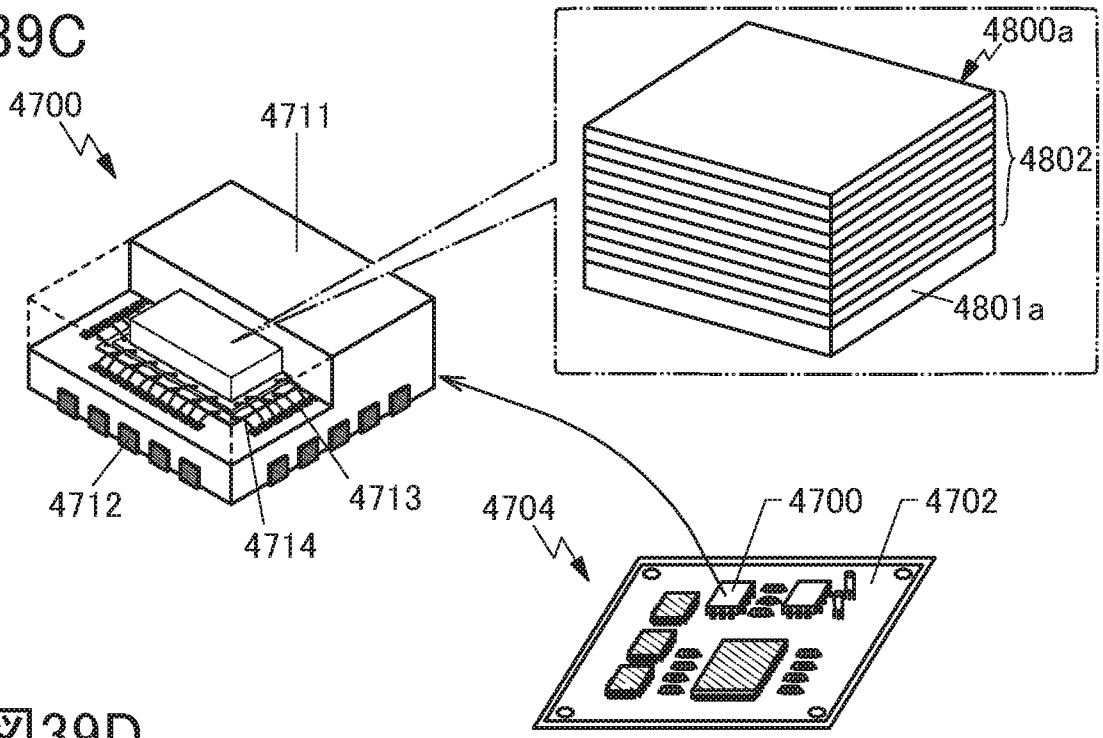


図39D

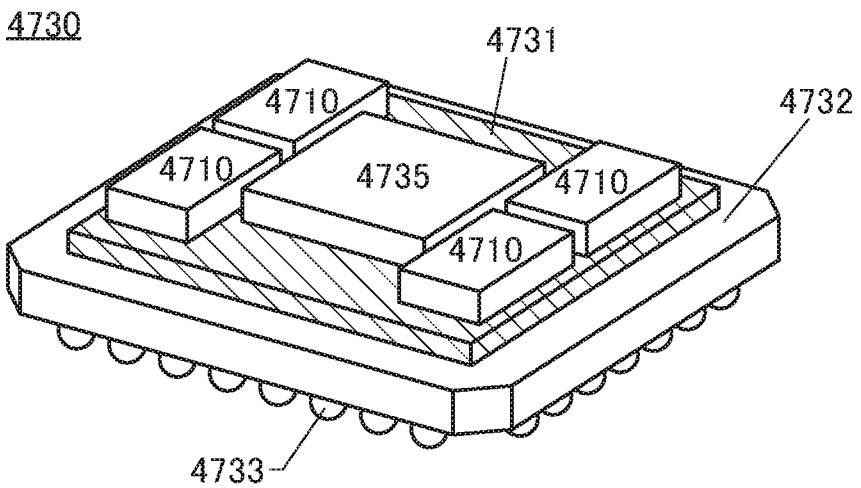


図40

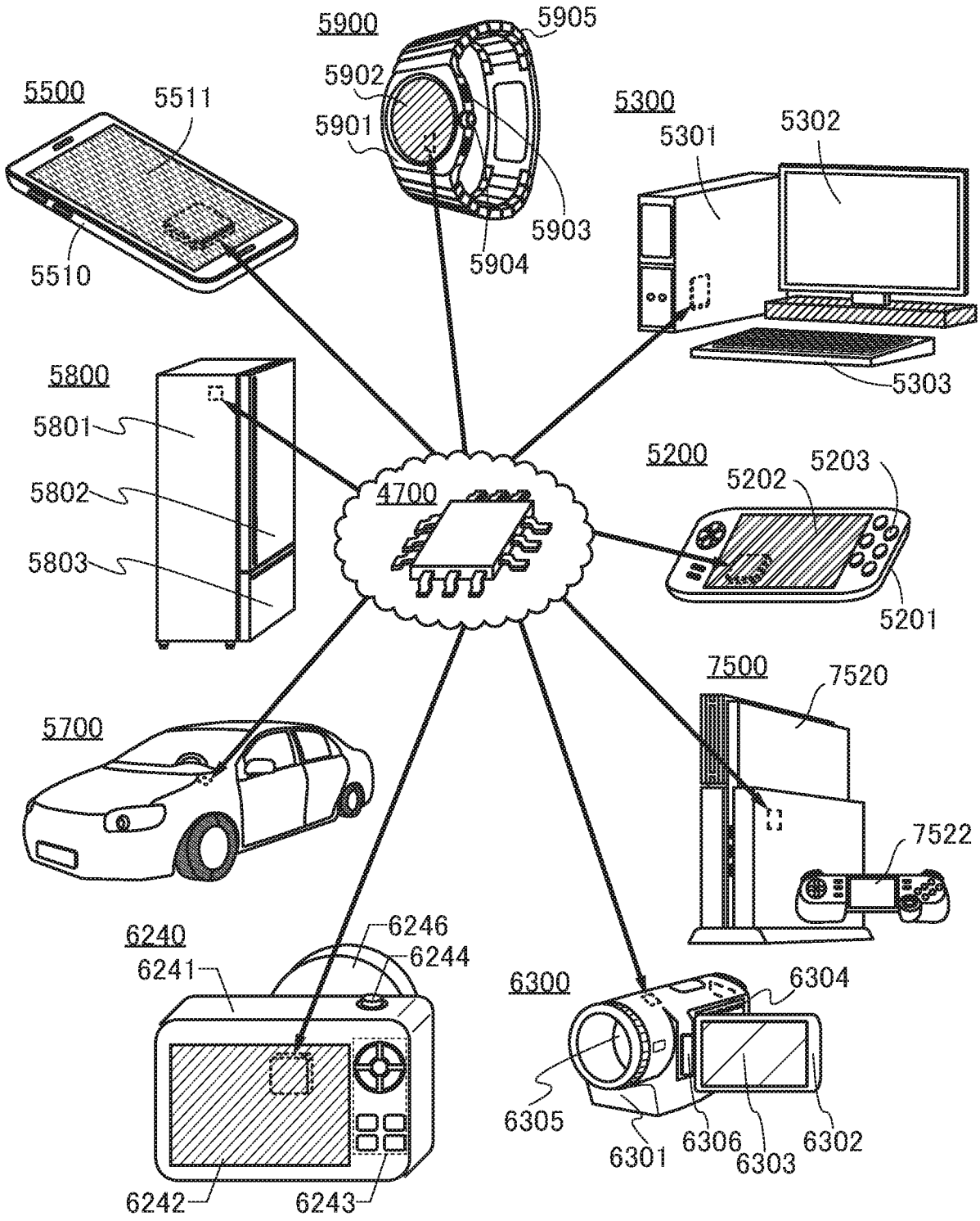

5900
5905
5902
5901
5903
5904
5500
5511
5510
5300
5301
5302
5303
5800
5801
5802
5803
4700
5200
5202
5203
5201
7500
7520
7522
5700
6240
6246
6241
6244
6242
6243
6300
6304
6305
6301
6306
6303
6302

図41A

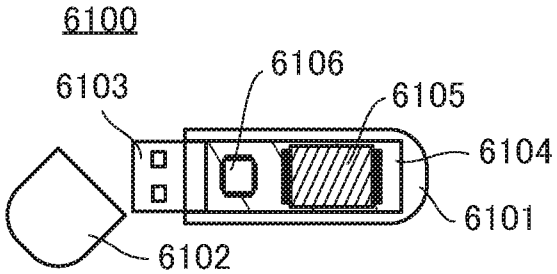


図41B

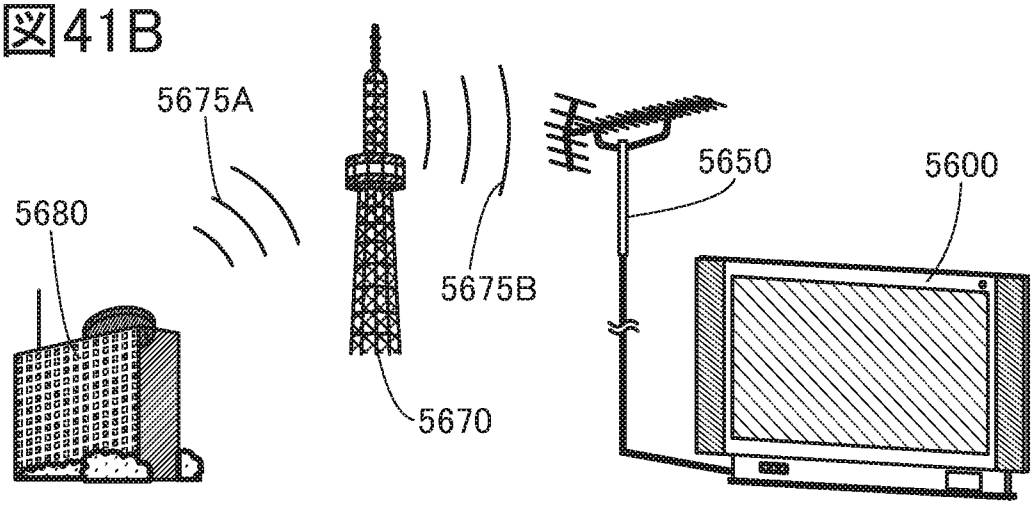


図41C

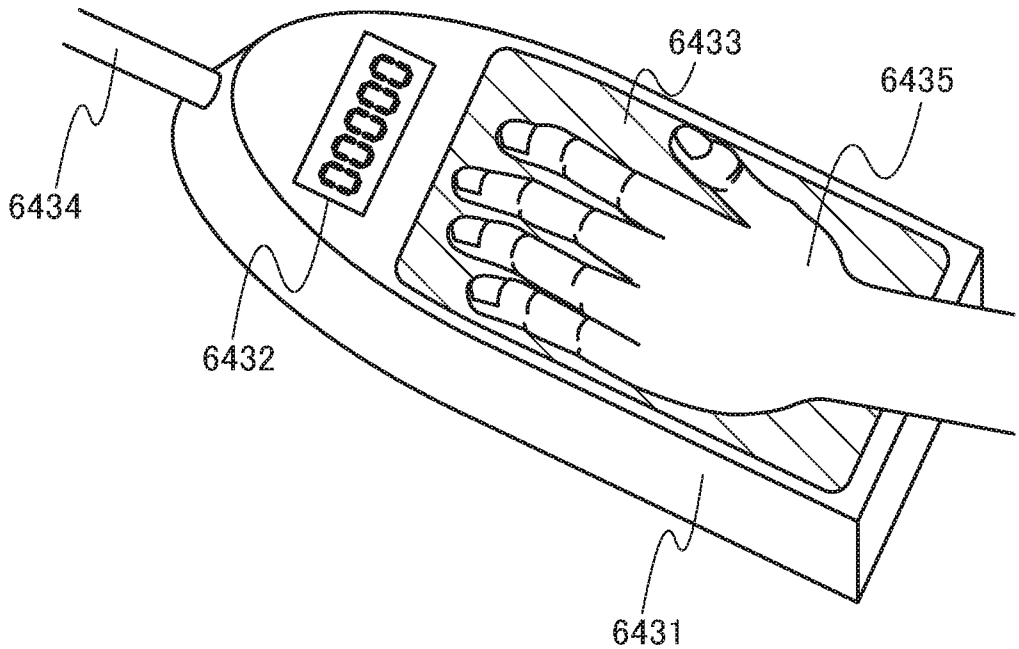


図42A

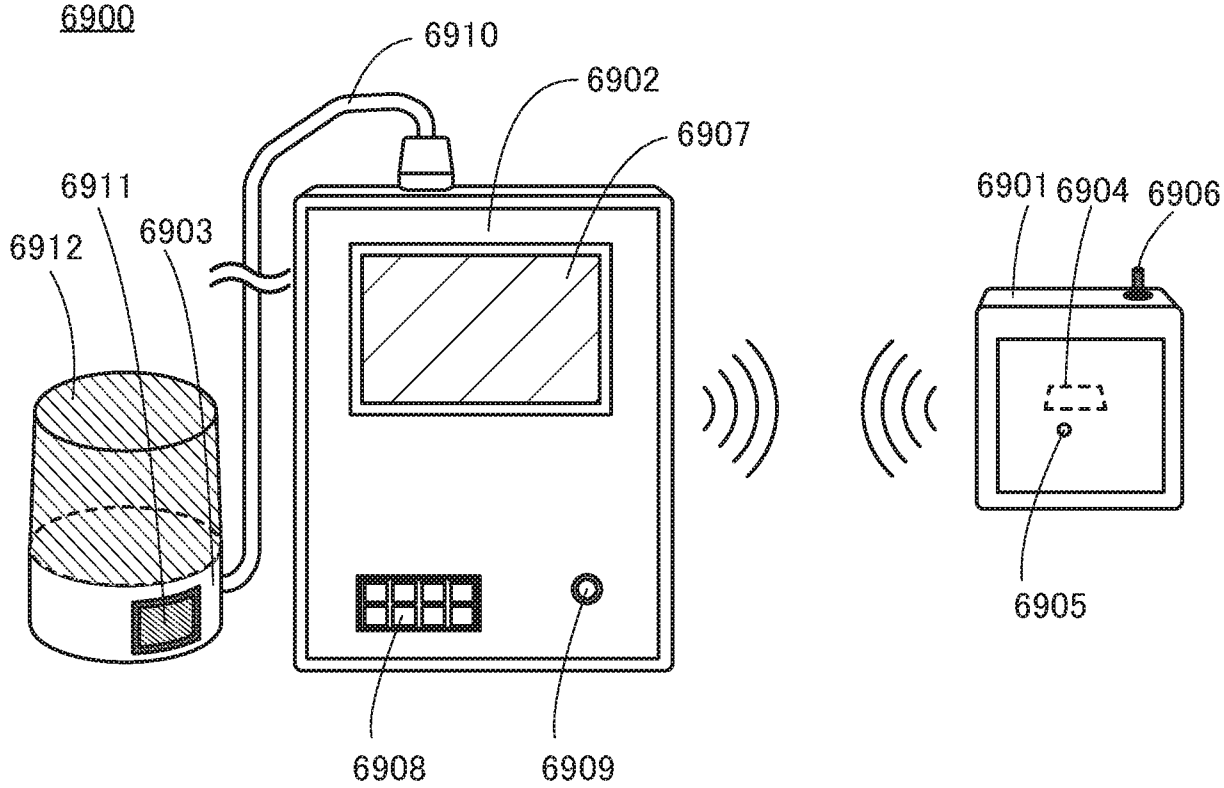


図42B

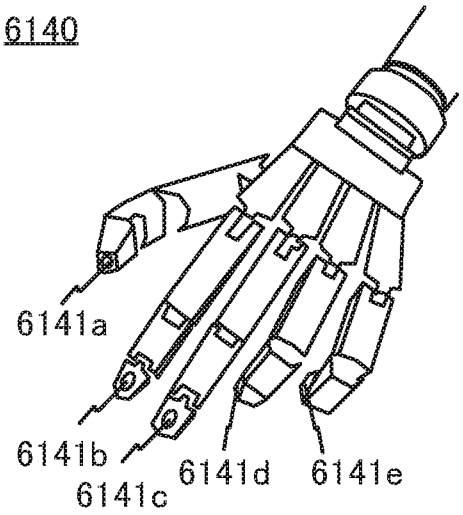


図42C

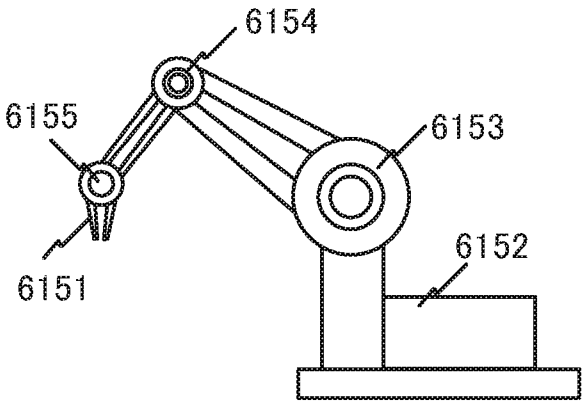


図43

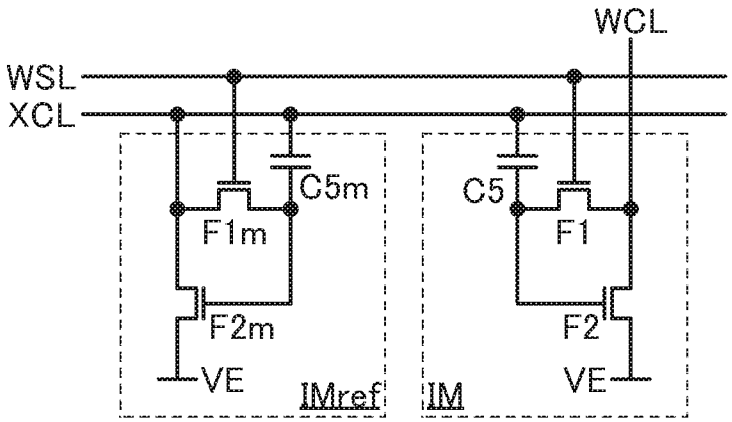


図44A

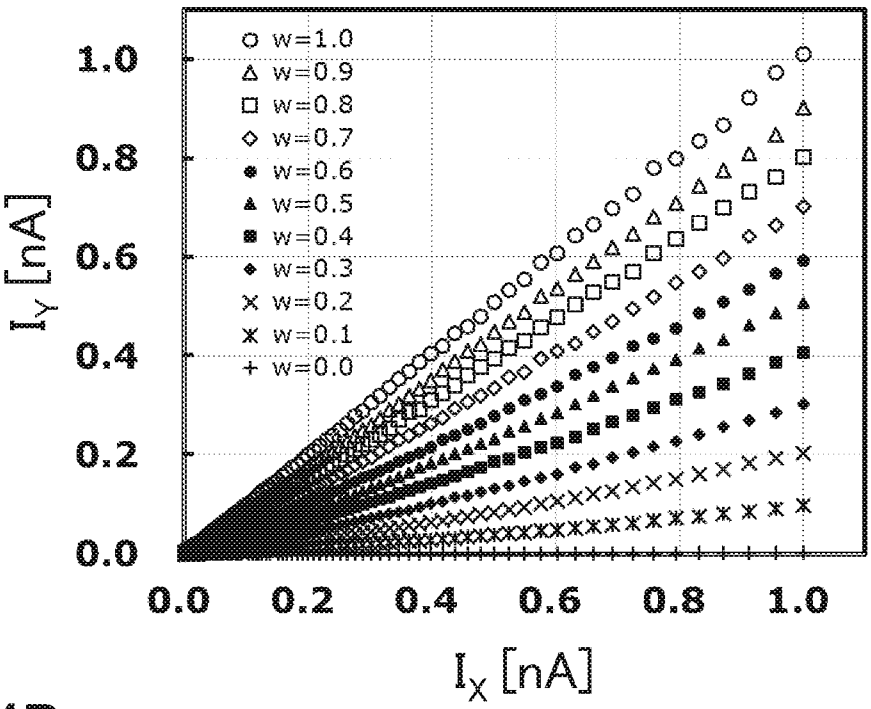

w=1.0
w=0.9
w=0.8
w=0.7
w=0.6
w=0.5
w=0.4
w=0.3
w=0.2
w=0.1
w=0.0
1.0
0.8
0.6
0.4
0.2
0.0
0.0
0.2
0.4
0.6
0.8
1.0
I_Y [nA]
I_X [nA]

図44B

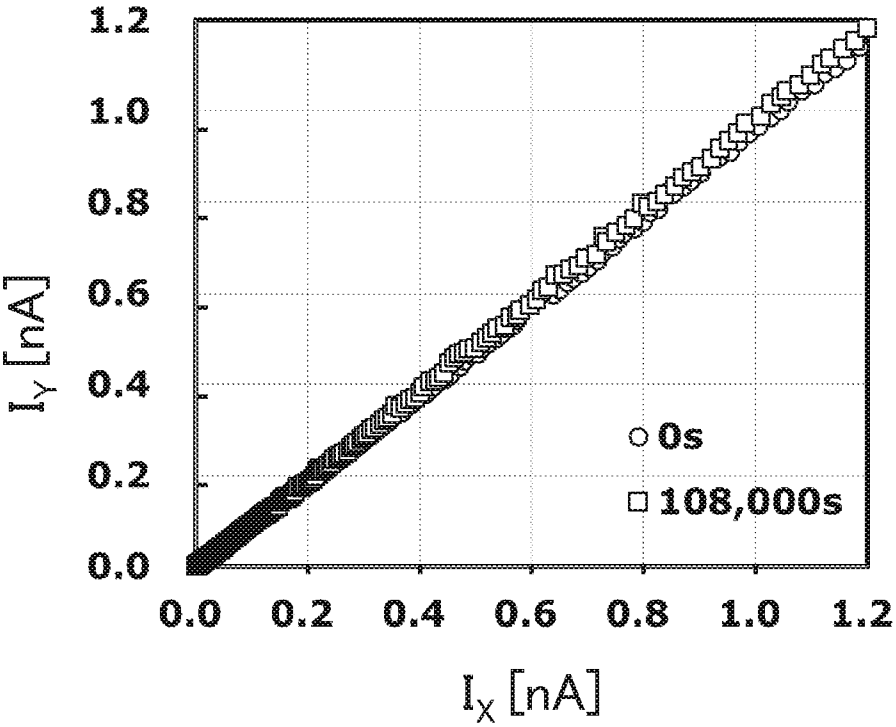

1.2
1.0
0.8
0.6
0.4
0.2
0.0
0.0
0.2
0.4
0.6
0.8
1.0
1.2
0s
108,000s
I_Y [nA]
I_X [nA]

図45A

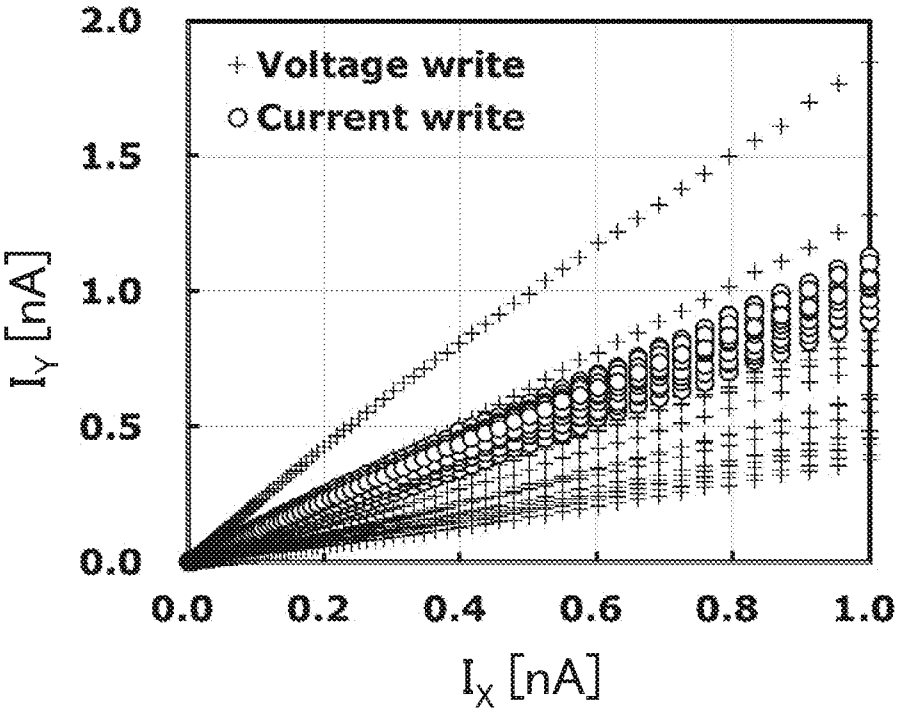

Voltage write
Current write
2.0
1.5
1.0
0.5
0.0
I_Y [nA]
0.0
0.2
0.4
0.6
0.8
1.0
I_X [nA]

図45B

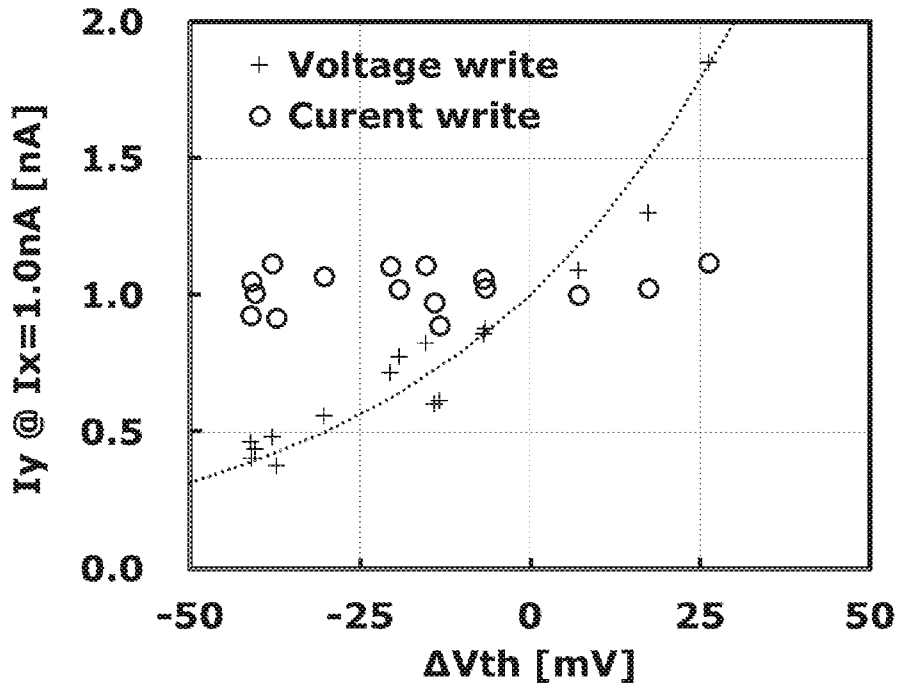

Voltage write
Curent write
2.0
1.5
1.0
0.5
0.0
Iy @ Ix=1.0nA [nA]
-50
-25
0
25
50
ΔVth [mV]

図46A

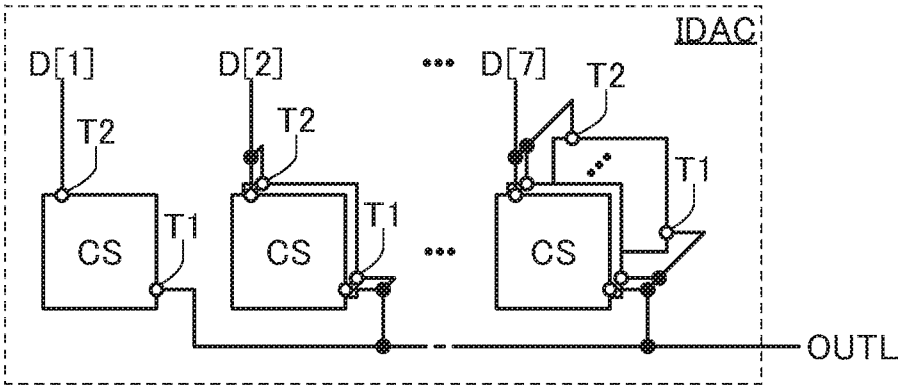


図46B

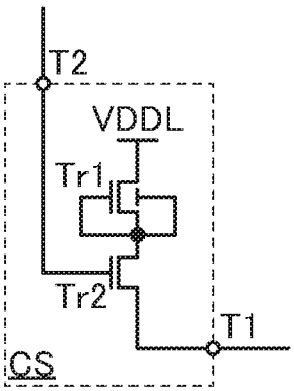


図47A

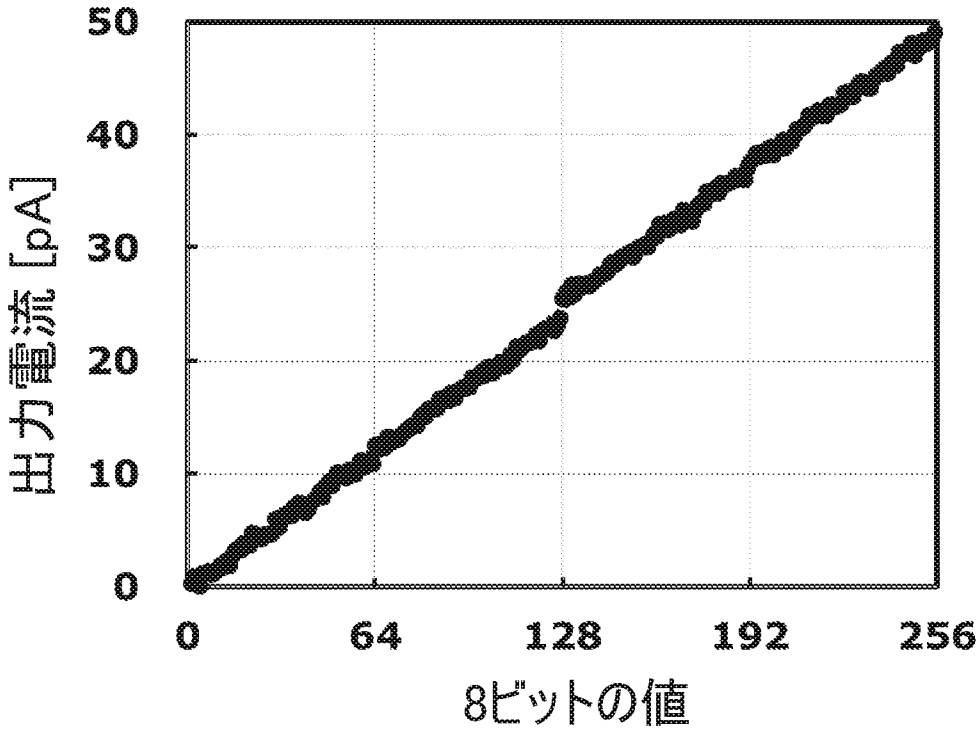

出力電流 [pA]
50
40
30
20
10
0
0
64
128
192
256
8ビットの値

図47B

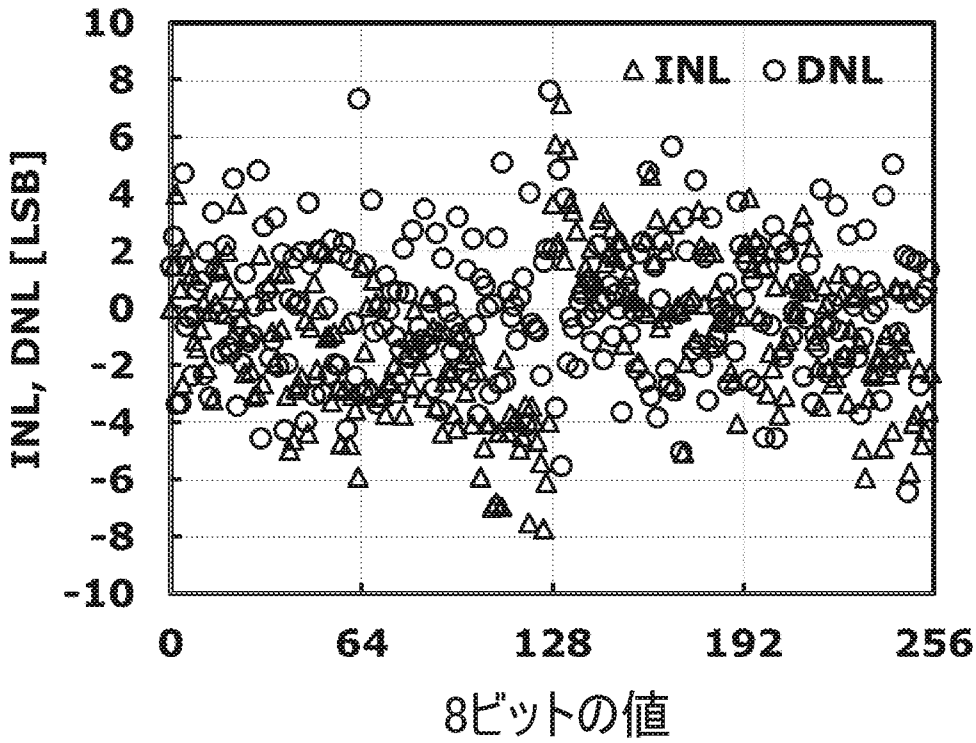

INL, DNL [LSB]
△INL ○DNL
10
8
6
4
2
0
-2
-4
-6
-8
-10
0
64
128
192
256
8ビットの値

図48

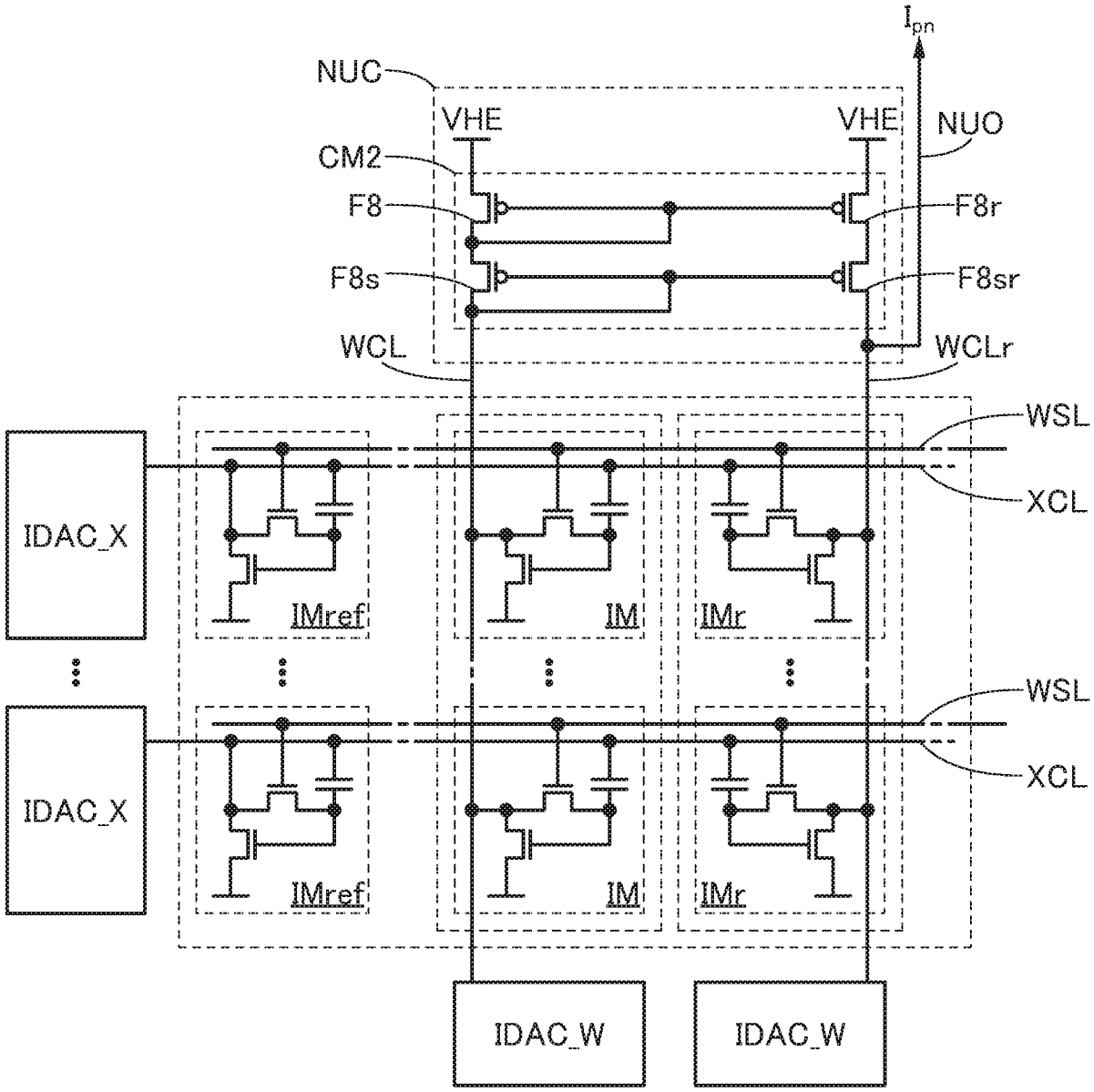
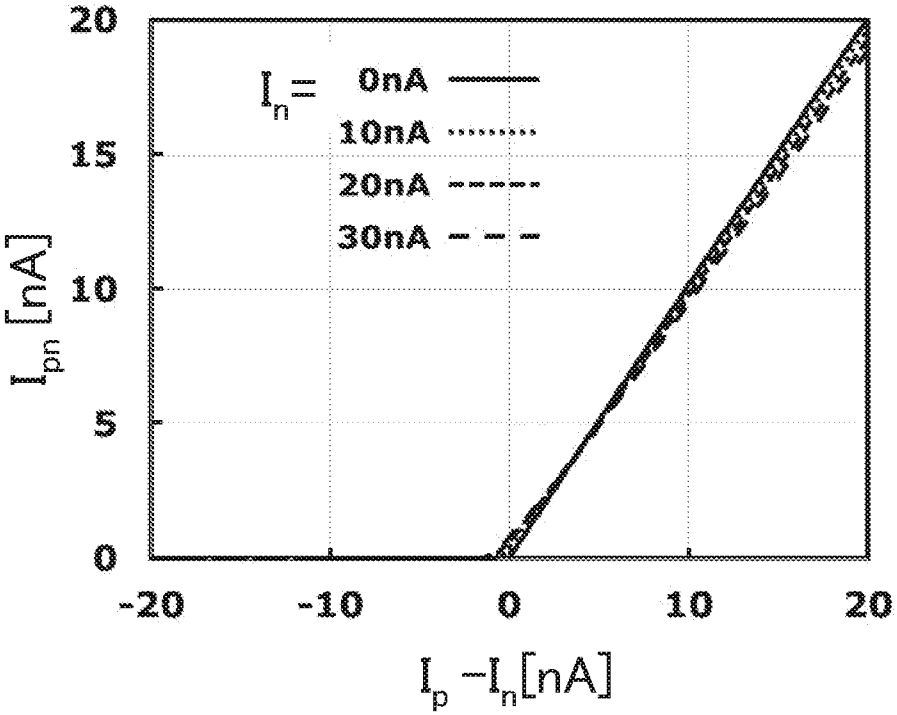

I_{pn}
NUC
VHE
VHE
NUO
CM2
F8
F8r
F8s
F8sr
WCL
WCLr
WSL
XCL
IDAC_X
IMref
IM
IMr
WSL
XCL
IDAC_X
IMref
IM
IMr
IDAC_W
IDAC_W

図49



INTERNATIONAL SEARCH REPORT

International application No.
PCT/IB2020/055352

A. CLASSIFICATION OF SUBJECT MATTER
G06G 7/60(2006.01)i; H01L 29/786(2006.01)i; G06N 3/063(2006.01)i
FI: G06G7/60; G06N3/063; H01L29/78 613Z
According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
G06G7/60; H01L29/786; G06N3/063

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2020
Registered utility model specifications of Japan	1996-2020
Published registered utility model applications of Japan	1994-2020

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2016-219011 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 22.12.2016 (2016-12-22) paragraphs [0021]-[0054], fig. 1-3	1-13
A	JP 2019-46374 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 22.03.2019 (2019-03-22) paragraphs [0043]-[0101], fig. 1-7	1-13
A	JP 2019-47006 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 22.03.2019 (2019-03-22) paragraphs [0225]-[0253], fig. 11-13	1-13

☐ Further documents are listed in the continuation of Box C.
☒ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
20 August 2020 (20.08.2020)	01 September 2020 (01.09.2020)

Name and mailing address of the ISA/	Authorized officer
Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/IB2020/055352

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
JP 2016-219011 A	22 Dec. 2016	US 2016/0343452 A1 paragraphs [0039]-[0072], fig. 1-3 JP 2017-130195 A US 2019/0164620 A1	
JP 2019-46374 A	22 Mar. 2019	(Family: none)	
JP 2019-47006 A	22 Mar. 2019	(Family: none)	

国際調査報告

国際出願番号
PCT/IB2020/055352

A. 発明の属する分野の分類（国際特許分類（ＩＰＣ））

G06G 7/60(2006.01)i; H01L 29/786(2006.01)i; G06N 3/063(2006.01)i
FI: G06G7/60; G06N3/063; H01L29/78 613Z

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

G06G7/60; H01L29/786; G06N3/063

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０２０年
日本国実用新案登録公報	１９９６－２０２０年
日本国登録実用新案公報	１９９４－２０２０年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	JP 2016-219011 A (株式会社半導体エネルギー研究所) 22.12.2016 (2016-12-22) 段落[0021]-[0054],図1-3	1-13
A	JP 2019-46374 A (株式会社半導体エネルギー研究所) 22.03.2019 (2019-03-22) 段落[0043]-[0101], 図1-7	1-13
A	JP 2019-47006 A (株式会社半導体エネルギー研究所) 22.03.2019 (2019-03-22) 段落[0225]-[0253], 図11-13	1-13

☐ C欄の続きにも文献が列挙されている。

☑ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
"A" 特に関連のある文献ではなく、一般的技術水準を示すもの
"E" 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
"L" 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
"O" 口頭による開示、使用、展示等に言及する文献
"P" 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
"T" 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
"X" 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
"Y" 特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
"&" 同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
20.08.2020	01.09.2020

名称及びあて先

日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目４番３号

権限のある職員（特許庁審査官）

征矢　崇 5E 3993

電話番号 03-3581-1101 内線 3521

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/IB2020/055352

引用文献	公表日	パテントファミリー文献	公表日
JP 2016-219011 A	22.12.2016	US 2016/0343452 A1 段落[0039]-[0072],図1-3 JP 2017-130195 A US 2019/0164620 A1	
JP 2019-46374 A	22.03.2019	（ファミリーなし）	
JP 2019-47006 A	22.03.2019	（ファミリーなし）	