



[12] 发明专利说明书

[21] ZL 专利号 95104392.7

[43] 授权公告日 2003 年 4 月 2 日

[11] 授权公告号 CN 1104695C

[22] 申请日 1995.4.10 [21] 申请号 95104392.7

[30] 优先权

[32] 1994. 4. 11 [33] JP [31] 071821/1994

[71] 专利权人 株式会社日立制作所

地址 日本东京

[72] 发明人 渡部隆夫 中込仪延 石仓和夫

中川哲也 木内淳

审查员 陈 炜

[74] 专利代理机构 中国国际贸易促进委员会专利
商标事务所

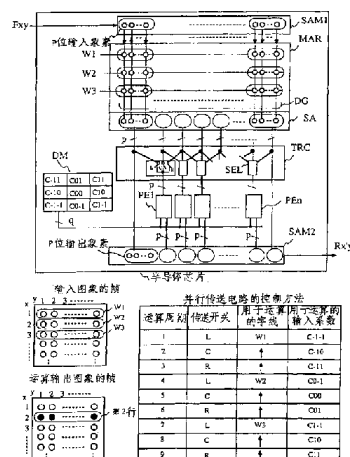
代理人 王以平

权利要求书 9 页 说明书 21 页 附图 11 页

[54] 发明名称 半导体集成电路

[57] 摘要

能以高并行度高速进行使用了二维数据运算处理的半导体集成电路，该集成电路具有二维存储阵列(MAR)、通过选择二维存储阵列的字线经数据线并行传送数据的并行数据传送电路(TRC)，用从TRC传送的数据并行进行运算处理的运算电路群(PE)，各运算电路能通过TRC存取上述二维存储阵列中连续的多条字线和数据线，多个相邻的运算电路具有重迭的二维存储阵列的数据线范围，故能对存储在二维存储阵列中的二维数据并行地进行卷积等运算。



1.一种半导体集成电路，其特征在于包括：

存储单元阵列，具有多条数据线、和该多条数据线相交叉的多条字线，以及设在上述多条数据线和多条字线的所希望的交点处的多个存储单元；

从所述多条数据线并行传送多个数据的并行数据传送电路；

以及

用于接收来自所述并行数据传送电路的所述多个数据作为其输入信号的多个运算电路；

其中，由所述并行数据传送电路按下列顺序把所述数据线连接到所述运算电路：

1) 第一连接方式，各数据线连接到第一相应运算电路；和

2) 第二连接方式，各数据线连接到第二相应运算电路；

各数据线的所述第一和第二相应运算电路是相邻的，而且各运算电路按第一和第二连接方式连接到其上的各个数据线是相邻的数据线。

2.如权利要求1所述的半导体集成电路，其特征在于：

上述多个运算电路中的各运算电路，通过选择上述多条字线中两条或两条以上的字线、使用被读出到多条数据线中的一条数据线的多个数据来进行运算操作。

3.如权利要求1所述的半导体集成电路,其特征在于还包括:

第1串行存取存储器,用于储存从外部输入的串行数据,并把上述串行数据并行输出到上述多条数据线;

第2串行存取存储器,用于把上述多个运算电路的输出数据转换为串行数据并将其输出到外部。

4.如权利要求2所述的半导体集成电路,其特征在于还包括:

第1串行存取存储器,用于储存从外部输入的串行数据,并把上述串行数据并行输出到上述多条数据线;

第2串行存取存储器,用于把上述多个运算电路的输出数据变换为串行数据并将其输出到外部。

5.如权利要求1~4中任一项的半导体集成电路,其特征在于:所述多个运算电路中的各运算电路通过使用来自所述存储单元阵列的多个数据和一预定常数进行运算操作。

6.如权利要求3或4所述的半导体集成电路,其特征在于:所述输入到所述第一串行存取存储器的串行数据是一个图象的像素数据。

7.如权利要求6所述的半导体集成电路,其特征在于还包括:

一个用于存储滤波系数的数据存储器,

其中,各所述多个运算电路根据所述像素数据和滤波系数进行图象的滤波运算。

8.如权利要求7所述的半导体集成电路,其特征在于:所

述滤波运算操作使用存储在所述第一存储单元阵列中的两维数据。

9.一种半导体集成电路，其特征在于包括：

存储单元阵列，具有多个数据线组、与该多个数据线组交叉的多条字线，以及设在上述多个数据线组和上述多条字线的所需交叉点处的多个存储单元；

并行数据传送电路，用于并行传送来自上述多个数据线组的多个数据组；以及

多个运算电路，用于接收由所述并行数据传送电路传送来的所述多个数据组，作为它们的输入信号；

其中，所述并行数据传送电路按下列顺序把所述数据线组连接到所述运算电路：

1) 第一连接方式，各数据线组连接到第一相应运算电路；
和

2) 第二连接方式，各数据线组连接到第二相应运算电路；
各数据线组的所述第一和第二相应运算电路是相邻的，而且
其上连接有按第一和第二连接方式连接的各运算电路的各个数据线是相邻的数据线。

10.如权利要求9所述的半导体集成电路，其特征在于：

上述多个运算电路中的各个运算电路通过选择上述多条字线中两条或两条以上的字线、使用被读出到所述多个数据线组中的一个数据线组的多个数据组进行运算操作。

11.如权利要求 9 或 10 所述的半导体集成电路，其特征在于还包括：

第 1 串行存取存储器，用于存储从外部输入的串行数据，并把该串行数据并行输出到所述多个数据线组；以及

第 2 串行存取存储器，用于把上述多个运算电路的输出数据变换为串行数据并将其输出到外部。

12.如权利要求 9 所述的半导体集成电路，其特征在于：

所述多个运算电路中的各个运算电路用来自所述存储单元阵列的所述多个数据组和一个预定常数进行运算操作。

13.如权利要求 11 所述的半导体集成电路，其特征在于：

所述多个运算电路中的各个运算电路用来自所述存储单元阵列的所述多个数据组和一个预定常数进行运算操作。

14.一种半导体集成电路，其特征在于包括：

第一和第二存储单元阵列，它们各具有多条数据线、与多条数据线相交的多条字线，以及设在所述多条数据线和所述多条字线所需交点处的存储单元；

第一并行数据传送电路，用于并行传送来自所述第一存储单元阵列的所述多条数据线的多个第一数据；

第二并行数据传送电路，用于并行传送来自所述第二存储单元阵列的所述多条数据线的多个第二数据；以及

多个运算电路，用于接收来自所述第一和第二并行数据传送电路的多个所述第一数据和多个所述第二数据；

其中，所述第一并行数据传送电路按下列顺序把所述第一存储单元阵列的所述数据线连接到所述运算电路：

1) 第一连接方式，所述第一存储单元阵列的各数据线与一个相应的运算电路相连；以及

2) 第二连接方式，所述第一存储单元阵列的各数据线与另一个相应的运算电路相连；

其中，所述第一存储单元阵列的各数据线的的一个和另一个运算电路是相邻的运算电路，而其上按第一和第二连接方式连接着各运算电路的各个数据线是相邻的数据线；以及

所述第二并行数据传送电路按下列顺序把所述第二存储单元阵列的所述数据线连接到所述运算电路：

1) 第三连接方式，所述第二存储单元阵列的各数据线与一个相应的运算电路相连；

2) 第四连接方式，所述第二存储单元阵列的各数据线与另一个相应的运算电路相连；

其中，所述第二存储单元阵列的各数据线的的一个和另一个运算电路是相邻的运算电路，而其上按第三和第四连接方式连接着各运算电路的各个数据线是相邻的数据线。

15.一种半导体集成电路，其特征在于包括：

第一和第二存储单元阵列，各具有多个数据线组、多条与所述多个数据线组相交的字线，以及设在所述多个数据线组和所述多个字线的所希望的交点处的多个存储单元；

第一并行数据传送电路，用于从所述第一存储单元阵列的所述多个数据线组并行传送多个第一数据组；

第二并行数据传送电路，用于从所述第二存储单元阵列的所述多个数据线组并行传送多个第二数据组；

多个运算电路，用于接收从所述第一和第二并行数据传送电路传送来的所述多个第一和第二数据组；

其中，所述第一并行数据传送电路按下列顺序把所述第一存储单元阵列的所述数据线组连接到所述运算电路：

1) 第一连接方式，所述第一存储单元阵列的各数据线组连接到一个相应的运算电路；

2) 第二连接方式，所述第一存储单元阵列的各数据线组连接到另一个相应的运算电路；

其中，所述第一存储单元阵列的各数据线组的一个和另一个运算电路是相邻的，而其上按第一和第二连接方式连接着各运算电路的各条数据线是相邻的数据线组，以及

所述第二并行数据传送电路按下列顺序把所述第二存储单元阵列的所述数据线组连接到所述运算电路：

1) 第三连接方式，所述第二存储单元阵列的各数据线组连接到一个相应的运算电路；

2) 第四连接方式，所述第二存储单元阵列的各数据线组连接到另一个相应的运算电路；

其中，所述第二存储单元阵列的各数据线组的一个和另一个

运算电路是相邻的运算电路，而其上按第三和第四连接方式连接着各运算电路的各条数据线是相邻的数据线。

16. 如权利要求 14 所述的半导体集成电路，其特征在于还包括：

第 1 串行存取存储器，用于储存从外部输入的串行数据，并把上述串行数据并行输出到所述第一存储单元阵列的所述多条数据线；

第 2 串行存取存储器，用于储存从外部输入的串行数据，并把上述串行数据并行输出到所述第二存储单元阵列的所述多条数据线；以及

第 3 串行存取存储器，用于把所述多个运算电路的输出数据变换为串行数据并将其输出到外部。

17. 如权利要求 16 所述的半导体集成电路，其特征在于：所述输入到所述第 1 串行存取存储器的串行数据是一参考图象的像素数据，而所述输入到所述第 2 串行存取存储器的串行数据是一输入图象的像素数据。

18. 如权利要求 17 所述的半导体集成电路，其特征在于还包括：

第三和第四存储单元阵列，各包括多条数据线、与该多条数据线相交叉的多条字线，以及设在上述多条数据线和多条字线之间所希望的交点处的多个存储单元；

其中，所述第三存储单元阵列的多条数据线的各条与所述第

一存储单元阵列的多条数据线的各条相耦连；

所述第四存储单元阵列的多条数据线的各条与所述第二存储单元阵列的多条数据线的各条相耦连；以及

所述多个运算电路在所述第三和第四存储单元阵列为随后的操作存储数据时执行运算操作。

19. 如权利要求 18 所述的半导体集成电路，其特征在于：
所述多个运算电路利用输入图象和参考图象的像素数据处理一个运动图象的运动矢量。

20. 如权利要求 15 所述的半导体集成电路，其特征在于还包括：

第 1 串行存取存储器，用于储存从外部输入的串行数据，并把上述串行数据并行输出到所述第一存储单元阵列的所述多条数据线组；

第 2 串行存取存储器，用于储存从外部输入的串行数据，并把上述串行数据并行输出到所述第二存储单元阵列的所述多条数据线组；以及

第 3 串行存取存储器，用于把所述多个运算电路的输出数据变换为串行数据并将其输出到外部。

21. 如权利要求 20 所述的半导体集成电路，其特征在于：
所述输入到所述第 1 串行存取存储器的串行数据是一参考图象的像素数据，而所述输入到所述第 2 串行存取存储器的串行数据是一个输入图象的像素数据。

22. 如权利要求 21 所述的半导体集成电路, 其特征在于还包括:

第三和第四存储单元阵列, 各包括多个数据线组、与该多个数据线组相交叉的多条字线, 以及设在上述多个数据线组和多条字线之间所希望的交点处的多个存储单元;

其中, 所述第三存储单元阵列的多个数据线组中的各个与所述第一存储单元阵列的多个数据线组中的各个相耦连;

所述第四存储单元阵列的多个数据线组中的各个与所述第二存储单元阵列的多个数据线组中的各个相耦连; 以及

所述多个运算电路在所述第三和第四存储单元阵列为随后的操作存储数据时执行运算操作。

23. 如权利要求 22 所述的半导体集成电路, 其特征在于: 所述多个运算电路利用输入图象和参考图象的象素数据处理一个运动图象的运动矢量。

半导体集成电路

本发明涉及使用了二维存储单元阵列的半导体集成电路，特别是，给出了适于实时进行卷积运算等数字滤波处理或实时进行动态图象的动态矢量搜索运算等使用了二维数据运算的半导体集成电路。

使用二维数据的信息处理有多种形式，特别是，在图象处理中，由于CRT画面上的象素排列为二维，因而要频繁进行二维数据的运算。具有代表性的有二维滤波处理。

图2示出了现有技术的进行图象处理的半导体集成电路。该器件适合进行二维滤波处理。Yoshiki Kobayashi在1987年2月的ISSCC Digest of Technical Papers第182—183页上刊登的题为“A BiCMOS Image Processor with Line Memories”的论文中记述了该装置。

下面，说明图2的半导体集成电路的概要。图2(a)是在半导体芯片上形成的上述半导体集成电路的框图。如图2(a)所示，该半导体集成电路由下列电路构成：对输入的图象数据进行阈值处理等前置处理的前置处理运算电路PPU；存储1行图象并产生1行延

迟的行存储器 LM1、LM2；移位寄存器 SR；存储滤波加权系数的数据存储器 DM；运算电路 PE；含有加法电路的连接单元 LU1、LU2 等。

图 2 (b) 是表示把图 2 (a) 的半导体集成电路用于 3×3 的空间滤波运算时运算方法的示例框图。图 2 (b) 中， F_{32} ， $F(x+i)(y+j)$ 分别表示输入的一帧图象中第 3 行第 2 列象素的值（灰白值）和第 $(x+i)$ 行第 $(y+j)$ 列象素的值。另外， W_{ij} 、 $W_{-1-1} \cdots W_{11}$ 表示滤波系数， R_{xy} 表示运算输出的一帧图象中第 x 行、第 y 列象素的值。用该图说明图 2 (a) 的半导体集成电路的动作。如所熟知的， 3×3 的空间滤波计算中， R_{xy} 的值如图 2 (b) 所示的公式，表示为输入图象的象素值与滤波系数的积和运算。为求出 R_{xy} 的值，需要以输入帧图象的第 x 行、第 y 列的象素为中心的 9 个输入图象的象素值。被输入的图象数据首先输入到前置处理运算电路 PPU 中。由于滤波处理中没有必要实施阈值处理，因此，输入的图象数据被原样不变地传送到移位寄存器 SR 和行存储器 LM1 中。行存储器 LM1 的输出信号是被延迟了 1 行后的输出信号。由于行存储器 LM1 的输出被输入到行存储器 LM2 中，所以再次延迟 1 行后输出。这样， 3×3 的空间滤波 (filter) 计算中必要的输入图象的象素值就按行存入不同的移位寄存器中。图 2 (b) 中，示出了以 F_{22} 为中心的 9 个输入图象的象素存入移位寄存器的状态。存入移位寄存器中的 9 个象素值顺序地输入运算电路 PE1、PE2、PE3，计算与对应系数之积。把乘法运算的结果输入到连接单元 LU1、LU2 中进行加法运算，这时就求出

R_{xy} 的值。这样,在图 2 所示的现有技术的半导体集成电路中利用基于行存储器的延迟,把全部 3 行的象素值输入到 3 个运算电路,并行处理 3 个乘法运算。由此能够实行空间滤波的高速处理。若根据上述文献用基于 1.8 微米的加工技术的 BiCMOS 设备进行了试制,其结果表明对于 512×512 象素构成的电视图象能够实时地处理 3×3 的空间滤波的计算。

本发明要解决的第 1 个任务是给出以高并行度进行使用了二维数据的运算的半导体集成电路,第 2 个任务是以高集成度把能够存储大量二维数据的二维存储单元阵列以及以高并行度进行使用了二维数据的运算的多个运算电路集成在半导体芯片上。

如上所述,图 2 所示的现有技术的半导体集成电路内,在空间滤波的计算中通过 3 个 3 个并行地进行 1 个输出象素的计算中所必要的 9 个乘法运算而实现高速处理。然而,若考虑到将来就有必要进一步提高并行度且高速化。

若使电视、工作站、个人计算机、游戏机等 的 图象进一步高品质化,则就要增加 1 帧的象素数,使象素的频率更高。另外,以更高的画质为目标就要求复杂的处理,因而运算量增大,就要求运算速度越来越高。还有,预计在不久的将来,将广泛使用具有通信功能,图象显示功能的便携机。可以设想,在这样的机器中有必要对由通信功能所接收的动态图象的数据进行各种处理,进行鲜明的画面显示。在这样的机器中,作为电源装置搭载了低电压电池,由此

驱动机器。然而，一般若降低电源电压，则半导体集成电路的速度大致与此成比例地下降，所以，在现有技术的半导体集成电路中就存在运算速度不够高的可能性。因而，期望有并行度更高、能够高速进行二维数据运算的半导体集成电路。

另外，在处理图象的装置中，为同时进行用 CPU 生成、加工图象和向 CRT 描绘图象，则要使用至少存储一个画面的数据的所谓图象存储器。把该图象存储器和高度并行地进行二维数据运算的装置集成在同一块半导体芯片上有助于处理图象装置的小型化，所以，对便携机来说是特别期望的。

如果根据本发明代表性的实施例，则本发明的半导体集成电路的特征在于：具有存储单元阵列 (MAR)、并行数据传送电路 (TRC) 和多个运算电路 (PE1—PE_n)，其中，存储单元阵列具备多条数据线 (DG)、与该多条数据线 (DG) 相交叉的多条字线 (W1—W3) 以及设在上述多条数据线 (DG) 和多条字线 (W1—W3) 所需的交点上的多个存储单元；并行数据传送电路并行地传送来自上述多条数据线 (DG) 的多个数据；多个运算电路以由该并行数据传送电路 (TRC) 传送的上述多个数据作为输入信号；

对于上述多个运算电路的各个运算电路，通过顺序选择地连接上述多条数据线 (DG) 中两条以上的数据线，上述并行数据传送电路 (TRC) 能把上述多个数据中的两上以上的数据传送到上述多个运算电路 (PE1—PE_n) 的各运算电路，与此同时，上述多个运算电路

(PE1—PE_n) 的相邻运算电路也能够从同一条数据线输入相同的数据。

由于能够存取的二维存储阵列的数据具有重迭的范围,所以,相邻的运算电路能够进行用某象素近傍的象素值计算该象素值的图象滤波运算。例如, 3×3 的滤波器中,为得到 1 个输出象素的结果就需要输入二维分布的周围的 3×3 个象素,而把同一行的相邻象素输入到 1 个运算电路就能够进行行方向的滤波运算。另外,如果运算电路被设计为:使用通过选择多条字线中 2 条以上的字线读出上述多个数据线群中 1 个数据线群这样的多个数据群,进行运算,则把 3×3 个输入象素中垂直于行方向的象素输入到 1 个运算电路就能够进行滤波运算。从而,把 3×3 的象素输入到 1 个运算电路中,就能够进行滤波运算。进而,相邻的运算电路由于通过并行数据传送电路其能够存取的数据线范围具有重迭,所以,多个运算电路能够并行处理卷积运算和使用了 3×3 滤波等的二维数据的运算。

图 1 是示出基于本发明的半导体集成电路 (3×3 空间滤波器) 结构的实施例。

图 2 是现有技术的使用了行存储器的半导体集成电路。

图 3 是示出基于本发明的半导体集成电路 (5×5 空间滤波器) 结构的实施例。

图 4 是表示在图 1 的实施例中,为缓和运算电路的布图间距的第 1 结构的实施例。

图 5 是示出图 4 的实施例中并行数据传送电路结构的实施例。

图 6 是示出图 4、5 实施例中并行数据传送电路控制方法的实施例。

图 7 是示出图 1 的实施例中，为缓和运算电路的布图间距的第 2 结构的实施例。

图 8 是示出图 7 的实施例中并行数据传送电路结构的实施例。

图 9 是示出图 7、8 的实施例中并行数据传送电路控制方法的实施例。

图 10 是示出应用了本发明的动态矢量运算装置结构的实施例。

图 11 是示出图 10 的实施例中最小距离运算部件结构的实施例。

〈实施例〉

图 1 是表示基于本发明的半导体器件的实施例，示出了对于实时输入的图象数据进行 3×3 空间滤波运算的器件的结构。图 1 中示出了本实施例的结构、图象帧的象素、器件内存储单元，并由此说明了并行数据传送电路的控制方法。若根据本实施例，则能够并行进行输出图象帧的每行的空间滤波运算。如图所示，本实施例的构成如下：用于逐行存入输入象素 F_{xy} 并且并行写入到二维存储阵列 MAR 的串行存取存储器 SAM1，用于把从串行存取存储器 SAM1 输出的象素值存储为 3 行的二维存储阵列 MAR，用于并行读出二维存储阵列 MAR 中 1 行象素的值并锁存的读出放大器 SA，把读出的值

并行地传送到运算电路群的并行数据传送电路 TRC, 存储滤波系数的数据存储器 DM 以及并行进行积和运算的运算电路群 PE1、PE2、...PE_n。下面, 用图 1 说明本实施例。

首先, 由 P 位构成的输入图象顺序地输入到串行存取存储器 SAM1 中。输入图象的第 1 行象素值 F11、F12、..., F1k 一旦存入就被并行地写入到二维存储阵列 MAR 的字线 W1。接着, 同样地, 输入图象的第 2、第 3 行象素值, 每存入串行存取存储器 SAM1 就被写入到字线 W2、W3。按上述过程, 为计算输出图象帧的 1 行象素值所必需的 3 行数据就已在二维存储阵列中准备完毕。这时, 输入图象帧和二维存储阵列 MAR 的字线上数据之间的对应关系如左下方所示。

在下 1 行的数据被写入串行存取存储器 SAM1 期间, 并行计算输出象素帧的第 2 行象素值 R11、R12、...R1k。这时, 并行数据传送电路的控制如图 1 右下方所示执行 9 个运算周期。首先, 在第 1 周期, 读出存储在二维存储阵列 MAR 的字线 W1 上的 1 行输入图象, 通过数据线群 DG, 锁存在读出放大器 SA 中。在这里, 构成并行传送电路 TRC 的选择器 SEL 的开关 L、C、R 中, 接通开关 L。由此, 通过并行传送电路 TRC 把输入象素 F11 传送到运算电路 PE1, 输入象素 F12 传送到运算电路 PE2, ..., 输入象素 F1k-2 传送到运算电路 PE_n 中。同时, 从数据存储器 DM 读出加权系数 C-1-1, 进行和输入到运算电路中的输入象素相乘的运算。接着, 在第 2 个周期, 闭

合选择器 SEL 中的开关 C, 通过并行传送电路把输入象素 F12 传送到运算电路 PE1 中, 把输入象素 F13 传送到运算电路 PE2, ..., 把输入象素 $F1k-1$ 传送到运算电路 PEn 中, 进行加权系数 $C-10$ 和输入象素间的相乘运算。在第 3 个周期, 选择器 SEL 内的开关 R 闭合, 同样地通过并行传送电路, 把输入象素 F13、F14...F1k 分别输入到运算电路 PE1、PE2、..., PEn 中, 进行加权系数 $C-11$ 和输入象素之间的相乘运算。这样, 在使用了存储在二维存储阵列 MAR 的字线 W1 的输入图象后, 再选择字线 W2 读出 1 行输入图象, 锁存在读出放大器 SA 中。而且, 在第 4 个周期, 闭合选择器 SEL 中的开关 L, 把输入象素 F21、F22、..., $F2k-2$ 分别传送到运算电路 PE1、PE2、..., PEn 中, 进行和加权系数 $C0-1$ 的相乘运算并加上前面已计算出的值。接着, 在第 5 个周期, 闭合选择器 SEL 中的开关 C, 把输入象素 F22、F23、..., $F2k-1$ 分别输入到运算电路 PE1、PE2、..., PEn 中, 进行和加权系数 $C00$ 的相乘运算并加上前面已计算出的值。同样, 在第 6 个周期, 闭合选择器 SEL 中的开关 R, 把输入象素 F23、F24、..., $F2k$ 分别输入到运算电路 PE1、PE2、..., PEn 中, 进行和加权系数 $C01$ 的相乘运算并加上前面已计算出的值。进而, 在第 7 到第 9 周期中, 若选择字线 3 进行同样的计算, 则运算电路 PE1、PE2、..., PEn 中就求出了输出帧中第 2 行象素的值 $R22$ 、 $R23$ 、..., $R2k-1$ 。把这些值并行传送到串行存取存储器 SAM2, 顺序输出。另外, 对于端部的象素, 由于没有所需的输入象素, 故可如图示那样传送。

为进行输出图象下一行的运算则重复同样的动作即可。即，一旦在串行存取存储器 SAM1 中存入 1 行的象素信息，则就把这 1 行的象素信息传送到二维存储阵列中最先重写的字线，在下行象素信息写入到串行存取存储器 SAM1 的期间进行输出图象 1 行的运算。这样，根据本实施例就能够并行地实时处理输出帧中同一行上多个图象的二维 3×3 空间滤波运算。各运算电路最好在输入 1 行图象的时间内结束运算和数据传送。这样，与在每次输入 1 个象素的时间内进行运算的现有技术相比，加长了可用于运算的时间。换言之，在输入象素的频率很高时也能够进行实时处理。

另外，如上述所说明的，本实施例中，能够通过并行数据传送电路 TRC 把锁存在 1 个读出放大器中的信息传送到不同的运算电路。这样，在运算中就不使锁存在读出放大器中的数据在读出放大器之间移动或在运算电路间传送数据，从而能够并行处理二维空间滤波或卷积运算。这样，由于不需要用于读出放大器之间及运算电路之间传送动作的多余电路，因此能够实现高集成度低功耗的器件。如图 1 所示，本实施例中，把运算电路配置在二维存储阵列 MAR 的正下方。这样，从二维存储阵列到运算电路间的数据传送距离就几乎一定，而且能够非常短。这样，就有参与传送的延迟时间较短的优点，还有运算电路间的分散性小从而易于得到运算电路之间同步的优点。还有，由于并行数据传送电路和运算电路紧靠存储阵列的正下方配置，因此，能够高集成化，还能够抑制伴随象素传送的功

耗。

图1的实施例是进行 3×3 的滤波计算的器件。为此，并行数据传送电路连接1个运算电路和3象素的数据线，连接读出放大器和运算电路并使相邻的运算电路之间具有2个象素的重迭。显而易见，在图1的实施例中，通过变更并行数据传送电路和存储阵列的结构，能够进行 3×3 以上任意大小的滤波的计算。图3是示出了能够进行 5×5 的滤波计算的运算器件结构例的实施例。本实施例是在图1的实施例中分别把二维存储阵列MAR的字线数增加为5条，把并行数据传送电路TRC的重迭增加为4象素。作为构成并行数据传送电路TRC的选择器SEL，使用从5p位数据选择P位数据的5比1的选择器，还增加了数据存储器的容量，使得能够存储 5×5 的滤波所必要的25个系数。本实施例中，1个运算电路能够从相应于5个象素的读出放大器中接受数据，在相邻的运算电路中共用数据线群DG中4个象素的数据线。这样，和图1的实施例相同，在顺序选择二维存储阵列的字线的时候，能够并行进行 5×5 的滤波计算。还有，本实施例中，不仅能进行 5×5 的滤波运算，显而易见，通过使用5条字线中的4条以及连接在1个传送电路TRC上的5组配线中的4组能够构成 4×4 的滤波器。同样，也能够进行 3×3 和 2×2 的滤波运算。

在图1、3的实施例中，若用P位表示象素的值，则最好每P条数据线配置1个运算电路。例如，象素的值用8位的精度表示时，运算电路可以配置为收纳8条数据线的间距。然而，在运算电路的规

模较大或者二维存储阵列的数据线的间距较狭小时,也要考虑到配置运算电路困难的情况。

在这种情况下,能够使用图4的实施例。图4是在进行 3×3 的滤波计算的图1器件中,为缓和运算电路的布图间距的1个实施例。本实施例中,把输入到串行存取存储器SAM1中的1行输入图象通过由分配器DIS构成的并行数据传送电路TRC1传送到具有3行容量的寄存器RG1,把1行的运算电路配置在3倍布图宽度的范围。这样,运算电路的布图间距就成为图1的实施例的3倍。在图1的实施例中,1个运算电路能传送来自3个象素的数据线的数据,相邻的运算电路中的传送通路各重迭2条。与此相对,本实施例中,1个运算电路能够传送来自9个象素的数据线的数据,相邻的运算电路之间共有6条数据线而构成并行数据传送电路。下面,用图4说明本实施例的动作。

首先,输入图象的第1行若存储到串行存储器SAM1,则导通全部分配器DIS内的开关L,并行写入到寄存器RG1中。接着,如果输入图象的第2行存储到串行存储器SAM1中,则这次导通全部分配器DIS内的开关C,并行写入到寄存器RG1中。进而,如果输入图象的第3行存储到串行存取存储器SAM1中,则导通全部分配器DIS内的开关R,并行写入到寄存器RG1中。这样,一旦通过数据线群DG从寄存器RG1把写入寄存器RG1中的连续的第1、2、3行图象并行传送到RG2中,则寄存器RG2中就备齐了进行输出图象第2

行的运算所必须的 3 行输入图象的象素。通过并行数据传送电路 TRC2, 把这些数据传送到运算电路求出输出图象第 2 行象素的值。还有, 数据的传送和运算要在输入图象的第 4 行被写入串行存取存储器 SAM1 期间进行。如果对输出图象第 2 行象素值的计算结束, 并且输入图象的第 4 行已被写入到串行存取存储器 SAM1 中, 就导通分配器 DIS 中的开关 L, 重写寄存器 RG1 的 1/3 内容。这时, 由于寄存器 RG1 中备齐了输入图象的第 2、3、4 行的图象, 因而从寄存器 RG1 并行地把这些数据传送到 RG2, 进行输出图象第 3 行的计算。如果在每次把 1 行输入图象存入串行存取存储器 SAM1 时都继续这样的操作, 就能够连续地并行进行 3×3 的滤波计算。另外, 用图 5、6 说明在上述的动作中, 如何从寄存器 RG2 向运算电路传送数据进行运算。

图 5(a)、(b) 示出用于图 4 的实施例的并行数据传送电路 TRC2 的结构例。如图 5(a) 所示, 并行数据传送电路 TRC2 的选择器 SEL 排成两层连接, 每个选择器 SEL 中输入 3 个控制信号 ϕLi 、 ϕCi 、 ϕRi 。选择器 SEL 如图 5(b) 的左图所示由 3 个开关 L、C、R 构成。若用控制信号 ϕLi 导通开关 L, 则输出左侧的输入信号 INL, 若用控制信号 ϕCi 导通开关 C, 用控制信号 ϕRi 导通开关 R, 则分别输出中间的输入信号 INC 和右侧的输入信号 INR。这些开关如图 5(b) 的右方所示能够由并联的 MOS 晶体管构成。在图 5(a) 中示出了把输入图象的第 1、2、3 行传送到寄存器 RG2 的状态。如前述, 在这种状

态下,要把用于并行计算输出图象第2行的象素数据传送到运算电路。在图6中示出了用于上述动作的控制信号的时序。图6中, $\phi L1$ 、 $\phi C1$ 、 $\phi R1$ 以及 $\phi L2$ 、 $\phi C2$ 、 $\phi R2$ 分别是构成图5(a)的并行数据传送电路TRC2的选择器SEL的控制信号。图6中还示出在各时刻,并行数据传送电路TRC2的输出中的左端所示的4个TNO0、TNO1、TNO2、TNO3的哪一个象素数据被输出的状况。如图5(a)所示,运算电路PE1上接有并行数据传送电路TRC的输出TNO1。从而,由图6可知,运算电路PE1中输入F11、F12、F13、F21、F22、...,等是以F22为中心的 3×3 个象素数据。同样,运算电路PE2中输入以F23为中心的 3×3 个象素数据,运算电路PE3中输入以F24为中心的 3×3 个象素数据。从而,使用运算电路PE1、PE2、PE3,...,就能够并行进行输出图象第2行的运算。输出图象第3行以后的运算也能够同样地进行。另外,对于左端所示的TNO0由于不能够进行 3×3 的滤波运算,因而和图1相同,不通过运算电路而直接输出。如上所述,如果用图4、5、6所示的实施例,则在缓和了运算电路布图间距的情况下,还能够在输出图象的每1行并行地进行二维空间滤波运算。还有,这里示出了关于 3×3 滤波器的情况,然而也能够容易地扩展到用于更大的滤波器的运算。

图7是在表示进行 3×3 滤波器计算的图1所示器件中用于缓和运算电路的布图间距的第2个实施例。图4中,通过把和图1的器件数量相同的运算电路配置在3倍的布图宽度上面实现了布图间

距的缓和。与此相反,本实施例中通过把运算电路的数量取为 $1/3$,把这些运算电路配置在和图 1 的实施例相同的布图宽度谋求布图间距的缓和。图 8 (a)、(b) 示出用于图 7 实施例的并行数据传送电路 TRC1 的结构例。图 8 (a) 中,读出放大器 SA 上示出输入图象的第 1 行象素值 $F11$ 、 $F12$ 、 $\dots$,被传送的状态。并行数据传送电路 TRC1 如图 7 所示由从 $5P$ 位中选择 P 位的一种 5 比 1 的选择器 SEL 构成。图 8 (b) 中,示出了用从 $2P$ 位选择 P 位的一种 2 比 1 的选择器 SEL2—1 构成图 7 的选择器 SEL 的实施例。选择器排列成 3 层连接,各选择器 SEL2—1 上输入两个控制信号 ϕLi 、 ϕRi 。选择器 SEL2—1 如图 8 (b) 的左方所示,由 2 个开关 L、R 构成。若用控制信号 ϕLi 导通开关 L,就输出左侧的输入信号 INL,若用控制信号 ϕRi 导通开关 R,就输出右侧的输入信号 INR。这些开关如图 8 (b) 的右方所示可以通过并联 MOS 晶体管构成。

下面,用图 9 说明图 7、8 所示的实施例的动作。图 9 中, ($\phi L1$ 、 $\phi R1$)、($\phi L2$ 、 $\phi R2$)、($\phi L3$ 、 $\phi R3$) 分别是构成图 8 所示并行数据传送电路 TRC1 的选择器 SEL 的控制信号。图 9 中示出了字线的选择及上述控制信号的时序,还示出了并行数据传送电路 TRC1 的输出中从左端的 4 个 TNO0、TNO1、TNO2、TNO3 输出的象素数据以及使并行数据传送电路 TRC2 内分配器的开关 L、C、R 导通的时序。本实施例中,由于把运算电路数取为 $1/3$,所以,用 1 个运算电路进行连续 3 个输出象素的运算。首先,输入图象的第 1 行存入

图 7 的串行存储器 SAM1 后,就把这些数据传送到二维存储阵列 MAR 的字线 W1。在第 2、第 3 行也同样地传送到字线 W2、W3 之后,开始输出图象第 2 行的运算。通过数据线群 DG 读出字线 W1 上的输入图象的第 1 行。如图 8 所示,读出放大器从左端开始锁存了输入图象的象素 F11、F12、F13、...,之后。就如图 9 的周期 t1 栏中所示,切换并行数据传送电路 TRC1 内选择器 SEL 的控制信号。于是,由于并行数据传送电路 TRC 的输出通过 TNO1、TNO2、TNO3 把 F11、F14、F17,...分别传送到运算电路 PE1、PE2、PE3 中,因而,用乘法器 MT1、MT2、...进行和从数据存储器读出的加权系数之间的相乘运算,把结果存入寄存器 RG1、RG2、...中。接着,如图 9 的周期 t2 栏所示,一旦切换了选择器 SEL 的控制信号,则这次把 F12、F15、F18、...,分别传送到 PE1、PE2、PE3、...,进行这些数据和加权系数之间的相乘运算,然后加上已存入寄存器中前面的结果再存入寄存器。进而,如图 9 的周期 t3 栏所示,切换控制信号,把 F13、F16、F19、...,分别传送到 PE1、PE2、PE3、...,进行乘法运算再加上前面的结果。通过图 7 的并行数据传送电路 TRC2 内分配器 DIS 的开关 L,把至此为止的结果写入串行存取存储器 SAM2 中。串行存取存储器 SAM2 被间断地写入数据。

接着,在把第 1 行输入象素锁存在读出放大器的状态下,进行如图 9 的周期 t4 到 t6 所示数据的传送,导通分配器 DIS 的开关 C,把运算结果间断地写入串行存取存储器 SAM2 中。

进而，在把第1行输入象素锁存在读出放大器的状态下，继续进行如图9的周期t7到t9所示数据的传送，导通分配器DIS的开关R，把运算结果间断地写入串行存取存储器SAM2中。然后，选择字线W2，把第2行的输入象素锁存在读出放大器中，进行同样的运算。其中，在周期t1、t4、t7的初始，把用第1行输入象素所得到的结果从串行存取存储器SAM2送入图7所示的寄存器RG1、RG2...，而且加上新求出的乘法结果。选择字线W3，把第3行的输入象素锁存到读出放大器中并进行同样的动作，则SAM2中就求出输出图象第2行的所有象素的值。如果在每1行的输入图象存在串行存取存储器中时都继续这样的操作，就能够不断地进行 3×3 滤波计算。本实施例中，和图4的实施例相同，具有能把运算电路的布图间距扩展为图1实施例3倍的优点。本实施例中，由于1个运算电路进行连续3个输出象素的运算，因此，可以只用 $1/3$ 的运算电路，从而适用于不能在一片芯片上集成众多运算电路的情况。还有，显而易见，为进一步缓和运算电路的间距，可以构成用1个运算电路做连续3个象素以上的运算。显而易见，为实现这一点，可以构成在把相邻运算电路中传送路径的重迭取为2条的状态下，能够把来自更多的读出放大器的数据传送到1个运算电路的传送网。

以上，在至第9图为止所说明的实施例中，以二维线性滤波器为例进行了说明。如果使用这些实施例，则通过改变滤波器的大小、系数就能够高速处理图象中的线和边缘的上升，或者平滑等。还有，

通过改变运算电路的功能，还能够高速地进行特定参数的提取，或者中位滤波器等非线性滤波器的运算。进而，如果上述的实施例是使用二维分布的近傍单元的信息进行输出的运算的形式，当然也能够利用上述之外的各种运算，例如，单元自动控制器以及仅与近傍的神经细胞相结合的神经网络的计算等。另外，在说明上述实施例的图中，二维存储单元阵列内仅存入了处理所必需的数行象素数据。而通过增加二维存储单元阵列中字线数，还很容易存入更多行的象素数据。例如，如果要存储1帧的数据，就可以作为所谓帧存储器使用。这时，仅在二维存储单元阵列的一部分上施加运算，其余部分照原样通过直接从串行存储器读出而输出，这样就能够仅对画面的一部分施行滤波等的处理。另外，通过只变更对字线的控制还能容易地移动施行运算的区域。

以下，把本发明用于滤波器之外的例子，示出了用于动态矢量检测的实施例。动态矢量的检测在数字动态图象的压缩、扩张方面是有用的处理，而由于运算量很多，故期望有进行高速检测动态矢量的器件。如所熟知的，动态矢量的检测用以下方法进行：把输入图象分解为由多个象素构成的象素块，对各个块与参考图象对应位置的象素块以及在其近傍的多个象素块进行比较，求出距离最小的块，并求出和输入图象的象素块之间的坐标差。

图10和图11所示的是应用本发明进行动态图象的动态矢量运算的器件的实施例。以下，为简单说明，取象素块的大小为 3×3 个

象素，取搜索范围为上下左右 2 个象素，而本实施例不限于这些数字，能够容易地扩展。图 10 示出了进行动态矢量的运算的器件，图 11 示出了求在图 10 中得出的象素块之间距离的最小值并表示了输出动态矢量的最小距离运算单元的结构。下面，说明本实施例的结构和动作。

在图 10 的器件中，输入图象的象素 F_{xy} 和用于比较的参考图象的象素 REF_{xy} 分别实时输入到串行存取存储器 SAM2 和 SAM1 中。输入到串行存取存储器后，再分别传送到 3 行的二维缓冲阵列 BAF2、BAF1，进而向用于比较的二维存储阵列 MAR2、MAR1 传送。二维存储阵列 MAR2 能够存储 3 行的输入图象，所以， 3×3 象素大小的象素块能够存储为 1 列。另一方面，二维存储阵列 MAR1 中，与 MAR2 内的输入图象的象素块相应的位置再加入上下各 2 行共能够存储 7 行输入图象。另外，输入到串行存取存储器 SAM2 中的输入图象比输入到 SAM1 的参考图象迟输入 2 行，每存入 1 行数据，就从 SAM1、SAM2 中分别向 BAF1、2、MAR1、2 传送数据。由此，MAR1 内的图象就成为在与 MAR2 内的输入图象的象素块相当的位置上再加入上下 2 行。3 行的二维缓冲阵列 BAF2、BAF1 是为了在求 1 列象素块的动态矢量期间，暂时存储用于求下一列象素块的动态矢量的数据。每结束一列象素块动态矢量的运算，这些二维缓冲阵列 BAF1、BAF2 的数据就向 MAR1、MAR2 传送。进行下一列象素块动态矢量的运算。为了像上述那样求动态矢量，要计算输入图象的象

素块和在其上下左右错开了位置的参考图象象素块之间的距离。象素块之间的距离能够通过合计构成1个象素块的象素和构成一方象素块的象素的值差获得。图10的实施例中,用运算电路PE1、...,PEN并行计算从存储阵列MAR2和MAR1中读出的象素间的距离。若在每次各选择1条存储阵列MAR2的字线时切换并行数据传送电路TRC2的控制信号 ϕL 、 ϕC 、 ϕR ,则就能够把不同象素块的象素传送到每个运算电路。另一方面,存储阵列MAR1中,在与MAR2内输入图象的象素块相当的位置再加上其上下多出的2行上面有参考图象的数据。从而,通过切换字线,就能够在与输入图象的象素块相当位置及其上下2象素的范围内改变传送象素的y坐标。进而,通过切换并行数据传送电路TRC1的控制信号,沿x方向也能够把在与输入图象的象素块相当的位置及其左右2象素合计共7个象素的范围内错开了位置的象素传送到各运算电路。从而,输入到运算电路中的参考图象的象素块的坐标对于输入图象就有可能沿x、y方向在两个象素的范围内偏移。另外,并行数据传送电路TRC1的信号线中需要各重迭4条,而TN1的信号线中不需要重迭。

把输入图象的象素块和参考图象的象素块之间的距离求出如下。首先,固定坐标的偏移量,把输入图象的象素块和参考图象的象素块的象素传送到各运算电路PE1, ..., PEN。在运算电路中求出的象素之间的距离被传送到累加器Acc1、..., Accn, 加上1个象素块的值。这样求出的象素块之间的距离传送到最小距离运算单元

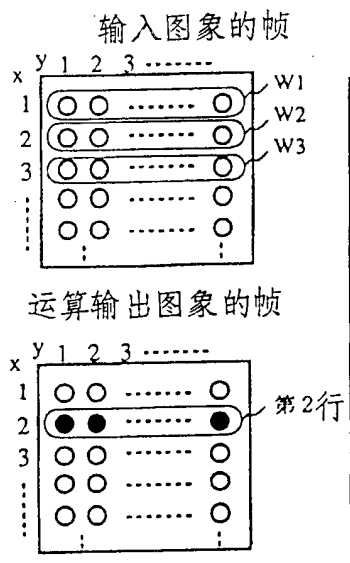
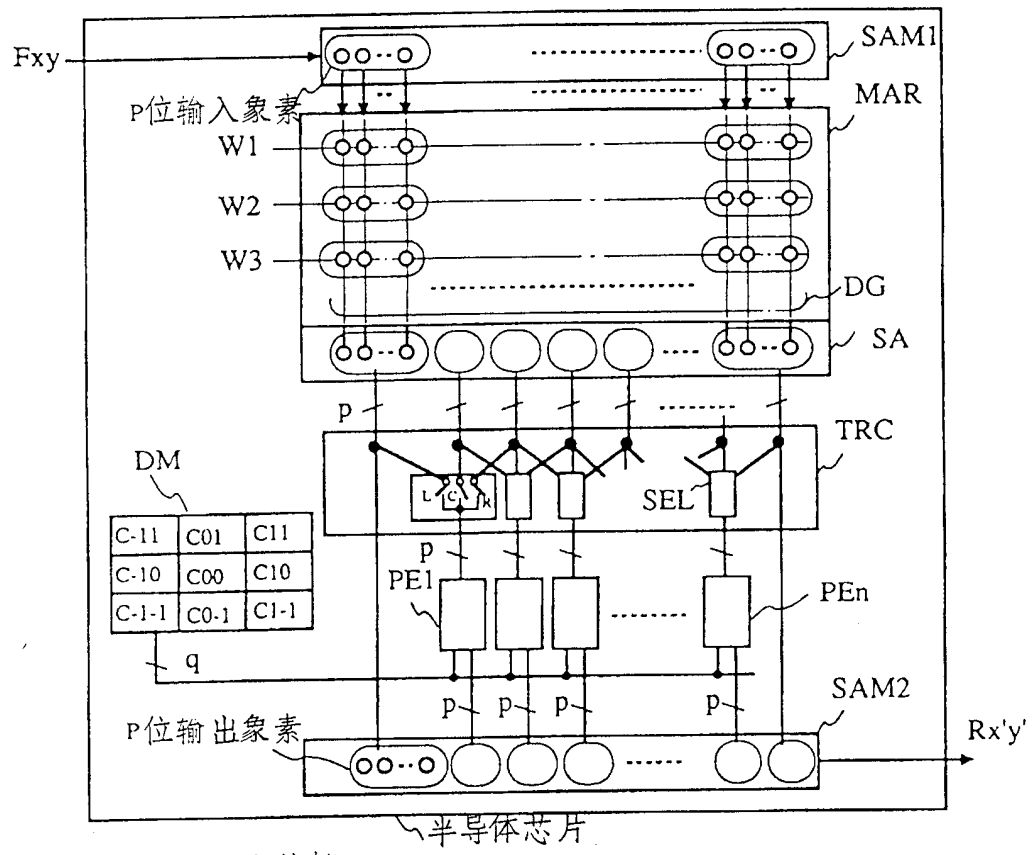
MIN1, ..., MINn。在最小距离运算单元求象素块之间的距离为最小的坐标的偏移量。最小距离运算部件的结构示于图 11。用图 11 说明动作。如图 11 所示, 最小距离运算部件 MINi 由比较电路 COM、寄存器 REG1、REG2 以及开关 SWB1、SWB2 构成。如果对于特定的偏移量 Δx 、 Δy 求出象素块间的距离 BLDi (Δx 、 Δy), 则输入到比较电路。用比较电路 COM 对新求出的象素块间距 BLDi (Δx 、 Δy) 和已求出并存在寄存器 REG1 中的关于其它偏移量 $\Delta x'$ 、 $\Delta y'$ 的象素块间距 BLDi ($\Delta x'$ 、 $\Delta y'$) 进行比较。其结果, 如果 BLDi (Δx 、 Δy) 小则导通开关 SWB1, 寄存器 REG1 的内容被更新为 BLDi (Δx 、 Δy)。寄存器 REG2 中存储着偏移量 ($\Delta x'$ 、 $\Delta y'$), 而这时也导通开关 SWB2 更新为 (Δx 、 Δy)。反之, BLDi (Δx 、 Δy) 大时, 开关 SWB1、SWB2 不导通, 不更新寄存器的内容。通过用所有的偏移量进行以上的动作, 在寄存器 REG2 中就求出象素块间距为最小的偏移量, 即动态矢量 MC。图 10 中, 由于并行求出 1 列象素块的动态矢量, 因此, 把这些数据传送到串行存取存储器 SAM3 并顺序输出到芯片之外。

如以上所说明的, 若根据图 10、11 的实施例。则能够对于输入图象实时地并行求出 1 列象素块的动态矢量。从而, 如果在利用动态矢量的动态图象压缩、扩张系统中搭载基于本发明的半导体集成电路, 就能够进行高速处理。另外, 在图 10 的结构中, 当然也能够用图 4、图 7 的方法缓和运算电路的间距。

至此,说明了应用本发明的实施例。在已说明的实施例中,使用的是具有能够存储1行以上象素数据的字线的二维存储阵列。然而,如果字线长度过长则增大配线容量和电阻,有时难于高速驱动。在这种情况下,可以分割阵列。然而,在该情况下,如果单纯地分割,则配置在子阵列端部的运算电路中所需要的象素就存在于相邻的子阵列中。从而产生了特别设置存取通道的必要性。为避开这一点,可以在相邻的子阵列之间双重地具有子阵列端部的象素数据。另外,在为说明实施例的图中,对于二维存储阵列的详细结构、或者控制信号的产生方法省略了说明,而这些用一般的LSI中所使用的技术就能够容易地构成。例如,二维存储阵列中能够使用由1个晶体管单元构成的DRAM阵列。这种情况下,由于能够高集成地制做二维存储阵列,所以与使用了SRAM阵列的情况相比,能够在相同尺寸的芯片上更多地集成运算电路,由此,能够进行更高速的处理。还有,如以上所说明的,本发明的实施例中,很多情况下是在短时间内使用存储阵列中的全部信息。从而,即使应用DRAM阵列时运算中也能自动地进行更新。从而,具有不必中断运算进行更新的优点。

如果用基于本发明的半导体集成电路,就能并行处理使用了二维数据的运算,这些运算包括二维空间滤波、卷积运算,或者为搜索图象间动态矢量的运算等,从而,能够实时高速处理上述运算。

图 1



并行传送电路的控制方法

运算周期	传送开关	用于运算的字线	用于运算的输入系数
1	L	W1	C-1-1
2	C	↑	C-10
3	R	↑	C-11
4	L	W2	C0-1
5	C	↑	C00
6	R	↑	C01
7	L	W3	C1-1
8	C	↑	C10
9	R	↑	C11

图 2

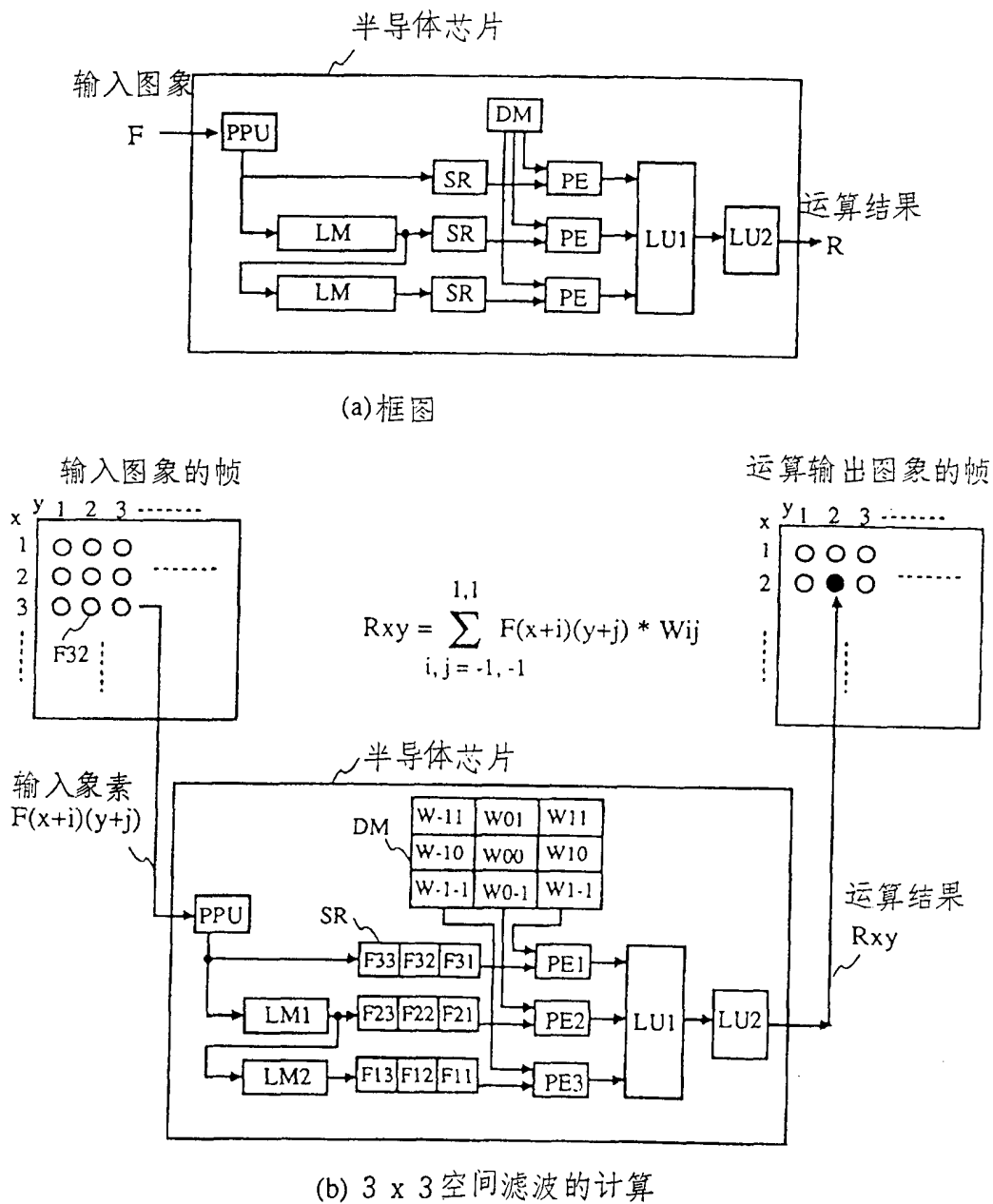


图 3

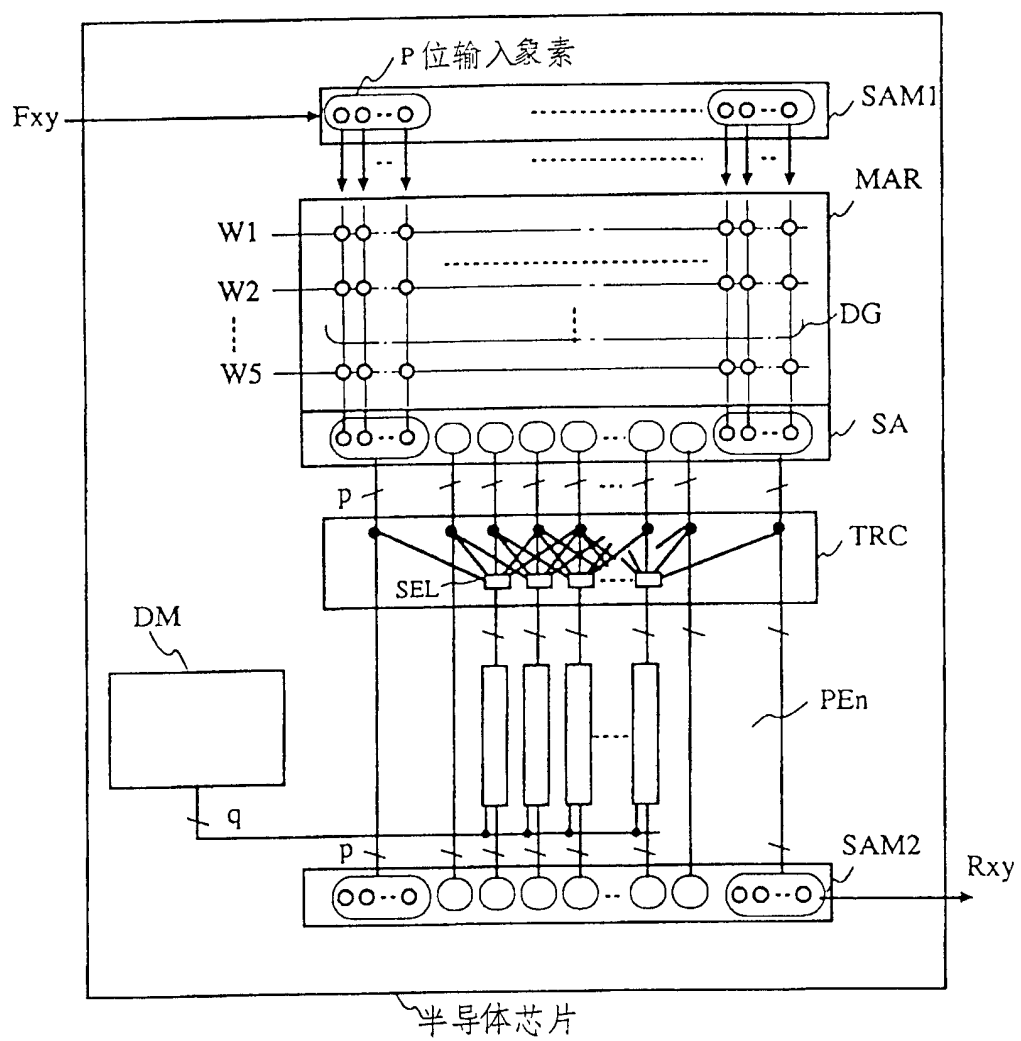


图 4

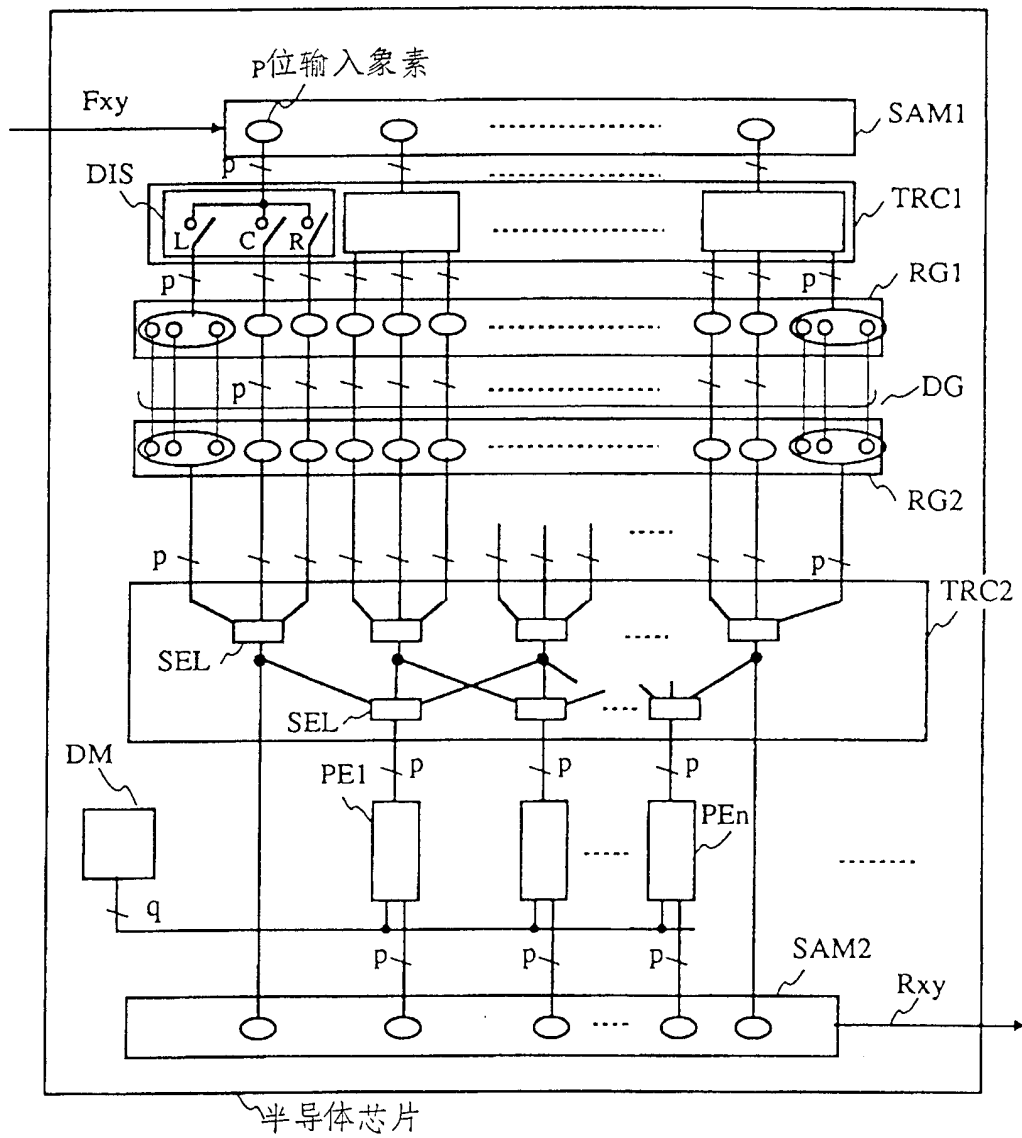
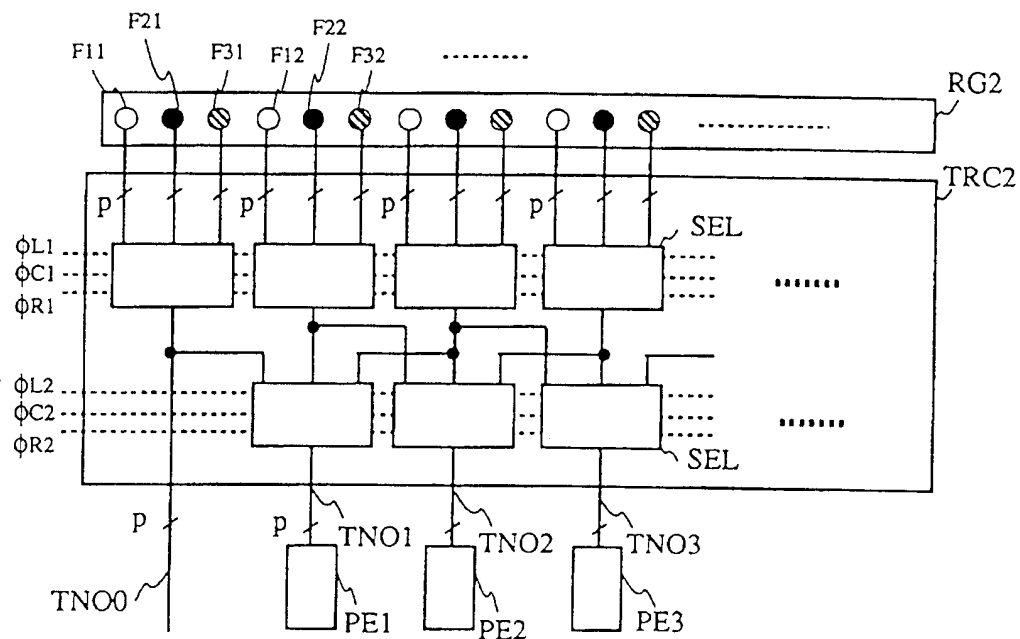
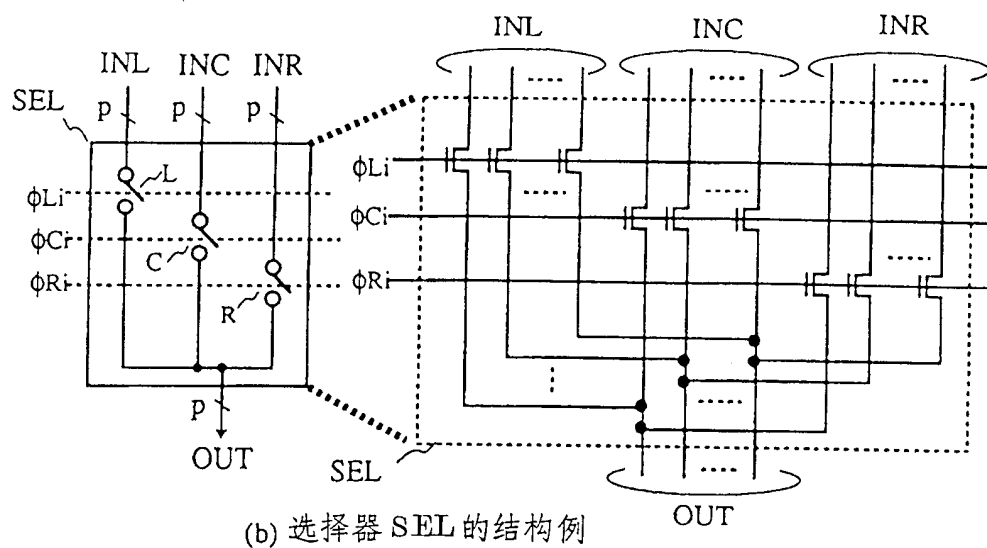


图 5



(a) 传送网络的结构例



(b) 选择器 SEL 的结构例

图 6

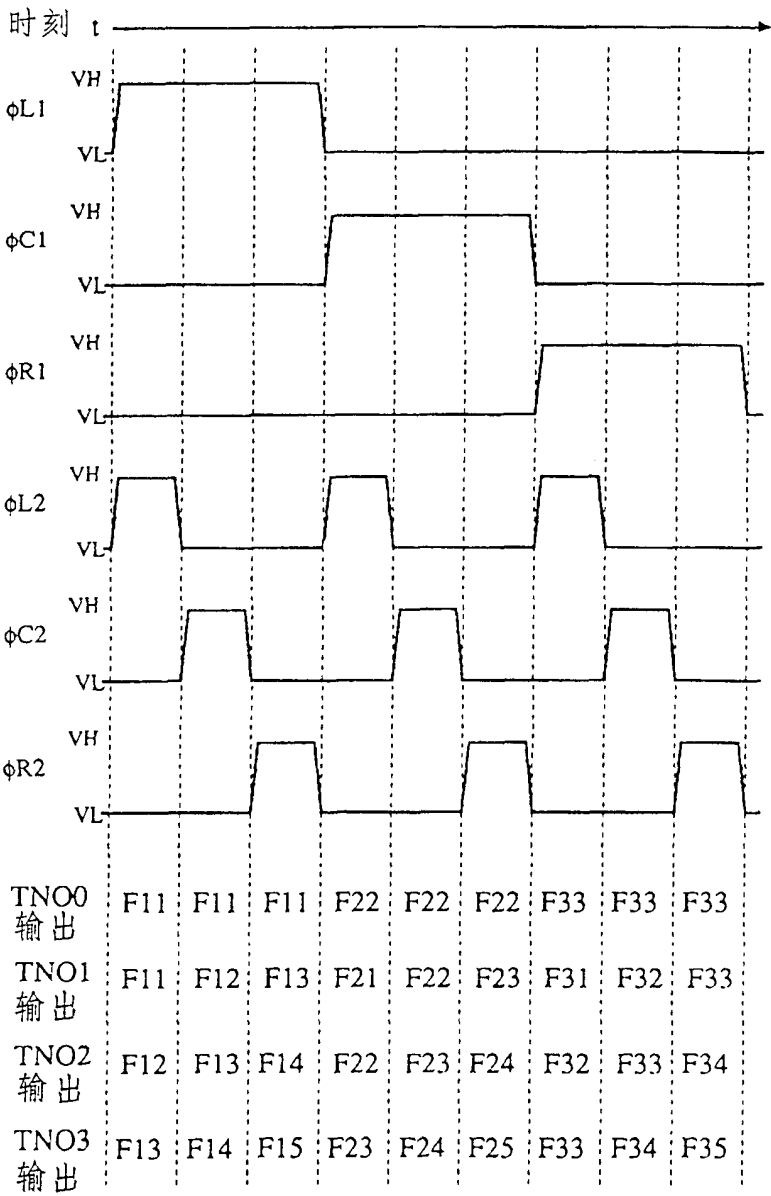


图 7

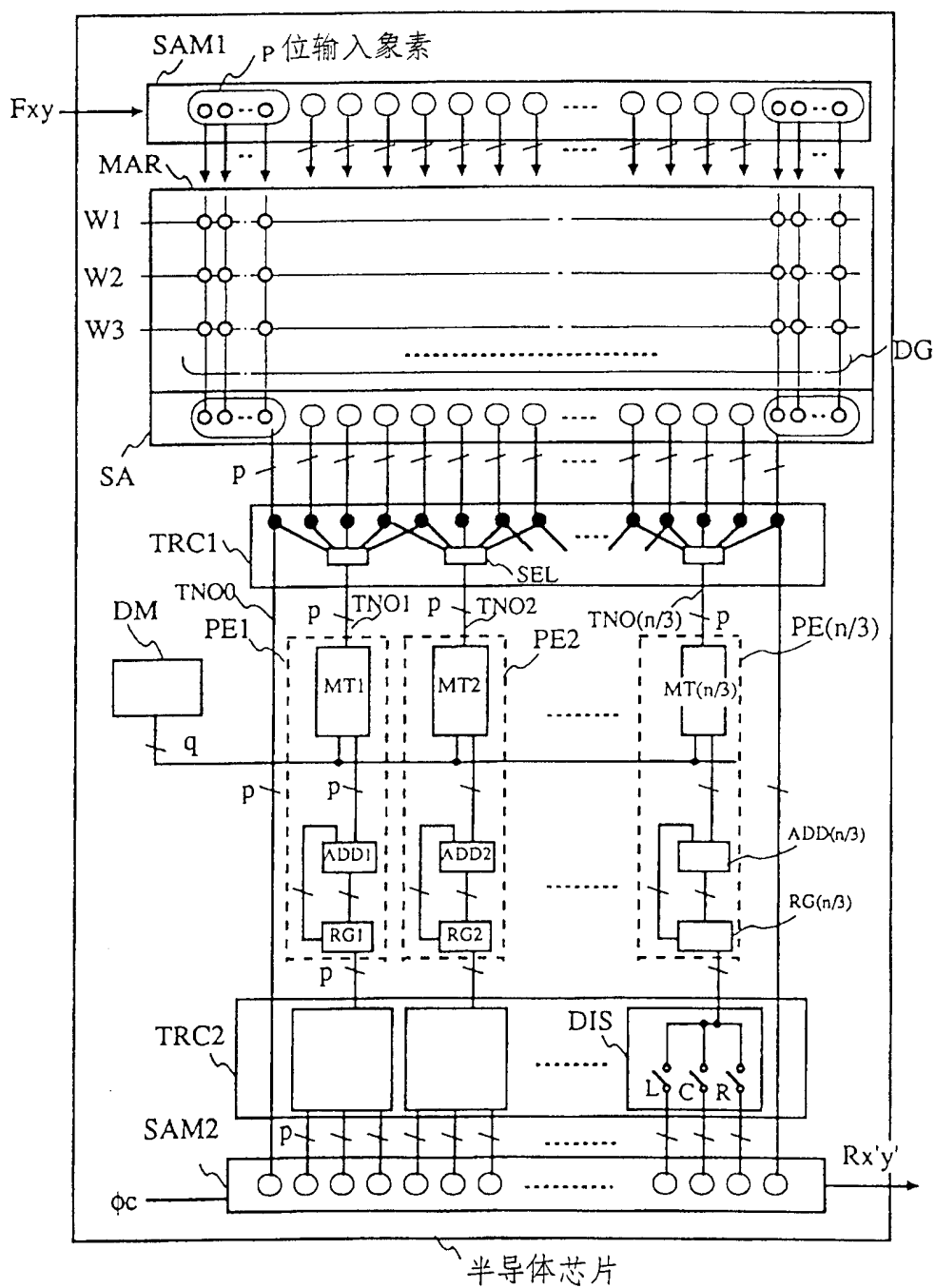
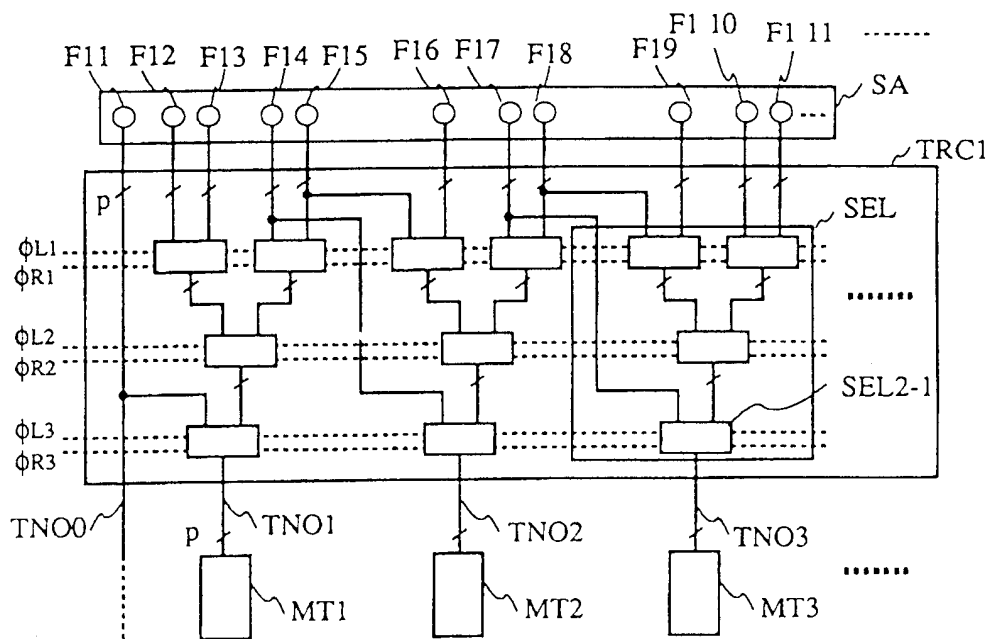
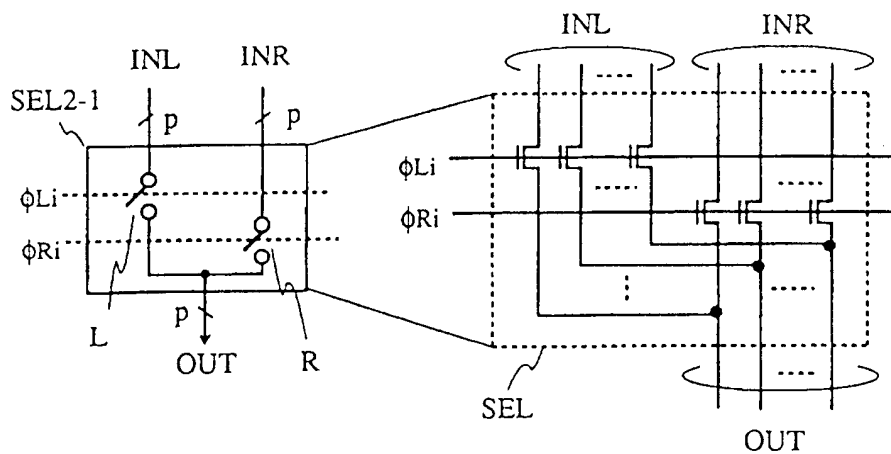


图 8



(a) 并行数据传送电路的结构例



(b) 选择器的结构例

图 9

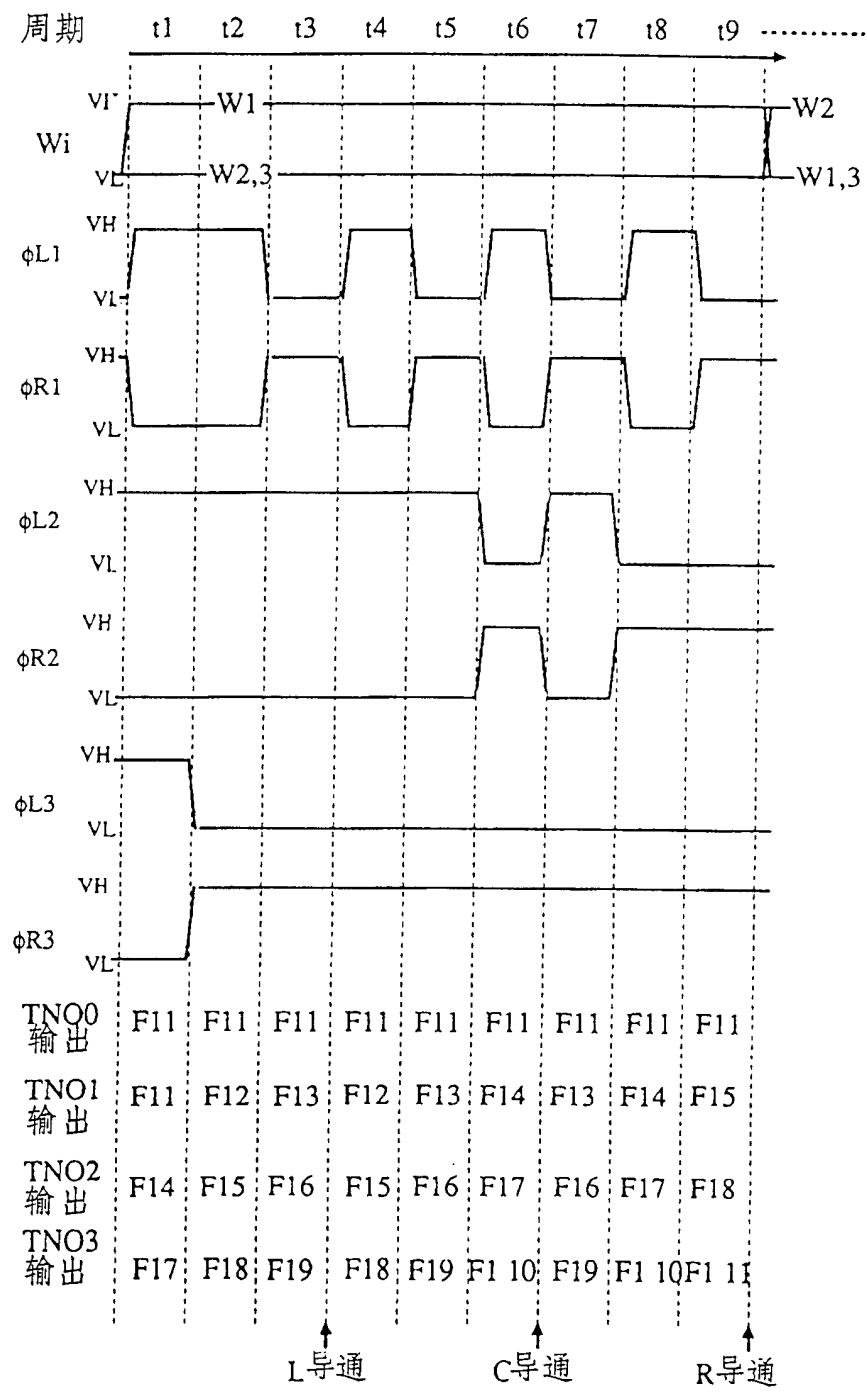


图 10

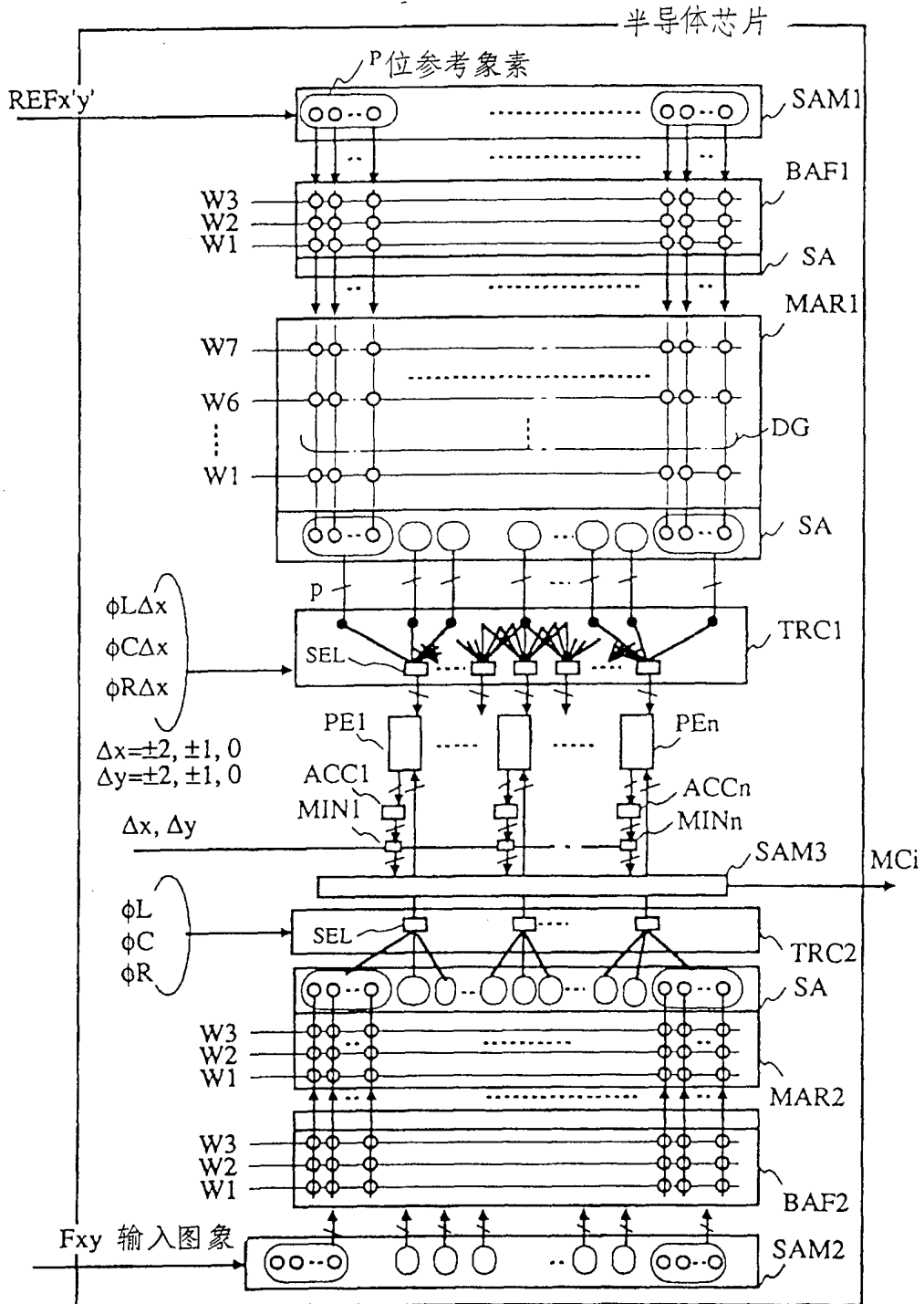


图 11

