

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 25/00 (2006.01)

H01L 23/498 (2006.01)



[12] 发明专利申请公布说明书

[21] 申请号 200610108555.3

[43] 公开日 2008年1月23日

[11] 公开号 CN 101110409A

[22] 申请日 2006.7.21

[21] 申请号 200610108555.3

[71] 申请人 日月光半导体制造股份有限公司

地址 中国台湾高雄市楠梓加工区经三路26号

[72] 发明人 庄孟融 李政颖 戴惟璋 朱吉植

[74] 专利代理机构 上海翼胜专利商标事务所

代理人 翟羽

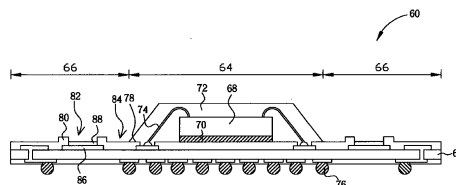
权利要求书2页 说明书4页 附图5页

[54] 发明名称

系统封装的封装体

[57] 摘要

一种系统封装(system-in-package, SIP)的封装体,该封装体包含有一定义的封模区与周边区的载板、设置于该封模区中的至少一个芯片、设置于该封模区中并覆盖该芯片的封装胶体、分别设置于该周边区的载板表面的若干个焊垫以及覆盖于该周边区并暴露各该焊垫的部分表面的防焊层,且该防焊层中形成有至少一个容置空间。



1.一种系统封装的封装体，该封装体包含有：一载板，该载板之上表面定义有一封模区与一周边区；至少一芯片，设置于该封模区中；一封装胶体，设置于该封模区中并覆盖该芯片；若干个焊垫，分别设置于该周边区的载板表面；以及一防焊层，覆盖于该周边区；在载板的下表面设置有若干个锡球；其特征在于：前述焊垫表面的水平高度大于或等于该封模区表面的水平高度；封装胶体与该载板具一接触面，该接触面低于该防焊层在前述焊垫的开口表面；前述防焊层曝露各该焊垫的部分表面，且该防焊层中形成有至少一个容置空间。

2.如权利要求1项所述的封装体，其特征在于：前述芯片为一覆晶芯片。

3.如权利要求1项所述的封装体，其特征在于：该封装体另包含有若干条金线，用来电连接该芯片与该载板并由前述封装胶体覆盖。

4.如权利要求1项所述的封装体，其特征在于：前述焊垫表面的水平高度大于防焊层表面的水平高度。

5.一种系统封装的封装体，其特征在于：该封装体包含有一下封装体和一上封装体；其中下封装体包含有上表面定义有一封模区与一周边区的第一载板；设置于该封模区中的至少一个第一芯片；设置于该封模区中并覆盖该第一芯片的第一封装胶体；分别设置于该周边区的第一载板表面的若干个焊垫，前述焊垫表面的水平高度大于或等于该封模区表面的水平高度；以及覆盖于该周边区并曝露各该焊垫的部分表面的防焊层，该第一封装胶体与该第一载板具一接触面，该接触面低于该防焊层在这些焊垫的开口表面，且该防焊层中形成有至少一容置空间；在该第一载板的下表面设置有若干个锡球；其中上封装体其包含有一第二载板；设于该第二载板表面的至少一个第二芯片；覆盖该第二芯片的第二封装胶体以及若干个锡球接合于该第一载板的上表面与该第二载板的下表面。

6.如权利要求5所述的封装体，其特征在于：该第一芯片与该第二芯片为一覆晶芯片。

7.如权利要求5所述的封装体，其特征在于：该下封装体另包含有若

干条金线，用来电连接该第一芯片与该第一载板并由前述第一封装胶体覆盖。

8.如权利要求5所述的封装体，其特征在于：该上封装体另包含有若干条金线，用来电连接该第二芯片与该第二载板并由前述第二封装胶体覆盖。

9.如权利要求5所述的封装体，其特征在于：前述焊垫表面的水平高度大于该防焊层表面的水平高度。

10.如权利要求5所述的封装体，其特征在于：该封装体另包含有一第三载板，且该下封装体是利用该第三载板及该等锡球与该上封装体相连接。

系统封装的封装体

【技术领域】

本发明提供一种系统封装的封装体，尤指一种在封装载板周边区域形成具有容置空间的防焊层的系统封装体。

【背景技术】

随着电子产品功能与应用急速增加，封装技术亦继续朝着高密度、微小型、单芯片到多芯片、二维尺度到三维尺度等方向发展，故目前出现了与以往所见到的传统封装形态在设计上、制作上以及材料应用上截然不同的先进封装结构，如晶圆级封装(wafer level package)、三维封装、多芯片封装MCP(multi-chip package)和系统级封装(system in package, SIP)等超高密度的封装型式。其中，最理想的状况为在一个硅芯片内，能将所有的集成电路容纳进去，即系统化芯片(system on chip, SoC)为最佳。然而，将逐渐复杂化的电路功能集中于一个芯片内除了制程技术上有困难外，芯片大小也会大幅增大，造成芯片制程的复杂化，进而使良率下降以及成本上升。故与 SoC 技术相比，强调体积小、高频、高速、短生产周期与低成本的系统化封装技术 SIP(system in package)便为达成前述目标，并可整合具有不同电路功能芯片的较佳封装方法。

请参考图 1。图 1 为现有系统封装的封装体 10 的示意图。如图 1 所示，现有系统封装的封装体 10 包含有一载板 16，且载板 16 的表面上定义有一个封膜区(molding area)30 与一个周边区(periphery area)32。其中，封膜区 30 内包含有至少一个设置于载板 16 表面的芯片 12，一个设置于载板 16 与芯片间的黏着层 14，以及覆盖于芯片 12 与部分载板 16 上的封装胶体 24。同时，封装体 10 另包含有若干条利用打线方式形成的焊线 18 电性连接芯片 12 与载板 16，以及设置于载板 16 另一表面上的若干个锡球 22，以使锡球 22 通过载板 16 内部的电路(未显示)而与芯片 12 电连接。此外，周边区 32 内包含有一防焊层(solder mask)34(俗称绿漆)，以及若干个设置于载板 16 表面的焊垫 36，其中焊垫 36 表面的水平高度与防焊层 34 表面的水平高度齐平。

然而，现有系统封装的封装体 10 在进行封膜制程时，覆盖在芯片 12 与载板 16 表面的封装胶体 24 经常会溢出封膜区 30 流出至周边区 32 表面。由于防焊层 36 表面的水平高度与焊垫 36 表面的水平高度齐平，因此在进行封膜制程时，多余的封装胶体 24 将会无可避免的覆盖设置于周边区 32 表面的若干个焊垫 36 与防焊层 34，进而影响后续元件或锡球焊接(ball mounting)制程中，附着被动组件(未显示)、主动组件(未显示)、锡球(未显示)在焊垫 36 上的良率与稳定性。

【发明内容】

本发明的目的在于提供一种在封装载板周边区域形成具有容置空间的防焊层的封装体，以改善现有封装体因封装胶体外溢而导致焊垫污染等问题。

为达成前述目的，本发明揭露一种系统封装(system-in-package, SIP)的封装体，该封装体包含有一定义有封模区与周边区的载板、设置于该封模区中的至少一芯片、设置于该封模区中并覆盖该芯片的封装胶体、若干个分别设置于该周边区的载板表面的焊垫，以及覆盖于该周边区并暴露各该焊垫的部分表面的防焊层，且该防焊层中形成有至少一容置空间。

由于本发明在载板的周边区内设置一个具有至少一容置空间的防焊层，因此当封装结构进行封膜制程时，溢流出封膜区的封装胶体可有效容纳于该防焊层的容置空间内，以改善现有封装结构因封装胶体外溢而污染焊垫的问题，进而提升锡球焊接(ball mounting)制程在焊垫上的良率与稳定性。

【附图说明】

图 1 为现有系统封装的封装体的示意图。

图 2 与图 3 为本发明较佳实施例的下封装体示意图。

图 4 与图 5 为本发明另一实施例系统封装的封装体示意图。

【具体实施方式】

请参考图 2 与图 3。图 2 与图 3 为本发明较佳实施例系统封装的下封装体 60 示意图。如图 2 与图 3 所示，本发明的下封装体 60 包含有一载板 62，且载板 62 表面上定义有一封膜区(molding area)64 与一周边区(periphery area)66，而且以载板 62 的厚度分布而言，封膜区 64 的厚度大于周边区 66 的厚度。其中，封膜区 64 内包含有至少一芯片 68，例如一设置于载板 62 表面覆晶芯片、一设置于载板 62 与芯片 68 间的黏着层 70 以及一覆盖于芯片

68与部分载板62上的封装胶体72。同时,下封装体60另包含有若干条利用打线方式形成的金线74,用来电连接芯片68与载板62,以及若干个设置于载板62的下表面的锡球76,以使锡球76通过载板62内部的电路(未显示)而与芯片68电连接。

此外,如同现有系统封装的封装体,本发明的周边区66内也包含有一防焊层80以及若干个设置于载板62表面的焊垫82,用来配合锡球焊接(ball mounting)等制程,以电连接其它的被动组件(未显示)、主动组件(未显示)、芯片(未显示)或封装体(未显示)。其中,焊垫82表面的水平高度除了大于或等于封膜区64表面的水平高度,也同时大于防焊层80表面的水平高度。此外,封装胶体72与载板62间具有一接触面78,且接触面78低于防焊层80于焊垫82的开口表面,如图2所示,或与焊垫82的开口表面齐平,如图3所示。

值得注意的是,本发明的防焊层80除了设置于载板62表面以及包围若干个焊垫82外,并同时包含有一容置空间84,形成于焊垫82之间。因此当下封装体60进行封膜制程时,覆盖于芯片68与部分载板62的封装胶体72如溢出载板62的封膜区64,可顺势容纳于防焊层80的容置空间84内,进而避免溢出的封装胶体72覆盖设置于周边区66的各个焊垫82表面。其中,焊垫82可利用金属层堆叠的方式,例如先在载板62表面形成一个第一金属层86,然后在第一金属层86上堆叠一个第二金属层88,并配合多层的防焊层80或蚀刻防焊层80的方式来形成容置空间84。

请参考图4与图5。图4与图5为本发明另一实施例系统封装的封装体92示意图。如图4与图5所示,本发明的下封装体60又可配合一上封装体90而形成一系统封装的封装体92。如同先前所述,下封装体60包含有一载板62,且载板62表面上定义有一封膜区(molding area)与一周边区(periphery area)。其中,封膜区内包含有至少一芯片68,例如设置于载板62表面的覆晶芯片、一设置于载板62与芯片68间的黏着层70以及一覆盖于芯片68与部分载板62上的封装胶体72。同时,下封装体60另包含有若干条利用打线方式形成的金线74,用来电连接芯片68与载板62,以及若干个设置于载板62下表面的锡球76,以使锡球76藉由载板62内部的电路(未显示)而与芯片68电连接。

此外，上封装体 90 包含有一载板 94、至少一芯片 96、98 设于载板 94 表面。其中，芯片 96 是利用若干条金线 102 利用打线方式连接载板 94，而芯片 98 则是以覆晶封装方式利用若干个锡球 100 连接于载板 94 表面。同时，上封装体 90 另包含有一封装胶体 104 覆盖于芯片 96、98、金线 102 以及载板 94 上。如图 4 所示，下封装体 60 利用若干个锡球 106 与上封装体 90 相连接。然而，并不局限于此黏着方式，本发明还可在下封装体 60 与上封装体 90 之间设置另一载板 108，并通过若干个锡球 110 与载板 108 来连接下封装体 60 与上封装体 90，以形成系统封装的封装体 92，如图 5 所示。

因此，与现有系统封装的封装体相比，本发明通过在载板的周边区内设置一个具有至少一容置空间的防焊层，因此当封装体进行封膜制程时，溢流出封膜区的封装胶体便可有效容纳于该防焊层的容置空间内，以改善现有封装体因封装胶体外溢而污染焊垫的问题，进而提升锡球焊接(ball mounting)制程于焊垫上的良率与稳定性。

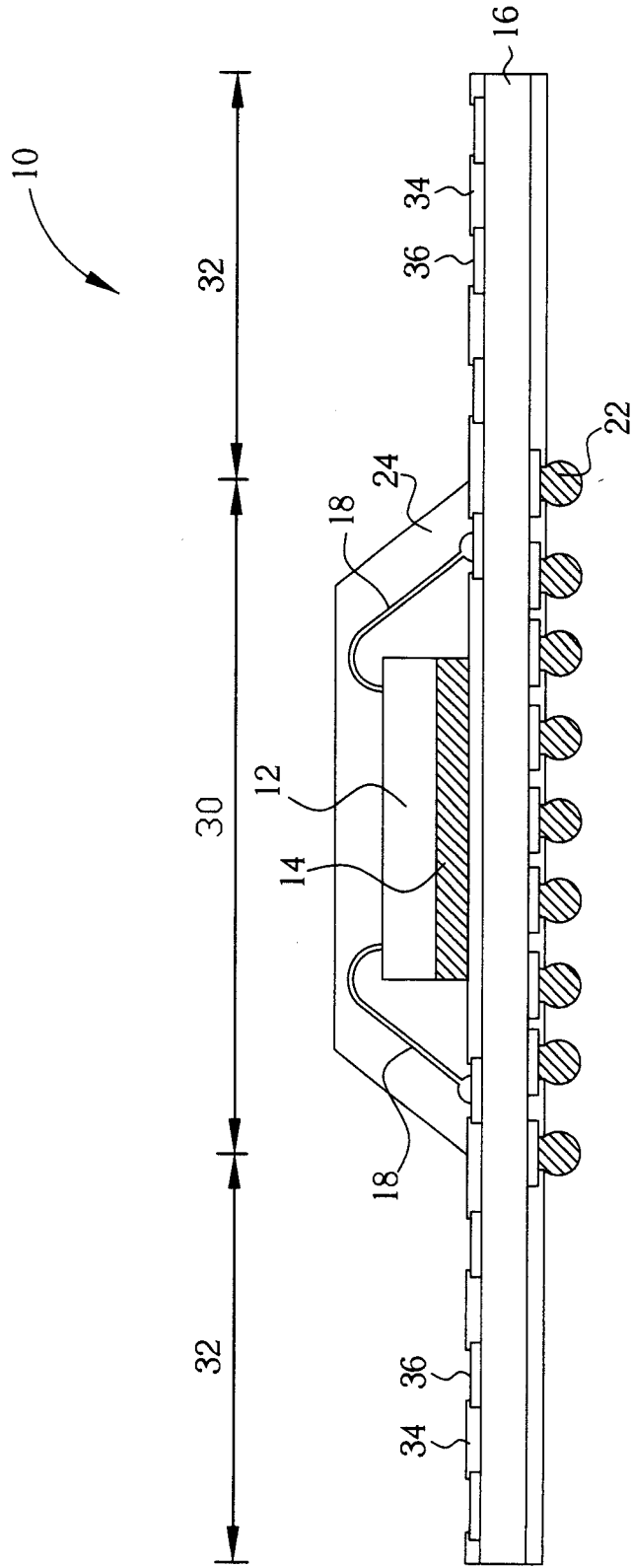


图 1

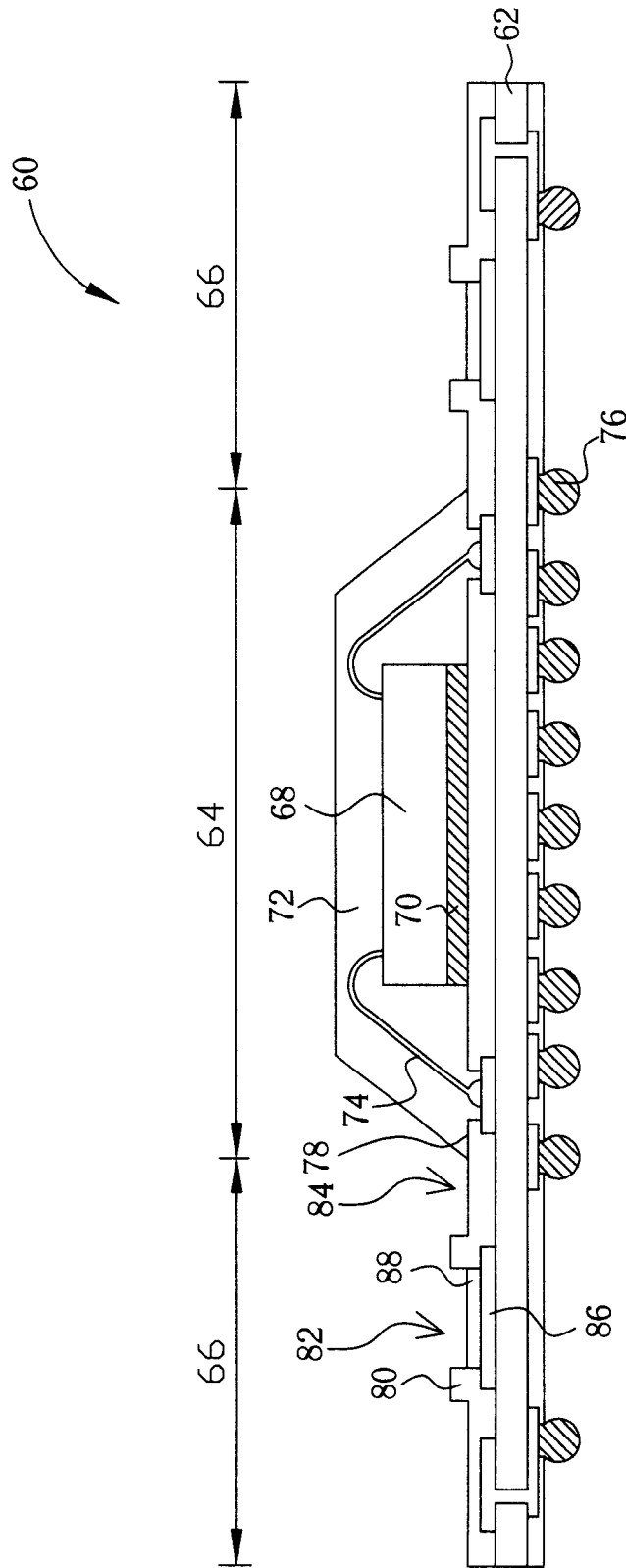


图 2

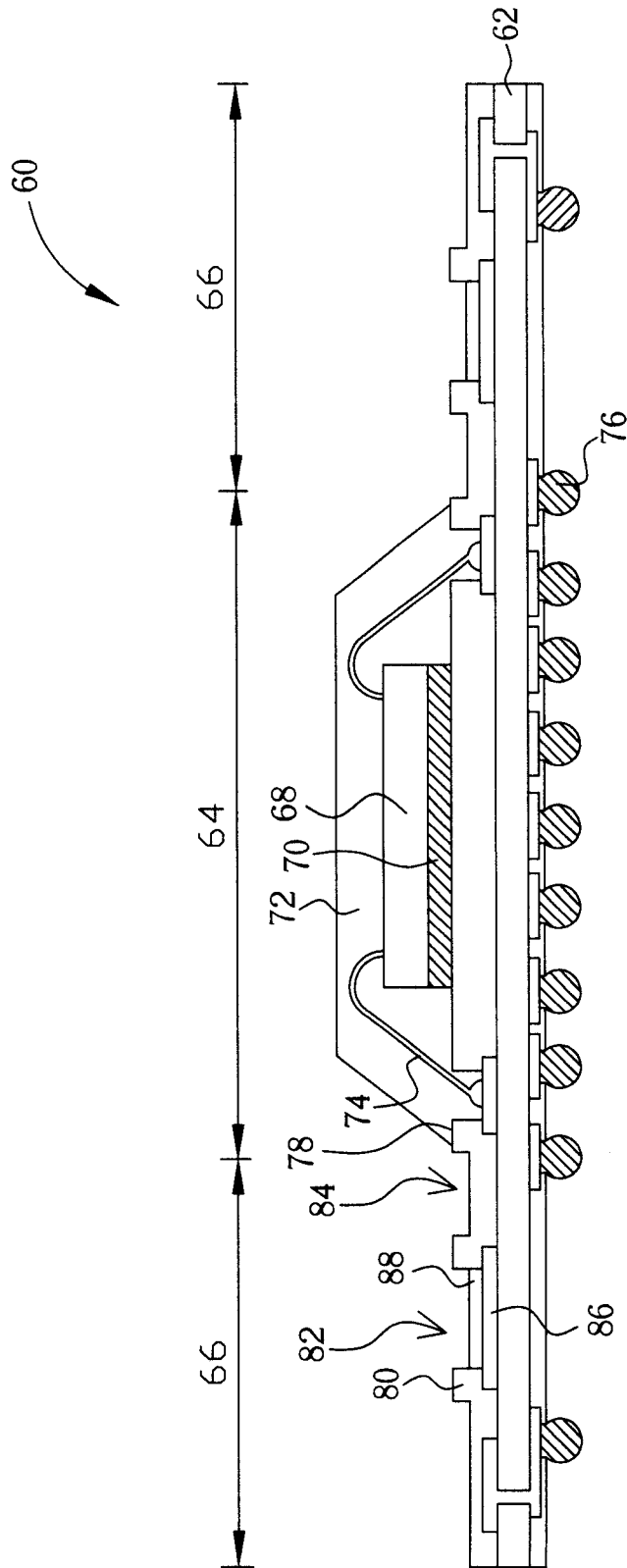


图 3

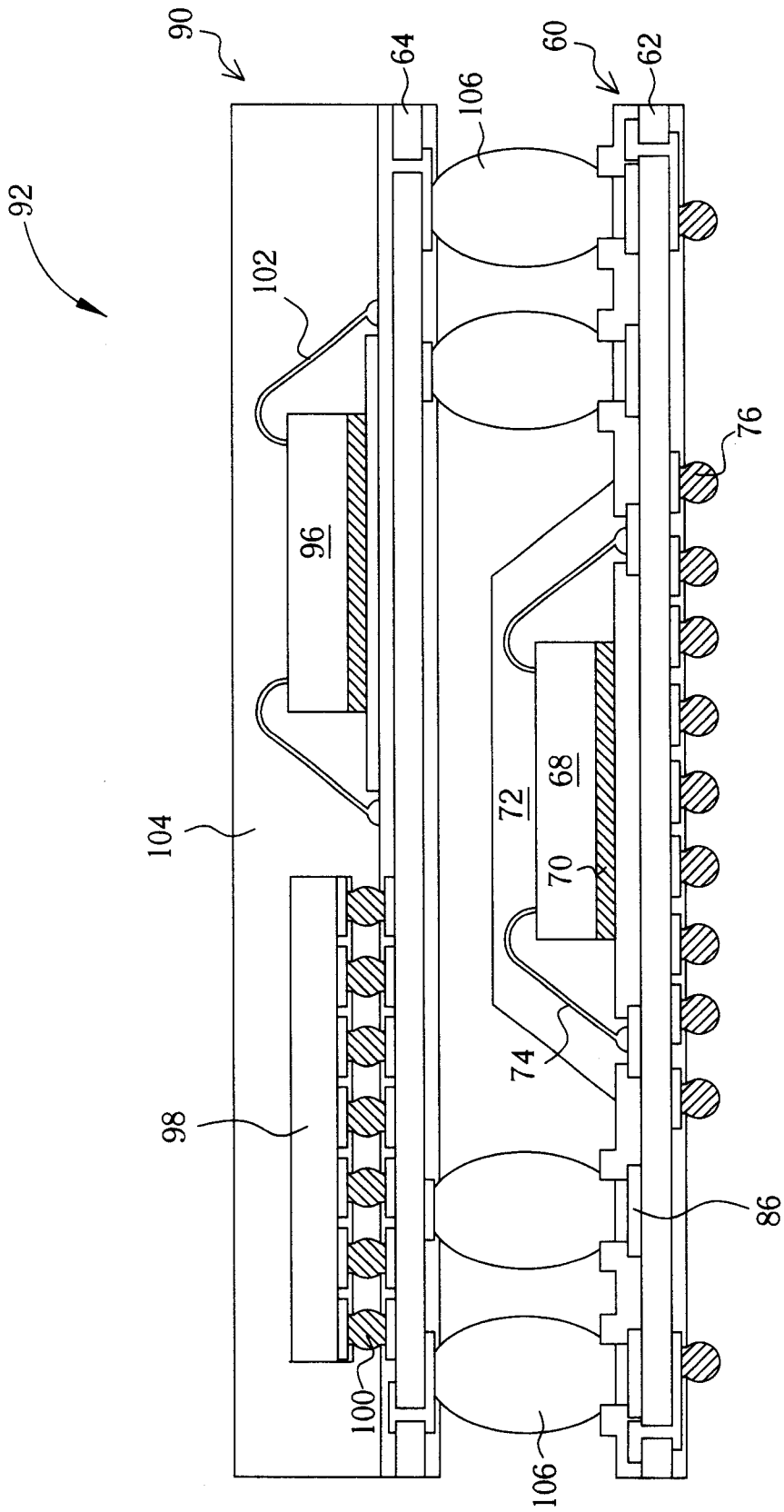


图 4

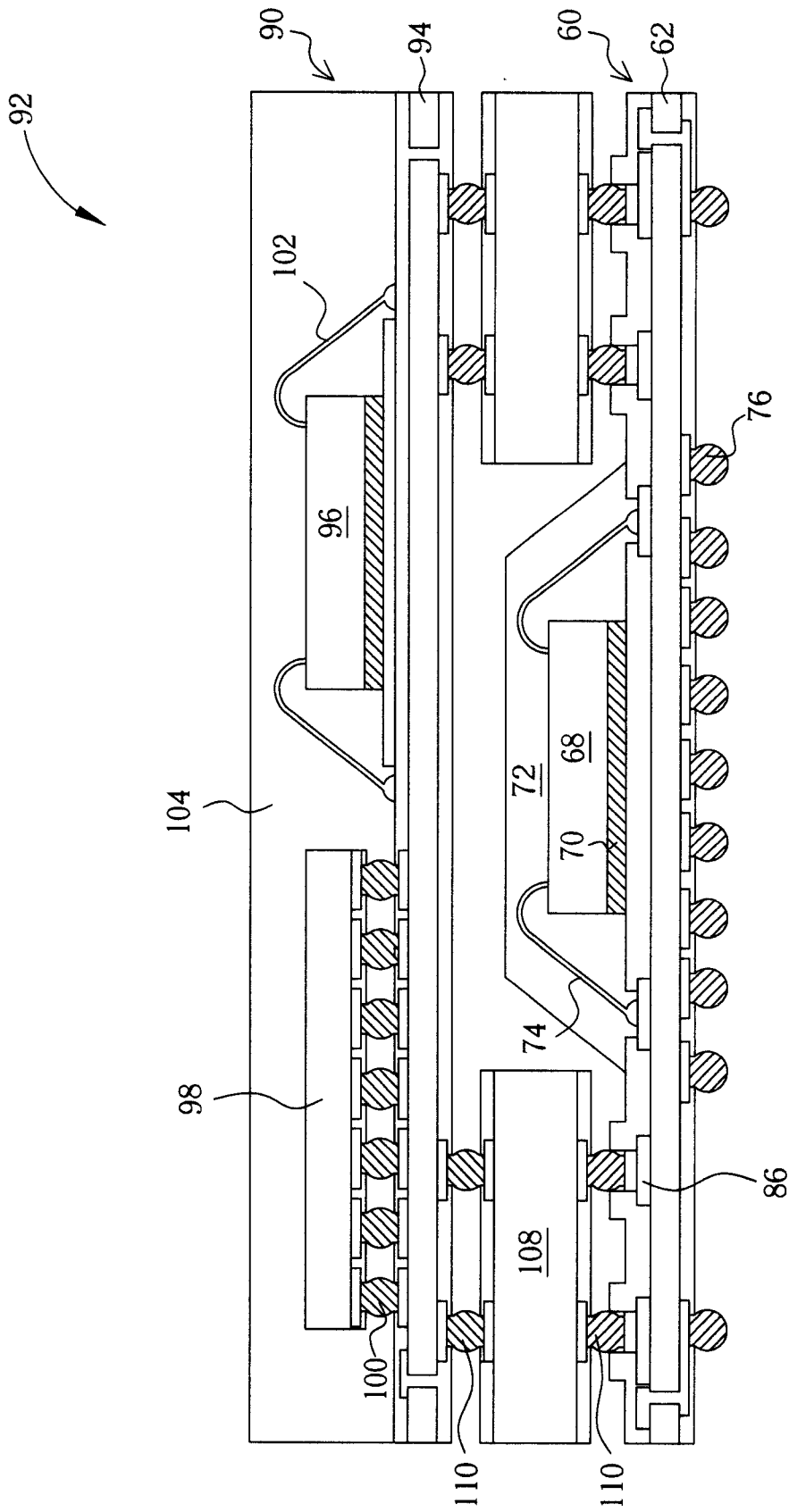


图 5