(19)日本国特許庁(JP)　(12)公表特許公報(A)　(11)特許出願公表番号
特表2015-500603
(P2015-500603A)
(43)公表日　平成27年1月5日(2015.1.5)

(51)Int.Cl.			F I			テーマコード（参考）
H03F	1/02	(2006.01)	H03F	1/02		5J500
H03F	3/68	(2006.01)	H03F	3/68	Z	5K060
H03F	3/217	(2006.01)	H03F	3/217		
H04B	1/04	(2006.01)	H04B	1/04	D	
			H04B	1/04	J	

審査請求 未請求　予備審査請求 未請求　（全 14 頁）　最終頁に続く

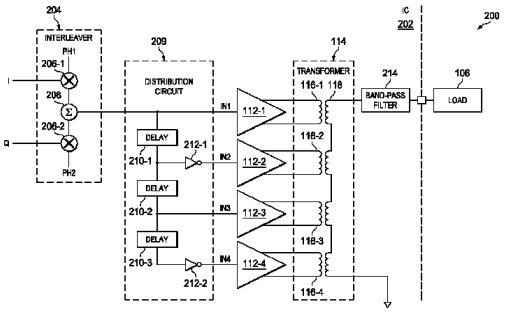
(21)出願番号　特願2014-546129 (P2014-546129)
(86)(22)出願日　平成24年12月7日 (2012.12.7)
(85)翻訳文提出日　平成26年7月22日 (2014.7.22)
(86)国際出願番号　PCT/US2012/068501
(87)国際公開番号　WO2013/086361
(87)国際公開日　平成25年6月13日 (2013.6.13)
(31)優先権主張番号　13/313,971
(32)優先日　平成23年12月7日 (2011.12.7)
(33)優先権主張国　米国(US)

(71)出願人　390020248
日本テキサス・インスツルメンツ株式会社
東京都新宿区西新宿六丁目２４番１号
(71)出願人　507107291
テキサス　インスツルメンツ　インコーポレイテッド
アメリカ合衆国　テキサス州　７５２６５－５４７４　ダラス　メイル　ステイション　３９９９　ピーオーボックス　６５５４７４
(74)上記1名の代理人　100098497
弁理士　片寄　恭三

最終頁に続く

(54)【発明の名称】フィルタ応答を備えた変圧器電力コンバイナ

(57)【要約】
増幅された無線周波数（ＲＦ）信号を生成するための方法が提供される。時間インターリーブされた信号を出力するため、インターリーバ（２０４）により同相（Ｉ）及び直交（Ｑ）信号が受信及びインターリーブされる。その後、時間インターリーブされた信号から、分配回路（２０９）により遅延された時間インターリーブされた信号が生成され、
を生成するため、遅延された時間インターリーブされた信号（ＩＮ１、ＩＮ２、ＩＮ３、ＩＮ４）の各々が、複数の増幅された信号増幅器（１１２－１、１１２－２、１１２－３、１１２－４）により増幅される。その後、増幅された信号が変圧器（１１４）において組み合わされ、フィルタ（２１４）を用いて変圧器でフィルタされた応答を生成する。



【特許請求の範囲】
【請求項１】
装置であって、
同相（Ｉ）信号及び直交（Ｑ）信号を受信するように構成されるインターリーバ、
前記インターリーバに結合される分配回路、
各々前記分配回路に結合される複数の電力増幅器（ＰＡ）、及び
複数の一次巻線と二次巻線とを有する変圧器、
を含み、
各一次巻線が前記ＰＡの少なくとも１つに結合され、前記分配回路が、前記変圧器でフィルタ応答を生成するように前記インターリーバの出力と各ＰＡとの間の複数の遅延の少なくとも１つを導入する、
装置。
【請求項２】
請求項１に記載の装置であって、前記分配回路が、
各々が前記ＰＡの少なくとも１つに結合される複数のチャネル、及び
複数の遅延回路、
を更に含み、
各遅延回路が前記チャネルの少なくとも２つの間に結合される、
装置。
【請求項３】
請求項２に記載の装置であって、前記複数のチャネルが、互いにインターリーブされるチャネルの第１のセット及びチャネルの第２のセットを更に含み、チャネルの前記第２のセットからの各チャネルがインバータを更に含む、装置。
【請求項４】
請求項３に記載の装置であって、
前記インターリーバが、
前記Ｉ信号及び第１のインターリーブ信号を受信するように構成される第１のミキサ、
前記Ｑ信号及び第２のインターリーブ信号を受信するように構成される第２のミキサ、及び
前記第１のミキサ、前記第２のミキサ、及び前記分配回路に結合されるコンバイナ、
を更に含む、装置。
【請求項５】
請求項４に記載の装置であって、前記装置が、前記変圧器の前記二次巻線に結合されるバンドパスフィルタを更に含む、装置。
【請求項６】
請求項５に記載の装置であって、前記第１及び第２のインターリーブ信号が９０度位相がずれている、装置。
【請求項７】
方法であって、
Ｉ及びＱ信号を受け取ること、
時間インターリーブされた信号を生成するように前記Ｉ及びＱ信号をインターリーブすること、
前記時間インターリーブされた信号から複数の遅延された時間インターリーブされた信号を生成すること、
複数の増幅された信号を生成するように前記遅延された時間インターリーブされた信号の各々を増幅すること、及び
前記増幅された信号を変圧器と組み合わせることであって、前記遅延された時間インターリーブされた信号が、前記変圧器でフィルタ応答を出力するように配されること、
を含む、方法。
【請求項８】

請求項７に記載の方法であって、前記生成する工程が、
前記複数の遅延された時間インターリーブされた信号から第１の遅延された時間インターリーブされた信号を出力するため前記時間インターリーブされた信号を第１の量遅延させること、
前記複数の遅延された時間インターリーブされた信号から第２の遅延された時間インターリーブされた信号を出力するため前記時間インターリーブされた信号を第２の量遅延させることであって、前記第２の量が前記第１の量及び所定の遅延の和であること、
前記複数の遅延された時間インターリーブされた信号から第３の遅延された時間インターリーブされた信号を出力するため前記時間インターリーブされた信号を第３の量遅延させることであって、前記第３の量が前記第２の量及び前記所定の遅延の和であること、及び
前記複数の遅延された時間インターリーブされた信号から第４の遅延された時間インターリーブされた信号を出力するため前記時間インターリーブされた信号を第４の量遅延させることであって、前記第４の量が前記第３の量及び前記所定の遅延の和であること、
を更に含む、方法。
【請求項９】
請求項８に記載の方法であって、前記インターリーブする工程が、
前記Ｉ信号を第１のインターリーブ信号とミキシングすること、
前記Ｑ信号を第２のインターリーブ信号とミキシングすること、及び
前記時間インターリーブされた信号を出力するため前記ミキシングされたＩ及びＱ信号を組み合わせること、
を更に含む、方法。
【請求項１０】
請求項９に記載の方法であって、ミキシングする前記工程及び前記ミキシングされたＩ及びＱ信号を組み合わせる前記工程が、
前記第１及び第２のインターリーブ信号の第１の期間の間、前記Ｉ信号を出力すること、
前記第１及び第２のインターリーブ信号の第２の期間の間、前記Ｑ信号を出力すること、
前記第１及び第２のインターリーブ信号の第３の期間の間、前記Ｉ信号の逆を出力すること、及び
前記第１及び第２のインターリーブ信号の第４の期間の間、前記Ｑ信号の逆を出力すること、
を更に含む、方法。
【請求項１１】
請求項１０に記載の方法であって、前記時間インターリーブされた信号を前記第２の量遅延させる前記工程、及び前記時間インターリーブされた信号を前記第４の量遅延させる前記工程が、
前記第２の遅延された時間インターリーブされた信号を出力するため前記時間インターリーブされた信号を前記第２の量遅延させ、且つ、反転させること、及び
前記第３の遅延された時間インターリーブされた信号を出力するため前記時間インターリーブされた信号を前記第４の量遅延させ、且つ、反転させること、
を更に含む、方法。
【請求項１２】
装置であって、
Ｉ信号及びＱ信号を受信するように構成されるインターリーバ、
第１、第２、第３、及び第４の遅延された時間インターリーブされた信号を生成するように前記インターリーバに結合される分配回路、
前記第１の遅延された時間インターリーブされた信号を受け取るように前記分配回路に結合される第１のＰＡ、

前記第２の遅延される時間インターリーブされた信号を受け取るように前記分配回路に結合される第２のＰＡ、
前記第３の遅延された時間インターリーブされた信号を受け取るように前記分配回路に結合される第３のＰＡ、
前記第４の遅延された時間インターリーブされた信号を受け取るように前記分配回路に結合される第４のＰＡ、
第１の一次巻線と、第２の一次巻線と、第３の一次巻線と、第４の一次巻線と、二次巻線とを有する変圧器、
を含み、
前記第１の一次巻線が前記第１のＰＡに結合され、前記第２の一次巻線が前記第２のＰＡに結合され、前記第３の一次巻線が前記第３のＰＡに結合され、前記第４の一次巻線が前記第４のＰＡに結合され、前記第１、第２、第３、及び第４の遅延された時間インターリーブされた信号が、前記変圧器でフィルタ応答を生成するように導入される、
装置。
【請求項１３】
請求項１２に記載の装置であって、前記分配回路が、
前記インターリーバと前記第１のＰＡとの間に結合される第１のチャネル、
前記インターリーバに結合される第１の遅延回路、
前記第１の遅延回路と前記第２のＰＡとの間に結合される第２のチャネル、
前記第１の遅延回路に結合される第２の遅延回路、
前記第２の遅延回路と前記第３のＰＡとの間に結合される第３のチャネル、
前記第２の遅延回路に結合される第３の遅延回路、及び
前記第３の遅延回路と前記第４のＰＡとの間に結合される第４のチャネル、
を更に含む、装置。
【請求項１４】
請求項１３に記載の装置であって、前記第２及び第４のチャネルが、それぞれ、第１及び第２のインバータを更に含む、装置。
【請求項１５】
請求項１４に記載の装置であって、前記インターリーバが、
前記Ｉ信号及び第１のインターリーブ信号を受信するように構成される第１のミキサ、
前記Ｑ信号及び第２のインターリーブ信号を受信するように構成される第２のミキサ、及び
前記第１のミキサ、前記第２のミキサ、及び前記分配回路に結合されるコンバイナ、
を更に含む、装置。
【請求項１６】
請求項１５に記載の装置であって、前記装置が、前記変圧器の前記二次巻線に結合されるバンドパスフィルタを更に含む、装置。
【請求項１７】
請求項１６に記載の装置であって、前記第１及び第２のインターリーブ信号が９０度位相がずれている、装置。
【発明の詳細な説明】
【技術分野】
【０００１】
本願は、概して変圧器電力コンバイナに関し、更に特定して言えば、フィルタ応答を備えた変圧器電力コンバイナに関連する。
【背景技術】
【０００２】
図１は、従来の無線周波数（ＲＦ）トランスミッタ１００の一例を示す。この例に示すように、ＲＦ回路要素が、所望の電力を生成するため変圧器コンバイナを用いる集積回路（ＩＣ）１０２上に含まれる。ＩＣ１０２により用いられる方式はポーラー変調方式であ

り、この方式は、同相（Ｉ）及び直交（Ｑ）信号を振幅及び位相に分解するためにポーラー変調器１０８を用いる。位相情報は、デジタルＰＡである電力増幅器１１２－１～１１２－４（ＰＡ）に供給され、振幅情報は、ＰＡ１１２－１～１１２－４の各々の電力出力を制御する電力コントローラ１１０に供給される。ＰＡ１１２－１～１１２－４の各々は同じ信号を受け取り、それぞれの出力は変圧器１１４の一次巻線１１６－１～１１６－４に印加されるため、各「ブランチ」からの電力はＩＣ１０２に対する出力信号を出力するため二次巻線１０８により共に付加され得る。所望とされる搬送可能な電力の量に応じて、ＰＡ１１２－１～１１２－４の数は増大又は低減され得る。

【０００３】

このトランスミッタ１００に関する１つの課題は、任意のアナログフィルタリングを考慮する導入されるフィルタ応答がないことである。通常の理由は、位相変調が非常にセンシティブであり、フィルタ応答を誘導するための先行歪ませの導入が電力コントローラ１１０とＰＡ１１２－１～１１２－４との間のミスマッチをつくり得ることである。その結果、ＩＣ１０２と負荷１０６（これはアンテナ及びマッチング回路要素であり得る）との間にオフチップバンドパスフィルタ１０４が提供される。他の従来のＲＦトランスミッタも同様の欠点を有する。例えば、直交変調器は通常、オフチップＰＡを含み、非線形構成要素を備えた線形増幅（ＬＩＮＣ）トランスミッタは通常、オフチップウィルキンソンコンバイナ及びバンドパスフィルタを含む。そのため、改善されたＲＦトランスミッタが求められている。

【０００４】

他の従来のシステムの幾つかの例は、下記の通りである。

【非特許文献１】Haldi et al., "A 5.8 GHz 1 V Linear Power Amplifier Using a Novel On-Chip Transformer Power Combiner in Standard 90 nm CMOS," IEEE J. of Solid-State Circuits, Vol. 43, No. 5, May 2008, pp. 1054-1063

【非特許文献２】Lai et al, "A IV 17.9dBm 60GHz Power Amplifier in Standard 65nm CMOS," 2010 IEEE Intl. Solid- State Circuits Conf. (ISSCC), Feb. 10, 2010, pp. 424-425

【非特許文献３】Chang et al, "A 77 GHz Power Amplifier Using Transformer-Based Power Combiner in 90 nm CMOS," 2010 IEEE Custom Integrated Circuits Conf. (CICC), Sept. 19-22, 2010, pp. 1-4

【非特許文献４】Kim et al, "A Linear Multi-Mode CMOS Power Amplifier With Discrete Resizing and Concurrent Power Combining Structure," IEEE J. of Solid-State Circuits, Vol. 46, No. 5, May 2011

【特許文献１】米国特許番号第７，７７７，５７０号

【発明の概要】

【０００５】

一実施例は或る装置を提供する。この装置は、同相（Ｉ）信号及び直交（Ｑ）信号を受信するように構成されるインターリーバ、インターリーバに結合される分配回路、各々分配回路に結合される複数の電力増幅器（ＰＡ）、及び複数の一次巻線と二次巻線とを有する変圧器を含む。各一次巻線はＰＡの少なくとも１つに結合される。分配回路は、変圧器でフィルタ応答を生成するようにインターリーバの出力と各ＰＡとの間の複数の遅延の少なくとも１つを導入する。

【０００６】

一実施例に従って、分配回路は、各々がＰＡの少なくとも１つに結合される複数のチャネルと、複数の遅延回路とを更に含む。各遅延回路はチャネルの少なくとも２つの間に結合される。

【０００７】

一実施例に従って、複数のチャネルは、互いにインターリーブされるチャネルの第１のセット及びチャネルの第２のセットを更に含む。チャネルの第２のセットからの各チャネルはインバータを更に含む。

【０００８】
一実施例に従って、インターリーバは、Ｉ信号及び第１のインターリーブ信号を受信するように構成される第１のミキサ、Ｑ信号及び第２のインターリーブ信号を受信するように構成される第２のミキサ、及び第１のミキサ、第２のミキサ、及び分配回路に結合されるコンバイナを更に含む。
【０００９】
一実施例に従って、この装置は、変圧器の二次巻線に結合されるバンドパスフィルタを更に含む。
【００１０】
一実施例に従って、第１及び第２のインターリーブ信号は９０度位相がずれている。
【００１１】
一実施例に従って或る方法が提供される。この方法は、Ｉ及びＱ信号を受け取ること、時間インターリーブされた信号を生成するようにＩ及びＱ信号をインターリーブすること、時間インターリーブされた信号から複数の遅延された時間インターリーブされた信号を生成すること、複数の増幅された信号を生成するように遅延された時間インターリーブされた信号の各々を増幅すること、及び増幅された信号を変圧器と組み合わせることを含む。遅延された時間インターリーブされた信号は、変圧器でフィルタ応答を出力するように配される。
【００１２】
一実施例に従って、生成する工程は、複数の遅延された時間インターリーブされた信号から第１の遅延された時間インターリーブされた信号を出力するため時間インターリーブされた信号を第１の量遅延させること、複数の遅延された時間インターリーブされた信号から第２の遅延された時間インターリーブされた信号を出力するため時間インターリーブされた信号を第２の量遅延させることであって、第２の量が第１の量及び所定の遅延の和であること、複数の遅延された時間インターリーブされた信号から第３の遅延された時間インターリーブされた信号を出力するため時間インターリーブされた信号を第３の量遅延させることであって、第３の量が第２の量及び所定の遅延の和であること、及び複数の遅延された時間インターリーブされた信号から第４の遅延された時間インターリーブされた信号を出力するため時間インターリーブされた信号を第４の量遅延させることであって、第４の量が第３の量及び所定の遅延の和であることを更に含む。
【００１３】
一実施例に従って、インターリーブする工程は、Ｉ信号を第１のインターリーブ信号とミキシングすること、Ｑ信号を第２のインターリーブ信号とミキシングすること、及び時間インターリーブされた信号を出力するためミキシングされたＩ及びＱ信号を組み合わせることを更に含む。
【００１４】
一実施例に従って、ミキシングする工程及びミキシングされたＩ及びＱ信号を組み合わせる工程は、第１及び第２のインターリーブ信号の第１の期間の間、Ｉ信号を出力すること、第１及び第２のインターリーブ信号の第２の期間の間、Ｑ信号を出力すること、第１及び第２のインターリーブ信号の第３の期間の間、Ｉ信号の逆を出力すること、及び第１及び第２のインターリーブ信号の第４の期間の間、Ｑ信号の逆を出力することを更に含む。
【００１５】
一実施例に従って、時間インターリーブされた信号を第２の量遅延させる工程、及び時間インターリーブされた信号を第４の量遅延させる工程は、第２の遅延された時間インターリーブされた信号を出力するため時間インターリーブされた信号を第２の量遅延させ、且つ、反転させること、及び第３の遅延された時間インターリーブされた信号を出力するため時間インターリーブされた信号を第４の量遅延させ、且つ、反転させることを更に含む。
【００１６】

一実施例に従って或る装置が提供される。この装置は、Ｉ信号及びＱ信号を受信するように構成されるインターリーバ、第１、第２、第３、及び第４の遅延された時間インターリーブされた信号を生成するようにインターリーバに結合される分配回路、第１の遅延された時間インターリーブされた信号を受け取るように分配回路に結合される第１のＰＡ、第２の遅延される時間インターリーブされた信号を受け取るように分配回路に結合される第２のＰＡ、第３の遅延された時間インターリーブされた信号を受け取るように分配回路に結合される第３のＰＡ、第４の遅延された時間インターリーブされた信号を受け取るように分配回路に結合される第４のＰＡ、第１の一次巻線と、第２の一次巻線と、第３の一次巻線と、第４の一次巻線と、二次巻線とを有する変圧器を含む。第１の一次巻線が第１のＰＡに結合され、第２の一次巻線は第２のＰＡに結合され、第３の一次巻線は第３のＰＡに結合され、第４の一次巻線は第４のＰＡに結合され、第１、第２、第３、及び第４の遅延された時間インターリーブされた信号は、変圧器でフィルタ応答を生成するように導入される。

【００１７】

一実施例に従って、分配回路は、インターリーバと第１のＰＡとの間に結合される第１のチャネル、インターリーバに結合される第１の遅延回路、第１の遅延回路と第２のＰＡとの間に結合される第２のチャネル、第１の遅延回路に結合される第２の遅延回路、第２の遅延回路と第３のＰＡとの間に結合される第３のチャネル、第２の遅延回路に結合される第３の遅延回路、及び第３の遅延回路と第４のＰＡとの間に結合される第４のチャネルを更に含む。

【００１８】

一実施例に従って、第２及び第４のチャネルは、それぞれ、第１及び第２のインバータを更に含む。

【図面の簡単な説明】

【００１９】

【図１】図１は、従来のＲＦトランスミッタの一例の図である。

【００２０】

【図２】図２は、一実施例に従ったＲＦトランスミッタの一例の図である。

【００２１】

【図３】図３は、図２のインターリーバ及び分配回路のオペレーションを示すタイミング図の一例である。

【００２２】

【図４】図４は、図２のトランスミッタのフィルタ応答の図である。

【発明を実施するための形態】

【００２３】

図２は、例示の実施例に従ったＲＦトランスミッタ２００の一例を示す。図示するように、トランスミッタは、システム１００に類似して、変圧器１１４及びＰＡ１１２－１～１１２－４を含む。この例では、説明のため４つのＰＡ１１２－１～１１２－４が示されているが、所望の出力電力に応じてその数は増大又は低減され得る。しかし、トランスミッタ２００は、ポーラー変調に基づいて動作せず、代わりに、時間インターリーブされたパルス幅変調（ＰＷＭ）トランスミッタとして動作する。これを行うため、Ｉ及びＱ信号は、中心周波数Ｆｃの４倍のレートでアップサンプルされる。インターリーバ２０４（これは概してミキサ２０６－１及び２０６－２及びコンバイナ又は加算器２０８を含む）はその後、インターリーブ信号ＰＨ１及びＰＨ２を用いてＩ及びＱ信号を単一のストリームにインターリーブする。分配回路２０９（これは概して、遅延回路２１０－１～２１０－３及びインバータ２１２－１及び２１２－２を含む）はその後、インターリーブされたストリームをＰＡ１１２－１～１１２－４に分配し、この例では、ＰＡ１１２－１～１１２－４の各々に対し１つのチャネルがある。分配回路２０９は更に、変圧器１１４でフィルタ応答（即ち、アナログ有限インパルス応答）を作成し得る信号ＩＮ１～ＩＮ４を生成する各チャネルに対する遅延を導入する。変圧器１１４でフィルタ応答が作成され又は導入

されるため、オフチップバンドパスフィルタ（即ち、１０４）の代わりにオンチップバンドパスフィルタ２１４を用いることができ、コストが低減される。

【００２４】

トランスミッタのオペレーションを図示するため、タイミング図を図３に示す。この例に示すように、インターリーブ信号ＰＨ１及びＰＨ２は０→１→０→１→０のサイクルを有し、互いに９０度位相がずれている。期間Ｔ１において、信号ＰＨ１及びＰＨ２はそれぞれ１及び０であり、これにより、Ｉ信号が信号ＩＮ１として提供され得る（ＰＡ１１２－１に対するチャネルは名目遅延を有する）。期間Ｔ２において、信号ＰＨ１及びＰＨ２はそれぞれ０及び１であり、Ｑ信号が信号ＩＮ１として提供され得る。期間Ｔ３において、信号ＰＨ１及びＰＨ２は、それぞれ－１及び０であり、Ｉ信号の逆が信号ＩＮ１として提供され得る。また、遅延回路２１０－１（これは、概して１／２サイクル遅延であるが、遅延の長さは通常はアップサンプルのレート及び／又はＰＡの数に関連する）の利用のため、ＰＡ１１２－２に対するチャネルは、期間Ｔ１からＩ信号を受け取り、これはその後、インバータ２１２－１により反転され、信号ＩＮ２として提供される。同様に、期間Ｔ４に対し、Ｑ信号の逆が信号ＩＮ１及びＩＮ２として提供され、信号ＩＮ１～ＩＮ４に対する期間Ｔ５～Ｔ１０に対する同様の結果が示されている。分配回路２０９（これは有限インパルス応答（ＦＩＲ）フィルタに対する構造に類似する）の構造から明らかなように、インターリーブ信号ＰＨ１及びＰＨ２に対するタイミングは、信号ＩＮ１～ＩＮ４は同じであるか又は「整合される」。これは、或る周波数でノッチを作成し（例えば、図４にF_C／２、３F_C／２、及び２F_Cでノッチを備えて図示するように）、これは、変圧器１１４で作成されるフィルタ応答である。

【００２５】

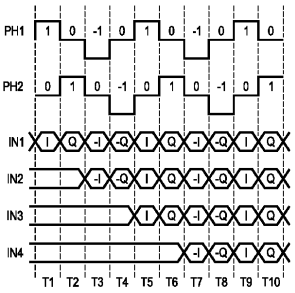
変圧器１１４でフィルタ応答を作成するような方式でインターリーバ２０４及び分配回路２０９を用いる結果、幾つかの利点が実現され得る。総出力電力を増大させるため、変圧器１１４を介して並列ＰＡ１１２－１～１１２－４と共にＩ及びＱ信号を組み合わせる完全なオンチップも達成される。一例として、個別のＰＡ１１２－１～１１２－４が２５０ｍＷの電力を搬送することができる場合、組み合わされた電力出力は、フルに統合された解決策を備えて１Ｗであり得る。変圧器１１４でのフィルタ応答はまた、変圧器１１４に続くアナログバンドパスフィルタ２１４に対する要件を緩和する充分な量の抑制を提供し、低Ｑ値のオンチップ実装を可能にする。また、一層高い出力電力に達するために更なる並列ＰＡ（図示される４つより多い）を付加することで、更に多くのノッチ位置及び一層良好なストップバンド減衰を備えた、変圧器のフィルタ応答を改善する更なる余裕がつくられる。また、フルデジタルトランスミッタアーキテクチャにより、外部オフチップ構成要素を用いることなくスペクトルマスク要件を満たすため異なるＰＷＭ方式を用いて帯域外ノイズ及びイメージ相殺を調節するための柔軟性が提供される。

【００２６】

本発明に関連する技術に習熟した者であれば、本発明の特許請求の範囲内で、説明した例示の実施例に変形が成され得ること、及び他の実施例を実装し得ることが分かるであろう。

【図３】

FIG. 3



【図１】

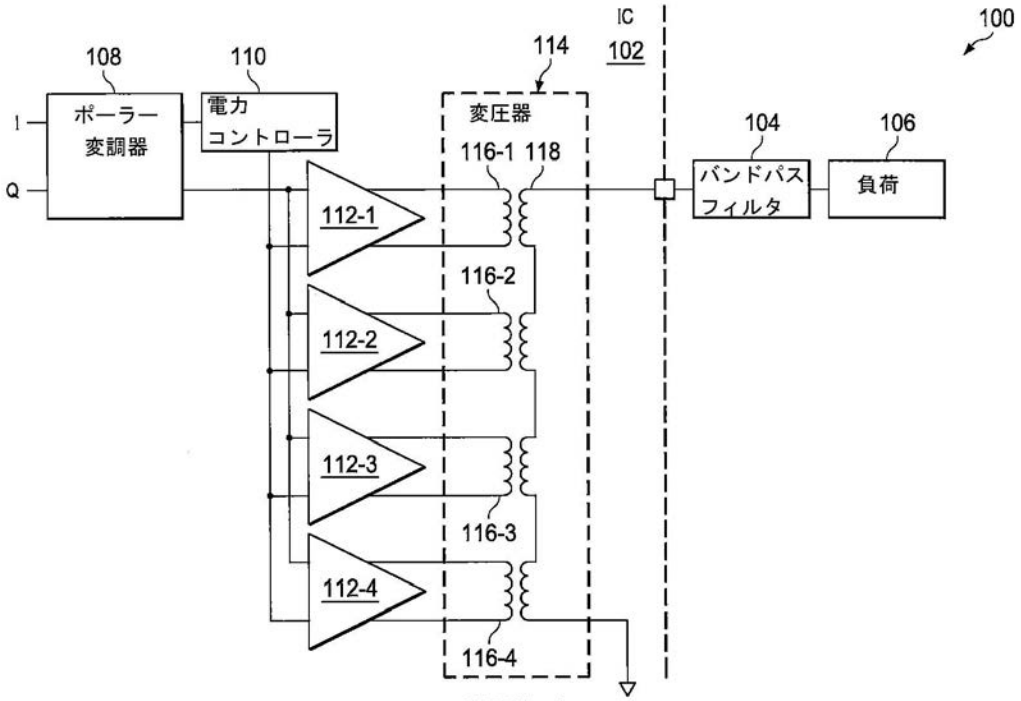


FIG. 1

（従来技術）

【図２】

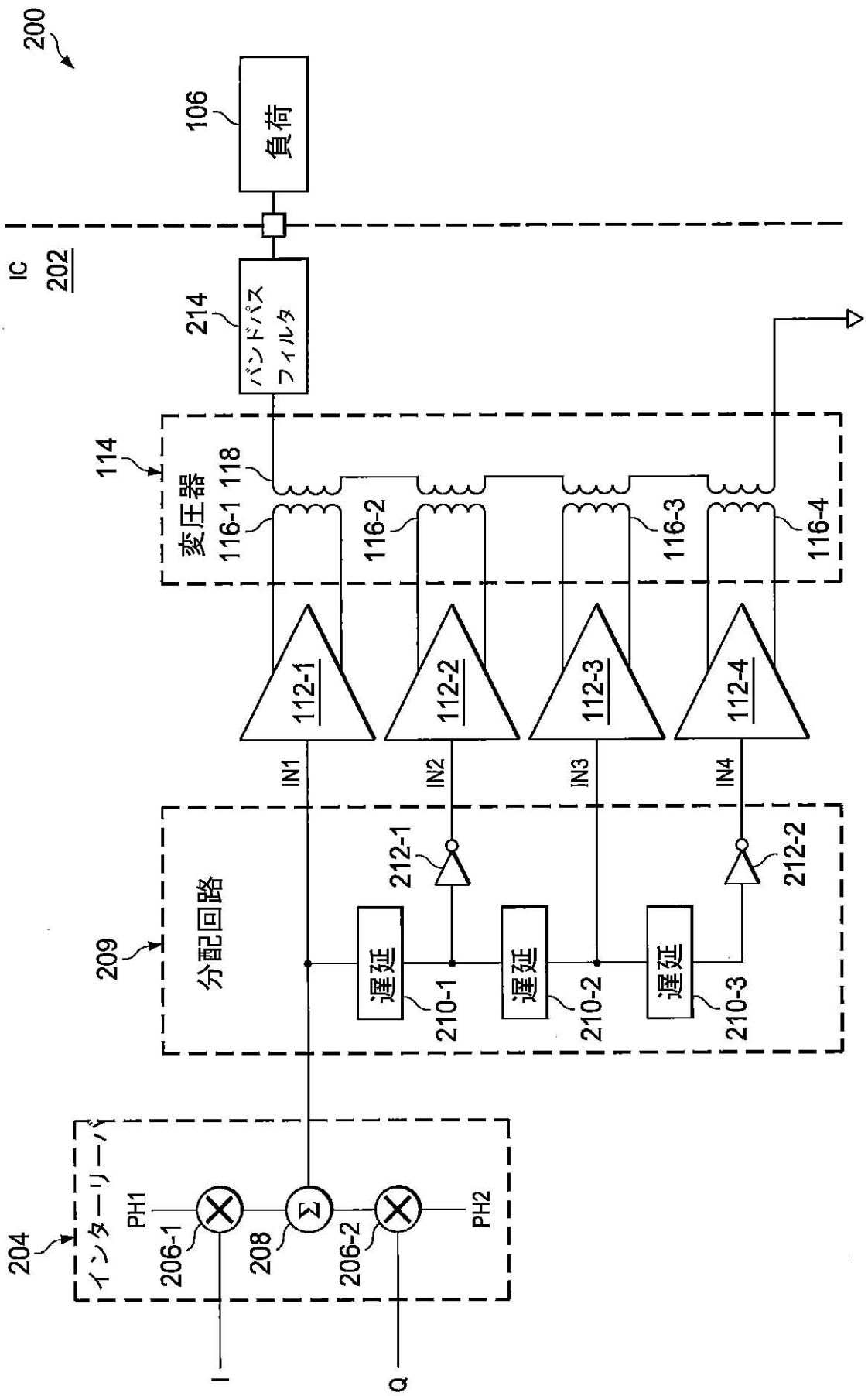
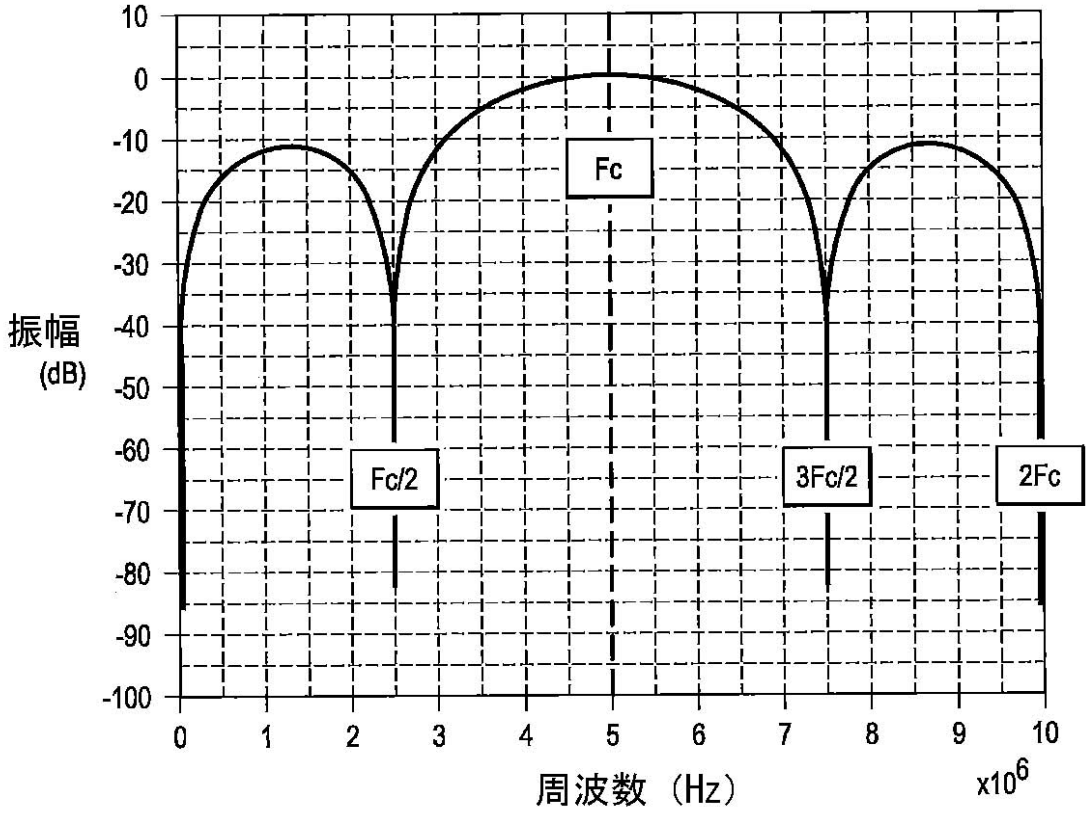

200
106
負荷
IC
202
214
バンドパス
フィルタ
114
変圧器
116-1 118
116-2
116-3
116-4
112-1
112-2
112-3
112-4
IN1
IN2
IN3
IN4
209
分配回路
212-1
212-2
遅延
210-1
遅延
210-2
遅延
210-3
204
インターリーバ
PH1
206-1
208
Σ
206-2
PH2
I
Q

FIG. 2

【図４】

FIG. 4


10
0
-10
-20
-30
-40
-50
-60
-70
-80
-90
-100
振幅
(dB)
Fc
Fc/2
3Fc/2
2Fc
0
1
2
3
4
5
6
7
8
9
10
周波数（Hz）
x10^6

【国際調査報告】

INTERNATIONAL SEARCH REPORT

International application No.
PCT/US2012/068501

A. CLASSIFICATION OF SUBJECT MATTER

H03F 1/02(2006.01)i, H03F 3/24(2006.01)i, H03F 3/68(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H03F 1/02; H04L 27/00; H04L 27/36; H03F 3/26; H04L 27/20; H04B 1/04

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Korean utility models and applications for utility models
Japanese utility models and applications for utility models

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)
eKOMPASS(KIPO internal) & Keywords: interleaver, modulation, RF, in-phase (I), quadrature (Q), phase delay, power amplifier, transformer

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	US 2011-0050344 A1 (HE XIN et al.) 03 March 2011 See abstract, paragraphs [0024]-[0031], claims 1, 6, 9, and figure 3.	1-2,7-10,12-13 3-6,11,14-17
Y	US 2007-0201581 A1 (POOJAN WAGH et al.) 30 August 2007 See abstract, paragraphs [0012]-[0016], claim 1, figure 1.	1-2,7-10,12-13
A	US 2011-0129037 A1 (STASZEWSKI BOGDAN et al.) 02 June 2011 See abstract, paragraphs [0069]-[0074], claims 1-3, and figures 1, 5, 7-8.	1-17
A	US 7221915 B2 (JEFFREY WILLIAM TRIPP et al.) 22 May 2007 See abstract, column 7, line 17 ~ column 8, line 2, claims 1, 8, and figure 3a.	1-17
A	US 5638401 A (JONES; MARK A.) 10 June 1997 See abstract, column 4, line 8 ~ line 44, claims 1-2, and figure 3.	1-17

☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents,such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
28 March 2013 (28.03.2013)	**29 March 2013 (29.03.2013)**

Name and mailing address of the ISA/KR	Authorized officer
Korean Intellectual Property Office 189 Cheongsa-ro, Seo-gu, Daejeon Metropolitan City, 302-701, Republic of Korea Facsimile No. 82-42-472-7140	KIM, Sung Gon Telephone No. 82-42-481-8746

Form PCT/ISA/210 (second sheet) (July 2009)

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/US2012/068501

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 2011-0050344 A1	03.03.2011	AT 527758 T	15.10.2011
		CN 102007699 A	06.04.2011
		EP 2266208 A2	29.12.2010
		EP 2266208 B1	05.10.2011
		US 8237503 B2	07.08.2012
		WO 2009-113000 A2	17.09.2009
		WO 2009-113000 A3	05.11.2009
US 2007-0201581 A1	30.08.2007	None	
US 2011-0129037 A1	02.06.2011	EP 2333950 A2	15.06.2011
US 7221915 B2	22.05.2007	AU 2003-275477 A1	04.05.2004
		US 2004-0266359 A1	30.12.2004
		WO 2004-034566 A1	22.04.2004
US 5638401 A	10.06.1997	CN 1126301 C0	29.10.2003
		CN 1173253 A0	11.02.1998
		EP 0807344 A1	19.11.1997
		EP 0807344 A1	02.01.2004
		EP 0807344 B1	02.04.2008
		JP 10-513323 A	15.12.1998
		KR 10-1998-0701845 A	25.06.1998
		WO 96-24205 A1	08.08.1996

フロントページの続き

(51)Int.Cl.	F I	テーマコード（参考）
	H04B 1/04 R	

(81)指定国 AP(BW,GH,GM,KE,LR,LS,MW,MZ,NA,RW,SD,SL,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,RU,TJ,TM),EP(AL,AT,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,HR,HU,IE,IS,IT,LT,LU,LV,MC,MK,MT,NL,NO,PL,PT,RO,RS,SE,SI,SK,SM,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AO,AT,AU,AZ,BA,BB,BG,BH,BN,BR,BW,BY,BZ,CA,CH,CL,CN,CO,CR,CU,CZ,DE,DK,DM,DO,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,GT,HN,HR,HU,ID,IL,IN,IS,JP,KE,KG,KM,KN,KP,KR,KZ,LA,LC,LK,LR,LS,LT,LU,LY,MA,MD,ME,MG,MK,MN,MW,MX,MY,MZ,NA,NG,NI,NO,NZ,OM,PA,PE,PG,PH,PL,PT,QA,RO,RS,RU,RW,SC,SD,SE,SG,SK,SL,SM,ST,SV,SY,TH,TJ,TM,TN,TR,TT,TZ,UA,UG,US,UZ,VC

(72)発明者 ラハミ ヘザー
アメリカ合衆国 ７５０１３ テキサス州 アレン, ニュエーセス ドライブ １８４７
(72)発明者 レイ ディン
アメリカ合衆国 ７５０９３ テキサス州 プラノ, トスカナ ドライブ ４５１２
(72)発明者 ジョーンホイ ホ
アメリカ合衆国 ７５２４８ テキサス州 ダラス, ９２６, プレストンウッド ブールバード １５１９０
(72)発明者 バヘル エス ハルーン
アメリカ合衆国 ７５０１３ テキサス州 アレン, パンパ ドライブ ９０６

Ｆターム(参考) 5J500 AA01 AA27 AA41 AA66 AC27 AC36 AC92 AF15 AF19 AH35
AH39 AK04 AK15 AK44 AS14 AT01
5K060 BB07 CC04 CC11 CC16 EE05 FF02 FF03 FF06 HH01 HH04
HH06 HH11 HH14 HH34 HH37 JJ24 KK03 KK06 LL15 LL30